



(12)发明专利申请

(10)申请公布号 CN 110391237 A

(43)申请公布日 2019. 10. 29

(21)申请号 201811496832.1

(22)申请日 2018.12.07

(30)优先权数据

62/660,834 2018.04.20 US

15/964,492 2018.04.27 US

(71)申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72)发明人 吕士濂

(74)专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社杲 李伟

(51)Int.Cl.

H01L 27/11(2006.01)

H01L 27/02(2006.01)

G06F 17/50(2006.01)

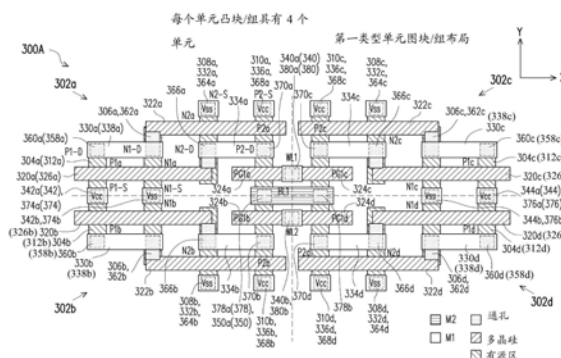
权利要求书3页 说明书47页 附图20页

(54)发明名称

存储器单元阵列及其形成方法

(57)摘要

一种存储器单元阵列包括布置在第一方向上的第一行中的第一存储器单元和布置在第一方向上的第二行中的第二存储器单元。第一存储器单元或第二存储器单元包括有源区组、栅极组和第一组导电结构。有源区组中的每个有源区在第一方向上通过第一间距与邻近有源区分开。有源区组在第二方向上延伸。有源区组包括与第一存储器单元的第一侧邻近的第一有源区和与第一存储器单元的第二侧邻近的第二有源区。第一有源区的长度不同于第二有源区的长度。本发明的实施例还提供了存储器单元阵列的形成方法。



1. 一种形成存储器单元阵列的方法,所述方法包括:

生成在第一方向上延伸的第一组图块,其中,生成所述第一组图块包括:

生成第一组存储器单元的第一布局设计,所述第一组图块中的每个图块对应于所述第一组存储器单元的第一布局设计,并且所述第一组图块中的每个图块在与所述第一方向不同的第二方向上从所述第一组图块中的邻近图块偏移;

其中,所述第一组图块中的每个图块在与所述第一方向和所述第二方向不同的第三方向上延伸,通过硬件处理器实施以上生成操作中的至少一个,并且将所述第一布局设计存储在非暂时性计算机可读介质中;以及

至少基于所述第一布局设计制造存储器单元阵列。

2. 根据权利要求1所述的方法,还包括:

生成第二组图块,其中,生成所述第二组图块包括:

生成第二组存储器单元的第二布局设计,所述第二组图块中的每个图块对应于所述第二组存储器单元的第二布局设计,并且所述第二组图块中的每个图块在所述第二方向上从所述第二组图块中的邻近图块偏移;

其中,所述第一组图块和所述第二组图块在所述第二方向上彼此交替,并且所述第二组图块中的每个图块在所述第三方向上延伸。

3. 根据权利要求2所述的方法,其中,生成所述第二组存储器单元的第二布局设计包括:

生成所述第二布局设计的第一部分,所述第二布局设计的第一部分对应于制造所述存储器单元阵列的所述第二组存储器单元的第一存储器单元;

生成所述第二布局设计的第二部分,所述第二布局设计的第二部分对应于制造所述存储器单元阵列的所述第二组存储器单元的第二存储器单元;

生成所述第二布局设计的第三部分,所述第二布局设计的第三部分对应于制造所述存储器单元阵列的所述第二组存储器单元的第三存储器单元;

生成所述第二布局设计的第四部分,所述第二布局设计的第四部分对应于制造所述存储器单元阵列的所述第二组存储器单元的第四存储器单元,其中,

所述第二布局设计的第一部分和所述第二布局设计的第三部分相对于所述第三方向是彼此的镜像,以及

所述第二布局设计的第二部分和所述第二布局设计的第四部分相对于所述第三方向是彼此的镜像。

4. 根据权利要求2所述的方法,其中,生成所述第一组存储器单元的所述第一布局设计或生成所述第二组存储器单元的所述第二布局设计包括:

生成与制造所述存储器单元阵列的有源区组相对应的有源区布局图案组,所述有源区布局图案组中的每个有源区布局图案在所述第三方向上通过第一间距与所述有源区布局图案组中的邻近布局图案分开,所述有源区布局图案组在所述第二方向上延伸并位于第一布局层级上,其中,生成所述有源区布局图案组包括:

生成第一有源区布局图案;

生成第二有源区布局图案;

在所述第一有源区布局图案和所述第二有源区布局图案之间生成第三有源区布局图

案,以及

在所述第三有源区布局图案和所述第二有源区布局图案之间生成第四有源区布局图案,所述第一有源区布局图案的长度不同于所述第二有源区布局图案的长度;

生成与制造所述存储器单元阵列的栅极结构组相对应的栅极布局图案组,所述栅极布局图案组在所述第三方向上延伸,与所述有源区布局图案组重叠并且位于与所述第一布局层级不同的第二布局层级上;以及

生成与制造所述存储器单元阵列的第一组导电结构相对应的第一组导电部件布局图案,所述第一组导电部件布局图案在所述第三方向上延伸并且至少位于所述有源区布局图案组或所述栅极布局图案组上方,所述第一组导电部件布局图案中的每个导电部件布局图案至少在所述第二方向或所述第三方向上与所述第一组导电部件布局图案中的邻近布局图案分开,并且位于与所述第一布局层级和所述第二布局层级不同的第三布局层级上。

5. 根据权利要求2所述的方法,其中,

所述第一组存储器单元至少布置在所述存储器单元阵列的第一行和第二行中,所述第一组存储器单元包括4个存储器单元,所述第一组存储器单元中的每个存储器单元包括五晶体管(5T)同步随机存取存储器(SRAM)存储器单元;以及

所述第二组存储器单元至少布置在所述存储器单元阵列的第三行和第四行中,所述第二组存储器单元包括4个存储器单元,所述第二组存储器单元中的每个存储器单元包括五晶体管(5T)同步随机存取存储器(SRAM)存储器单元。

6. 根据权利要求1所述的方法,其中,生成所述第一组存储器单元的第一布局设计包括:

生成所述第一布局设计的第一部分,所述第一布局设计的第一部分对应于制造所述存储器单元阵列的所述第一组存储器单元的第一存储器单元;

生成所述第一布局设计的第二部分,所述第一布局设计的第二部分对应于制造所述存储器单元阵列的所述第一组存储器单元的第二存储器单元;

生成所述第一布局设计的第三部分,所述第一布局设计的第三部分对应于制造所述存储器单元阵列的所述第一组存储器单元的第三存储器单元;以及

生成所述第一布局设计的第四部分,所述第一布局设计的第四部分对应于制造所述存储器单元阵列的所述第一组存储器单元的第四存储器单元,其中,

所述第一布局设计的第一部分和所述第一布局设计的第二部分相对于所述第二方向是彼此的镜像,以及

所述第一布局设计的第三部分和所述第一布局设计的第四部分相对于所述第二方向是彼此的镜像。

7. 一种形成存储器单元阵列的方法,所述存储器单元阵列具有存储器单元,所述方法包括:

通过处理器生成存储器单元阵列的布局设计,所述布局设计具有拐角槽口,其中,生成所述布局设计包括:

生成与制造所述存储器单元阵列的有源区组相对应的有源区布局图案组,所述有源区布局图案组中的每个有源区布局图案在第一方向上通过第一间距与所述有源区布局图案组中的邻近布局图案分开,所述有源区布局图案组在与所述第一方向不同的第二方向上延

伸并位于第一布局层级上,所述有源区布局图案组包括与所述拐角槽口和所述存储器单元的第一侧邻近的第一有源区布局图案,以及与所述存储器单元的第二侧邻近的第二有源区布局图案,其中,所述存储器单元的第二侧与所述存储器单元的第一侧相对;

其中,将所述第一有源区布局图案和所述第二有源区布局图案中的至少一个存储在非暂时性计算机可读介质上,并且通过硬件处理器实施以上生成操作中的至少一个,以及基于所述布局设计制造所述存储器单元阵列。

8. 根据权利要求7所述的方法,还包括:

生成与制造所述存储器单元阵列的栅极结构组相对应的栅极布局图案组,所述栅极布局图案组在所述第一方向上延伸、与所述有源区布局图案组重叠并且位于与所述第一布局层级不同的第二布局层级上;以及

生成与制造所述存储器单元阵列的第一组导电结构相对应的第一组导电部件布局图案,所述第一组导电部件布局图案在所述第一方向上延伸并至少位于所述有源区布局图案组或所述栅极布局图案组上方,所述第一组导电部件布局图案中的每个导电部件布局图案至少在所述第一方向或所述第二方向上与所述第一组导电部件布局图案中的邻近布局图案分开,并且位于与所述第一布局层级和所述第二布局层级不同的第三布局层级上。

9. 根据权利要求8所述的方法,其中,生成所述存储器单元阵列的布局设计还包括:

生成与制造所述存储器单元阵列的第二组导电结构相对应的第二组导电部件布局图案,所述第二组导电部件布局图案在所述第一方向上延伸并且至少与所述第二有源区布局图案和所述存储器单元的第二侧重叠,所述第二组导电部件布局图案中的每个导电部件布局图案至少在所述第一方向或所述第二方向上与所述第二组导电部件布局图案中的邻近布局图案分开并且位于与所述第一布局层级、所述第二布局层级和所述第三布局层级不同的第四布局层级上。

10. 一种存储器单元阵列,包括:

第一存储器单元,布置在第一方向上的第一行中;以及

第一位线,在与所述第一方向不同的第二方向延伸,并且连接至所述第一存储器单元;

第二存储器单元,布置在所述第一方向上的第二行中,

第二位线,在所述第二方向延伸,并且连接至所述第二存储器单元;

其中,至少所述第一存储器单元对应于五晶体管(5T)存储器单元,并且所述第一存储器单元包括:

第一有源区,邻近所述第一存储器单元的第一侧,以及

第二有源区,邻近与所述第一存储器单元的所述第一侧相对的所述第一存储器单元的第二侧,所述第一有源区的长度不同于所述第二有源区的长度,所述第一有源区和所述第二有源区在所述第二方向上延伸、位于第一层级上并且在所述第一方向上彼此分开。

存储器单元阵列及其形成方法

技术领域

[0001] 本发明的实施例一般地涉及半导体技术领域,更具体地,涉及存储器单元阵列及其形成方法。

背景技术

[0002] 半导体集成电路(IC)产业制造出各种各样的数字器件来解决多个不同领域的问题。这些数字器件中的一些(诸如存储器宏)配置为用于存储数据。例如,在一些应用中,高速缓存是可以在IC芯片上使用的特定的存储器宏。此外,在一些应用中,高速缓存可以配置为存储近期使用的数据,从而使得可以通过访问高速缓存而不是访问IC芯片之外(例如,芯片外)的存储器来实现对近期数据的后续访问。通常,较大的高速缓存允许将较多的近期数据存储在芯片上,从而减少了芯片外存储器数据访问。较小的存储器单元的设计可实现较密集的IC,并加速整体IC性能。因此,需要6晶体管(6T)同步随机存取存储器(SRAM)的替代品。

发明内容

[0003] 根据本发明的一方面,提供了一种形成存储器单元阵列的方法,所述方法包括:生成在第一方向上延伸的第一组图块,其中,生成所述第一组图块包括:生成第一组存储器单元的第一布局设计,所述第一组图块中的每个图块对应于所述第一组存储器单元的第一布局设计,并且所述第一组图块中的每个图块在与所述第一方向不同的第二方向上从所述第一组图块中的邻近图块偏移;其中,所述第一组图块中的每个图块在与所述第一方向和所述第二方向不同的第三方向上延伸,通过硬件处理器实施以上生成操作中的至少一个,并且将所述第一布局设计存储在非暂时性计算机可读介质中;以及至少基于所述第一布局设计制造存储器单元阵列。

[0004] 根据本发明的另一方面,提供了一种形成存储器单元阵列的方法,所述存储器单元阵列具有存储器单元,所述方法包括:通过处理器生成存储器单元阵列的布局设计,所述布局设计具有拐角槽口,其中,生成所述布局设计包括:生成与制造所述存储器单元阵列的有源区组相对应的有源区布局图案组,所述有源区布局图案组中的每个有源区布局图案在第一方向上通过第一间距与所述有源区布局图案组中的邻近布局图案分开,所述有源区布局图案组在与所述第一方向不同的第二方向上延伸并位于第一布局层级上,所述有源区布局图案组包括与所述拐角槽口和所述存储器单元的第一侧邻近的第一有源区布局图案,以及与所述存储器单元的第二侧邻近的第二有源区布局图案,其中,所述存储器单元的第二侧与所述存储器单元的第一侧相对;其中,将所述第一有源区布局图案和所述第二有源区布局图案中的至少一个存储在非暂时性计算机可读介质上,并且通过硬件处理器实施以上生成操作中的至少一个,以及基于所述布局设计制造所述存储器单元阵列。

[0005] 根据本发明的又一方面,提供了一种存储器单元阵列,包括:第一存储器单元,布置在第一方向上的第一行中;以及第一位线,在与所述第一方向不同的第二方向延伸,并且

连接至所述第一存储器单元；第二存储器单元，布置在所述第一方向上的第二行中，第二位线，在所述第二方向延伸，并且连接至所述第二存储器单元；其中，至少所述第一存储器单元对应于五晶体管 (5T) 存储器单元，并且所述第一存储器单元包括：第一有源区，邻近所述第一存储器单元的第一侧，以及第二有源区，邻近与所述第一存储器单元的所述第一侧相对的所述第一存储器单元的第二侧，所述第一有源区的长度不同于所述第二有源区的长度，所述第一有源区和所述第二有源区在所述第二方向上延伸、位于第一层级上并且在所述第一方向上彼此分开。

附图说明

[0006] 当结合附图进行阅读时，从以下详细描述可最佳地理解本发明的各个方面。应该注意，根据工业中的标准实践，各个部件未按比例绘制。实际上，为了清楚的讨论，各种部件的尺寸可以被任意增大或减小。

[0007] 图1是根据一些实施例的存储器单元的电路图。

[0008] 图2A是根据一些实施例的具有图1中的多个存储器单元的存储器单元阵列的框图。

[0009] 图2B是根据一些实施例的具有图1中的多个存储器单元的存储器单元阵列的电路图。

[0010] 图3A是根据一些实施例的布局设计的示图。

[0011] 图3B是根据一些实施例的布局设计的示图。

[0012] 图4A是根据一些实施例的布局设计的示图。

[0013] 图4B是根据一些实施例的布局设计的示图。

[0014] 图5A、图5B、图5C、图5D、图5E、图5F、图5G和图5H是根据一些实施例的至少一个集成电路的示图。

[0015] 图6是根据一些实施例的存储器单元阵列的布局设计的示图。

[0016] 图7是根据一些实施例的存储器单元阵列的布局设计的示图。

[0017] 图8是根据一些实施例的存储器单元阵列的布局设计的示图。

[0018] 图9是根据一些实施例的形成或制造存储器单元阵列的方法的流程图。

[0019] 图10A-图10B是根据一些实施例的生成存储器单元阵列的布局设计的方法的流程图。

[0020] 图11是根据一些实施例的集成电路 (IC) 制造系统及其相关的IC制造流程的框图。

[0021] 图12是根据一些实施例的用于设计IC布局设计的系统的框图。

具体实施方式

[0022] 以下公开内容提供了许多用于实现所提供主题的不同特征的不同实施例或实例。下面描述了组件、材料、值、步骤、布置等的特定实例以简化本发明。当然，这些仅仅是实例，而不旨在限制本发明。其他组件、材料、值、步骤、布置等是预期的。例如，在以下描述中，在第二部件上方或者上形成第一部件可以包括第一部件和第二部件以直接接触的方式形成的实施例，并且也可以包括在第一部件和第二部件之间可以形成额外的部件，从而使得第一部件和第二部件可以不直接接触的实施例。此外，本发明可在各个实例中重复参考标号

和/或字符。该重复是为了简单和清楚的目的,并且其本身不指示所讨论的各个实施例和/或配置之间的关系。

[0023] 而且,为了便于描述,在此可以使用诸如“在…下方”、“在…下面”、“下部”、“在…之上”、“上部”等空间相对术语以描述如图所示的一个元件或部件与另一个(或另一些)元件或部件的关系。除了图中所示的方位外,空间相对术语旨在包括器件在使用或操作中的不同方位。装置可以以其他方式定向(旋转90度或在其他方位上),并且在此使用的空间相对描述符可以同样地作出相应的解释。

[0024] 根据一些实施例,一种形成存储器单元阵列的方法包括:生成在第一方向上延伸的第一组图块(tiles,又称平铺图案)并生成在第一方向上延伸的第二组图块。在一些实施例中,第一组图块中的每个图块对应于第一组存储器单元的第一布局设计。在一些实施例中,第二组图块中的每个图块对应于第二组存储器单元的第二布局设计。

[0025] 在一些实施例中,第一组存储器单元中的每个存储器单元包括五晶体管(5T)同步随机存取存储器(SRAM)存储器单元。在一些实施例中,第二组存储器单元中的每个存储器单元包括5T SRAM存储器单元。

[0026] 在一些实施例中,至少在存储器单元阵列的第一行和第二行中布置第一组存储器单元。在一些实施例中,至少在存储器单元阵列的第三行和第四行中布置第二组存储器单元。

[0027] 在一些实施例中,第一组图块的形状或第二组图块的形状是非矩形的,从而产生比其他设计更小的标准单元。在一些实施例中,通过具有更小的标准单元,第一组图块或第二组图块可用于制造比其他集成电路更小的集成电路。

[0028] 第一组图块和第二组图块在第二方向上彼此交替。在一些实施例中,第二组图块在第二方向上与第一组图块分开。

[0029] 在一些实施例中,第一组图块中的每个图块在与第一方向不同的第二方向上从第一组图块中的邻近图块偏移。在一些实施例中,第二组图块中的每个图块在第二方向上从第二组图块中的邻近图块偏移。

[0030] 在一些实施例中,生成第一组图块包括生成第一组存储器单元的第一布局设计。在一些实施例中,生成第二组图块包括生成第二组存储器单元的第二布局设计。

[0031] 在一些实施例中,第一组图块中的每个图块和第二组图块中的每个图块在与第一方向和第二方向不同的第三方向上延伸。

[0032] 图1是根据一些实施例的存储器单元100的电路图。

[0033] 存储器单元100是用于说明的五晶体管(5T)单端口(SP)静态随机存取存储器(SRAM)存储器单元。在一些实施例中,存储器单元100采用除了五个之外的多个晶体管。其他类型的存储器在各个实施例的范围内。

[0034] 存储器单元100包括三个P型金属氧化物半导体(PMOS)晶体管P1、P2和P3以及两个N型金属氧化物半导体(NMOS)晶体管N1和N2。晶体管P1、P2、N1和N2形成交叉锁存器或一对交叉耦合的反相器。例如,PMOS晶体管P1和NMOS晶体管N1形成第一反相器,而PMOS晶体管P2和NMOS晶体管N2形成第二反相器。

[0035] PMOS晶体管P1和P2中的每个的源极端子配置为电源节点NODE_1。每个电源节点NODE_1连接至第一电压源VDDI。PMOS晶体管P1的漏极端子与NMOS晶体管N1的漏极端子、

PMOS晶体管P2的栅极端子、NMOS晶体管N2的栅极端子连接,并且配置为存储节点NDB。

[0036] PMOS晶体管P2的漏极端子与NMOS晶体管N2的漏极端子、PMOS晶体管P1的栅极端子、NMOS晶体管N1的栅极端子、PMOS晶体管P3的源极端子连接,并且配置为存储节点ND。NMOS晶体管N1和N2中的每个的源极端子配置为具有电源参考电压VSS的电源参考电压节点(未标记)。NMOS晶体管N1和N2中的每个的源极端子也连接至电源参考电压VSS。

[0037] 字线WL1与PMOS晶体管P3的栅极端子连接。字线WL1也称为写入控制线,因为PMOS晶体管P3配置为由字线WL1上的信号进行控制,以便在位线BL1和节点ND之间传输数据。

[0038] PMOS晶体管P3的漏极端子连接至位线BL1。位线BL1配置为用于存储器单元100的数据输入和输出这两者。在一些实施例中,在写入操作中,将逻辑值施加至位线BL1使得能够将位线BL1上的逻辑值写入至存储器单元100。位线BL1称为数据线,因为将位线BL1上携带的数据写入至节点ND并从节点ND读取位线BL1上携带的数据。在一些实施例中,PMOS晶体管P3的源极端子连接至位线BL1,并且PMOS晶体管P3的漏极端子连接至存储节点ND。

[0039] 图2A是根据一些实施例的具有图1中的多个存储器单元的存储器单元阵列200A的框图。例如,图1的存储器单元100可用作存储器单元阵列200A中的一个或多个存储器单元。

[0040] 存储器单元阵列200A包括具有M行和N列的存储器单元202[1,1]、202[1,2]、...、202[2,2]、...、202[M,N]的阵列(统称为“存储器单元的阵列202A”),其中,N是与存储器单元的阵列202A中的列数相对应的正整数,并且M是与存储器单元的阵列202A中的行数相对应的正整数。在第一方向X上存储器单元的阵列202A中的单元行。在第二方向Y上布置存储器单元的阵列202A中的单元列。第二方向Y不同于第一方向X。在一些实施例中,第二方向Y垂直于第一方向X。图1的存储器单元100可用作存储器单元的阵列202A中的一个或多个存储器单元。

[0041] 存储器单元阵列200A还包括2N个位线BL[1]、...BL[2N](统称为“位线BL”)。存储器单元的阵列202A中的每列1、...、N与一对位线BL[1]、...、BL[2N]重叠。每条位线BL在第二方向Y上延伸并位于单元的列(例如,列1、...、N)上方。在一些实施例中,存储器单元阵列200A不包括一个或多个位线条BLB。注意,在上下文中所使用的术语“条”指示逻辑反相信号,例如,位线条BLB[1]、...、BLB[N]携带有与由位线BL[1]、...、BL[N]携带的信号逻辑反向的信号。

[0042] 存储器单元的阵列202A或图2B的存储器单元的阵列202B中的位线组BL中的位线对应于图1的位线BL1。

[0043] 在一些实施例中,存储器单元的阵列202A中的一对存储器单元位于位线BL中的一对位线之间。例如,在存储器单元阵列200A的第1行和第1列中,存储器单元202[1,1]和存储器单元202[1,2]均位于位线BL[1]和BL[2]之间。类似地,在存储器单元阵列200A的第1行和第2列中,存储器单元202[1,3]和存储器单元202[1,4]均位于位线BL[3]和BL[4]之间。

[0044] 存储器单元阵列200A还包括2M个字线WL[1]、...、WL[2M](统称为“字线WL”)。每个字线WL在第一方向X上延伸并且位于单元的行(例如,行1、...、M)上方。存储器单元的阵列202A中的每行1、...、M与字线WL[1]、...、WL[2M]中的一对字线重叠。例如,字线WL[1]和WL[2]均与存储器单元的阵列202A的第1行重叠。类似地,字线WL[3]和WL[4]均与存储器单元的阵列202A的第2行重叠,并且字线WL[7]和WL[2M]均与存储器单元的阵列202A的第M行重叠。

[0045] 存储器单元的阵列202A或图2B的存储器单元的阵列202B中的字线组WL中的字线对应于图1的字线WL1。

[0046] 在一些实施例中,存储器单元的阵列202A的每行存储器单元位于字线WL的一对字线之间。例如,在存储器单元阵列200A的第1行中,存储器单元202[1,1]、202[1,2]、...、202[1,N]位于字线WL[1]和WL[2]之间。类似地,在存储器单元阵列200A的第二行中,存储器单元202[2,1]、202[2,2]、...、202[2,N]位于字线WL[3]和WL[4]之间。

[0047] 存储器单元的阵列202A中的每个存储器单元连接至位线BL中的相应位线和字线WL中的相应字线。例如,存储器单元202[1,1]连接至位线BL[1]和字线WL[1]。类似地,存储器单元202[1,2]连接至位线BL[2]和字线WL[2],存储器单元202[1,3]连接至位线BL[3]和字线WL[2],存储器单元202[2,1]连接至位线BL[1]和字线WL[4],存储器单元202[2,2]连接至位线BL[2]和字线WL[3]。

[0048] 将存储器单元的阵列202A中的存储器单元分组为第一组存储器单元204和第二组存储器单元206。

[0049] 第一组存储器单元204包括存储器单元204a、204b、...、204i。

[0050] 第二组存储器单元206包括存储器单元206a、206b、206c和206d。

[0051] 在一些实施例中,第一组存储器单元204的存储器单元对应于第一布局设计类型(例如,图3A-图3B的布局设计300A-300B)的存储器单元,并且第二组存储器单元206对应于与第一布局设计类型不同的第二布局设计类型(例如,图4A-图4B的布局设计400A-400B)的存储器单元。

[0052] 在一些实施例中,第一组存储器单元204的存储器单元对应于第二布局设计类型(例如,图4A-图4B的布局设计400A-400B)的存储器单元,并且第二组存储器单元206对应于第一布局设计类型(例如,图3A-图3B的布局设计300A-300B)的存储器单元。

[0053] 图2B是根据一些实施例的具有图1中的多个存储器单元的存储器单元阵列200B的电路图。存储器单元阵列200B是用电路图表示的图2A的存储器单元阵列200A的框图的实施例。图1的存储器单元100可用作存储器单元阵列200B中的一个或多个存储器单元。

[0054] 与图2A的存储器单元阵列200A相比,存储器单元阵列200B中的多个存储器单元的阵列202B替换图2A的存储器单元的阵列202A。存储器单元的阵列202B是图2A的存储器单元的阵列202A的实施例。

[0055] 存储器单元的阵列202B中的每个存储器单元包括连接至第一组反相器212(未标记)中的相应反相器I1[1,1]、I1[1,2]、...、I1[M,N]和第二组反相器214(未标记)中的相应反相器I2[1,1]、I2[1,2]、...、I2[M,N]中的每个的PMOS晶体管组210(未标记)的相应PMOS晶体管P3[1,1]、P3[1,2]、...、P[M,N]。第一组反相器212和第二组反相器214是交叉耦合的反相器组216(未标记)的部分。

[0056] 存储器单元的阵列202B中的PMOS晶体管组210的一个或多个PMOS晶体管P3[1,1]、P3[1,2]、...、P3[M,N]对应于图1的PMOS晶体管P3。

[0057] 存储器单元的阵列202B中的第一组反相器212的一个或多个反相器I1[1,1]、I1[1,2]、...、I1[M,N]对应于图1的PMOS晶体管P2和NMOS晶体管N2。

[0058] 存储器单元的阵列202B中的第二组反相器214的一个或多个反相器I2[1,1]、I2[1,2]、...、I2[M,N]对应于图1的PMOS晶体管P1和NMOS晶体管N1。

[0059] 在一些实施例中,存储器单元阵列200A或200B的一个或多个存储器单元包括一个或多个单端口(SP)SRAM单元。在一些实施例中,存储器单元阵列200A或200B的一个或多个存储器单元包括一个或多个双端口(DP)SRAM单元。存储器单元阵列200A或200B中的不同类型的存储器单元在本发明的预期范围内。存储器单元202A或202B的阵列的不同配置在本发明的预期范围内。存储器单元202A或202B的阵列中的位线BL或字线WL的不同配置在本发明的预期范围内。

[0060] 在一些实施例中,存储器单元阵列200A-200B包括使得存储器单元阵列200A-200B包括比其他存储器单元阵列更少的晶体管的5T SRAM单元(图1)的阵列。在一些实施例中,通过包括较少晶体管的存储器单元阵列200A-200B,存储器单元阵列200A-200B占用比其他存储器单元阵列更小的面积。在一些实施例中,通过占用比其他存储器单元阵列更小的面积,存储器单元阵列200A-200B更密集并且具有比其他方法更大的存储容量。

[0061] 图3A是根据一些实施例的布局设计300A的示图。布局设计300A对应于图2A-图2B的存储器单元阵列200A-200B的部分的布局图。例如,布局设计300A对应于图2A-图2B的第二组存储器单元206的一个或多个存储器单元206a、206b、206c或206d的布局设计。

[0062] 与图3B、图4A-图4B和图6-图8(下面所示)的一个或多个中的组件相同或类似的部件给出相同的参考标记,并且因此省略其详细描述。

[0063] 布局设计400A-400B(图4A-图4B)、布局设计600(图6)、布局设计700(图7)或布局设计800(图8)的结构关系(包括对准、长度和宽度)以及配置类似于图3A-图3B的布局设计300A或300B的结构关系和配置,并且为了简明,在图4A-图4B以及图6-图8中将不再描述。

[0064] 布局设计300A可用于制造集成电路500A(图5A-图5H)。

[0065] 布局设计300A对应于图2A-图2B的存储器单元202[1,2]、202[1,3]、202[2,2]和202[2,3]的布局设计。在一些实施例中,布局设计300A对应于图2A-图2B的存储器单元202[1,6]、202[1,7]、202[2,6]和202[2,7]的布局设计。在一些实施例中,布局设计300A对应于图2A-图2B的存储器单元202[3,2]、202[3,3]、202[4,2]和202[4,3]的布局设计。在一些实施例中,布局设计300A对应于图2A-图2B的存储器单元202[3,6]、202[3,7]、202[4,6]和202[4,7]的布局设计。在一些实施例中,布局设计300A对应于图2A-图2B的第一组存储器单元204中的一个或多个存储器单元204a、204b、...、204i的布局设计。

[0066] 布局设计300A包括第一部分302a、第二部分302b、第三部分302c和第四部分302d。布局设计300A的中心对应于第一部分302a、第二部分302b、第三部分302c和第四部分302d中的每个之间的边界。在一些实施例中,第一部分302a对应于存储器单元202[1,2]的布局设计,第二部分302b对应于存储器单元202[2,2]的布局设计,第三部分302c对应于存储器单元202[1,3]的布局设计,而第四部分302d对应于存储器单元202[2,3]的布局设计。第一部分302a、第二部分302b、第三部分302c和第四部分302d具有相应的拐角槽口(corner notches)390a、390b、390c和390d(参见附图3B)。第一部分302a、第二部分302b、第三部分302c和第四部分302d的其他配置在本发明的范围内。

[0067] 第一部分302a包括有源区布局图案304a、306a、308a和310a(统称为“有源区布局图案组312a”)。有源区布局图案304a、306a、308a和310a可用于制造集成电路500A或500B(图5A-图5H)的相应源区504a1、506a1、508a1和510a1。

[0068] 在一些实施例中,有源区布局图案组312a称为氧化物限定(OD)布局图案,其限定

布局设计300A-300B的源极或漏极扩散布局图案。例如,在一些实施例中,有源区布局图案304a可用于制造图3A-图3B的PMOS晶体管P1a的漏极和源极区,有源区布局图案306a可用于制造图3A-图3B的NMOS晶体管N1a的漏极和源极区,有源区布局图案308a可用于制造图3A-图3B的NMOS晶体管N2a的漏极和源极区,并且有源区布局图案310a可用于制造图3A-图3B的PMOS晶体管P2a和PG1a的漏极和源极区。在一些实施例中,PMOS晶体管P1a对应于PMOS晶体管P1(图1),PMOS晶体管P2a对应于PMOS晶体管P2(图1),PMOS晶体管PG1a对应于PMOS晶体管P3(图1),NMOS晶体管N1a对应于NMOS晶体管N1(图1),并且NMOS晶体管N2a对应于NMOS晶体管N2(图1)。

[0069] 有源区布局图案组312a中的每个布局图案在第一方向X上通过第一间距(未标记)与有源区布局图案组312a中的邻近布局图案分开。在一些实施例中,邻近元件直接紧邻另一元件。有源区布局图案组312a中的每个布局图案在与第一方向X不同的第二方向Y上延伸并且位于第一布局层级上。在一些实施例中,第一布局层级对应于布局设计300A-300B或400A-400B(图4A-图4B)的有源区。

[0070] 有源区布局图案304a邻近或直接紧邻布局设计300A的第一部分302a的第一侧和拐角槽口390a。有源区布局图案310a邻近或直接紧邻布局设计300A的第一部分302a的第二侧。布局设计300A的第一部分302a的第二侧与布局设计300A的第一部分302a的第一侧相对。在一些实施例中,有源区布局图案306a邻近拐角槽口390a。在一些实施例中,有源区布局图案304a从布局设计300A的一侧延伸至布局设计的拐角槽口390a。在一些实施例中,有源区布局图案304a和304b从槽口390a延伸至槽口390b。在一些实施例中,有源区布局图案304b从布局设计300A的一侧延伸至布局设计的拐角槽口390b。在一些实施例中,有源区布局图案304c从布局设计300A的一侧延伸至布局设计的拐角槽口390c。在一些实施例中,有源区布局图案304c和304d从槽口390c延伸至槽口390d。在一些实施例中,有源区布局图案304d从布局设计300A的一侧延伸至布局设计的拐角槽口390d。

[0071] 在一些实施例中,有源区布局图案304a在第二方向Y上的长度不同于有源区布局图案310a在第二方向Y上的长度。在一些实施例中,有源区布局图案306a在第二方向Y上的长度不同于有源区布局图案308a在第二方向Y上的长度。在一些实施例中,有源区布局图案306a在第二方向Y上的长度与有源区布局图案308a在第二方向Y上的长度相同。有源区布局图案组312a的其他数量或配置在本发明的范围内。

[0072] 第一部分302a还包括栅极布局图案320a、322a和324a(统称为“栅极布局图案组326a”)。在一些实施例中,栅极布局图案320a、322a和324a可用于制造集成电路500A-500B(图5A-图5H)的相应栅极结构520a、522a和524a。在一些实施例中,栅极布局图案320a可用于制造PMOS晶体管P1a和NMOS晶体管N1a的栅极区,栅极布局图案322a可用于制造NMOS晶体管N2a和PMOS晶体管P2a的栅极区,并且栅极布局图案324a可用于制造PMOS晶体管PG1a的栅极区。在一些实施例中,栅极布局图案322a邻近拐角槽口390a。

[0073] 在一些实施例中,栅极布局图案组326a中的每个栅极布局图案在第一方向X上延伸并且与有源区布局图案组312a重叠。栅极布局图案组326a位于与第一布局层级不同的第二布局层级上。在一些实施例中,第二布局层级对应于布局设计300A-300B或400A-400B(图4A-图4B)的多晶硅(POLY)层级。有源区布局图案组312a位于栅极布局图案组326a下面。栅极布局图案组326a的其他数量或配置在本发明的范围内。

[0074] 第一部分302a还包括导电部件布局图案330a、332a、334a和336a(统称为“导电部件布局图案组338a”)。在一些实施例中,导电部件布局图案330a、332a、334a和336a可用于制造集成电路500A-500B(图5A-图5H)的相应导电结构530a、532a、534a和536a。

[0075] 在一些实施例中,导电部件布局图案组338a在第一方向X上延伸,并且至少位于有源区布局图案组312a或栅极布局图案组326a上方。导电部件布局图案330a与有源区布局图案304a和306a重叠。导电部件布局图案334a与有源区布局图案308a和310a重叠。导电部件布局图案332a、336a位于相应的有源区布局图案308a、310a上方。在一些实施例中,导电部件布局图案330a邻近拐角槽口390a。

[0076] 在一些实施例中,导电部件布局图案组338a中的每个导电部件布局图案至少在第一方向X或第二方向Y上与导电部件布局图案组338a中的邻近布局图案分开。导电部件布局图案组338a位于与第一布局层级和第二布局层级不同的第三布局层级上。在一些实施例中,第三布局层级对应于布局设计300A-300B或400A-400B(图4A-图4B)的金属一(M1)层级。导电部件布局图案组338a的其他数量或配置在本发明的范围内。

[0077] 第一部分302a还包括通孔布局图案360a、362a、364a、366a、368a、370a(统称为“通孔布局图案组358a”)。在一些实施例中,通孔布局图案360a、362a、364a、366a、368a、370a可用于制造集成电路500A-500B(图5A-图5H)的相应通孔560a、562a、564a、566a、568a、570a。

[0078] 在一些实施例中,通孔布局图案组358a中的每个通孔布局图案位于导电部件布局图案组338a中的每个导电部件布局图案与有源区布局图案组312a中的每个有源区布局图案重叠的位置处。通孔布局图案组358a位于导电部件布局图案组338a和有源区布局图案组312a之间。在一些实施例中,通孔布局图案组358a至少位于布局设计300A-300B或400A-400B(图4A-图4B)的通孔零(V0)层级上。在一些实施例中,V0层级位于布局设计300A-300B或400A-400B(图4A-图4B)的第三布局层级与第一布局层级或第二布局层级之间。在一些实施例中,布局设计300A的第一部分302a可用于制造存储器单元阵列200A或200B的第二组存储器单元206中的存储器单元202[1,2]、202[1,6]、202[3,2]或202[3,6]。通孔布局图案组358a的其他数量或配置在本发明的范围内。

[0079] 第二部分302b包括有源区布局图案304b、306b、308b和310b(统称为“有源区布局图案组312b”),栅极布局图案320b、322b和324b(统称为“栅极布局图案组326b”),导电部件布局图案330b、332b、334b和336b(统称为“导电部件布局图案组338b”)和通孔布局图案360b、362b、364b、366b、368b、370b(统称为“通孔布局图案组358b”)。

[0080] 在一些实施例中,布局设计300A-300B的第一部分302a和第二部分302b相对于第二方向Y是彼此的镜像,并且因此省略类似的详细描述。

[0081] 在一些实施例中,有源区布局图案304b、306b、308b和310b可用于制造与集成电路500A或500B(图5A-图5H)的相应有源区504a1、506a1、508a1和510a1类似的有源区。在一些实施例中,栅极布局图案320b、322b和324b可用于制造与集成电路500A-500B(图5A-图5H)的相应栅极结构520a、522a和524a类似的栅极结构。在一些实施例中,导电部件布局图案330b、332b、334b和336b可用于制造与集成电路500A-500B(图5A-图5H)的相应导电结构530a、532a、534a和536a类似的导电结构。在一些实施例中,通孔布局图案360b、362b、364b、366b、368b、370b可用于制造与集成电路500A-500B(图5A-图5H)的相应通孔560a、562a、564a、566a、568a、570a类似的通孔。

[0082] 在一些实施例中,有源区布局图案304a和304b是相同的连续有源区布局图案的部分。在一些实施例中,有源区布局图案308a和308b是相同的连续有源区布局图案的部分。在一些实施例中,有源区布局图案310a和310b是相同的连续有源区布局图案的部分。

[0083] 在一些实施例中,布局设计300A的第二部分302b可用于制造存储器单元阵列200A或200B的第二组存储器单元206的存储器单元202[2,2]、202[2,6]、202[M,2]或202[M,6]。

[0084] 第三部分302c包括有源区布局图案304c、306c、308c和310c(统称为“有源区布局图案组312c”),栅极布局图案320c、322c和324c(统称为“栅极布局图案组326c”),导电部件布局图案330c、332c、334c和336c(统称为“导电部件布局图案338c”)和通孔布局图案360c、362c、364c、366c、368c、370c(统称为“通孔布局图案组358c”)。

[0085] 在一些实施例中,布局设计300A-300B的第一部分302a和第三部分302c相对于第一方向X是彼此的镜像,并且因此省略类似的详细描述。

[0086] 在一些实施例中,有源区布局图案304c、306c、308c和310c可用于制造与集成电路500A或500B(图5A-图5H)的相应有源区504a1、506a1、508a1和510a1类似的有源区。在一些实施例中,栅极布局图案320c、322c和324c可用于制造与集成电路500A-500B(图5A-图5H)的相应栅极结构520a、522a和524a类似的栅极结构。在一些实施例中,导电部件布局图案330c、332c、334c和336c可用于制造与集成电路500A-500B(图5A-图5H)的相应导电结构530a、532a、534a和536a类似的导电结构。在一些实施例中,通孔布局图案360c、362c、364c、366c、368c、370c可用于制造与集成电路500A-500B(图5A-图5H)的相应通孔560a、562a、564a、566a、568a、570a类似的通孔。在一些实施例中,栅极布局图案324a和324c是相同的连续栅极布局图案的部分。

[0087] 在一些实施例中,布局设计300A的第三部分302c可用于制造存储器单元阵列200A或200B的第二组存储器单元206的存储器单元202[1,3]、202[1,7]、202[3,3]或202[3,7]。

[0088] 第四部分302d包括有源区布局图案304d、306d、308d和310d(统称为“有源区布局图案组312d”),栅极布局图案320d、322d和324d(统称为“栅极布局图案组326d”),导电部件布局图案330d、332d、334d和336d(统称为“导电部件布局图案组338d”)和通孔布局图案360d、362d、364d、366d、368d、370d(统称为“通孔布局图案组358d”)。

[0089] 在一些实施例中,布局设计300A-300B的第三部分302c和第四部分302d相对于第二方向Y是彼此的镜像,并且因此省略类似的详细描述。在一些实施例中,布局设计300A-300B的第二部分302b和第四部分302d相对于第一方向X是彼此的镜像,并且因此省略类似的详细描述。

[0090] 在一些实施例中,有源区布局图案304d、306d、308d和310d可用于制造与集成电路500A或500B(图5A-图5H)的相应有源区504a1、506a1、508a1和510a1类似的有源区。在一些实施例中,有源区布局图案304b、304c和304d可用于制造相应PMOS晶体管P1b、P1c和P1d的漏极和源极区,有源区布局图案306b、306c和306d可用于制造相应NMOS晶体管N1b、N1c和N1d的漏极和源极区,有源区布局图案308b、308c和308d可用于制造相应NMOS晶体管N2b、N2c和N2d的漏极和源极区,有源区布局图案310b可用于制造PMOS晶体管P2b和PG1b的漏极和源极区,有源区布局图案310c可用于制造PMOS晶体管P2c和PG1c的漏极和源极区,并且有源区布局图案310d可用于制造PMOS晶体管P2d和PG1d的漏极和源极区。

[0091] 在一些实施例中,PMOS晶体管P1b、P1c或P1d类似于PMOS晶体管P1(图1),PMOS晶体

管P2b、P2c或P2d类似于PMOS晶体管P2(图1),PMOS晶体管PG1b、PG1c或PG1d类似于PMOS晶体管P3(图1),NMOS晶体管N1b、N1c或N1d类似于NMOS晶体管N1(图1),并且NMOS晶体管N2b、N2c或N2d类似于NMOS晶体管N2(图1)。

[0092] 在一些实施例中,栅极布局图案320d、322d和324d可用于制造与集成电路500A-500B(图5A-图5H)的相应栅极结构520a、522a和524a类似的栅极结构。在一些实施例中,栅极布局图案320b可用于制造PMOS晶体管P1b和NMOS晶体管N1b的栅极区,栅极布局图案322b可用于制造NMOS晶体管N2b和PMOS晶体管P2b的栅极区,栅极布局图案320c可用于制造PMOS晶体管P1c和NMOS晶体管N1c的栅极区,栅极布局图案322c可用于制造NMOS晶体管N2c和PMOS晶体管P2c的栅极区,栅极布局图案320d可用于制造PMOS晶体管P1d和NMOS晶体管N1d的栅极区,栅极布局图案322d可用于制造NMOS晶体管N2d和PMOS晶体管P2d的栅极区,并且栅极布局图案324b、324c和324d可用于制造PMOS晶体管PG1b、PG1c和PG1d的相应栅极区。

[0093] 在一些实施例中,导电部件布局图案330d、332d、334d和336d可用于制造与集成电路500A-500B(图5A-图5H)的相应导电结构530a、532a、534a和536a类似的导电结构。在一些实施例中,通孔布局图案360d、362d、364d、366d、368d、370d可用于制造与集成电路500A-500B(图5A-图5H)的相应通孔560a、562a、564a、566a、568a、570a类似的通孔。

[0094] 在一些实施例中,有源区布局图案304c和304d是相同的连续有源区布局图案的部分。在一些实施例中,有源区布局图案308c和308d是相同的连续有源区布局图案的部分。在一些实施例中,有源区布局图案310c和310d是相同的连续有源区布局图案的部分。

[0095] 有源区布局图案组312b、312c和312d中的每个类似于有源区布局图案组312a,并且因此省略类似的详细描述。栅极布局图案组326b、326c和326d中的每个类似于栅极布局图案组326a,并且因此省略类似的详细描述。导电部件布局图案组338b、338c和338d中的每个类似于导电部件布局图案组338a,并且因此省略类似的详细描述。通孔布局图案组358b、358c和358d中的每个类似于通孔布局图案组358a,并且因此省略类似的详细描述。在一些实施例中,栅极布局图案324b和324d是相同的连续栅极布局图案的部分。

[0096] 在一些实施例中,布局设计300A的第四部分302d可用于制造存储器单元阵列200A或200B的第二组存储器单元206的存储器单元202[2,3]、202[2,7]、202[M,3]或202[M,7]。

[0097] 有源区布局图案组312b、312c、312d,栅极布局图案组326b、326c、326d,导电部件布局图案组338b、338c、338d或通孔布局图案组358b、358c和358d的其他数量或配置在本发明的范围内。

[0098] 布局设计300A还包括导电部件布局图案340a、340b(统称为“导电部件布局图案组340”)。在一些实施例中,导电部件布局图案340a和340b可用于制造集成电路500A-500B(图5A-图5H)的导电结构540a或类似的导电结构。

[0099] 在一些实施例中,导电部件布局图案组340在第一方向X上延伸,并位于栅极布局图案324a和324b上方。导电部件布局图案340a位于栅极布局图案324a上方。导电部件布局图案340b位于栅极布局图案324b上方。

[0100] 在一些实施例中,导电部件布局图案组340中的每个导电部件布局图案至少在第二方向Y上与导电部件布局图案组340中的邻近布局图案分开。导电部件布局图案组340位于第三布局层级上。

[0101] 布局设计300A还包括导电部件布局图案342a、342b(统称为“导电部件布局图案组

342”)。在一些实施例中,导电部件布局图案342a和342b可用于制造集成电路500A-500B(图5A-图5H)的相应导电结构542a和542b。在一些实施例中,导电部件布局图案组342在第一方向X上延伸。导电部件布局图案342a位于有源区布局图案304a和304b上方。导电部件布局图案342b位于有源区布局图案306a和306b上方。在一些实施例中,导电部件布局图案组342中的每个导电部件布局图案至少在第一方向X上与导电部件布局图案组342中的邻近布局图案分开。导电部件布局图案组342位于第三布局层级上。

[0102] 布局设计300A还包括导电部件布局图案344a、344b(统称为“导电部件布局图案组344”)。在一些实施例中,导电部件布局图案344a和344b可用于制造与集成电路500A-500B(图5A-图5H)的相应导电结构542a和542b类似的导电结构。在一些实施例中,导电部件布局图案组344在第一方向X上延伸。导电部件布局图案344a位于有源区布局图案304c和304d上方。导电部件布局图案344b位于有源区布局图案306c和306d上方。在一些实施例中,导电部件布局图案组344中的每个导电部件布局图案至少在第一方向X上与导电部件布局图案组344中的邻近布局图案分开。导电部件布局图案组344位于第三布局层级上。

[0103] 布局设计300A至少还包括导电部件布局图案350a(统称为“导电部件布局图案组350”)。在一些实施例中,导电部件布局图案350a可用于制造集成电路500A-500B(图5A-图5H)的导电结构550a。

[0104] 在一些实施例中,导电部件布局图案350a在第一方向X上延伸,并且至少位于有源区布局图案310a、310b、310c和310d上方。

[0105] 在一些实施例中,导电部件布局图案组(未标记)中的每个导电部件布局图案350a至少在第一方向X或第二方向Y上与导电部件布局图案组(未标记)中的邻近布局图案分开。导电部件布局图案350a位于与第一布局层级、第二布局层级和第三布局层级不同的第四布局层级上。在一些实施例中,第四布局层级对应于布局设计300A-300B或400A-400B(图4A-图4B)的金属二(M2)层级。

[0106] 布局设计300A还包括通孔布局图案374a、374b(统称为“通孔布局图案组374”)。在一些实施例中,通孔布局图案374a、374b可用于制造集成电路500A-500B(图5A-图5H)的相应通孔574a、574b。在一些实施例中,通孔布局图案组374中的每个通孔布局图案位于导电部件布局图案342a、342b与相应的有源区布局图案304a、304b、306a、和306b重叠的位置处。通孔布局图案374a、374b位于相应的导电部件布局图案342a、342b和相应的有源区布局图案304a、304b、306a、和306b之间。在一些实施例中,通孔布局图案组374至少位于布局设计300A-300B或400A-400B(图4A-图4B)的V0层级上。

[0107] 布局设计300A还包括通孔布局图案376a、376b(统称为“通孔布局图案组376”)。在一些实施例中,通孔布局图案376a、376b可用于制造与集成电路500A-500B(图5A-图5H)的相应通孔574a、574b类似的通孔。在一些实施例中,通孔布局图案组376中的每个通孔布局图案位于导电部件布局图案344a、344b与相应的有源区布局图案304c、304d、306c、和306d重叠的位置处。通孔布局图案376a、376b位于相应的导电部件布局图案344a、344b和相应的有源区布局图案304c、304d、306c、和306d之间。在一些实施例中,通孔布局图案组376至少位于布局设计300A-300B或400A-400B(图4A-图4B)的V0层级上。

[0108] 布局设计300A还包括通孔布局图案378a、378b(统称为“通孔布局图案组378”)。在一些实施例中,通孔布局图案378a、378b可用于制造集成电路500A-500B(图5A-图5H)的通

孔578a或与通孔578a类似的通孔。在一些实施例中,通孔布局图案组378位于导电部件布局图案350a与有源区布局图案310a、310b、310c和310d重叠位置处。通孔布局图案378a位于导电部件布局图案350a与有源区布局图案310a和310b之间。通孔布局图案378b位于导电部件布局图案350a与有源区布局图案310c和310d之间。在一些实施例中,通孔布局图案组378至少位于布局设计300A-300B或400A-400B(图4A-图4B)的通孔一(V1)层级上。在一些实施例中,V1层级位于布局设计300A-300B或400A-400B(图4A-图4B)的第三布局层级和第四布局层级之间。

[0109] 布局设计300A还包括通孔布局图案380a、380b(统称为“通孔布局图案组380”)。在一些实施例中,通孔布局图案380a、380b可用于制造集成电路500A-500B(图5A-图5H)的通孔580a或与通孔580a类似的通孔。在一些实施例中,通孔布局图案380a位于导电部件布局图案340a与栅极布局图案324a和324c重叠的位置处。在一些实施例中,通孔布局图案380b位于导电部件布局图案340b与栅极布局图案324b和324d重叠的位置处。通孔布局图案380a位于导电部件布局图案340a与栅极布局图案324a和324c之间。通孔布局图案380b位于导电部件布局图案340b与栅极布局图案324b和324d之间。在一些实施例中,通孔布局图案组380至少位于布局设计300A-300B或400A-400B(图4A-图4B)的栅极上通孔(via over gate)(VG)层级上。在一些实施例中,VG层级位于布局设计300A-300B或400A-400B(图4A-图4B)的第三布局层级和第二布局层级之间。

[0110] 导电部件布局图案340a、340b、342a、342b、344a、344b或350a或通孔布局图案374a、374b、376a、376b、378a、378b、380a或380b的其他数量或配置也在本发明的范围内。

[0111] 在一些实施例中,布局设计300A-300B具有非矩形形状,产生比其他设计更小的标准单元。在一些实施例中,通过具有较小的标准单元,布局设计300A-300B可用于制造比其他集成电路更小的集成电路。

[0112] 图3B是根据一些实施例的布局设计300B的示意图。

[0113] 布局设计300B可用于制造集成电路500A(图5A-图5H)。布局设计300B是图3A的布局设计300A的变型。与图3A的布局设计300A相比,布局设计300B还包括第一阱布局图案314和第二阱布局图案316。

[0114] 第一阱布局图案314在第二方向Y上延伸且位于第五布局层级上。第一阱布局图案314可用于制造集成电路500A(图5A-图5H)的第一阱501(例如,至少部分501a、501b)。在一些实施例中,第五布局层级不同于第一布局层级、第二布局层级、第三布局层级和第四布局层级。在一些实施例中,第五布局层级对应于布局设计300A-300B或400A-400B(图4A-图4B)的阱层级。在一些实施例中,第五布局层级的部分包括第一布局层级。第一阱布局图案314包括布局图案354a、354b和354c。

[0115] 布局图案354a在第二方向Y上延伸并且位于有源区布局图案304a和304b下面。布局图案354a邻近布局设计300B的第一部分302a或第二部分302b的一侧352a以及拐角槽口390a和390b。布局图案354a可用于制造集成电路500A(图5A-图5H)的第一阱501的部分501a。布局图案354a在第一方向X上具有宽度W1(未标记)。

[0116] 布局图案354b在第二方向Y上延伸并且位于有源区布局图案310a、310b、310c和310d下面。布局图案354b位于布局设计300B的中心线352b1和352b2上方。在一些实施例中,布局图案354b的中心与布局设计300B的中心线352b1和352b2对准。布局图案354b可用于制

造集成电路500A(图5A-图5H)的第一阱501的至少部分501b。布局图案354b在第一方向X上具有宽度W2(未标记)。

[0117] 布局图案354c在第二方向Y上延伸并位于有源区布局图案304c和304d下面。布局图案354c邻近布局设计300B的第三部分302c或第四部分302d的一侧352c以及拐角槽口390c和390d。布局图案354c可用于制造与部分501a类似的第一阱501的部分。布局图案354c在第一方向X上具有宽度W1(未标记)。

[0118] 第二阱布局图案316在第二方向Y上延伸并且位于第五布局层级上。第二阱布局图案316可用于制造集成电路500A(图5A-图5H)的第二阱501'(例如,至少部分501c)。

[0119] 第二阱布局图案316包括布局图案356a和356b。

[0120] 布局图案356a在第二方向Y上延伸并且位于有源区布局图案306a、306b、308a和308b下面。布局图案356a位于布局图案354a和354b之间。布局图案356a可用于制造集成电路500A(图5A-图5H)的第二阱501'的部分501c。布局图案356a在第一方向X上具有宽度W3(未标记)。

[0121] 布局图案356b在第二方向Y上延伸并且位于有源区布局图案306c、306d、308c和308d下面。布局图案356b位于布局图案354b和354c之间。布局图案356b可用于制造与集成电路500A(图5A-图5H)的部分501c类似的第二阱501'的部分。布局图案356b在第一方向X上具有宽度W3(未标记)。

[0122] 在一些实施例中,宽度W1、W2或W3与宽度W1、W2或W3中的另一宽度相同。在一些实施例中,宽度W1、W2或W3与宽度W1、W2或W3中的另一宽度不同。

[0123] 第一阱布局图案314或第二阱布局图案316的其他配置或数量在本发明的范围内。布局图案354a、354b、354c、356a或356b的其他配置或数量在本发明的范围内。

[0124] 图4A是根据一些实施例的布局设计400A的示图。布局设计400A对应于图2A-图2B的存储器单元阵列200A-200B的部分的布局图。例如,布局设计400A对应于图2A-图2B的第一组存储器单元204中的一个或多个存储器单元204a、204b、...、204i的布局设计。

[0125] 布局设计400A类似于布局设计300A(图3A)。类似的元件具有增大100的相同的参考标号。

[0126] 布局设计400A可用于制造集成电路500B(图5A-图5H)。

[0127] 布局设计400A对应于图2A-图2B的存储器单元202[2,4]、202[2,5]、202[3,4]和202[3,5]的布局设计。例如,在一些实施例中,第一部分402a对应于图2A-图2B的存储器单元202[2,4]的布局设计,第二部分402b对应于图2A-图2B的存储器单元202[3,4]的布局设计,第三部分402c对应于图2A-图2B的存储器单元202[2,5]的布局设计,并且第四部分402d对应于图2A-图2B的存储器单元202[3,5]的布局设计。第一部分402a、第二部分402b、第三部分402c和第四部分402d具有相应的拐角槽口490a、490b、490c和490d(参见附图4B)。拐角槽口490a、490b、490c和490d类似于相应的拐角槽口390a、390b、390c和390d,并且因此省略类似的详细描述。在一些实施例中,布局设计400A对应于图2A-图2B的第二组存储器单元206的存储器单元206a、206b、206c或206d的布局设计。

[0128] 在一些实施例中,布局设计400A的第一部分402a可用于制造存储器单元阵列200A或200B的第一组存储器单元204的存储器单元202[2,4]、202[2,N]、202[M,4]或202[M,N]。

[0129] 在一些实施例中,布局设计400A的第二部分402b可用于制造存储器单元阵列200A

或200B的第一组存储器单元204的存储器单元202[1,4]、202[1,N]、202[3,4]或202[3,N]。

[0130] 在一些实施例中,布局设计400A的第三部分402c可用于制造存储器单元阵列200A或200B的第一组存储器单元204的存储器单元202[2,1]、202[2,5]、202[M,1]或202[M,5]。

[0131] 在一些实施例中,布局设计400A的第四部分402d可用于制造存储器单元阵列200A或200B的第一组存储器单元204的存储器单元202[1,1]、202[1,5]、202[3,1]或202[3,5]。

[0132] 有源区布局图案404a、406a、408a和410a(统称为“有源区布局图案组412a”)可用于制造集成电路500B(图5A-图5H)的相应有源区504a2、506a2、508a2、510e。在一些实施例中,有源区布局图案组412a称为0D布局图案,其限定布局设计400A-400B的源极或漏极扩散布局图案。例如,在一些实施例中,有源区布局图案404a可用于制造图4A-图4B的NMOS晶体管N1a'的漏极和源极区,有源区布局图案406a可用于制造图4A-图4B的PMOS晶体管P1a'的漏极和源极区,有源区布局图案408a可用于制造图4A-图4B的PMOS晶体管P2a'的漏极和源极区,并且有源区布局图案410a可用于制造图4A-图4B的NMOS晶体管N2a'的漏极和源极区以及PMOS晶体管PG1a'的漏极和源极区。

[0133] 在一些实施例中,有源区布局图案404b、406b、408b和410b(统称为“有源区布局图案组412b”)可用于制造与集成电路500B(图5A-图5H)的相应有源区504a2、506a2、508a2和510e类似的有源区。在一些实施例中,有源区布局图案404c、406c、408c和410c(统称为“有源区布局图案组412c”)可用于制造与集成电路500B(图5A-图5H)的相应有源区504a2、506a2、508a2和510e类似的有源区。在一些实施例中,有源区布局图案404d、406d、408d和410d(统称为“有源区布局图案组412d”)可用于制造与集成电路500B(图5A-图5H)的相应有源区504a2、506a2、508a2和510e类似的有源区。

[0134] 在一些实施例中,有源区布局图案404b、404c和404d可用于制造相应NMOS晶体管N1b'、N1c'和N1d'的漏极和源极区,有源区布局图案406b、406c和406d可用于制造相应PMOS晶体管P1b'、P1c'和P1d'的漏极和源极区,有源区布局图案408b、408c和408d可用于制造相应PMOS晶体管P2b'、P2c'和P2d'的漏极和源极区,有源区布局图案410b可用于制造NMOS晶体管N2b'的漏极和源极区以及PMOS晶体管PG1b'的漏极和源极区,有源区布局图案410c可用于制造NMOS晶体管N2c'的漏极和源极区以及PMOS晶体管PG1c'的漏极和源极区,并且有源区布局图案410d可用于制造NMOS晶体管N2d'的漏极和源极区以及PMOS晶体管PG1d'的漏极和源极区。

[0135] 在一些实施例中,栅极布局图案420a、422a和424a(统称为“栅极布局图案组426a”)可用于制造集成电路500B(图5A-图5H)的相应栅极结构520a、522a和524a。在一些实施例中,栅极布局图案420a可用于制造NMOS晶体管N1a'和PMOS晶体管P1a'的栅极区,栅极布局图案422a可用于制造NMOS晶体管N2a'和PMOS晶体管P2a'的栅极区,并且栅极布局图案424a可用于制造PMOS晶体管PG1a'的栅极区。

[0136] 在一些实施例中,栅极布局图案420b、422b和424b(统称为“栅极布局图案组426b”)可用于制造与集成电路500B(图5A-图5H)的相应栅极结构520a、522a和524a类似的栅极结构。在一些实施例中,栅极布局图案420c、422c和424c(统称为“栅极布局图案组426c”)可用于制造与集成电路500B(图5A-图5H)的相应栅极结构520a、522a和524a类似的栅极结构。在一些实施例中,栅极布局图案420d、422d和424d(统称为“栅极布局图案组426d”)可用于制造与集成电路500B(图5A-图5H)的相应栅极结构520a、522a和524a类似的

栅极结构。

[0137] 在一些实施例中,栅极布局图案420b可用于制造PMOS晶体管P1b'和NMOS晶体管N1b'的栅极区,栅极布局图案422b可用于制造NMOS晶体管N2b'和PMOS晶体管P2b'的栅极区,栅极布局图案420c可用于制造PMOS晶体管P1c'和NMOS晶体管N1c'的栅极区,栅极布局图案422c可用于制造NMOS晶体管N2c'和PMOS晶体管P2c'的栅极区,栅极布局图案420d可用于制造PMOS晶体管P1d'和NMOS晶体管N1d'的栅极区,栅极布局图案422d可用于制造NMOS晶体管N2d'和PMOS晶体管P2d'的栅极区,并且栅极布局图案424b、424c和424d可用于制造PMOS晶体管PG1b'、PG1c'和PG1d'的相应栅极区。

[0138] 在一些实施例中,导电部件布局图案430a、432a、434a和436a(统称为“导电部件布局图案组438a”)可用于制造集成电路500B(图5A-图5H)的相应导电结构530a、532a、534a和536a。在一些实施例中,导电部件布局图案430b、432b、434b和436b(统称为“导电部件布局图案组438b”)可用于制造与集成电路500B(图5A-图5H)的相应导电结构530a、532a、534a和536a类似的导电结构。在一些实施例中,导电部件布局图案430c、432c、434c和436c(统称为“导电部件布局图案组438c”)可用于制造与集成电路500B(图5A-图5H)的相应导电结构530a、532a、534a和536a类似的导电结构。在一些实施例中,导电部件布局图案430d、432d、434d和436d(统称为“导电部件布局图案组438d”)可用于制造与集成电路500B(图5A-图5H)的相应导电结构530a、532a、534a和536a类似的导电结构。

[0139] 在一些实施例中,通孔布局图案460a、462a、464a、466a、468a、470a(统称为“通孔布局图案组458a”)可用于制造集成电路500B(图5A-图5H)的相应通孔560a、562a、564a、566a、568a、570a。在一些实施例中,通孔布局图案460b、462b、464b、466b、468b、470b(统称为“通孔布局图案组458b”)可用于制造与集成电路500B(图5A-图5H)的相应通孔560a、562a、564a、566a、568a、570a类似的通孔。在一些实施例中,通孔布局图案460c、462c、464c、466c、468c、470c(统称为“通孔布局图案组458c”)可用于制造与集成电路500B(图5A-图5H)的相应通孔560a、562a、564a、566a、568a、570a类似的通孔。在一些实施例中,通孔布局图案460d、462d、464d、466d、468d、470d(统称为“通孔布局图案组458d”)可用于制造与集成电路500B(图5A-图5H)的相应通孔560a、562a、564a、566a、568a、570a类似的通孔。

[0140] 在一些实施例中,导电部件布局图案440a和440b(统称为“导电部件布局图案组440”)可用于制造集成电路500B(图5A-图5H)的导电结构540a或类似的导电结构。

[0141] 在一些实施例中,导电部件布局图案442a和442b(统称为“导电部件布局图案组442”)可用于制造集成电路500B(图5A-图5H)的相应导电结构542a和542b。

[0142] 在一些实施例中,导电部件布局图案444a和444b(统称为“导电部件布局图案组444”)可用于制造与集成电路500B(图5A-图5H)的相应导电结构542a和542b类似的导电结构。

[0143] 在一些实施例中,导电部件布局图案450a(统称为“导电部件布局图案组450”)可用于制造集成电路500B(图5A-图5H)的导电结构550b。

[0144] 在一些实施例中,通孔布局图案474a、474b(统称为“通孔布局图案组474”)可用于制造集成电路500B(图5A-图5H)的相应通孔574a、574b。

[0145] 在一些实施例中,通孔布局图案476a、476b(统称为“通孔布局图案组476”)可用于制造与集成电路500B(图5A-图5H)的相应通孔574a、574b类似的通孔。

[0146] 在一些实施例中,通孔布局图案478a、478b(统称为“通孔布局图案组478”)可用于制造集成电路500B(图5A-图5H)的通孔578b或与578b类似的通孔。

[0147] 在一些实施例中,通孔布局图案480a、480b(统称为“通孔布局图案组480”)可用于制造集成电路500B(图5A-图5H)的通孔580a或与通孔580a类似的通孔。

[0148] 在一些实施例中,布局设计400A-400B具有非矩形形状,产生比其他设计更小的标准单元。在一些实施例中,通过具有较小的标准单元,布局设计400A-400B可用于制造比其他集成电路更小的集成电路。

[0149] 图4B是根据一些实施例的布局设计400B的示意图。

[0150] 布局设计400B可用于制造集成电路500B(图5A-图5H)。布局设计400B是图4A的布局设计400A的变型。与图4A的布局设计400A相比,布局设计400B还包括第一阱布局图案416和第二阱布局图案414。

[0151] 第一阱布局图案416在第二方向Y上延伸并且位于第五布局层级上。第一阱布局图案416可用于制造集成电路500B(图5A-图5H)的第一阱502(例如,至少部分502a、502b)。

[0152] 第一阱布局图案416包括布局图案456a、456b、456c和456d。

[0153] 布局图案456a在第二方向Y上延伸并且位于有源区布局图案404a和404b下面。布局图案456a邻近布局设计400B的第一部分402a或第二部分402b的一侧452a。布局图案456a可用于制造集成电路500B(图5A-图5H)的第一阱502的部分502a。布局图案456a在第一方向X上具有宽度W1(未标记)。

[0154] 布局图案456b在第二方向Y上延伸并位于有源区布局图案404c和404d下面。布局图案456b邻近布局设计400B的第三部分402c或第四部分402d的一侧452c。布局图案456b可用于制造与集成电路500B(图5A-图5H)的部分502a类似的第一阱502的部分。布局图案456b在第一方向X上具有宽度W1(未标记)。

[0155] 布局图案456c在第一方向X上延伸并且位于有源区布局图案410a和410c的部分下面。在一些实施例中,布局图案456c的一侧在第一方向X上沿着线452d1与布局图案454b的第一侧对准。布局图案456c可用于制造集成电路500B(图5A-图5H)的第一阱502的部分502b。布局图案456c在第一方向X上具有宽度W2(未标记)。

[0156] 布局图案456d在第一方向X上延伸并且位于有源区布局图案410b和410d的部分下面。在一些实施例中,布局图案456d的一侧在第一方向X上沿着线452d2与布局图案454b的第二侧对准。布局图案456d可用于制造与集成电路500B(图5A-图5H)的部分502b类似的第一阱502的部分。布局图案456d在第一方向X上具有宽度W2(未标记)。

[0157] 第二阱布局图案414在第二方向Y上延伸并且位于第五布局层级上。第二阱布局图案414可用于制造集成电路500B(图5A-图5H)的第二阱502'(例如,至少部分502c、502d)。第二阱布局图案414包括布局图案454a、454b和454c。

[0158] 布局图案454a在第二方向Y上延伸并且位于有源区布局图案406a、406b、408a和408b下面。布局图案454a可用于制造集成电路500B(图5A-图5H)的第二阱502'的部分502c。布局图案454a在第一方向X上具有宽度W3(未标记)。

[0159] 布局图案454b在第一方向X上延伸并且位于有源区布局图案410a、410b、410c和410d的部分下面。布局图案454b位于布局设计400B的中心线452b1、452b2上方。在一些实施例中,布局图案454b的中心与布局设计400B的中心线452b1和452b2对准。在一些实施例中,

布局图案454b的第一侧在第一方向X上与线452d1对准。在一些实施例中,布局图案454b的第二侧在第一方向X上与线452d2对准。布局图案454b可用于制造集成电路500B(图5A-图5H)的第二阱502'的至少部分502d。在一些实施例中,布局图案454b可用于制造与集成电路500B(图5A-图5H)的第二阱502'的部分502d类似的部分。布局图案454b在第一方向X上具有宽度W2(未标记)。

[0160] 布局图案454c在第二方向Y上延伸并且位于有源区布局图案406c、406d、408c和408d下面。布局图案454c可用于制造与集成电路500B(图5A-图5H)的部分502c类似的第二阱502'的部分。布局图案454c在第一方向X上具有宽度W3(未标记)。

[0161] 在一些实施例中,布局图案454a、454b和454c是相同的连续布局图案(例如,第二阱布局图案414)的部分。

[0162] 布局图案454a位于布局图案456a与布局图案454b、456c和456d中的每个之间。布局图案454c位于布局图案456b与布局图案454b、456c和456d中的每个之间。布局图案454b位于布局图案456c和456d之间。布局图案454b位于布局图案454a和454c之间。

[0163] 在一些实施例中,宽度W1、W2或W3与宽度W1、W2或W3的另一宽度相同。在一些实施例中,宽度W1、W2或W3与宽度W1、W2或W3的另一宽度不同。

[0164] 第一阱布局图案416或第二阱布局图案414的其他配置或数量在本发明的范围内。布局图案454a、454b、454c、456a、456b、456c或456d的其他配置或数量在本发明的范围内。

[0165] 图5A、图5B、图5C、图5D、图5E、图5F、图5G和图5H是根据一些实施例的集成电路500A或500B的示意图。

[0166] 图5A是分别与由平面A-A'相交的布局设计300B或400B相对应的集成电路500A或500B的截面图。

[0167] 图5B是分别与由平面B-B'相交的布局设计300B或400B相对应的集成电路500A或500B的截面图。

[0168] 图5C是分别与由平面C-C'相交的布局设计300B或400B相对应的集成电路500A或500B的截面图。

[0169] 图5D是与由平面D-D'相交的布局设计300B相对应的集成电路500A的截面图,以及图5E是与由平面E-E'相交的布局设计400B相对应的集成电路500B的截面图。

[0170] 图5F是分别与由平面F-F'相交的布局设计300B或400B相对应的集成电路500A或500B的截面图。

[0171] 图5G是与由平面G-G'相交的布局设计300B相对应的集成电路500A的截面图,以及图5H是与由平面H-H'相交的布局设计400B相对应的集成电路500A的截面图。

[0172] 通过布局设计300B的第一部分302a制造集成电路500A,并且通过布局设计400B的第一部分402a制造集成电路500B。在一些实施例中,布局设计300B的第二部分302b、第三部分302c和第四部分302d可用于制造与集成电路500A类似的集成电路。在一些实施例中,布局设计400B的第二部分402b、第三部分402c和第四部分402d可用于制造与集成电路500B类似的集成电路。

[0173] 集成电路500A-500B(包括对准、长度和宽度)的结构关系以及配置类似于图3A-图3B的布局设计300A-300B和图4A-图4B的布局设计400A-400B的结构关系和配置,并且为了简明,将不在图5A-图5H中描述。

[0174] 为了简明,下面相对于图5A-图5H描述集成电路500A和500B。为了简明,参考集成电路500A或500B描述集成电路500A和500B中具有相同参考标记的元件,并且省略类似的详细描述。

[0175] 集成电路500B是集成电路500A的变型。与集成电路500A相比,集成电路500B不包括第一阱501和第二阱501'。与集成电路500A相比,集成电路500B的第一阱502替换第一阱501,并且集成电路500B的第二阱502'替换第二阱501。

[0176] 集成电路500A包括第一阱501和第二阱501'。第一阱501和第二阱501'中的每个至少位于集成电路500A的第一层级上,并且在第二方向Y上延伸。

[0177] 集成电路500A的第一阱501包括第一类型的掺杂剂。集成电路500A的第二阱501'包括与第一类型不同的第二类型的掺杂剂。在一些实施例中,第一类型是N型掺杂剂,第二类型是P型掺杂剂,并且集成电路500A的第一阱501是N阱,并且集成电路500A的第二阱501'是P阱。在一些实施例中,第一类型是P型掺杂剂,第二类型是N型掺杂剂,并且集成电路500A的第一阱501是P阱,并且集成电路500A的第二阱501'是N阱。

[0178] 集成电路500A的第一阱501包括第一部分501a和第二部分501b。

[0179] 第一阱501的第一部分501a在第二方向Y上延伸并且邻近集成电路500A的第一侧590a。在一些实施例中,集成电路500A的第一侧590a对应于布局设计300B的线352a。第一阱501的第一部分501a至少位于集成电路500A的第一层级上。

[0180] 第一阱501的第二部分501b在第二方向Y上延伸并且邻近集成电路500A的第二侧590b。在一些实施例中,集成电路500A的第二侧590b对应于布局设计300B的线352b1。第一阱501的第二部分至少位于集成电路500A的第一层级上。

[0181] 集成电路500A的第二阱501'包括部分501c。第二阱501'位于第一阱501的第一部分501a与第一阱501的第二部分501b之间。

[0182] 第二阱501'的部分501c在第二方向Y上延伸并位于第一阱501的第一部分501a与第一阱501的第二部分501b之间。第二阱501'的部分501c至少位于集成电路500A的第一层级上。第一阱501或第二阱501'的其他数量或配置在本发明的范围内。

[0183] 集成电路500A或500B包括在第二方向Y上延伸的有源区组504。有源区组504位于集成电路500A或500B的第一层级上。

[0184] 有源区组504包括有源区504a1、506a1、508a1或510a1中的一个或多个。有源区组504中的有源区504a1、506a1、508a1、510a1中每个在第一方向X上通过第一间距(未标记)与有源区组504中的邻近有源区分开。

[0185] 有源区504a1邻近集成电路500A的第一侧590a。有源区510a1邻近集成电路500A的第二侧590b。集成电路500A的第二侧590b与集成电路500A的第一侧590a相对。

[0186] 有源区组504的有源区504a1嵌入在集成电路500A的第一阱501的第一部分501a中。

[0187] 有源区组504的有源区510a1嵌入在集成电路500A的第一阱501的第二部分501b中。

[0188] 有源区组504的有源区506a1或508a1嵌入在集成电路500A的第二阱501'的部分501c中。

[0189] 有源区506a1和508a1包括第一类型的掺杂剂。有源区504a1和510a1包括第二类型

的掺杂剂。在一些实施例中,第一类型是N型掺杂剂,第二类型是P型掺杂剂,因此有源区504a1和510a1均是嵌入在第一阱501(其是N阱)中的P型有源区,并且有源区506a1和508a1均是嵌入在第二阱501'(其是P阱)中的N型有源区。在一些实施例中,第一类型是P型掺杂剂,第二类型是N型掺杂剂,并且因此有源区504a1和510a1均是嵌入在第一阱501(其是P阱)中的N型有源区,并且有源区506a1和508a1均是嵌入在第二阱501'(其是N阱)中的P型有源区。

[0190] 在一些实施例中,有源区504a1、506a1、508a1或510a1中的至少一个在第二方向Y上的长度不同于有源区504a1、506a1、508a1或510a1中的另一个在第二方向Y上的长度。在一些实施例中,有源区504a1、506a1、508a1或510a1中的至少一个在第二方向Y上的长度与有源区504a1、506a1、508a1或510a1中的另一个在第二方向Y上的长度相同。有源区组504的其他数量或配置在本发明的范围内。

[0191] 集成电路500A或500B包括在第一方向X上延伸的栅极组527。栅极组527与集成电路500A的有源区组504或集成电路500B的有源区组505重叠。栅极组527位于集成电路500A或500B的第二层级上。第二层级不同于集成电路500A或500B的第一层级。在一些实施例中,集成电路500A或500B的第二层级称为POLY层级。

[0192] 栅极组527包括栅极结构520a、522a或524a的一个或多个。栅极结构520a和524a中的每个在第二方向Y上通过栅极间距(未标记)与栅极结构522a分开。栅极结构520a和524a在第一方向X上彼此分开。栅极组527的其他数量或配置在本发明的范围内。

[0193] 集成电路500A或500B包括导电结构504b、504c、504d、504e、504f、510b、510c、510d、510e、510f、516e、516f和520f(统称为“接触件组521”)。

[0194] 接触件组521在第一方向X或第二方向Y上延伸。接触件组521位于集成电路500A的有源区组504或集成电路500B的有源区组505上方。接触件组521位于集成电路500A或500B的第二层级上。在一些实施例中,集成电路500A或500B的第二层级称为金属扩散(MD)层级。

[0195] 接触件组521将集成电路500A的有源区组504或集成电路500B的有源区组505电连接至相应的集成电路500A或500B的较高层级(例如,M0、M1或M2)。导电结构504b、510b将相应的通孔506b、512b电连接至有源区504a1或504a2(集成电路500B的部分)。导电结构504c、510c将相应的通孔506c、512c电连接至有源区506a1或506a2(集成电路500B的部分)。导电结构504d、510d将相应的通孔506d、512d电连接至有源区508a1或508a2(集成电路500B的部分)。导电结构504e、510e、516e将相应的通孔506e、512e、518e电连接至有源区510a1。导电结构504f、510f将相应的通孔506f、512f电连接至有源区510b。导电结构516f、520f将相应的通孔518f、522f电连接至有源区510c。接触件组521的其他数量或配置在本发明的范围内。

[0196] 集成电路500A或500B包括导电结构508b、508c、508d、508e、508f、514b、514e、514f、516c、516d、520e、524f(统称为“导电结构组529”)。导电结构组529在第一方向X或第二方向Y上延伸。导电结构组529位于集成电路500A的有源区组504或集成电路500B的有源区组505上方。导电结构组529至少位于接触件组521或栅极组527上方。导电结构组529位于集成电路500A或500B的第三层级上。集成电路500A或500B的第三层级不同于集成电路500A或500B的第一层级和集成电路500A或500B的第二层级。在一些实施例中,集成电路500A或500B的第三层级称为金属零(M0)层级。

[0197] 导电结构组529将集成电路500A的有源区组504或集成电路500B的有源区组505电连接至相应的集成电路500A或500B的较高层级(例如,M1或M2)。在一些实施例中,导电结构组529将栅极组527电连接至集成电路500A或500B的较高层级(例如,M1或M2)。导电结构组529的其他数量或配置在本发明的范围内。

[0198] 集成电路500A或500B包括位于导电结构组529与集成电路500A的有源区组504或集成电路500B的有源区组505之间的通孔504g、506b、506c、506d、506e、506f、512b、512c、512d、512e、512f、514c、514d、518e、518f和522f(统称为“通孔组523”)。通孔组523将导电结构组529电连接至集成电路500A的有源区组504或集成电路500B的有源区组505。在一些实施例中,通孔组523中的一个或多个通孔位于导电结构组529中的一个或多个导电结构与集成电路500A的有源区组504的一个或多个有源区或集成电路500B的有源区组505的一个或多个有源区重叠的位置处。

[0199] 通孔506b、512b将相应的导电结构508b、514b电连接至相应的导电结构504b、510b。通孔506c、512c将相应的导电结构508c、516c电连接至相应的导电结构504c、510c。通孔506d、512d将相应的导电结构508d、516d电连接至相应的导电结构504d、510d。通孔506e、512e、518e将相应的导电结构508e、514e、520e电连接至相应的导电结构504e、510e、516e。通孔506f、522f将相应的导电结构508f、524f电连接至相应的导电结构504f、520f。通孔512f、518f将导电结构514f电连接至相应的导电结构510f、516f。

[0200] 每个通孔514c、514d、504g位于相应的栅极结构522a、520a、524a之上。通孔514c、514d、504g将相应的导电结构516c、516d、506g电连接至相应的栅极结构522a、520a、524a。通孔514c、514d、504g位于相应的栅极结构522a、520a、524a之上。在一些实施例中,通孔组523位于第一组导电结构538和栅极组527之间。通孔组523的通孔504g位于第一组导电结构538的导电结构540a与栅极组527的栅极结构524a重叠的位置处。

[0201] 通孔组523位于集成电路500A或500B的扩散上通孔(VD)层级或栅极上通孔(VG)层级中。集成电路500A或500B的VG或VD层级位于第二层级和第三层级之间。在一些实施例中,通孔514c、514d、504g位于集成电路500A或500B的VG层级中。在一些实施例中,通孔506b、506c、506d、506e、506f、512b、512c、512d、512e、512f、518e、518f和522f位于集成电路500A或500B的VD层级中。通孔组523的其他数量或配置在本发明的范围内。

[0202] 集成电路500A或500B包括导电结构524e、528f、530a、532a、534a、534b、536a、536b、540a、542a和542b(统称为“第一组导电结构538”)。第一组导电结构538在第一方向X上延伸。第一组导电结构538中的每个导电结构至少在第一方向X或第二方向Y上与第一组导电结构538中的邻近导电结构分开。第一组导电结构538至少位于集成电路500A的有源区组504、集成电路500B的有源区组505、栅极组527或接触件组521的上方。第一组导电结构538位于集成电路500A或500B的第四层级上。集成电路500A或500B的第四层级不同于与集成电路500A或500B的第一层级、集成电路500A或500B的第二层级以及集成电路500A或500B的第三层级。在一些实施例中,集成电路500A或500B的第四层级称为金属一(M1)层级。

[0203] 在一些实施例中,导电结构540a对应于图1的存储器单元100的字线WL1,或图2A-图2B的存储器单元阵列200A-200B的字线WL[1]、...、WL[2M]。

[0204] 第一组导电结构538电连接至集成电路500A的有源区组504或集成电路500B的有源区组505。在一些实施例中,第一组导电结构538电连接至栅极组527。第一组导电结构538

的其他数量或配置在本发明的范围内。

[0205] 集成电路500A或500B包括位于第一组导电结构538与集成电路500A的有源区组504或集成电路500B的有源区组505之间的通孔522e、526f、560a、562a、564a、566a、566b、568a、568b、570a、570b、574a、574b和580a(统称为“第一组通孔572”)。第一组通孔572将第一组导电结构538电连接至集成电路500A的有源区组504或集成电路500B的有源区组505。在一些实施例中,第一组通孔572的一个或多个通孔位于第一组导电结构538的一个或多个导电结构与集成电路500A的有源区组504的一个或多个有源区或集成电路500B的有源区组505的一个或多个有源区重叠的位置处。

[0206] 通孔560a、574a将相应的导电结构530a、542a电连接至相应的导电结构508b、514b。通孔562a、574b将相应的导电结构530a、542b电连接至相应的导电结构516c、508c。通孔564a将导电结构532a电连接至导电结构508d。通孔566a、566b将相应的导电结构534a、534b电连接至导电结构516d。通孔568a、570a、522e将相应的导电结构536a、534a、524e电连接至相应的导电结构508e、514e、520e。通孔568b、570b、526f将相应的导电结构536b、534b、528f电连接至相应的导电结构508f、514f、524f。通孔580a将导电结构540a电连接至导电结构506g。

[0207] 第一组通孔572位于集成电路500A或500B的通孔零(V0)层级中。集成电路500A或500B的V0层级位于第三层级和第四层级之间。在一些实施例中,集成电路500A或500B的V0层级位于M1层级和M0层级之间。第一组通孔572的其他数量或配置在本发明的范围内。

[0208] 集成电路500A或500B包括导电结构550a和550b(统称为“第二组导电结构552”)。第二组导电结构552在第一方向X上延伸。第二组导电结构552中的每个导电结构至少在第一方向X或第二方向Y上与第二组导电结构552中的邻近导电结构分开。在一些实施例中,第二组导电结构552至少位于集成电路500A的有源区组504、集成电路500B的有源区组505或接触件组521的一个或多个上方。

[0209] 第二组导电结构552位于集成电路500A或500B的第五层级上。集成电路500A或500B的第五层级不同于集成电路500A或500B的第一层级、集成电路500A或500B的第二层级、集成电路500A或500B的第三层级和集成电路500A或500B的第四层级。在一些实施例中,集成电路500A或500B的第五层级称为金属二(M2)层级。

[0210] 在一些实施例中,第二组导电结构552与集成电路500A的有源区组504或集成电路500B的有源区组505重叠。导电结构550a与集成电路500A的有源区组504的有源区510a和集成电路500A的第二侧590b重叠。导电结构550b与集成电路500B的有源区组505的有源区510c和集成电路500B的第二侧590b重叠。在一些实施例中,导电结构550a或550b对应于图1的存储器单元100的位线BL1,或图2A-图2B的存储器单元阵列200A-200B的位线BL[1]、...、BL[2N]。

[0211] 在一些实施例中,第二组导电结构552电连接至集成电路500A的有源区组504或集成电路500B的有源区组505。导电结构550a电连接至集成电路500A的有源区510a。导电结构550b电连接至集成电路500B的有源区510c。第二组导电结构552的其他数量或配置在本发明的范围内。

[0212] 集成电路500A或500B包括位于第二组导电结构552与第一组导电结构538之间的通孔578a和578b(统称为“通孔组576”)。通孔组576将第二组导电结构552电连接至第一组

导电结构538。通孔578a、578b将相应的导电结构550a、550b电连接至相应的导电结构524e、528f。在一些实施例中，通孔组576将第二组导电结构552电连接至集成电路500A的有源区组504或集成电路500B的有源区组505。

[0213] 在一些实施例中，通孔组576的一个或多个通孔位于第二组导电结构552的一个或多个导电结构与集成电路500A的有源区组504中的一个或多个有源区或集成电路500B的有源区组505中的一个或多个有源区重叠的位置处。

[0214] 通孔组576位于集成电路500A或500B的通孔一(V1)层级中。集成电路500A或500B的V1层级位于第四层级和第五层级之间。在一些实施例中，集成电路500A或500B的V1层级位于M2层级和M1层级之间。通孔组572的其他数量或配置在本发明的范围内。

[0215] 集成电路500B是集成电路500A的变型。与集成电路500A相比，集成电路500B的第一阱502替换第一阱501，集成电路500B的第二阱502'替换第二阱501，并且集成电路500B的有源区组505替换有源区组504。

[0216] 集成电路500B包括第一阱502和第二阱502'。第一阱502和第二阱502'中的每个至少位于集成电路500B的第一层级上，并且至少在第二方向Y上延伸。

[0217] 集成电路500B的第一阱502包括第二类型的掺杂剂。集成电路500B的第二阱502'包括第一类型的掺杂剂。在一些实施例中，第一类型是N型掺杂剂，第二类型是P型掺杂剂，并且集成电路500B的第一阱502是P阱，并且集成电路500B的第二阱502'是N阱。在一些实施例中，第一类型是P型掺杂剂，第二类型是N型掺杂剂，并且集成电路500B的第一阱502是N阱，并且集成电路500B的第二阱502'是P阱。

[0218] 集成电路500B的第一阱502包括第一部分502a和第二部分502b。

[0219] 第一阱502的第一部分502a在第二方向Y上延伸并且邻近集成电路500B的第一侧590a。在一些实施例中，集成电路500B的第一侧590a对应于布局设计400B的线452a。第一阱502的第一部分502a至少位于集成电路500B的第一层级上。

[0220] 第一阱502的第二部分502b在第二方向Y上延伸并且邻近集成电路500B的第二侧590b。在一些实施例中，集成电路500B的第二侧590b对应于布局设计400B的线452b1。第一阱502的第二部分至少位于集成电路500B的第一层级上。第一阱502、第一阱502的第一部分502a或第一阱502的第二部分502b的其他数量或配置在本发明的范围内。

[0221] 集成电路500B的第二阱502'包括第一部分502c和第二部分502d。

[0222] 第二阱502'的第一部分502c在第二方向Y上延伸并且邻近第一阱502的第一部分502a。第二阱502'的第一部分502c至少位于集成电路500B的第一层级上。

[0223] 第二阱502'的第二部分502d至少在第一方向X或第二方向Y上延伸。第二阱502'的第二部分502d邻近集成电路500B的第二侧590b、第一阱502的第二部分502b和第二阱502'的第一部分502c中的每个。第二阱502'的第二部分502d至少位于集成电路500B的第一层级上。

[0224] 第二阱502'的第一部分502c位于第一阱502的第一部分502a与第一阱502的第二部分502b和第二阱502'的第二部分502d中的每个之间。第二阱502'、第二阱502'的第一部分502c或第二阱502'的第二部分502d的其他数量或配置在本发明的范围内。

[0225] 集成电路500B包括在第二方向Y上延伸的有源区组505。有源区组505位于集成电路500B的第一层级上。

[0226] 有源区组505包括有源区504a2、506a2、508a2或510e中的一个或多个。有源区组505的有源区504a2、506a2、508a2或510e中的每个在第一方向X上通过第一间距(未标记)与有源区组505中的邻近有源区分开。

[0227] 有源区510e包括有源区510b和有源区510c。有源区510b和有源区510c在第二方向Y上彼此分开。

[0228] 有源区504a2邻近集成电路500B的第一侧590a。有源区510e邻近集成电路500B的第二侧590b。

[0229] 有源区组505的有源区504a2嵌入在集成电路500B的第一阱502的第一部分502a中。

[0230] 有源区组505的有源区510e嵌入在集成电路500B的第一阱502的第二部分502b和集成电路500B的第二阱502'的第二部分502d的每个中。有源区510b嵌入在集成电路500B的第一阱502的第二部分502b中。有源区510c嵌入在集成电路500B的第二阱502'的第二部分502d中。

[0231] 有源区组505的有源区506a2或508a2嵌入在集成电路500B的第二阱502'的第一部分502c中。

[0232] 有源区504a2和510b包括第一类型的掺杂剂。有源区506a2、508a2和510c包括第二类型的掺杂剂。

[0233] 在一些实施例中,第一类型是N型掺杂剂,第二类型是P型掺杂剂,并且因此有源区504a2和510b均是嵌入在第一阱502(其是P阱)中的N型有源区,并且有源区506a2、508a2和510c均是嵌入在第二阱502'(其是N阱)中的P型有源区。在一些实施例中,第一类型是P型掺杂剂,第二类型是N型掺杂剂,并且因此有源区504a2和510b均是嵌入在第一阱502(其是N阱)中的P型有源区,并且有源区506a2、508a2和510c均是嵌入在第二阱502'(其是P阱)中的N型有源区。

[0234] 在一些实施例中,有源区504a2、506a2、508a2、510b、510c或510e中的至少一个在第二方向Y上的长度不同于有源区504a2、506a2、508a2、510b、510c或510e中的另一个在第二方向Y上的长度。在一些实施例中,有源区504a2、506a2、508a2、510b、510c或510e中的至少一个在第二方向Y上的长度与有源区504a2、506a2、508a2、510b、510c或510e中的另一个在第二方向Y上的长度相同。有源区组505的其他数量或配置在本发明的范围内。

[0235] 在一些实施例中,集成电路500A-500B占用比其他集成电路更小的面积。在一些实施例中,通过占用比其他集成电路更少的面积,集成电路500A-500B用作比其他方法更致密的存储器单元阵列200A-200B的部分。在一些实施例中,通过用作更致密的存储器单元阵列200A-200B的部分,存储器单元阵列200A-200B具有比其他方法更大的存储器容量。

[0236] 图6是根据一些实施例的布局设计600的示意图。

[0237] 布局设计600的部分可用于制造集成电路500A或500B(图5A-图5H)。

[0238] 布局设计600包括布置成图块阵列的第一组图块602和第二组图块604。在一些实施例中,第一组图块602中的至少一个图块对应于布局设计300A或300B,并且第二组图块604中的至少一个图块对应于布局设计400A或400B。在一些实施例中,第一组图块602中的至少一个图块对应于布局设计400A或400B,并且第二组图块604中的至少一个图块对应于布局设计300A或300B。在一些实施例中,第一组图块602的形状和第二组图块604的形状是

非矩形的,并且因此布局设计600的形状也可以是非矩形形状。

[0239] 第一组图块602在第三方向S上延伸。第三方向S与第一方向X和第二方向Y相关联。例如,在一些实施例中,第三方向S从第一方向X向第二方向Y旋转角度 α 。在一些实施例中,角度 α 在从约0度至约180度的范围内。由公式2(如下所述)表示角度 α 。在一些实施例中,第三方向S等于第一方向X或第二方向Y。在一些实施例中,第三方向S不同于第一方向X或第二方向Y。第一组图块602包括图块608[1,1]、608[2,1]、...、608[P,1]、608[1,3]、608[2,3]、...、608[P,3]、608[1,Q-1]、608[2,Q-1]、...、608[P-1,Q-1]中的一个或多个,P是与图块阵列中的列数相对应的正整数,并且Q是与图块阵列中的行数相对应的正整数。

[0240] 第一组图块602中的每个图块在第一方向X上延伸。第一组图块602中的每个图块具有四个槽口(为了便于说明,未标记)。在一些实施例中,第一组图块602的每个图块的四个槽口(为了便于说明,未标记)对应于图3A-图3B的拐角槽口组390中的拐角槽口390a、390b、390c和390d。例如,图块608[P,Q-1]具有槽口640a、640b、640c和640d。在一些实施例中,槽口640a、640b、640c和640d是图3A-图3B的相应拐角槽口390a、390b、390c和390d。每个槽口640a、640b、640c和640d位于图块608[P,Q-1]的相应拐角中。在一些实施例中,第一组图块602中的每个图块的每个槽口(为了便于说明,未标记)位于第一组图块602中的图块的相应拐角中。第一组图块602中的每个图块的中心在第二方向Y上通过距离D1从第一组图块602中的邻近图块的中心偏移。例如,图块608[1,1]的中心在第二方向Y上通过距离D1与图块608[2,1]的中心分开。

[0241] 第一组图块602中的每个图块的中心在第三方向S上通过距离D2与第一组图块602中的邻近图块的中心分开。例如,图块608[1,1]的中心在第三方向S上通过距离D2与图块608[2,1]的中心分开。

[0242] 第一组图块602中的每个图块的中心在第一方向X上通过距离D3与第一组图块602中的邻近图块的中心分开。例如,图块608[1,1]的中心在第一方向X上通过距离D3与图块608[2,1]的中心分开。

[0243] 通过公式1表示距离D1、D2和D3之间的关系。

$$[0244] \quad D2 = (D1^2 + D3^2)^{0.5} \quad (1)$$

[0245] 第二组图块604在第三方向S上延伸。通过公式2表示角度 α 与距离D2和D3之间的关系。

$$[0246] \quad \alpha = \text{ArcCos}(D3/D2) \quad (2)$$

[0247] 第二组图块604包括一个或多个图块608[1,2]、608[2,2]、...、608[P,2]、608[1,4]、608[2,4]、...、608[P,4]、608[1,Q]、608[2,Q]、...、608[P,Q]。第二组图块604在第二方向Y上与第一组图块602分开。

[0248] 第一组图块602和第二组图块604在第二方向Y上彼此交替。第二组图块604中的每个图块在第一方向X上延伸。第二组图块604中的每个图块具有四个槽口(为了便于说明,未标记)。在一些实施例中,第二组图块604中的每个图块的四个槽口(为了便于说明未标记)对应于图4A-图4B的拐角槽口组490的拐角槽口490a、490b、490c和490d。例如,图块608[P,Q]具有槽口630a、630b、630c和630d。在一些实施例中,槽口630a、630b、630c和630d是图4A-图4B的相应拐角槽口490a、490b、490c和490d。每个槽口630a、630b、630c和630d位于图块608[P,Q]的相应拐角中。在一些实施例中,第二组图块604中的每个图块的每个槽口(为了

便于说明,未标记)位于第二组图块604的图块的相应拐角中。第二组图块604中的每个图块的中心在第二方向Y上通过距离D1'从第二组图块604中的邻近图块的中心偏移。例如,图块608[1,2]的中心在第二方向Y上通过距离D1'与图块608[2,2]的中心分开。

[0249] 第二组图块604中的每个图块的中心在第三方向S上通过距离D2'与第二组图块604中的邻近图块的中心分开。例如,图块608[1,2]的中心在第三方向S上通过距离D2'与图块608[2,2]的中心分开。

[0250] 第二组图块604中的每个图块的中心在第一方向X上通过距离D3'与第二组图块604中的邻近图块的中心分开。例如,图块608[1,2]的中心在第一方向X上通过距离D3'与图块608[2,2]的中心分开。

[0251] 通过公式3表示距离D1'、D2'和D3'之间的关系。

[0252] $D2' = (D1'^2 + D3'^2)^{0.5}$

[0253] 通过公式4表示角度 α 和距离D2'和D3'之间的关系。

[0254] $\alpha = \text{ArcCos}(D3'/D2')$ (4)

[0255] 第二组图块604中的图块的中心在第四方向T上通过距离D4与第一组图块602中的邻近图块的中心分开。例如,图块608[1,1]的中心在第四方向T上通过距离D4与图块608[1,2]的中心分开。第四方向T与第一方向X和第二方向Y相关联。例如,第四方向T从第一方向X向第二方向Y旋转角度 β 。在一些实施例中,角度 β 在从约0度至约180度的范围内。角度 β 通过公式5与距离D5和D4相关联。

[0256] $\beta = \text{ArcCos}(D5/D4)$ (5)

[0257] 在一些实施例中,第四方向T等于第一方向X或第二方向Y。在一些实施例中,第四方向T不同于第一方向X或第二方向Y。第二组图块604中的图块的中心在第一方向X上通过距离D5与第一组图块602的邻近图块的中心分开。例如,图块608[P,1]的中心在第一方向X上通过距离D5与图块608[P,2]的中心分开。

[0258] 在一些实施例中,第二组图块604中的图块的两个槽口(未标记)与第一组图块602中的图块齐平(flush with),并且另外两个槽口(未标记)不与第一组图块602中的邻近图块或第二组图块604中的邻近图块齐平,从而在邻近的图块之间创建相应的间隔(未标记)。在一些实施例中,邻近图块之间的一个或多个间隔(未标记)可用于拼接触件(未示出)或衬底接触件(未示出)。在一些实施例中,可以利用额外的拼接触件(未示出)或衬底接触件(未示出)来改善闩锁预防(latch-up prevention)。在一些实施例中,闩锁是一个或多个阱与衬底之间的短路。在一些实施例中,第二组图块604中的图块的两个槽口(未标记)与第一组图块602中的两个不同图块的相应槽口(未标记)齐平。例如,第二组图块604中的图块608[2,4]的槽口610a与第一组图块602中的图块608[1,Q-1]的相应槽口612a齐平,并且第二组图块604中的图块608[2,4]的槽口610b与第一组图块602中的图块608[2,3]的相应槽口612b齐平。

[0259] 在一些实施例中,第一组图块602中的图块的两个槽口(为了便于说明,未标记)与第二组图块604中的两个不同图块的相应槽口(为了便于说明,未标记)齐平。例如,第一组图块602中的图块608[2,3]的槽口612b与第二组图块604中的图块608[2,4]的相应槽口610b齐平,并且第一组图块602的图块608[2,3]的槽口614a与第二组图块604中的图块608[P,2]的相应槽口614b齐平。在一些实施例中,第二组图块604中的图块的两个槽口(为了便

于说明,未标记)不与第一组图块602或第二组图块604中的邻近图块的部分齐平,从而创建用于拼接触件(未示出)或衬底接触件(未示出)的间隔(为了便于说明,未标记)。例如,在一些实施例中,图块608[2,4]的槽口650a与邻近图块608[1,4]和608[1,3]不齐平,从而产生间隔622a。类似地,在一些实施例中,图块608[2,4]的槽口650b与邻近图块608[2,Q-1]和608[P,4]不齐平,创建间隔622b。例如,在一些实施例中,如图6所示,间隔620a位于第一组图块602的图块608[2,Q-1]和图块608[1,Q-1]之间,并且间隔620b位于第一组图块602的图块608[2,Q-1]和608[P,Q-1]之间。在这些实施例中,间隔622a和间隔622b可以用于拼接触件(未示出)或衬底接触件(未示出)。在一些实施例中,第一组图块602中的图块的两个槽口(为了便于说明未标记)不与第二组图块604或第一组图块602中的邻近图块的部分齐平。例如,在一些实施例中,图块608[2,Q-1]的槽口652a不与邻近图块608[2,4]和608[1,Q-1]齐平,从而产生间隔620a。类似地,在一些实施例中,图块608[2,Q-1]的槽口652b不与邻近图块608[P,Q-1]和608[2,Q]齐平,产生间隔620b。在这些实施例中,间隔620a和间隔620b可以用于拼接触件(未示出)或衬底接触件(未示出)。在一些实施例中,至少间隔620a、620b、622a或622b是第一组图块602或第二组图块604中的图块的面积的12.5%。

[0260] 在一些实施例中,距离D1、D1'、D2、D2'、D3、D3'、D4或D5中的至少一个不同于距离D1、D1'、D2、D2'、D3、D3'、D4或D5中的另一个。在一些实施例中,距离D1、D1'、D2、D2'、D3、D3'、D4或D5中的至少一个与距离D1、D1'、D2、D2'、D3、D3'、D4或D5中的另一个相同。第一组图块602或第二组图块604的其他数量或配置在本发明的范围内。在一些实施例中,第一组图块602或第二组图块604中的至少一个图块的每个槽口是直角槽口。在一些实施例中,第一组图块602或第二组图块604中的至少一个图块的每个槽口称为拐角槽口。在一些实施例中,第一组图块602或第二组图块604中的至少一个图块的每个槽口是急弯(quirk)槽口。第一组图块602或第二组图块604中的槽口的其他形状或配置在本发明的范围内。

[0261] 在一些实施例中,第一组图块602的形状和第二组图块604的形状是非矩形的,并且因此布局设计600中的标准单元放置为其他设计更靠近彼此。在一些实施例中,通过将第一组图块602和第二组图块604放置为比其他单元更靠近彼此,第一组图块或第二组图块可用于制造比其他集成电路更靠近彼此的相应集成电路。在一些实施例中,通过制造比其他集成电路更靠近彼此的集成电路,所制造的集成电路的面积也小于其他集成电路。

[0262] 图7是根据一些实施例的布局设计700的示意图。

[0263] 布局设计700是布局设计600(图6)的变型。类似的元件具有增大100的相同的参考标号。布局设计700组合图3A的布局设计300A、图4A的布局设计400A以及图6的布局设计600的部件。

[0264] 布局设计700包括图块708[1,2]、图块708[2,2]、图块708[1,3]和图块708[2,3]。图块708[1,2]、708[2,2]、708[1,3]和708[2,3]是图6的相应图块608[1,2]、608[2,2]、608[1,3]和608[2,3]的变型。

[0265] 图块708[1,2]和708[2,2]中的每个对应于图3A的布局设计300A,并且图块708[1,3]和708[2,3]中的每个对应于图4A的布局设计400A。在一些实施例中,图块708[1,2]和708[2,2]中的每个对应于图4A的布局设计400A,并且图块708[1,3]和708[2,3]中的每个对应于图3A的布局设计300A。为了便于说明,未标记图块708[1,2]、708[2,2]、708[1,3]和708[2,3]内的每个元件。

[0266] 图块708[1,2]、708[2,2]、708[1,3]和708[2,3]包括相应的有源区布局图案组702、704、712和714。

[0267] 有源区组702或704对应于布局设计400A的有源区布局图案组412a、412b、412c和412d。有源区组712或714对应于布局设计300A的有源区布局图案组312a、312b、312c和312d。

[0268] 有源区组702包括有源区布局图案702a、702b、702c、702d、702e、702f、702g和702h。有源区布局图案702a对应于有源区布局图案404a和404b,有源区布局图案702b对应于有源区布局图案406a和406b,有源区布局图案702c对应于有源区布局图案408a和408b,有源区布局图案702d对应于有源区布局图案410a和410b,有源区布局图案702e对应于有源区布局图案410c和410d,有源区布局图案702f对应于有源区布局图案408c和408d,有源区布局图案702g对应于有源区布局图案406c和406d,有源区布局图案702h对应于有源区布局图案404c和404d。

[0269] 有源区组702包括有源区布局图案704a、704b、704c、704d、704e、704f、704g和704h。有源区布局图案704a、704b、704c、704d、704e、704f、704g和704h类似于相应的有源区布局图案702a、702b、702c、702d、702e、702f、702g和702h,并且因此省略类似的详细描述。

[0270] 有源区组712包括有源区布局图案712a、712b、712c、712d、712e、712f、712g和712h。有源区布局图案712a对应于有源区布局图案304a和304b,有源区布局图案712b对应于有源区布局图案306a和306b,有源区布局图案712c对应于有源区布局图案308a和308b,有源区布局图案712d对应于有源区布局图案310a和310b,有源区布局图案712e对应于有源区布局图案310c和310d,有源区布局图案712f对应于有源区布局图案308c和308d,有源区布局图案712g对应于有源区布局图案306c和306d,有源区布局图案712h对应于有源区布局图案304c和304d。

[0271] 有源区组714包括有源区布局图案714a、714b、714c、714d、714e、714f、714g和714h。有源区布局图案714a、714b、714c、714d、714e、714f、714g类似于相应的有源区布局图案712a、712b、712c、712d、712e、712f、712g和712h,并且因此省略类似的详细描述。

[0272] 相应图块708[1,2]或708[2,2]的有源区布局图案组702或704的n型布局图案在第二方向Y上与相应图块708[1,3]或708[2,3]的有源区布局图案组712或714的相应n型布局图案对准。例如,n型有源区布局图案702d、702e、702h、704a、704d、704e和704h在第二方向Y上与相应的n型有源区布局图案712b、712c、712f、712g、714b、714c和714f对准。

[0273] 相应图块708[1,2]或708[2,2]的有源区布局图案组712或714的p型布局图案在第二方向Y上与相应图块708[1,3]或708[2,3]的有源区布局图案组712或714的相应p型布局图案对准。例如,p型有源区布局图案702c、702f、702g、704b、704c、704f和704g在第二方向Y上与相应p型有源区布局图案712a、712d、712e、712h、714a、714d和714e对准。图块708[1,2]、708[2,2]、708[1,3]和708[2,3]的其他数量或配置在本发明的范围内。

[0274] 在一些实施例中,布局设计700具有非矩形形状,产生比其他设计更小的标准单元。在一些实施例中,通过具有较小的标准单元,布局设计700可用于制造比其他集成电路更小的集成电路。

[0275] 图8是根据一些实施例的布局设计800的示意图。

[0276] 布局设计800是图6的布局设计600和图7的布局设计700的变型。类似的元件具有

增大200的相同的参考标号。布局设计800组合图3B的布局设计300B、图4B的布局设计400B以及图6的布局设计600的部件。

[0277] 图7的布局设计700相比,布局设计800还包括第一阱布局图案802、第二阱布局图案804、第三阱布局图案806、第四阱布局图案808、第五阱布局图案812、第六阱布局图案814、第七阱布局图案816、第八阱布局图案818和阱布局图案822a、824a和828a。

[0278] 第一阱布局图案802和第五阱布局图案812类似于图4B的布局设计400B的第二阱布局图案414,并且因此省略类似的详细描述。第二阱布局图案804和第六阱布局图案814类似于图4B的布局设计400B的第一阱布局图案416,并且因此省略类似的详细描述。第三阱布局图案806和第七阱布局图案816类似于图3B的布局设计300B的第一阱布局图案314,并且因此省略类似的详细描述。第四阱布局图案808和第八阱布局图案818类似于图3B的布局设计300B的第二阱布局图案316,并且因此省略类似的详细描述。

[0279] 第一阱布局图案802包括阱布局图案802a、802b和802c。阱布局图案802a、802b和802c类似于图4B的布局设计400B的相应阱布局图案454a、454b和454c,并且因此省略类似的详细描述。

[0280] 第二阱布局图案804包括阱布局图案804a、804b、804c和804d。阱布局图案804a、804b、804c和804d类似于图4B的布局设计400B的相应阱布局图案456a、456b、456c和456d,并且因此省略类似的详细描述。

[0281] 第三阱布局图案806包括阱布局图案806a、806b和806c。阱布局图案806a、806b和806c类似于图3B的布局设计300B的相应阱布局图案354a、354b和354c,并且因此省略类似的详细描述。

[0282] 第四阱布局图案808包括阱布局图案808a和808b。阱布局图案808a和808b类似于图3B的布局设计300B的相应阱布局图案356a和356b,并且因此省略类似的详细描述。

[0283] 第五阱布局图案812包括阱布局图案812a、812b和812c。阱布局图案812a、812b和812c类似于图4B的布局设计400B的相应阱布局图案454a、454b和454c,并且因此省略类似的详细描述。

[0284] 第六阱布局图案814包括阱布局图案814a、814b、814c和814d。阱布局图案814a、814b、814c和814d类似于图4B的布局设计400B的相应阱布局图案456a、456b、456c和456d,并且因此省略类似的详细描述。

[0285] 第七阱布局图案816包括阱布局图案816a、816b和816c。阱布局图案816a、816b和816c类似于图3B的布局设计300B的相应阱布局图案354a、354b和354c,并且因此省略类似的详细描述。

[0286] 第八阱布局图案818包括阱布局图案818a和818b。阱布局图案818a和818b类似于图3B的布局设计300B的相应阱布局图案356a和356b,并且因此省略类似的详细描述。

[0287] 阱布局图案822a类似于图4B的布局设计400B的阱布局图案456a,并且因此省略类似的详细描述。阱布局图案824a类似于图4B的布局设计400B的阱布局图案454a,并且因此省略类似的详细描述。阱布局图案828a类似于图3B的布局设计300B的阱布局图案356a,并且因此省略类似的详细描述。

[0288] 在一些实施例中,阱布局图案804a和828a是相同的连续阱布局图案的部分。在一些实施例中,阱布局图案802a、802b、802c、806a和806b中的至少两个是相同的连续阱布局

图案的部分。在一些实施例中,阱布局图案804c和808a是相同的连续阱布局图案的部分。在一些实施例中,阱布局图案802c和806b是相同的连续阱布局图案的部分。在一些实施例中,阱布局图案804b、814a和808b中的至少两个是相同的连续阱布局图案的部分。

[0289] 在一些实施例中,阱布局图案812a、812b、812c、816a和816b中的至少两个是相同的连续阱布局图案的部分。在一些实施例中,阱布局图案814c和818a是相同的连续阱布局图案的部分。在一些实施例中,阱布局图案812c和816b是相同的连续阱布局图案的部分。在一些实施例中,阱布局图案822a、814b和818b中的至少两个是相同的连续阱布局图案的部分。在一些实施例中,阱布局图案816c和824a是相同的连续阱布局图案的部分。

[0290] 第一阱布局图案802、第二阱布局图案804、第三阱布局图案806、第四阱布局图案808、第五阱布局图案812、第六阱布局图案814、第七阱布局图案816、第八阱布局图案818或阱布局图案822a、824a和828a中的一个或多个的其他数量或配置在本发明的范围内。

[0291] 在一些实施例中,布局设计800具有非矩形形状,产生比其他设计更小的标准单元。在一些实施例中,通过具有较小的标准单元,布局设计800可用于制造比其他集成电路更小的集成电路。

[0292] 图9是根据一些实施例的形成或制造存储器单元阵列的方法900的流程图。应该理解,可以在图9所示的方法900之前、期间和/或之后实施额外的操作,并且因此本文仅简要描述其他一些工艺。在一些实施例中,方法900可用于形成诸如存储器单元100(图1)的一个或多个存储器单元,诸如存储器单元阵列200A-200B(图2A-图2B)的一个或多个存储器单元阵列,或诸如集成电路500A-500H(图5A-图5H)的一个或多个集成电路。在一些实施例中,方法900可用于形成具有与布局设计300A-300B、400A-400B或600-800(图3A-图3B、图4A-图4B或图6-图8)中的一个或多个类似的结构关系的存储器单元阵列或集成电路。

[0293] 在方法900的操作902中,生成在第一方向(例如,第三方向S)上延伸的第一组图块602。在一些实施例中,生成操作902的第一组图块602包括操作902a。

[0294] 在一些实施例中,操作902a包括生成第二组存储器单元206的第一布局设计(例如,布局设计300A-300B)。在一些实施例中,第一组图块602中的至少一个图块对应于布局设计300A或300B。在一些实施例中,第一组图块602的每个图块对应于第二组存储器单元206的布局设计300A或300B。在一些实施例中,第一组图块602中的每个图块在与第一方向(例如,第三方向S)不同的第二方向Y上从第一组图块中的邻近图块偏移。

[0295] 在一些实施例中,生成操作902a的第二组存储器单元206的第一布局设计(例如,布局设计300A-300B)包括生成第一布局设计(例如,布局设计300A-300B)的第一部分302a,生成第一布局设计的第二部分302b,生成第一布局设计的第三部分302c并生成第一布局设计的第四部分302d。

[0296] 在一些实施例中,第一布局设计(例如,布局设计300A-300B)的第一部分302a对应于制造存储器单元阵列200A-200B的第二组存储器单元206的第一存储器单元202[1,2]。在一些实施例中,第一布局设计(例如,布局设计300A-300B)的第二部分302b对应于制造存储器单元阵列200A-200B的第二组存储器单元206的第二存储器单元202[2,2]。在一些实施例中,第一布局设计(例如,布局设计300A-300B)的第三部分302c对应于制造存储器单元阵列200A-200B的第二组存储器单元206的第三存储器单元202[1,3]。在一些实施例中,第一布局设计(例如,布局设计300A-300B)的第四部分302d对应于制造存储器单元阵列200A-200B

的第二组存储器单元206的第四存储器单元202[2,3]。

[0297] 在一些实施例中,第一布局设计(例如,布局设计300A-300B)的第一部分302a和第一布局设计的第二部分302b相对于第二方向Y是彼此的镜像。在一些实施例中,第一布局设计(例如,布局设计300A-300B)的第三部分302c和第一布局设计的第四部分302d相对于第二方向Y是彼此的镜像。

[0298] 在方法900的操作904中,生成在第一方向(例如,第三方向S)上延伸的第二组图块604。在一些实施例中,第二组图块604至少在第二方向Y上与第一组图块602分开。在一些实施例中,生成操作904的第二组图块604包括操作904a。

[0299] 在一些实施例中,操作904a包括生成第一组存储器单元204的第二布局设计(例如,布局设计400A-400B)。在一些实施例中,第二组图块604中的至少一个图块对应于布局设计400A或400B。在一些实施例中,第二组图块604中的每个图块对应于第一组存储器单元204的第二布局设计(例如,布局设计400A-400B)。在一些实施例中,第二组图块604中的每个图块在第二方向Y上与第二组图块604中的邻近图块偏移。

[0300] 在一些实施例中,生成操作904a的第一组存储器单元204的第二布局设计(例如,布局设计400A-400B)包括生成第二布局设计(例如,布局设计400A-400B)的第一部分402a,生成第二布局设计的第二部分402b,生成第二布局设计的第三部分402c,以及生成第二布局设计的第四部分402d。

[0301] 在一些实施例中,第二布局设计(例如,布局设计400A-400B)的第一部分402a对应于制造存储器单元阵列200A-200B的第一组存储器单元204的第一存储器单元202[2,4]。在一些实施例中,第二布局设计(例如,布局设计400A-400B)的第二部分402b对应于制造存储器单元阵列200A-200B的第一组存储器单元204的第二存储器单元202[3,4]。在一些实施例中,第二布局设计(例如,布局设计400A-400B)的第三部分402c对应于制造存储器单元阵列200A-200B的第一组存储器单元204的第三存储器单元202[2,5]。在一些实施例中,第二布局设计(例如,布局设计400A-400B)的第四部分402d对应于制造存储器单元阵列200A-200B的第一组存储器单元204的第四存储器单元202[3,5]。

[0302] 在一些实施例中,第二布局设计(例如,布局设计400A-400B)的第一部分402a和第二布局设计的第三部分402c相对于第三方向(例如,第一方向X)是彼此的镜像。在一些实施例中,第二布局设计(例如,布局设计400A-400B)的第二部分402b和第二布局设计的第四部分402d相对于第三方向(例如,第一方向X)是彼此的镜像。

[0303] 在一些实施例中,第一组图块602和第二组图块604在第二方向Y上彼此交替。在一些实施例中,第一组图块602中的每个图块和第二组图块604中的每个图块在与第一方向和第二方向不同的第三方向(例如,第一方向X)延伸。

[0304] 在一些实施例中,通过处理器件(例如,处理器1202(图12))实施至少操作902或904,该处理器件配置为执行用于生成第一组图块602或第二组图块604的指令。在一些实施例中,第一组图块602或第二组图块604作为布局设计1216存储在存储器(例如,非暂时性计算机可读介质1204(图12))中。

[0305] 在一些实施例中,至少布局设计300A-300B、400A-400B或600-800是图形数据库系统(GDSII)文件格式。

[0306] 在方法900的操作906中,至少基于第一布局设计(布局设计300A或300B)、第二布

局设计(第二布局设计400A或400B)或布局设计600-800制造存储器单元阵列200A或200B或集成电路500A或500B。在一些实施例中,方法900的操作906包括至少基于第一组图块602或第二组图块604来制造存储器单元阵列200A或200B或集成电路500A或500B。在一些实施例中,操作906包括至少基于第一布局设计300A或300B或第二布局设计400A或400B来制造存储器单元100。在一些实施例中,操作906包括至少基于第一组图块602或第二组图块604来制造存储器单元阵列200A或200B或集成电路500A或500B。

[0307] 在一些实施例中,方法900的操作906包括至少基于布局设计300A-300B、400A-400B或600-800制造至少一个掩模,并且基于至少一个掩模制造存储器单元阵列(例如,存储器单元100、存储器单元阵列200A-200B)或集成电路(例如,集成电路500A或500B)。

[0308] 在一些实施例中,不实施操作902、904或906中的一个或多个。

[0309] 在一些实施例中,方法900生成占用比其他方法更少的面积的一个或多个布局设计(例如,第一布局设计300A-300B、第二布局设计400A-400B或布局设计600-800)。在一些实施例中,方法900用于制造占用比其他存储器单元阵列更少的面积的存储器单元阵列(例如,存储器单元100、存储器单元阵列200A-200B或集成电路500A-500B)。

[0310] 图10A-图10B是根据一些实施例的生成存储器单元阵列的布局设计的方法1000的流程图。应当理解,可以在图10A-图10B所示的方法1000之前、期间和/或之后实施额外的操作,并且因此本文仅简要描述一些其他工艺。方法1000是至少操作902a或904a的实施例。在一些实施例中,方法1000可用于生成存储器单元100(图1)的布局设计300A-300B(图3A-图3B)或400A-400B(图4A-图4B)或600-700(图6-图7)、存储器单元阵列200A-200B(图2A-图2B)、集成电路500A-500B(图5A-图5H)中的一个或多个。

[0311] 在方法1000的操作1002中,生成有源区布局图案组312a或412a。在一些实施例中,生成有源区布局图案组312a、412a对应于制造集成电路500A或500B的有源区组504或505。在一些实施例中,有源区布局图案组312a、412a中的每个布局图案在第一方向X上通过第一间距与有源区布局图案组312a、412a中的邻近布局图案分开。在一些实施例中,有源区布局图案组312a、412a在与第一方向不同的第二方向Y上延伸并且位于第一布局层级(例如,有源区或阱)上。

[0312] 在一些实施例中,方法1000的有源区布局图案组包括有源区布局图案组312b、312c、312d、412b、412c或412d中的一个或多个。

[0313] 在一些实施例中,生成操作1002的有源区布局图案组312a、412a包括生成与存储器单元100的布局设计300A-300B或400A-400B的第一侧352a、452a邻近的第一有源区布局图案304a、404a,并且生成与存储器单元100的第一侧352a、452a相对的存储器单元100的第二侧352b1、452b1邻近的第二有源区布局图案310a、410a。在一些实施例中,第一有源区布局图案304a、404a在第二方向Y上的长度不同于第二有源区布局图案310a、410a在第二方向Y上的长度。

[0314] 在操作1004中,在第一布局层级上放置有源区布局图案组312a、412a。在一些实施例中,第一布局层级对应于布局设计300A-300B或400A-400B(图4A-图4B)的有源区。

[0315] 在操作1006中,生成栅极布局图案组326a或426a。在一些实施例中,栅极布局图案组326a、426a对应于制造集成电路500A-500B的栅极结构组527。在一些实施例中,栅极布局图案组326a、426a在第一方向X上延伸并且与有源区布局图案组312a、412a重叠。

[0316] 在一些实施例中,方法1000的栅极布局图案组包括栅极布局图案组326b、326c、326d、426b、426c或426d中的一个或多个

[0317] 在操作1008中,将栅极布局图案组326a、426a放置在与第一布局层级不同的第二布局层级(例如,POLY)上。

[0318] 在操作1010中,生成第一组导电部件布局图案338a或438a。在一些实施例中,第一组导电部件布局图案338a、438a对应于制造集成电路500A-500B的第一组导电结构538。在一些实施例中,第一组导电部件布局图案338a、438a在第一方向X上延伸,并且至少位于有源区布局图案组312a、412a或栅极布局图案组326a、426a上方。在一些实施例中,第一组导电部件布局图案338a、438a中的每个导电部件布局图案至少在第一方向X或第二方向Y上与第一组导电部件布局图案338a、438a中的邻近布局图案分开。

[0319] 在一些实施例中,方法1000的第一组导电部件布局图案包括导电部件布局图案组338b、338c、338d、340、342、344、438b、438c、438d、440、442或444中的一个或多个。

[0320] 在操作1012中,将第一组导电部件布局图案338a、438a放置在与第一布局层级和第二布局层级不同的第三布局层级(例如M1)上。

[0321] 在操作1014中,生成第二组导电部件布局图案350或450。在一些实施例中,第二组导电部件布局图案350、450对应于制造集成电路500A-500B的第二组导电结构552。在一些实施例中,第二组导电部件布局图案350、450在第一方向X上延伸并且至少与存储器单元100的布局设计300A-300B、400A-400B的第二有源区布局图案310a、310b、310c、310d、410a、410b、410c或410d和第二侧352b1、452b1重叠。在一些实施例中,第二组导电部件布局图案350、450中的每个导电部件布局图案至少在第一方向X或第二方向Y上与第二组导电部件布局图案350、450中的邻近布局图案分开。

[0322] 在操作1016中,将第二组导电部件布局图案350、450放置在与第一布局层级、第二布局层级和第三布局层级不同的第四布局层级(例如,M2)上。

[0323] 在操作1018中,生成第一组通孔布局图案358a或458a。在一些实施例中,第一组通孔布局图案358a、458a对应于制造第一组通孔572。在一些实施例中,第一组通孔572将第一组导电结构538连接至有源区组504、505。在一些实施例中,第一组通孔布局图案358a、458a中的每个通孔布局图案位于第一组导电部件布局图案338a、438a中的每个导电部件布局图案与有源区布局图案组312a、412a中的每个有源区布局图案重叠的位置处。

[0324] 在一些实施例中,方法1000的第一组通孔布局图案包括通孔布局图案组358b、358c、358d、458b、458c、458d、374、376、378、380、474、476、478或480中的一个或多个。

[0325] 在操作1020中,将第一组通孔布局图案358a、458a放置在第一组导电部件布局图案338a、438a和有源区布局图案组312a、412a之间。在一些实施例中,第一组通孔布局图案358a、458a至少位于布局设计300A-300B、400A-400B的V0层级上。

[0326] 在操作1022中,生成第二组通孔布局图案380或480。在一些实施例中,第二组通孔布局图案380、480对应于制造第二组通孔523。在一些实施例中,第二组通孔523将第一组导电结构529连接至有源区组504、505。在一些实施例中,第二组通孔布局图案380、480的第一通孔布局图案380a、480a位于导电部件布局图案组340、440的第一导电部件布局图案340a、440a与栅极布局图案组326a、426a的第一栅极布局图案324a、324c、424a、424c重叠的位置处。

[0327] 在一些实施例中,方法1000的第二组通孔布局图案包括通孔布局图案组358a、358b、358c、358d、458a、458b、458c、458d、374、376、378、474、476或478中的一个或多个。

[0328] 在操作1024中,将第二组通孔布局图案380、480放置在第一组导电部件布局图案340、440与栅极布局图案组326a、426a之间。在一些实施例中,第二组通孔布局图案380、480至少位于布局设计300A-300B、400A-400B的VG层级上。

[0329] 方法1000包括操作1026-1032或操作1026'-1032'。

[0330] 参考布局设计300A-300B讨论操作1026-1032。例如,第一阱布局图案314对应于操作1026-1032的第一阱布局图案,并且第二阱布局图案316对应于布局设计300A-300B的操作1026-1032的第二阱布局图案。

[0331] 参考布局设计400A-400B讨论操作1026'-1032',从而使得第一阱布局图案416对应于操作1026'-1032'的第一阱布局图案,并且第二阱布局图案414对应于操作1026'-1032'的第二阱布局图案。

[0332] 为了简明,在讨论操作1026-1032之后讨论操作1026'-1032'。

[0333] 在操作1026中,生成第一阱布局图案314。在一些实施例中,第一阱布局图案314对应于制造集成电路500A的第一阱501。在一些实施例中,第一阱501具有第一掺杂剂类型。在一些实施例中,第一掺杂剂类型是N-掺杂剂类型。在一些实施例中,第一掺杂剂类型是P-掺杂剂类型。

[0334] 在一些实施例中,操作1026包括操作1026a或1026b中的一个或多个。

[0335] 在一些实施例中,操作1026a包括生成第一布局图案(例如,布局图案354a或354c)。在一些实施例中,第一布局图案354a对应于制造第一阱501的第一部分501a。在一些实施例中,第一布局图案354a在第二方向Y上延伸并且邻近存储器单元100的布局设计300B的第一侧352a。

[0336] 在一些实施例中,操作1026b包括生成第二布局图案(例如,布局图案354b)。在一些实施例中,第二布局图案354b对应于制造第一阱501的第二部分501b。在一些实施例中,第二布局图案在第二方向上延伸并且邻近存储器单元100的第二侧。

[0337] 在操作1028中,将第一阱布局图案314放置在与第一布局层级、第二布局层级和第三布局层级不同的第四布局层级(例如,阱层级)上。在一些实施例中,第四布局层级的部分包括第一布局层级。在一些实施例中,第四布局层级的部分与第一布局层级相同。

[0338] 在一些实施例中,操作1028包括操作1028a或1028b中的一个或多个。

[0339] 在一些实施例中,操作1028a包括将第一布局图案354a放置在第一有源区布局图案304a下面。

[0340] 在一些实施例中,操作1028b包括将第二布局图案354b放置在第二有源区布局图案310a下面。

[0341] 在操作1030中,生成第二阱布局图案316。在一些实施例中,第二阱布局图案316对应于制造集成电路500A的第二阱501'。在一些实施例中,第二阱501'具有与第一掺杂剂类型不同的第二掺杂剂类型。在一些实施例中,第二掺杂剂类型是P-掺杂剂类型。在一些实施例中,第二掺杂剂类型是N-掺杂剂类型。

[0342] 在一些实施例中,操作1030包括操作1030a或1030b中的一个或多个。

[0343] 在一些实施例中,操作1030a包括生成第三布局图案(例如,布局图案356a)。在一

些实施例中,第三布局图案356a对应于制造第二阱501'的部分501c。在一些实施例中,第三布局图案356a在第二方向Y上延伸。在一些实施例中,第三布局图案356a位于第一布局图案354a与第二布局图案354b之间。

[0344] 在一些实施例中,操作1030b包括生成第四布局图案(例如,布局图案356b)。在一些实施例中,第四布局图案356b对应于制造与部分501c类似的第二阱501'的部分。在一些实施例中,第四布局图案356b在第二方向Y上延伸。在一些实施例中,第四布局图案356b位于第二布局图案354b和第三布局图案354c之间。

[0345] 在操作1032中,将第二阱布局图案316放置在第四布局层级上。在一些实施例中,操作1032还包括将第二阱布局图案316放置在第一布局图案354a和第二布局图案354b之间。在一些实施例中,操作1032还包括将第二阱布局图案316放置在有源区布局图案组312a的第三有源区布局图案306a和有源区布局图案组312a的第四有源区308a下面。

[0346] 在一些实施例中,操作1032包括操作1032a或1032b中的一个或多个。

[0347] 在一些实施例中,操作1032a包括将第三布局图案356a放置在有源区布局图案组312a中的第三有源区布局图案306a和有源区布局图案组312a中的第四有源区308a中的每个下面。

[0348] 在一些实施例中,操作1032b包括将第四布局图案356b放置在有源区布局图案组312b中的有源区布局图案306b和有源区布局图案组312b中的有源区布局图案308b中的每个下面。

[0349] 为了简明,在讨论操作1026-1032之后讨论操作1026'-1032'。

[0350] 在操作1026'中,生成第一阱布局图案416。在一些实施例中,第一阱布局图案416对应于制造集成电路500B的第一阱502。在一些实施例中,第一阱502具有第一掺杂剂类型。在一些实施例中,第一掺杂剂类型是P-掺杂剂类型。在一些实施例中,第一掺杂剂类型是N-掺杂剂类型。

[0351] 在一些实施例中,操作1026'包括操作1026a'或1026b'中的一个或多个。

[0352] 在一些实施例中,操作1026a'包括生成第一布局图案(例如,布局图案456a或456b)。在一些实施例中,第一布局图案456a对应于制造第一阱502的第一部分502a。在一些实施例中,第一布局图案456a在第二方向Y上延伸并且邻近存储器单元100的布局设计400B的第一侧452a。

[0353] 在一些实施例中,操作1026b'包括生成第二布局图案(例如,布局图案456c或456d)。在一些实施例中,第二布局图案456c对应于制造第一阱501的第二部分502b。在一些实施例中,第二布局图案456c在第二方向Y上延伸并且邻近存储器单元100的布局设计400B的第二侧452b1。

[0354] 在操作1028'中,将第一阱布局图案416放置在第四布局层级上。在一些实施例中,操作1028'包括操作1028a'或1028b'中的一个或多个。

[0355] 在一些实施例中,操作1028a'包括将第一布局图案456a放置在第一有源区布局图案404a下面。

[0356] 在一些实施例中,操作1028b'包括将第二布局图案456c放置在第二有源区布局图案410a的第一部分410a1下面。

[0357] 在操作1030'中,生成第二阱布局图案414。在一些实施例中,第二阱布局图案414

对应于制造集成电路500B的第二阱502'。在一些实施例中,第二阱502'具有与第一掺杂剂类型不同的第二掺杂剂类型。在一些实施例中,第二掺杂剂类型是N-掺杂剂类型。在一些实施例中,第二掺杂剂类型是P-掺杂剂类型。

[0358] 在一些实施例中,操作1030'包括操作1030a'或1030b'中的一个或多个。

[0359] 在一些实施例中,操作1030a'包括生成第三布局图案(例如,布局图案454a或454c)。在一些实施例中,第三布局图案454a对应于制造第二阱502'的第一部分502c。在一些实施例中,第三布局图案454a在第二方向Y上延伸。

[0360] 在一些实施例中,操作1030b'包括生成第四布局图案(例如,布局图案454b)。在一些实施例中,第四布局图案454b对应于制造第二阱502'的第二部分502d。在一些实施例中,第四布局图案454b在第二方向Y上延伸并且邻近存储器单元100的布局设计400B的第二侧452b1。

[0361] 在操作1032'中,将第二阱布局图案414放置在第四布局层级上。

[0362] 在一些实施例中,操作1032'包括操作1032a'或1032b'中的一个或多个。

[0363] 在一些实施例中,操作1032a'包括将第三布局图案454a放置在第一布局图案456a和至少第二布局图案456c或第四布局图案454b之间。在一些实施例中,操作1032a'包括将第三布局图案454a放置在有源区布局图案组412a的第三有源区布局图案406a和有源区布局图案组412a的第四有源区408a下面。

[0364] 在一些实施例中,操作1032b'包括将第四布局图案454b放置在第二有源区布局图案410a的第二部分410a2下面。

[0365] 在一些实施例中,不实施操作1002-1024、1026-1032或1026'-1032'中的一个或多个。

[0366] 通过处理器件(例如,处理器1202(图12))实施方法1000的一个或多个操作,该处理器件配置为执行用于生成布局设计(例如,第一布局设计300A-300B、第二布局设计400A-400B或布局设计600-800)的指令。在一些实施例中,第一布局设计300A-300B、第二布局设计400A-400B或布局设计600-800作为布局设计1216存储在存储器(例如,非暂时性计算机可读介质1204(图12))中。在一些实施例中,使用与在方法900-1000的不同的一个或多个操作中使用的处理器件相同的处理器件来实施方法900-1000的一个或多个操作。在一些实施例中,不同的处理器件可用于实施与用于实施方法900-1000的不同的一个或多个操作的方法900-1000中的一个或多个操作。

[0367] 在一些实施例中,方法1000生成占用比其他方法更小的面积的一个或多个布局设计(例如,第一布局设计300A-300B、第二布局设计400A-400B或布局设计600-800)。

[0368] 图11是根据本发明的至少一个实施例的集成电路(IC)制造系统1100和与其相关的IC制造流程的框图。

[0369] 在图11中,IC制造系统1100包括在设计、开发和制造周期中彼此相互作用的实体(诸如设计室1120、掩模室1130和IC制造商/制造者("fab")1140),和/或与制造IC器件1160有关的服务。通过通信网络连接系统1100中的实体。在一些实施例中,通信网络是单个网络。在一些实施例中,通信网络是诸如内联网和因特网的各种不同的网络。通信网络包括有线和/或无线通信信道。每个实体与一个或多个其他实体相互作用并向一个或多个其他实体提供服务和/或从一个或多个其他实体接收服务。在一些实施例中,设计室1120、掩模室

1130和IC制造商1140中的两个或多个由单个较大公司拥有。在一些实施例中,设计室1120、掩模室1130和IC制造商1140中的两个或多个共存于共同设施中并且使用公共资源。

[0370] 设计室(或设计团队)1120生成IC设计布局1122。IC设计布局1122包括为IC器件1160设计的各种几何图案。几何图案对应于构成要制造的IC器件1160的各种部件的金属、氧化物或半导体层的图案。各层结合以形成各种IC部件。例如,IC设计布局1122的部分包括要形成在半导体衬底(诸如硅晶圆)中的各个IC部件,诸如源区、栅电极、源电极和漏电极、金属线或层间互连的通孔和用于接合焊盘的开口,以及设置在半导体衬底上的各种材料层。设计室1120实施适当的设计过程以形成IC设计布局1122。设计过程包括逻辑设计、物理设计或放置和布线中的一个或多个。IC设计布局1122呈现为具有几何图案信息的一个或多个数据文件。例如,可以以GDSII文件格式或DFII文件格式表示IC设计布局1122。

[0371] 掩模室1130包括数据准备1132和掩模制造1134。掩模室1130使用IC设计布局1122制造用于根据IC设计布局1122制造IC器件1160的各个层的一个或多个掩模。掩模室1130实施掩模数据制备1132,其中,IC设计布局1122转换为代表性数据文件(“RDF”)。掩模数据制备1132向掩模制造1134提供RDF。掩模制造1134包括掩模写入器。掩模写入器将RDF转换为衬底上的图像,诸如掩模(掩模版)或半导体晶圆。IC设计布局1122由掩模数据制备1132操作以符合掩模写入器的特定特性和/或IC制造者1140的要求。在图11中,掩模数据制备1132和掩模制造1134示出为单独的元件。在一些实施例中,掩模数据制备1132和掩模制造1134可以统称为掩模数据制备。

[0372] 在一些实施例中,掩模数据制备1132包括光学邻近校正(OPC),其使用光刻增强技术来补偿诸如可能由衍射、干涉、其他工艺效应等引起的图像误差的图像误差。OPC调整IC设计布局1122。在一些实施例中,掩模数据制备1132还包括分辨率增强技术(RET),诸如离轴照射、亚分辨率辅助特征、相移掩模、其他合适的技术等或它们的组合。在一些实施例中,还使用反向光刻技术(ILT),其将OPC视为反向成像问题。

[0373] 在一些实施例中,掩模数据制备1132包括掩模规则检查器(MRC),其中,该掩模规则检查器(MRC)利用包括特定的几何和/或连接限制的掩模创建规则组检查OPC中已经经历的工艺的IC设计布局,以确保足够的裕度,从而解决半导体制造工艺中的变化性等。在一些实施例中,MRC修改IC设计布局以补偿掩模制造1134期间的限制,这可以取消OPC实施的部分修改以满足掩模创建规则。

[0374] 在一些实施例中,掩模数据制备1132包括光刻工艺检查(LPC),其模拟将由IC制造者1140实施的处理以制造IC器件1160。LPC基于IC设计布局1122模拟该处理以创建诸如IC器件1160的模拟制造的器件。LPC模拟中的处理参数可以包括与IC制造周期的各个工艺相关的参数,与用于制造IC的工具相关的参数和/或制造工艺的其他方面。LPC考虑了各种因素,诸如空间图像对比度、焦点深度(“DOF”)、掩模误差增强因子(“MEEF”)、其他合适因素等或它们的组合。在一些实施例中,在通过LPC创建模拟制造的器件之后,如果模拟器件的形状不够接近而无法满足设计规则,则将重复OPC和/或MRC以进一步改进IC设计布局1122。

[0375] 应当理解,为了简明,已经简化了掩模数据制备1132的上述描述。在一些实施例中,数据制备1132包括诸如逻辑操作(LOP)的额外的特征以根据制造规则修改IC设计布局。此外,可以以各种不同的顺序执行在数据制备1132期间应用于IC设计布局1122的工艺。

[0376] 在掩模数据制备1132之后并且在掩模制造1134期间,基于修改的IC设计布局制造

掩模或掩模组。在一些实施例中,电子束(e束)或多个电子束的机制用于基于修改的IC设计布局在掩模(光掩模或掩模版)上形成图案。采用各种技术来形成掩模。在一些实施例中,使用二进制技术形成掩模。在一些实施例中,掩模图案包括不透明区和透明区。用于曝光已经涂覆在晶圆上的图像敏感材料层(例如光刻胶)的辐射束(诸如紫外(UV)束)被不透明区阻挡并透过透明区。在一个实例中,二元掩模包括透明衬底(例如,石英玻璃)和在掩模的不透明区中涂覆的不透明材料(例如,铬)。在另一实例中,使用相移技术形成掩模。在相移掩模(PSM)中,形成在掩模上的图案的各个部件配置为具有适当的相位差以提高分辨率和成像质量。在各个实例中,相移掩模可以是衰减型PSM或交替型PSM。通过掩模制造1134所生成的掩模用于各个工艺中。例如,这种掩模可以用于离子注入工艺中以在半导体晶圆中形成各种掺杂区,用于蚀刻工艺中以在半导体晶圆中形成各种蚀刻区,和/或用于其他合适的工艺中。

[0377] IC制造者1140是IC制造企业,其包括用于制造各种不同IC产品的一个或多个制造设备。在一些实施例中,IC制造者1140是半导体代工厂。例如,可以存在用于多个IC产品的前段制造(前段制程(FEOL)制造)的制造设备,而第二制造设备可以提供用于IC产品的互连和封装的后段制造(后段制程(BEOL)制造),以及第三制造设备可以为代工企业提供其他服务。

[0378] IC制造者1140使用由掩模室1130制造的掩模(或多个掩模)来制造IC器件1160。因此,IC制造者1140至少间接地使用IC设计布局1122来制造IC器件1160。在一些实施例中,使用掩模(或多个掩模)由IC制造者1140制造半导体晶圆1142以形成IC器件1160。半导体晶圆1142包括具有形成在其上的材料层的硅衬底或其他适当的衬底。半导体晶圆还包括各种掺杂区、介电部件、多层互连件等中的一个或多个(在后续的制造步骤中形成)。

[0379] 例如,在以下专利中发现关于集成电路(IC)制造系统(例如,图11的系统1100)以及与其相关联的IC制造流程的细节:于2016年2月9日授权的第9,256,709号美国专利、于2015年10月1日发表的美国预授权出版号为20150278429的美国专利、于2014年2月6日发表的美国预授权出版号为20140040838的美国专利以及于2007年8月21日授权的第7,260,442号美国专利,其每个专利的全部内容结合于此作为参考。

[0380] 图12是根据一些实施例的用于设计IC布局设计的系统1200的示意图。在一些实施例中,系统1200生成或放置本文所述的一个或多个IC布局设计。系统1200包括硬件处理器1202和非暂时性计算机可读存储介质1204,其中,非暂时性计算机可读存储介质1204编码有(即,存储有)计算机程序代码1206(即,可执行指令集)。计算机可读存储介质1204配置为与生产集成电路(例如,存储器单元阵列)的制造机器接口连接。处理器1202通过总线1208电连接至计算机可读存储介质1204。处理器1202也通过总线1208电连接至I/O接口1210。网络接口1212也通过总线1208电连接至处理器1202。网络接口1212连接至网络1214,从而使得处理器1202和计算机可读存储介质1204能够通过网络1214连接至外部元件。处理器1202配置为执行编码在计算机可读存储介质1204中的计算机程序代码1206,以使得系统1200可用于实施方法900或方法1000中描述的部分或全部操作。

[0381] 在一些实施例中,处理器1202是中央处理单元(CPU)、多处理器、分布式处理系统、专用集成电路(ASIC)和/或合适的处理单元。

[0382] 在一些实施例中,计算机可读存储介质1204是电子的、磁性的、光学的、电磁的、红

外的和/或半导体系统(或装置或器件)。例如,计算机可读存储介质1204包括半导体或固相存储器、磁带、可移动计算机软盘、随机存取存储器(RAM)、只读存储器(ROM)、硬磁盘和/或光盘。在使用光盘的一些实施例中,计算机可读存储介质1204包括只读光盘存储器(CD-ROM)、读/写光盘(CD-R/W)和/或数字视频光盘(DVD)。

[0383] 在一些实施例中,存储介质1204存储计算机程序代码1206,该计算机程序代码配置为使系统1200实施方法900或1000。在一些实施例中,存储介质1204还存储实施方法900或1000所需的信息以及在实施方法900或1000期间生成的信息(诸如布局设计1216和用户界面1218),和/或实施方法900或1000的操作的可执行指令集。在一些实施例中,布局设计1216包括布局设计300A、300B、400A、400B或600-800中的一个或多个。

[0384] 在一些实施例中,存储介质1204存储与制造机器接口连接的指令(例如,计算机程序代码1206)。指令(例如,计算机程序代码1206)使得处理器1202能够生成通过制造机器可读的制造指令,以在制造工艺期间有效地实施方法900或方法1000。

[0385] 系统1200包括I/O接口1210。I/O接口1210连接至外部电路。在一些实施例中,I/O接口1210包括用于向处理器1202传达信息和命令的键盘、小型键盘、鼠标、轨迹球、触控板和/或光标方向键。

[0386] 系统1200还包括连接至处理器1202的网络接口1212。网络接口1212允许系统1200与网络1214通信,其中一个或多个其他计算机系统连接至该网络。网络接口1212包括无线网络接口,诸如BLUETOOTH、WIFI、WIMAX、GPRS或WCDMA;或有线网络接口,诸如ETHERNET、USB或IEEE-1394。在一些实施例中,在两个或多个系统1200中实施方法900或1000,并且通过网络1214在不同系统1200之间交换诸如布局设计和用户界面的信息。

[0387] 系统1200配置为通过I/O接口1210或网络接口1212接收与布局设计相关的信息。该信息通过总线1208传送至处理器1202,以确定用于生成存储器单元100、存储器单元阵列200A或200B或存储器单元阵列500A或500B中的一个或多个的布局设计。然后将布局设计作为布局设计1216存储在计算机可读介质1204中。系统1200配置为通过I/O接口1210或网络接口1212接收与用户界面相关的信息。该信息作为用户界面1218存储在计算机可读介质1204中。

[0388] 在一些实施例中,方法900或1000实现为用于由处理器执行的独立软件应用。在一些实施例中,方法900或1000实现为作为额外的软件应用的部分的软件应用。在一些实施例中,方法900或1000实现为软件应用的插件。在一些实施例中,方法900或1000实现为作为EDA工具的部分的软件应用。在一些实施例中,方法900或1000实现为由EDA工具使用的软件应用。在一些实施例中,EDA工具用于生成集成电路器件或存储器单元阵列的布局。在一些实施例中,在非暂时计算机可读介质上存储布局。在一些实施例中,使用诸如可从CADENCE DESIGN SYSTEMS, Inc.获得的诸如VIRTUOSO®的工具或另一合适的布局生成工具生成布局。在一些实施例中,基于网表生成布局,其中,基于原理图设计来创建该网表。在一些实施例中,方法900或1000通过制造器件实施为使用基于由系统1200生成的一个或多个布局设计(例如,布局设计300A-300B、400A-400B、600-800)所制造的掩模组来制造集成电路(例如,存储器单元100或存储器单元阵列300A-300B、400A-400B、600-800或500A-500H)。

[0389] 图12的系统1200生成占用比其他方法更小的面积的存储器单元100、存储器单元阵列200A或200B或存储器单元阵列500A或500B的布局设计(例如,布局设计300A、300B、

400A、400B或600-800)。

[0390] 该描述的一个方面涉及一种形成存储器单元阵列的方法。该方法包括：生成在第一方向上延伸的第一组图块，生成在第一方向上延伸并且在第二方向上与第一组图块分开的第二组图块，通过硬件处理器实施上述操作中的至少一个，并且将以上布局设计中的至少一个存储在非暂时性计算机可读介质上。该方法还包括至少基于第一布局设计或第二布局设计来制造存储器单元阵列。在一些实施例中，生成第一组图块包括生成第一组存储器单元的第一布局设计，第一组图块中的每个图块对应于第一组存储器单元的第一布局设计，并且第一组图块中的每个图块在与第一方向不同的第二方向上从第一组图块中的邻近图块偏移。在一些实施例中，生成第二组图块包括生成第二组存储器单元的第二布局设计，第二组图块中的每个图块对应于第二组存储器单元的第二布局设计，并且第二组图块中的每个图块在第二方向上从第二组图块中的邻近图块偏移。在一些实施例中，第一组图块和第二组图块在第二方向上彼此交替，第一组图块中的每个图块和第二组图块中的每个图块在与第一方向和第二方向不同的第三方向上延伸。在一些实施例中，将第一组存储器单元布置在存储器单元阵列的至少第一行和第二行中。在一些实施例中，将第二组存储器单元布置在存储器单元阵列的至少第三行和第四行中。在一些实施例中，第一组存储器单元包括4个存储器单元；并且第二组存储器单元包括4个存储器单元。在一些实施例中，第一组存储器单元中的每个存储器单元包括五晶体管(5T)同步随机存取存储器(SRAM)存储器单元；并且第二组存储器单元中的每个存储器单元包括5T SRAM存储器单元。在一些实施例中，生成第一组存储器单元的第一布局设计包括生成第一布局设计的第一部分，第一布局设计的第一部分对应于制造存储器单元阵列的第一组存储器单元的第一存储器单元；生成第一布局设计的第二部分，第一布局设计的第二部分对应于制造存储器单元阵列的第一组存储器单元的第二存储器单元；生成第一布局设计的第三部分，第一布局设计的第三部分对应于制造存储器单元阵列的第一组存储器单元的第三存储器单元；以及生成第一布局设计的第四部分，第一布局设计的第四部分对应于制造存储器单元阵列的第一组存储器单元的第四存储器单元，其中，第一布局设计的第一部分和第一布局设计的第二部分相对于第二方向是彼此的镜像，并且第一布局设计的第三部分和第一布局设计的第四部分相对于第二方向是彼此的镜像。在一些实施例中，生成第二组存储器单元的第二布局设计包括生成第二布局设计的第一部分，第二布局设计的第一部分对应于制造存储器单元阵列的第二组存储器单元的第一存储器单元；生成第二布局设计的第二部分，第二布局设计的第二部分对应于制造存储器单元阵列的第二组存储器单元的第二存储器单元；生成第二布局设计的第三部分，第二布局设计的第三部分对应于制造存储器单元阵列的第二组存储器单元的第三存储器单元；以及生成第二布局设计的第四部分，第二布局设计的第四部分对应于制造存储器单元阵列的第二组存储器单元的第四存储器单元，其中，第二布局设计的第一部分和第二布局设计的第三部分相对于第三方向是彼此的镜像，并且第二布局设计的第二部分和第二布局设计的第四部分相对于第三方向是彼此的镜像。在一些实施例中，生成第一组存储器单元的第一布局设计或生成第二组存储器单元的第二布局设计包括生成与制造存储器单元阵列的有源区组相对应的有源区布局图案组，有源区布局图案组中的每个布局图案在第三方向上通过第一间距与有源区布局图案组中的邻近布局图案分开，有源区布局图案组在第二方向上延伸并且位于第一布局层级上，其中，生成有源区布局图案组包括生成第一有

源区布局图案;生成第二有源区布局图案;在第一有源区布局图案和第二有源区布局图案之间生成第三有源区布局图案,以及在第三有源区布局图案和第二有源区布局图案之间生成第四有源区布局图案,第一有源区布局图案的长度不同于第二有源区布局图案的长度。在一些实施例中,生成第一组存储器单元的第一布局设计或生成第二组存储器单元的第二布局设计包括生成与制造存储器单元阵列的栅极结构组相对应的栅极布局图案组,栅极布局图案组在第三方向上延伸,与有源区布局图案组重叠,并且位于与第一布局层级不同的第二布局层级上;以及生成与制造存储器单元阵列的第一组导电结构相对应的第一组导电部件布局图案,第一组导电部件布局图案在第三方向上延伸并且位于至少有源区布局图案组或栅极布局图案组上方,第一组导电部件布局图案中的每个导电部件布局图案在至少第二方向或第三方向上与第一组导电部件布局图案中的邻近布局图案分开,并且位于与第一布局层级和第二布局层级不同的第三布局层级上。

[0391] 在实施例中,方法还包括:生成第二组图块,其中,生成所述第二组图块包括:生成第二组存储器单元的第二布局设计,所述第二组图块中的每个图块对应于所述第二组存储器单元的第二布局设计,并且所述第二组图块中的每个图块在所述第二方向上从所述第二组图块中的邻近图块偏移;其中,所述第一组图块和所述第二组图块在所述第二方向上彼此交替,并且所述第二组图块中的每个图块在所述第三方向上延伸。

[0392] 在实施例中,生成所述第二组存储器单元的第二布局设计包括:生成所述第二布局设计的第一部分,所述第二布局设计的第一部分对应于制造所述存储器单元阵列的所述第二组存储器单元的第一存储器单元;生成所述第二布局设计的第二部分,所述第二布局设计的第二部分对应于制造所述存储器单元阵列的所述第二组存储器单元的第二存储器单元;生成所述第二布局设计的第三部分,所述第二布局设计的第三部分对应于制造所述存储器单元阵列的所述第二组存储器单元的第三存储器单元;生成所述第二布局设计的第四部分,所述第二布局设计的第四部分对应于制造所述存储器单元阵列的所述第二组存储器单元的第四存储器单元,其中,所述第二布局设计的第一部分和所述第二布局设计的第三部分相对于所述第三方向是彼此的镜像,以及所述第二布局设计的第二部分和所述第二布局设计的第四部分相对于所述第三方向是彼此的镜像。

[0393] 在实施例中,生成所述第一组存储器单元的所述第一布局设计或生成所述第二组存储器单元的所述第二布局设计包括:生成与制造所述存储器单元阵列的有源区组相对应的有源区布局图案组,所述有源区布局图案组中的每个有源区布局图案在所述第三方向上通过第一间距与所述有源区布局图案组中的邻近布局图案分开,所述有源区布局图案组在所述第二方向上延伸并位于第一布局层级上,其中,生成所述有源区布局图案组包括:生成第一有源区布局图案;生成第二有源区布局图案;在所述第一有源区布局图案和所述第二有源区布局图案之间生成第三有源区布局图案,以及在所述第三有源区布局图案和所述第二有源区布局图案之间生成第四有源区布局图案,所述第一有源区布局图案的长度不同于所述第二有源区布局图案的长度;生成与制造所述存储器单元阵列的栅极结构组相对应的栅极布局图案组,所述栅极布局图案组在所述第三方向上延伸,与所述有源区布局图案组重叠并且位于与所述第一布局层级不同的第二布局层级上;以及生成与制造所述存储器单元阵列的第一组导电结构相对应的第一组导电部件布局图案,所述第一组导电部件布局图案在所述第三方向上延伸并且至少位于所述有源区布局图案组或所述栅极布局图案组上

方,所述第一组导电部件布局图案中的每个导电部件布局图案至少在所述第二方向或所述第三方向上与所述第一组导电部件布局图案中的邻近布局图案分开,并且位于与所述第一布局层级和所述第二布局层级不同的第三布局层级上。

[0394] 在实施例中,所述第一组存储器单元至少布置在所述存储器单元阵列的第一行和第二行中,所述第一组存储器单元包括4个存储器单元,所述第一组存储器单元中的每个存储器单元包括五晶体管(5T)同步随机存取存储器(SRAM)存储器单元;以及所述第二组存储器单元至少布置在所述存储器单元阵列的第三行和第四行中,所述第二组存储器单元包括4个存储器单元,所述第二组存储器单元中的每个存储器单元包括五晶体管(5T)同步随机存取存储器(SRAM)存储器单元。

[0395] 在实施例中,生成所述第一组存储器单元的第一布局设计包括:生成所述第一布局设计的第一部分,所述第一布局设计的第一部分对应于制造所述存储器单元阵列的所述第一组存储器单元的第一存储器单元;生成所述第一布局设计的第二部分,所述第一布局设计的第二部分对应于制造所述存储器单元阵列的所述第一组存储器单元的第二存储器单元;生成所述第一布局设计的第三部分,所述第一布局设计的第三部分对应于制造所述存储器单元阵列的所述第一组存储器单元的第三存储器单元;以及生成所述第一布局设计的第四部分,所述第一布局设计的第四部分对应于制造所述存储器单元阵列的所述第一组存储器单元的第四存储器单元,其中,所述第一布局设计的第一部分和所述第一布局设计的第二部分相对于所述第二方向是彼此的镜像,以及所述第一布局设计的第三部分和所述第一布局设计的第四部分相对于所述第二方向是彼此的镜像。

[0396] 本发明的另一方面涉及一种形成具有存储器单元的存储器单元阵列的方法。该方法包括通过处理器生成存储器单元阵列的布局设计,其中,生成布局设计包括生成与制造存储器单元阵列的有源区组相对应的有源区布局图案组,生成与制造存储器单元阵列的栅极结构组相对应的栅极布局图案组,生成与制造存储器单元阵列的第一组导电结构相对应的第一组导电部件布局图案,其中,上述布局图案中的至少一个存储在非暂时性计算机可读介质上,并且通过硬件处理器实施上述操作中的至少一个。在一些实施例中,有源区布局图案组中的每个布局图案在第一方向上通过第一间距与有源区布局图案组中的邻近布局图案分开,有源区布局图案组在与第一方向不同的第二方向上延伸并位于第一布局层级上,其中,生成有源区布局图案组包括生成与存储器单元的第一侧邻近的第一有源区布局图案,以及生成与存储器单元的第一侧相对的存储器单元的第二侧邻近的第二有源区布局图案,第一有源区布局图案的长度不同于第二有源区布局图案的长度。在一些实施例中,栅极布局图案组在第一方向上延伸,与有源区布局图案组重叠,并且位于与第一布局层级不同的第二布局层级上。在一些实施例中,第一组导电部件布局图案在第一方向上延伸并位于至少有源区布局图案组或栅极布局图案组上方,第一组导电部件布局图案中的每个导电部件布局图案在至少第一方向或第二方向上与第一组导电部件布局图案中的邻近布局图案分开,并且位于与第一布局层级和第二布局层级不同的第三布局层级上。在一些实施例中,该方法还包括基于布局设计制造存储器单元阵列。在一些实施例中,生成存储器单元阵列的布局设计还包括生成与制造存储器单元阵列的第二组导电结构相对应的第二组导电部件布局图案,第二组导电部件布局图案在第一方向上延伸并且与至少第二有源区布局图案以及存储器单元的第二侧重叠,第二组导电部件布局图案中的每个导电部件布局图案在

至少第一方向或第二方向上与第二组导电部件布局图案中的邻近布局图案分开,并且位于与第一布局层级、第二布局层级和第三布局层级不同的第四布局层级上。在一些实施例中,生成存储器单元阵列的布局设计还包括在第一组导电部件布局图案与有源区布局图案组之间生成第一组通孔布局图案,第一组通孔布局图案对应于制造第一组通孔,第一组通孔将第一组导电结构连接至有源区组,并且第一组通孔布局图案中的每个通孔布局图案位于第一组导电部件布局图案中的每个导电部件布局图案与有源区布局图案组中的每个有源区布局图案重叠的位置处。在一些实施例中,生成存储器单元阵列的布局设计还包括在第一组导电部件布局图案与栅极布局图案组之间生成第二组通孔布局图案,第二组通孔布局图案对应于制造第二组通孔,第二组通孔将第一组导电结构连接至栅极组,并且第二组通孔布局图案的第一通孔布局图案位于第一组导电部件布局图案中的第一导电部件布局图案与栅极布局图案组中的第一栅极布局图案重叠的位置处。在一些实施例中,第一有源区布局图案对应于第一P型晶体管的第一有源区。在一些实施例中,第二有源区布局图案对应于连接至第一P型晶体管的第二P型晶体管的第二有源区;以及连接至第二P型晶体管的传输门晶体管,传输门晶体管、第一P型晶体管和第二P型晶体管中的每个都是五晶体管(5T)同步随机存取存储器(SRAM)存储器单元的部分。在一些实施例中,生成存储器单元阵列的布局设计还包括生成与制造存储器单元阵列的第一阱相对应的第一阱布局图案,第一阱具有第一掺杂剂类型,并且第一阱布局图案位于与第一布局层级、第二布局层级和第三布局层级不同的第四布局层级上,生成第一阱布局图案包括生成与制造第一阱的第一部分相对应的第一布局图案,第一布局图案在第二方向上延伸、邻近存储器单元的第一侧并且位于第一有源区布局图案下面;以及生成与制造第一阱的第二部分相对应的第二布局图案,第二布局图案在第二方向上延伸,邻近存储器单元的第二侧,并且位于第二有源区布局图案下面。在一些实施例中,生成存储器单元阵列的布局设计还包括生成与制造存储器单元阵列的第二阱相对应的第二阱布局图案,第二阱具有与第一掺杂剂类型不同的第二掺杂剂类型,并且第二阱布局图案位于第四布局层级上,位于第一布局图案和第二布局图案之间,并且位于有源区布局图案组的第三有源区布局图案和有源区布局图案组的第四有源区下面。在一些实施例中,第一有源区布局图案对应于第一N型晶体管的第一有源区。在一些实施例中,第二有源区布局图案对应于连接至第一N型晶体管的第二N型晶体管的第二有源区;以及连接至第二N型晶体管的传输门晶体管,传输门晶体管、第一N型晶体管和第二N型晶体管中的每个是五晶体管(5T)同步随机存取存储器(SRAM)存储器单元的部分。在一些实施例中,生成存储器单元阵列的布局设计还包括生成与制造存储器单元阵列的第一阱相对应的第一阱布局图案,第一阱具有第一掺杂剂类型,并且第一阱布局图案位于与第一布局层级、第二布局层级和第三布局层级不同的第四布局层级上,生成第一阱布局图案包括生成与制造第一阱的第一部分相对应的第一布局图案,第一布局图案在第二方向上延伸、邻近存储器单元的第一侧并且位于第一有源区布局图案下面;以及生成与制造第一阱的第二部分相对应的第二布局图案,第二布局图案在第二方向上延伸、邻近存储器单元的第二侧,并且位于第二有源区布局图案第一部分下面。在一些实施例中,生成存储器单元阵列的布局设计还包括生成与制造存储器单元阵列的第二阱相对应的第二阱布局图案,第二阱具有与第一掺杂剂类型不同的第二掺杂剂类型,并且第二阱布局图案位于第四布局层级上,生成第二阱布局图案包括生成与制造第二阱的第一部分相对应的第三布局图案,第三布局图案在第

二方向上延伸,位于第一布局图案和第二布局图案之间,并且位于有源区布局图案组的第三有源区布局图案和有源区布局图案组的第四有源区下面;以及生成与制造第二阱的第二部分相对应的第四布局图案,第四布局图案在第二方向上延伸、邻近存储器单元的第二侧,并且位于第二有源区布局图案的第二部分下面。

[0397] 在实施例中,方法还包括:生成与制造所述存储器单元阵列的栅极结构组相对应的栅极布局图案组,所述栅极布局图案组在所述第一方向上延伸、与所述有源区布局图案组重叠并且位于与所述第一布局层级不同的第二布局层级上;以及生成与制造所述存储器单元阵列的第一组导电结构相对应的第一组导电部件布局图案,所述第一组导电部件布局图案在所述第一方向上延伸并至少位于所述有源区布局图案组或所述栅极布局图案组上方,所述第一组导电部件布局图案中的每个导电部件布局图案至少在所述第一方向或所述第二方向上与所述第一组导电部件布局图案中的邻近布局图案分开,并且位于与所述第一布局层级和所述第二布局层级不同的第三布局层级上。

[0398] 在实施例中,生成所述存储器单元阵列的布局设计还包括:生成与制造所述存储器单元阵列的第二组导电结构相对应的第二组导电部件布局图案,所述第二组导电部件布局图案在所述第一方向上延伸并且至少与所述第二有源区布局图案和所述存储器单元的第二侧重叠,所述第二组导电部件布局图案中的每个导电部件布局图案至少在所述第一方向或所述第二方向上与所述第二组导电部件布局图案中的邻近布局图案分开并且位于与所述第一布局层级、所述第二布局层级和所述第三布局层级不同的第四布局层级上。

[0399] 在实施例中,生成所述存储器单元阵列的布局设计还包括:在所述第一组导电部件布局图案和所述有源区布局图案组之间生成第一组通孔布局图案,所述第一组通孔布局图案对应于制造第一组通孔,所述第一组通孔将所述第一组导电结构连接至所述有源区组,并且所述第一组通孔布局图案中的每个通孔布局图案位于所述第一组导电部件布局图案中的每个导电部件布局图案与所述有源区布局图案组中的每个有源区布局图案重叠的位置处。

[0400] 在实施例中,生成所述存储器单元阵列的布局设计还包括:在所述第一组导电部件布局图案和所述栅极布局图案组之间生成第二组通孔布局图案,所述第二组通孔布局图案对应于制造第二组通孔,所述第二组通孔将所述第一组导电结构连接至所述栅极结构组,并且所述第二组通孔布局图案中的第一通孔布局图案位于所述第一组导电部件布局图案中的第一导电部件布局图案与所述栅极布局图案组中的第一栅极布局图案重叠的位置处。

[0401] 在实施例中,所述第一有源区布局图案对应于第一P型晶体管的第一有源区;所述第二有源区布局图案对应于第二P型晶体管的第二有源区,其中,所述第二P型晶体管的第二有源区连接至所述第一P型晶体管;以及传输门晶体管连接至所述第二P型晶体管,所述传输门晶体管、所述第一P型晶体管和所述第二P型晶体管中的每个都是五晶体管(5T)同步随机存取存储器(SRAM)存储器单元的部分,以及所述第一有源区布局图案的长度不同于所述第二有源区布局图案的长度,所述第一有源区布局图案从所述布局设计的一侧延伸至所述布局设计的所述拐角槽口,并且所述第二有源区布局图案从所述布局设计的一侧延伸至所述布局设计的另一侧。

[0402] 在实施例中,生成所述存储器单元阵列的布局设计还包括:生成与制造所述存储

器单元阵列的第一阱相对应的第一阱布局图案,所述第一阱具有第一掺杂剂类型,并且所述第一阱布局图案位于与所述第一布局层级、所述第二布局层级、所述第三布局层级不同的第四布局层级上,生成所述第一阱布局图案包括:生成与制造所述第一阱的第一部分相对应的第一布局图案,所述第一布局图案在所述第二方向上延伸、邻近所述存储器单元的第一侧和所述拐角槽口并且位于所述第一有源区布局图案下面;以及生成与制造所述第一阱的第二部分相对应的第二布局图案,所述第二布局图案在所述第二方向上延伸、邻近所述存储器单元的第二侧并且位于所述第二有源区布局图案下面;以及生成与制造所述存储器单元阵列的第二阱相对应的第二阱布局图案,所述第二阱具有与所述第一掺杂剂类型不同的第二掺杂剂类型,并且所述第二阱布局图案位于所述第四布局层级上、位于所述第一布局图案和所述第二布局图案之间并且位于所述有源区布局图案组的第三有源区布局图案和所述有源区布局图案组的第四有源区布局图案下面。

[0403] 在实施例中,所述第一有源区布局图案对应于第一N型晶体管的第一有源区;所述第二有源区布局图案对应于第二N型晶体管的第二有源区,其中,所述第二N型晶体管连接至所述第一N型晶体管;以及传输门晶体管连接至所述第二N型晶体管,所述传输门晶体管、所述第一N型晶体管和所述第二N型晶体管中的每个都是五晶体管(5T)同步随机存取存储器(SRAM)存储器单元的部分,以及所述第一有源区布局图案的长度不同于所述第二有源区布局图案的长度,所述第一有源区布局图案从所述布局设计的一侧延伸至所述布局设计的所述拐角槽口。

[0404] 在实施例中,生成所述存储器单元阵列的布局设计还包括:生成与制造所述存储器单元阵列的第一阱相对应的第一阱布局图案,所述第一阱具有第一掺杂剂类型,并且所述第一阱布局图案位于与所述第一布局层级、所述第二布局层级、所述第三布局层级不同的第四布局层级上,生成所述第一阱布局图案包括:生成与制造所述第一阱的第一部分相对应的第一布局图案,所述第一布局图案在所述第二方向上延伸、邻近所述存储器单元的第一侧和所述拐角槽口并且位于所述第一有源区布局图案下面;以及生成与制造所述第一阱的第二部分相对应的第二布局图案,所述第二布局图案在所述第二方向上延伸、邻近所述存储器单元的第二侧并且位于所述第二有源区布局图案的第一部分下面;以及生成与制造所述存储器单元阵列的第二阱相对应的第二阱布局图案,所述第二阱具有与所述第一掺杂剂类型不同的第二掺杂剂类型,并且所述第二阱布局图案位于所述第四布局层级上,生成所述第二阱布局图案包括:生成与制造所述第二阱的第一部分相对应的第三布局图案,所述第三布局图案在所述第二方向上延伸、位于所述第一布局图案和所述第二布局图案之间并且位于所述有源区布局图案组中的第三有源区布局图案和所述有源区布局图案组中的第四有源区布局图案下面;以及生成与制造所述第二阱的第二部分相对应的第四布局图案,所述第四布局图案在所述第二方向上延伸、邻近所述存储器单元的第二侧并且位于所述第二有源区布局图案的第二部分下面。

[0405] 本发明的另一方面涉及一种存储器单元阵列。存储器单元阵列包括布置在第一方向上的第一行中的第一存储器单元;以及布置在第一方向上的在第二行中的第二存储器单元。在一些实施例中,第一存储器单元或第二存储器单元包括有源区组,有源区组中的每个有源区在第一方向上通过第一间距与有源区组中的邻近有源区分开,有源区组在与第一方向不同的第二方向上延伸并且位于第一层级上。在一些实施例中,有源区组包括与第一存

存储器单元的第一侧邻近的第一有源区,以及与第一存储器单元的第一侧相对的第一存储器单元的第二侧邻近的第二有源区,第一有源区的长度不同于第二有源区的长度。在一些实施例中,第一存储器单元或第二存储器单元包括在第一方向上延伸的栅极组,与有源区组重叠,并且位于与第一层级不同的第二层级上。在一些实施例中,第一存储器单元或第二存储器单元包括在第一方向上延伸并位于至少有源区组或栅极组上方的第一组导电结构,第一组导电结构中的每个导电结构在至少第一方向或第二方向上与第一组导电结构中的邻近导电结构分开,并且位于与第一层级和第二层级不同的第三层级上。在一些实施例中,存储器阵列还包括在第一方向上延伸并且与至少第二有源区和第一存储器单元的第二侧重叠的第二组导电结构,第二组导电结构中的每个导电结构在至少第一方向或第二方向上与第二组导电结构中的邻近结构分开,并且位于与第一层级、第二层级和第三层级不同的第四层级上。在一些实施例中,存储器阵列还包括位于第一组导电结构和有源区组之间的第一组通孔,第一组通孔将第一组导电结构连接至有源区组,并且第一组通孔中的至少一个通孔位于第一组导电结构中的至少一个导电结构与有源区组中的至少一个有源区重叠的位置处。在一些实施例中,存储器阵列还包括位于第一组导电结构和栅极组之间的第二组通孔,第二组通孔将第一组导电结构连接至栅极组,并且第二组通孔中的第一通孔位于第一组导电结构的第一导电结构与栅极组中的第一栅极重叠的位置处。在一些实施例中,存储器阵列还包括具有第一掺杂剂类型并且位于至少第一层级上的第一阱,第一阱包括在第二方向上延伸、邻近第一存储器单元的第一侧的第一部分,并且有源区组的第一有源区嵌入在第一阱的第一部分中;以及在第二方向上延伸、邻近第一存储器单元的第二侧的第二部分,并且有源区组的第二有源区嵌入在第一阱的第二部分中。在一些实施例中,存储器阵列还包括具有与第一掺杂剂类型不同的第二掺杂剂类型的第二阱,并且第二阱位于第一阱的第一部分和第一阱的第二部分之间。在一些实施例中,有源区组还包括嵌入在第二阱中的第三有源区;以及嵌入在第二阱中的第四有源区,第三有源区位于第一有源区和第四有源区之间,并且第四有源区位于第三有源区和第二有源区之间。在一些实施例中,存储器阵列还包括具有第一掺杂剂类型并且位于至少第一层级上的第一阱,第一阱包括在第二方向上延伸、与第一存储器单元的第一侧邻近的第一阱的第一部分,并且第一有源区嵌入在第一阱的第一部分中;并且第一阱的第二部分在第二方向上延伸并且邻近第二阱的第二侧。在一些实施例中,存储器阵列还包括具有与第一掺杂剂类型不同的第二掺杂剂类型的第二阱,并且第二阱包括第二阱的第一部分,在第二方向上延伸并且邻近第一阱的第一部分;以及第二阱的第二部分,在第二方向上延伸并且邻近第一存储器单元的第二侧、第一阱的第二部分和第二阱的第一部分中的每个。在一些实施例中,第二有源区包括第二有源区的第一部分,嵌入在第一阱的第二部分中;以及第二有源区的第二部分,嵌入在第二阱的第二部分中,并且在第二方向上与第二有源区的第一部分对准。在一些实施例中,有源区组还包括第三有源区,嵌入在第二阱的第一部分中;第四有源区,嵌入在第二阱的第一部分中,第三有源区位于第一有源区和第四有源区之间,并且第四有源区位于第三有源区和第二有源区之间。

[0406] 在实施例中,存储器单元阵列还包括:栅极组,在所述第一方向上延伸、与所述第一有源区和所述第二有源区重叠并且位于与所述第一层级不同的第二层级上;以及第一组导电结构,在所述第一方向上延伸并且至少位于所述第一有源区和所述第二有源区或栅极

组上方,所述第一组导电结构中的每个导电结构至少在所述第一方向或所述第二方向上与所述第一组导电结构中的邻近导电结构分开,并且位于与所述第一层级和所述第二层级不同的第三层级上。

[0407] 在实施例中,存储器单元阵列还包括:第二组导电结构,在所述第一方向上延伸,并且至少与所述第二有源区和所述第一存储器单元的第二侧重叠,所述第二组导电结构中的每个导电结构至少在所述第一方向或所述第二方向上与所述第二组导电结构中的邻近导电结构分开,并且位于与所述第一层级、所述第二层级和所述第三层级不同的第四层级上;第一组通孔,位于所述第一组导电结构与所述第一有源区和第二有源区之间,所述第一组通孔将所述第一组导电结构连接至所述第一有源区和所述第二有源区,以及所述第一组通孔中的至少一个通孔位于所述第一组导电结构中的至少一个导电结构与所述第一有源区和所述第二有源区中的至少一个重叠的位置处;以及第二组通孔,位于所述第一组导电结构与所述栅极组之间,所述第二组通孔将所述第一组导电结构连接至所述栅极组,并且所述第二组通孔中的第一通孔位于所述第一组导电结构中的第一导电结构与所述栅极组中的第一栅极重叠的位置处。

[0408] 在实施例中,存储器单元阵列还包括:第一阱,具有第一掺杂剂类型并且至少位于所述第一层级上,所述第一阱包括:第一部分,在所述第二方向上延伸、邻近所述第一存储器单元的第一侧,并且所述第一有源区嵌入在所述第一阱的第一部分中;以及第二部分,在所述第二方向上延伸、邻近所述第一存储器单元的第二侧,并且所述第二有源区嵌入在所述第一阱的第二部分中;以及第二阱,具有与所述第一掺杂剂类型不同的第二掺杂剂类型,并且所述第二阱位于所述第一阱的第一部分和所述第一阱的第二部分之间;第三有源区,嵌入在所述第二阱中;以及第四有源区,嵌入在所述第二阱中,所述第三有源区位于所述第一有源区和所述第四有源区之间,并且所述第四有源区位于所述第三有源区和所述第二有源区之间。

[0409] 在实施例中,存储器单元阵列还包括:第一阱,具有第一掺杂剂类型并且至少位于所述第一层级上,所述第一阱包括:所述第一阱的第一部分,在所述第二方向延伸、邻近所述第一存储器单元的第一侧,以及所述第一有源区嵌入在所述第一阱的第一部分中;以及所述第一阱的第二部分,在所述第二方向上延伸、邻近所述第一存储器单元的第二侧相邻;以及第二阱,具有与所述第一掺杂剂类型不同的第二掺杂剂类型,并且所述第二阱包括:所述第二阱的第一部分,在所述第二方向上延伸并且邻近所述第一阱的第一部分;以及所述第二阱的第二部分,在所述第二方向上延伸并且邻近所述第一存储器单元的第二侧、所述第一阱的第二部分和所述第二阱的第一部分中的每个,其中,所述第二有源区包括:所述第二有源区的第一部分,嵌入在所述第一阱的第二部分中;以及所述第二有源区的第二部分,嵌入在所述第二阱的第二部分中,并且在所述第二方向上与所述第二有源区的第一部分对准;第三有源区,嵌入在所述第二阱的第一部分中;以及第四有源区,嵌入在所述第二阱的第一部分中,所述第三有源区位于所述第一有源区和所述第四有源区之间,并且所述第四有源区位于所述第三有源区和所述第二有源区之间。

[0410] 上面概述了若干实施例的特征,使得本领域技术人员可以更好地理解本发明的各方面。本领域技术人员应该理解,他们可以容易地使用本发明作为基础来设计或修改用于实施与在此所介绍实施例相同的目的和/或实现相同优势的其他工艺和结构。本领域技术

人员也应该意识到,这种等同构造并不背离本发明的精神和范围,并且在不背离本发明的精神和范围的情况下,在此他们可以做出多种变化、替换以及改变。

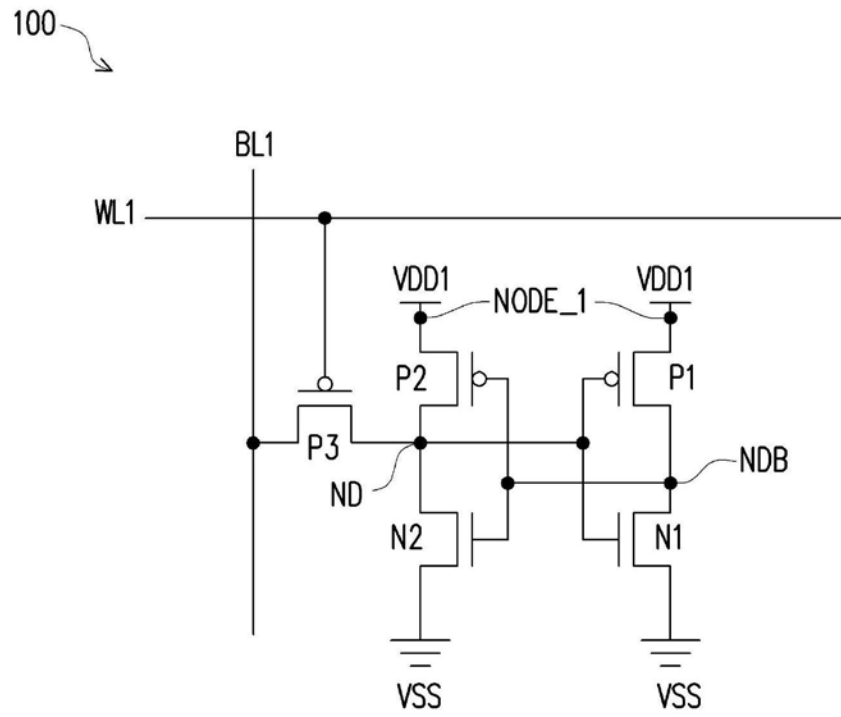


图1

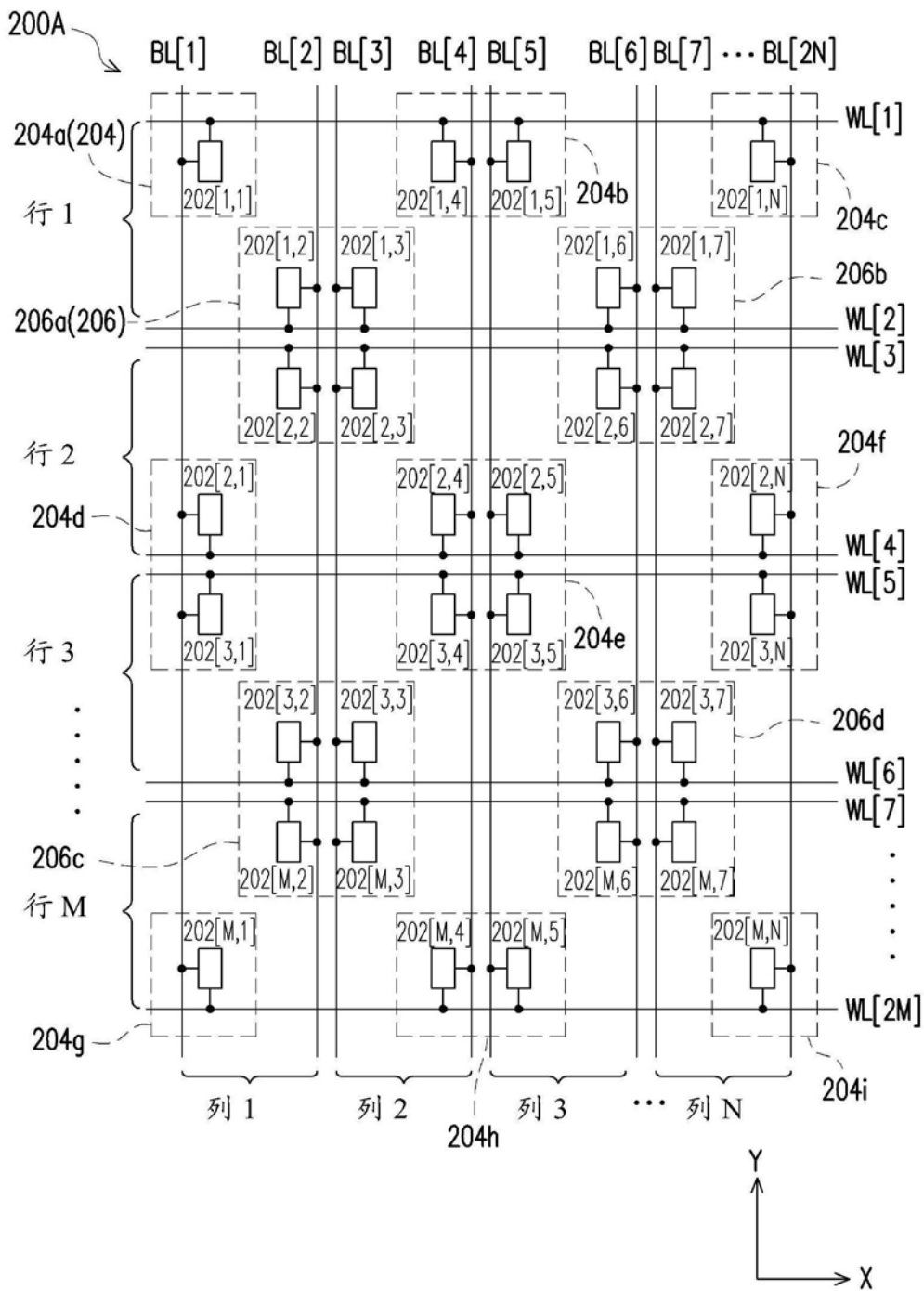


图2A

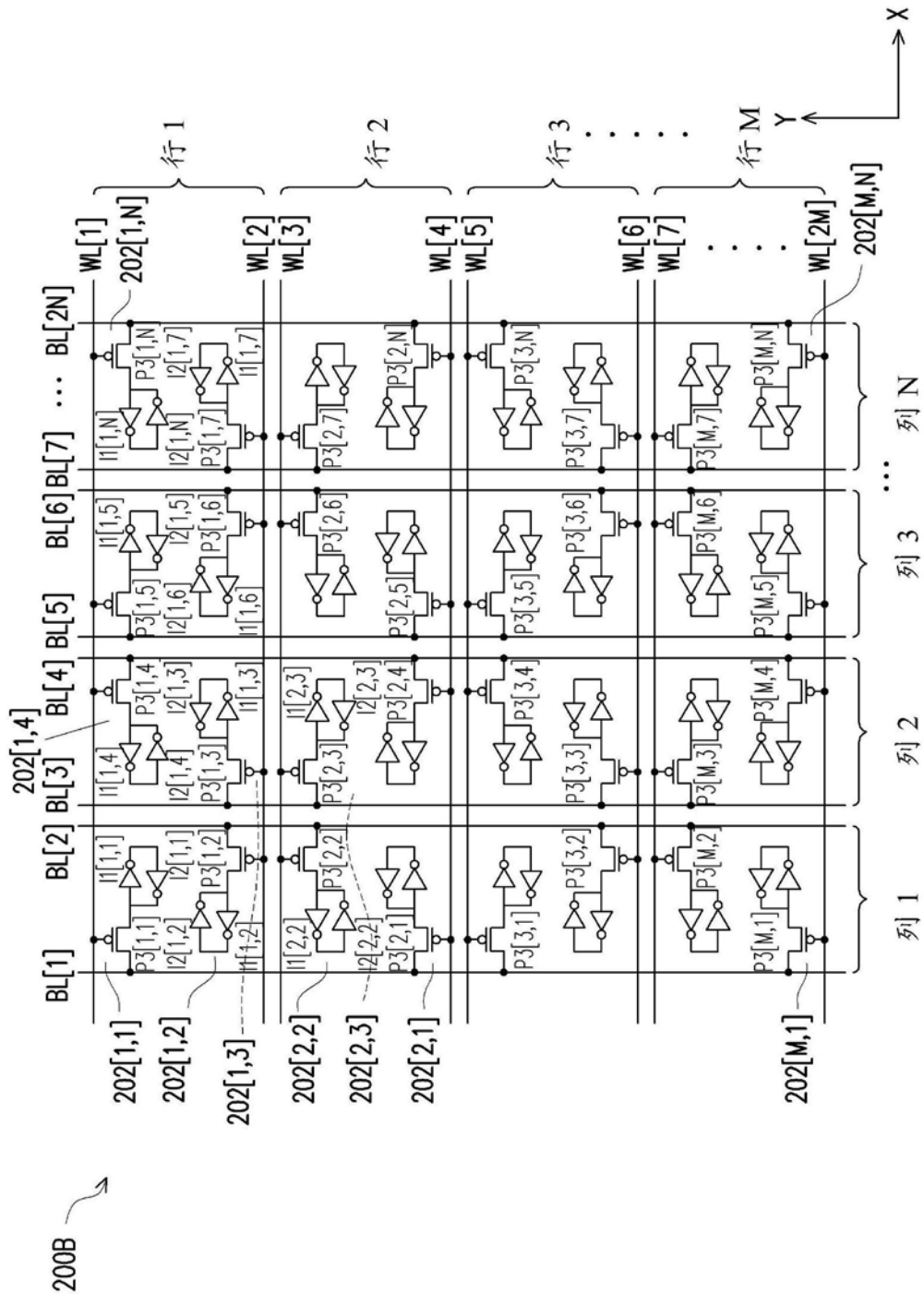


图2B

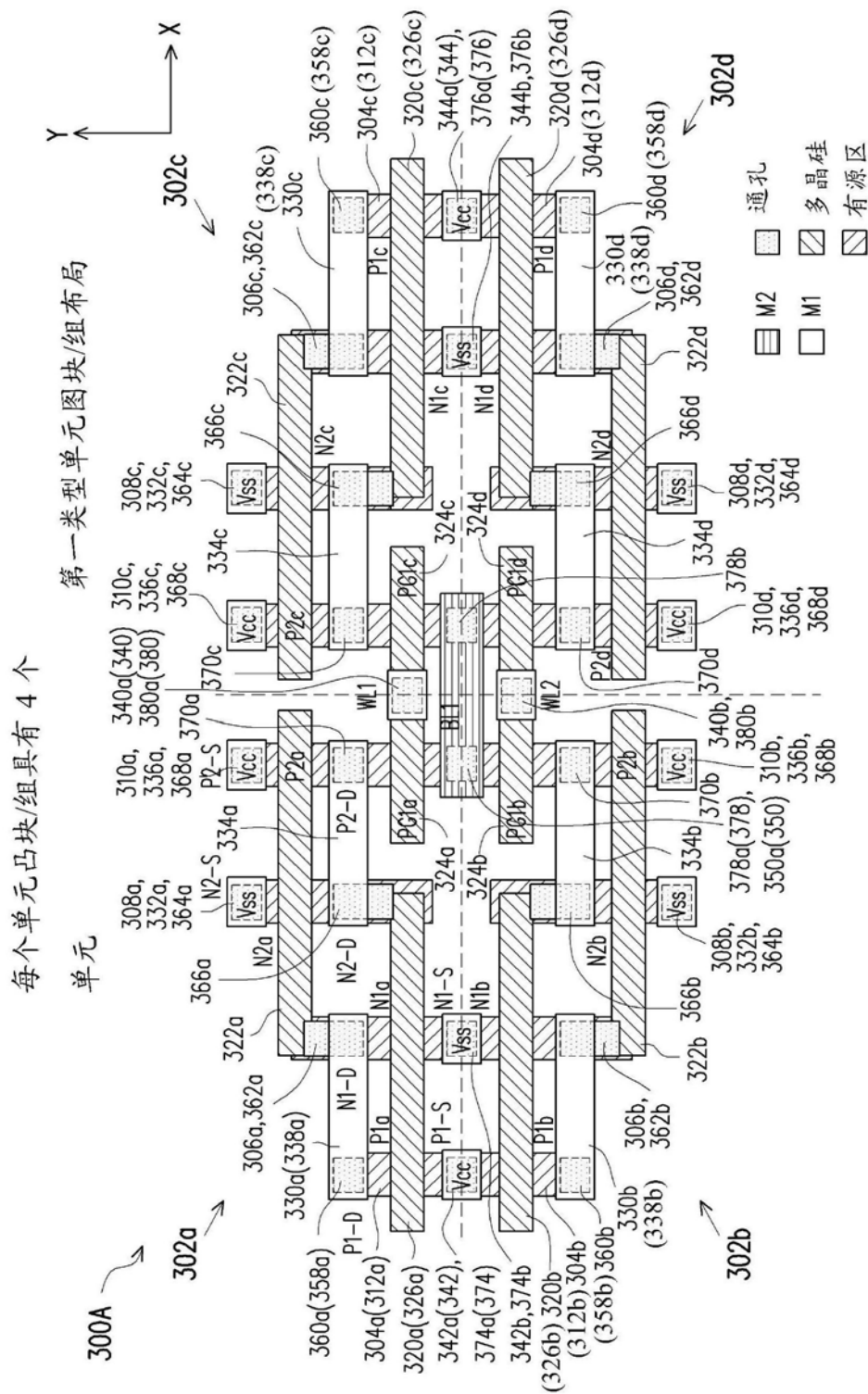


图3A

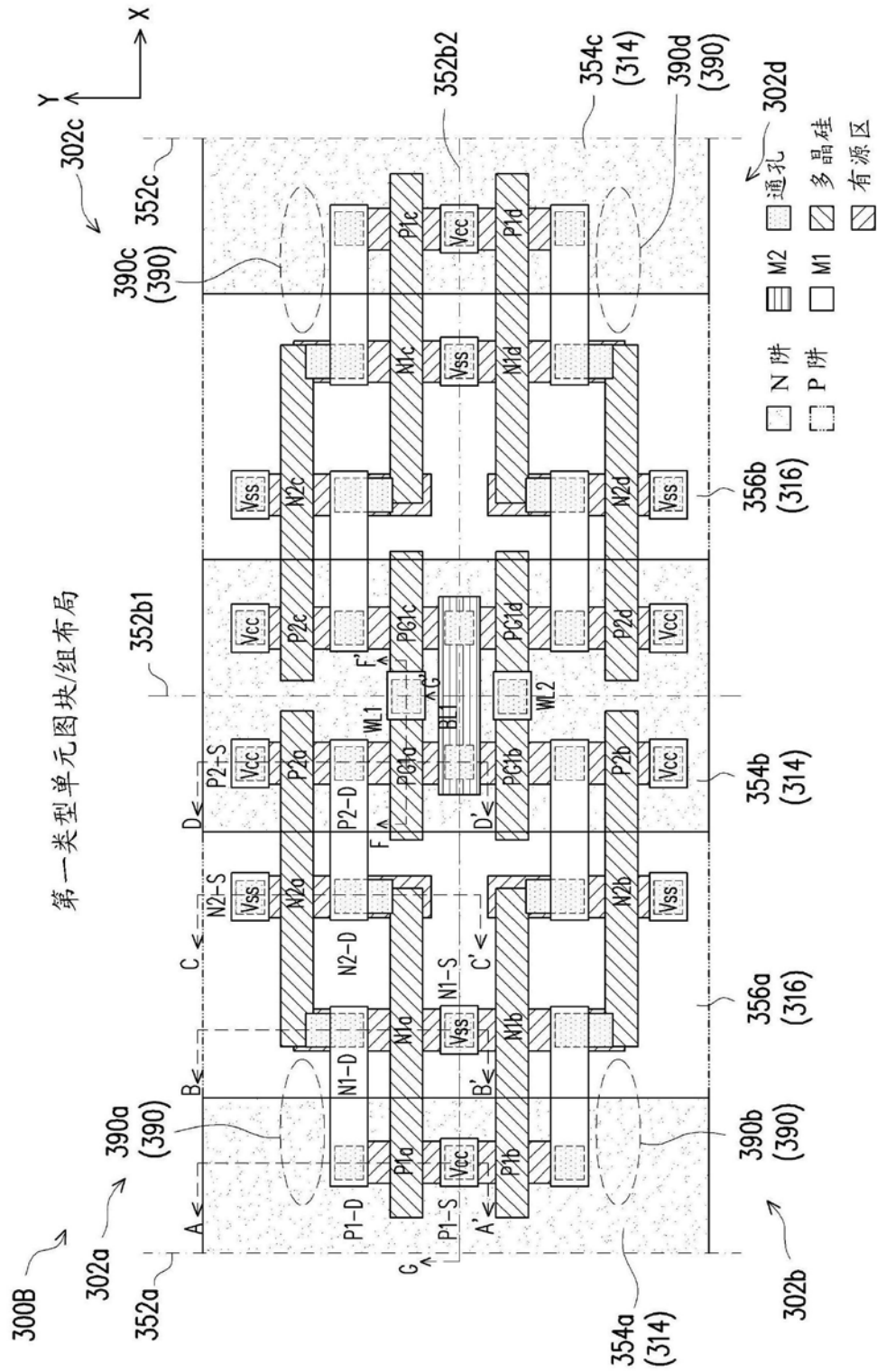
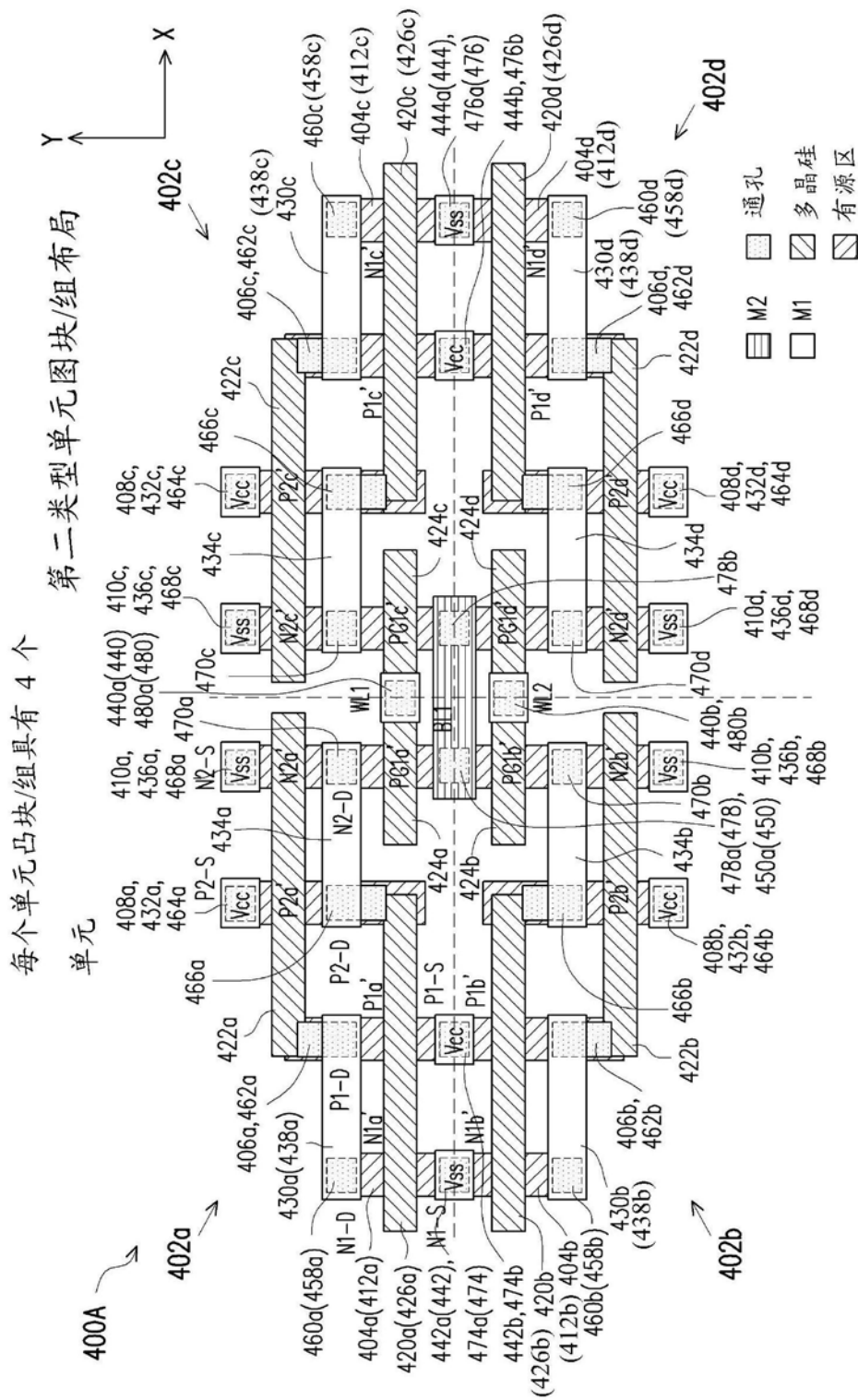


图3B



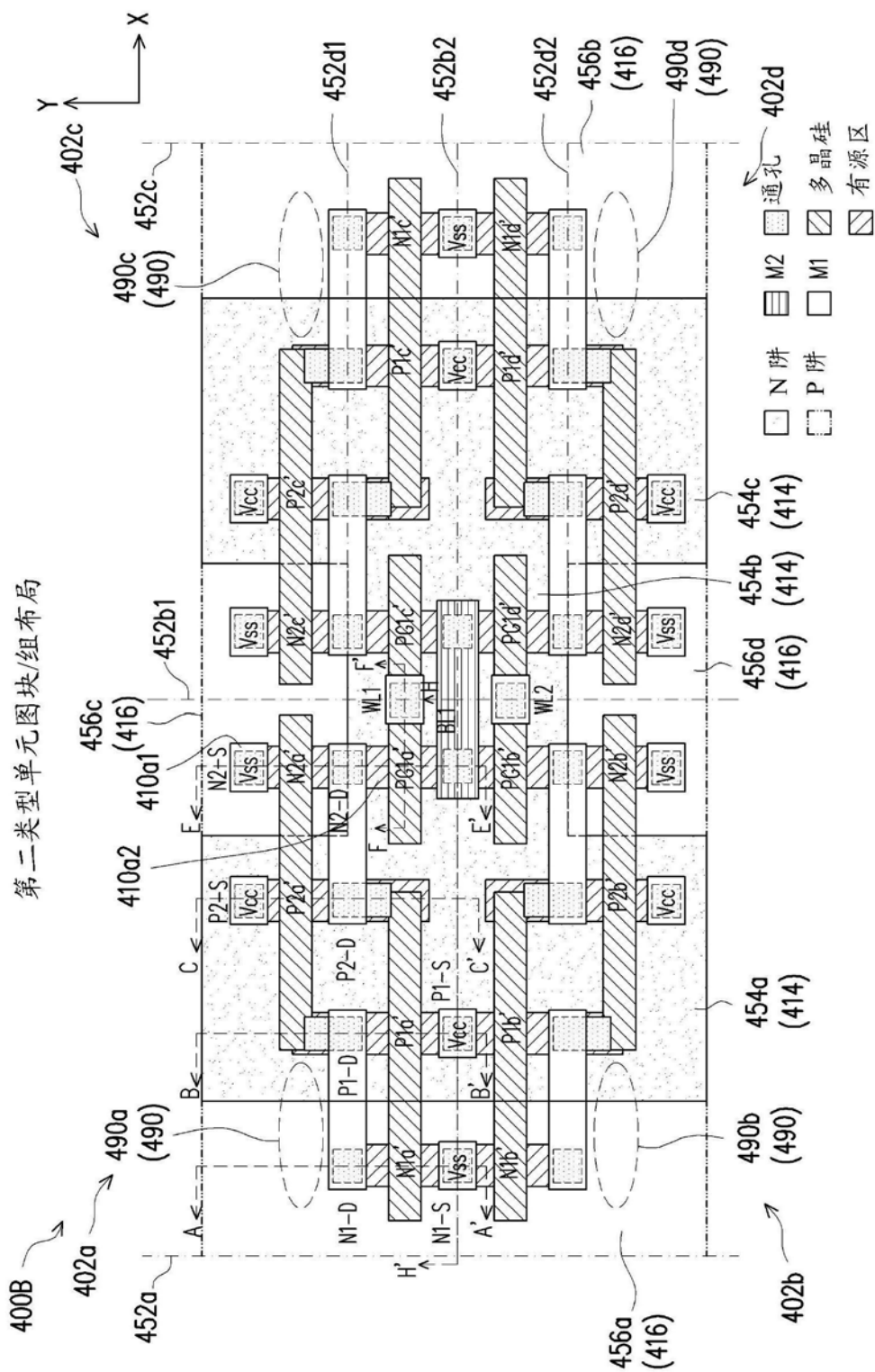


图4B

500A,
500B

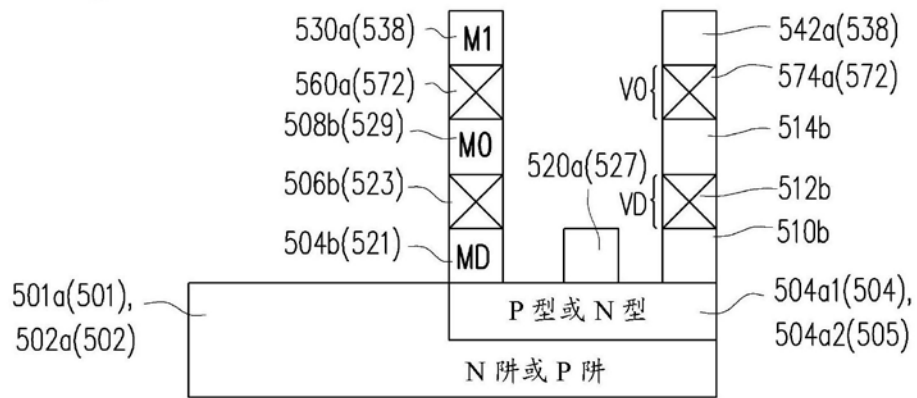


图5A

500A,
500B

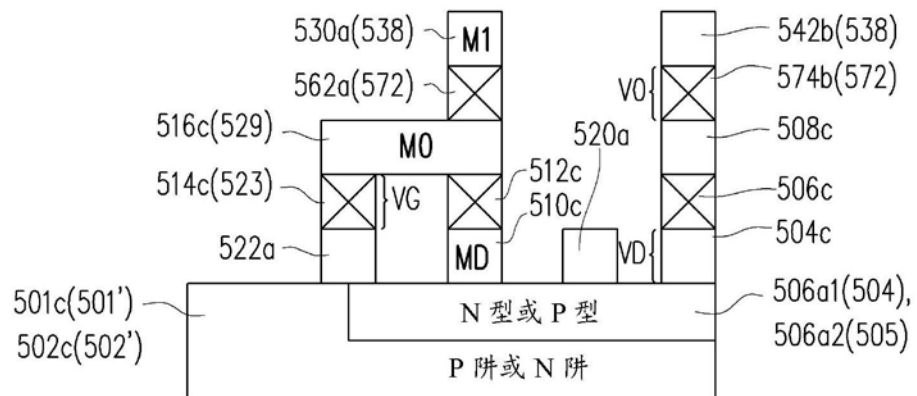


图5B

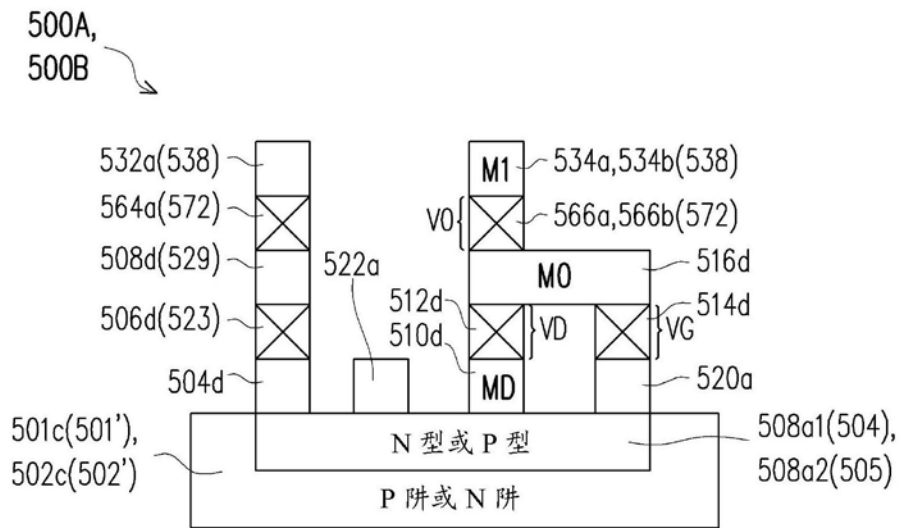


图5C

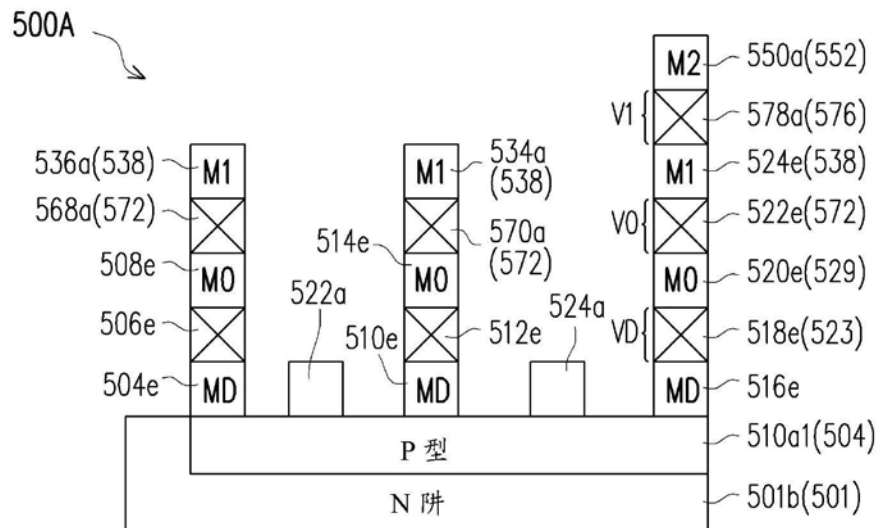


图5D

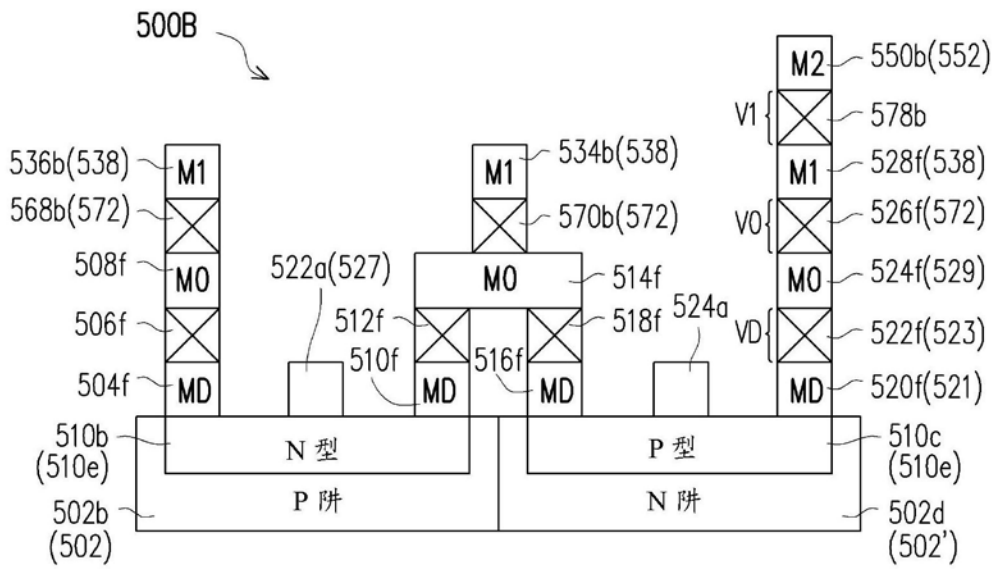


图5E

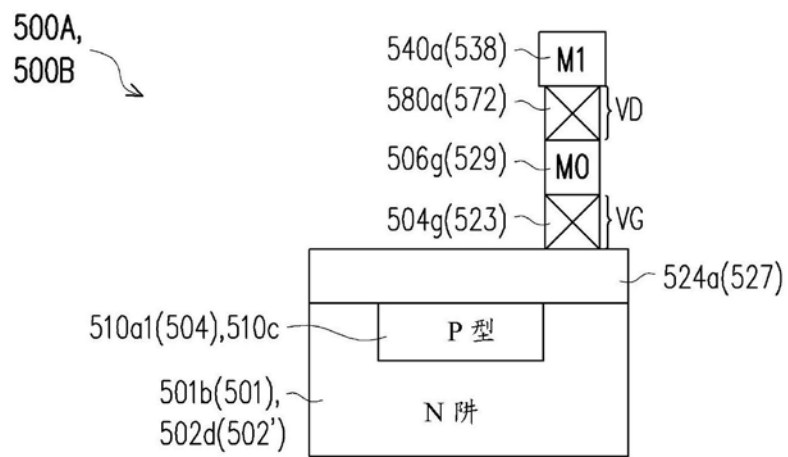


图5F

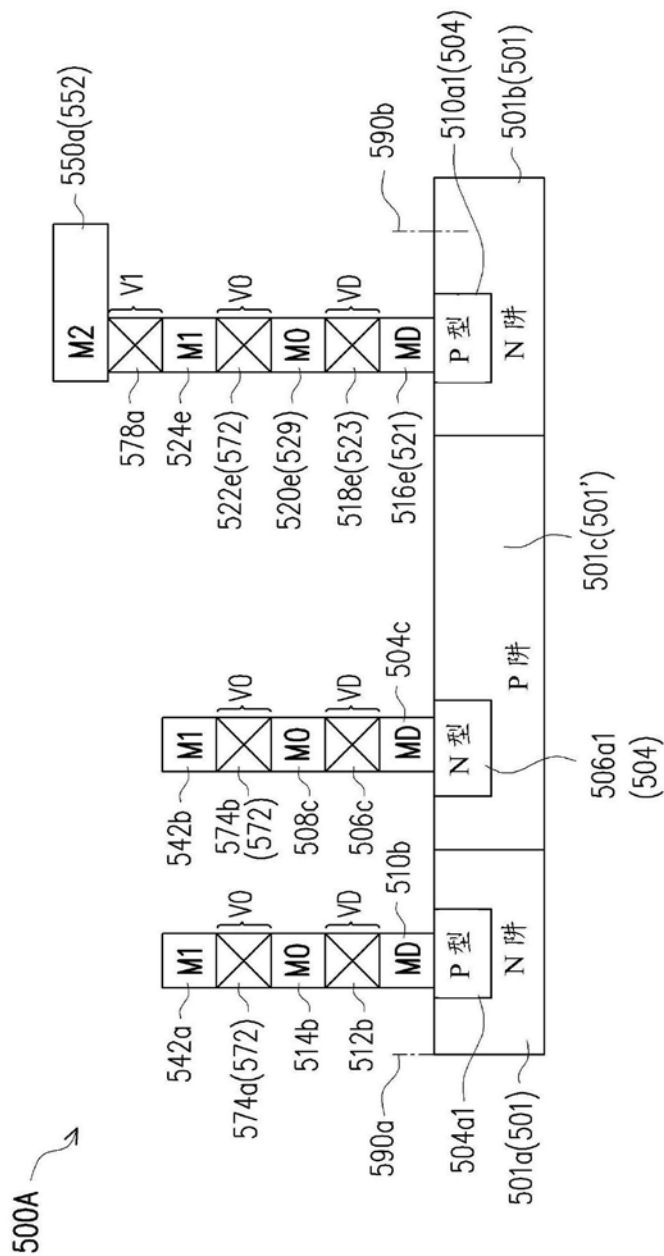


图5G

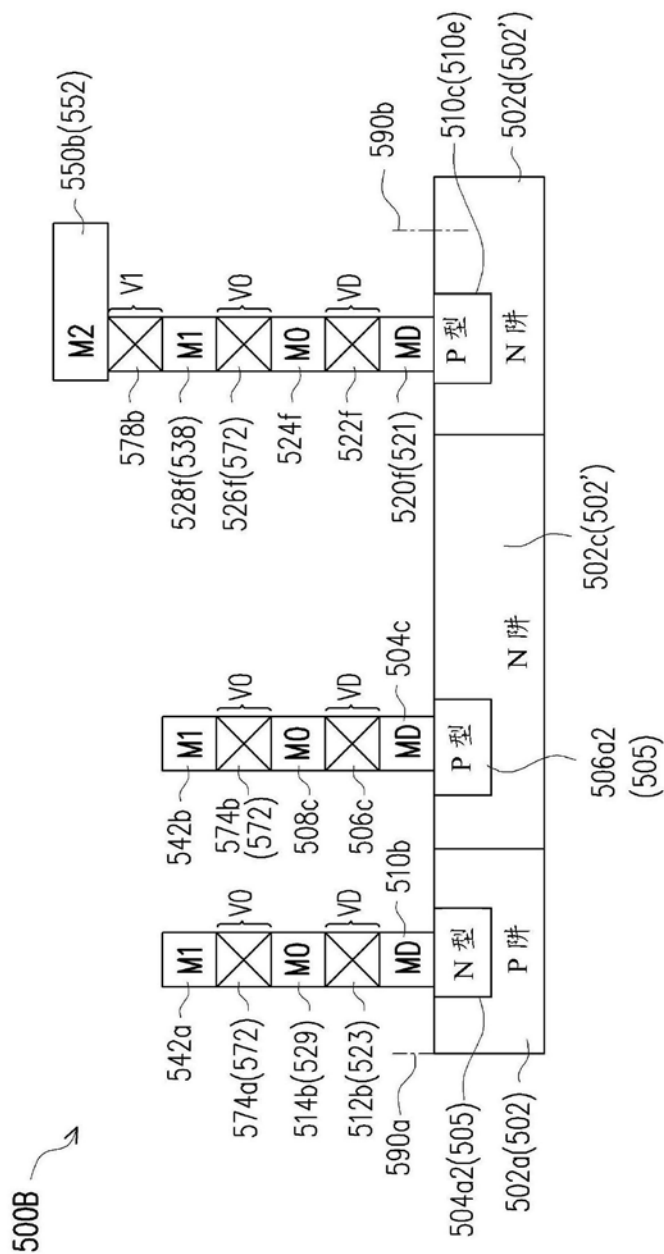


图5H

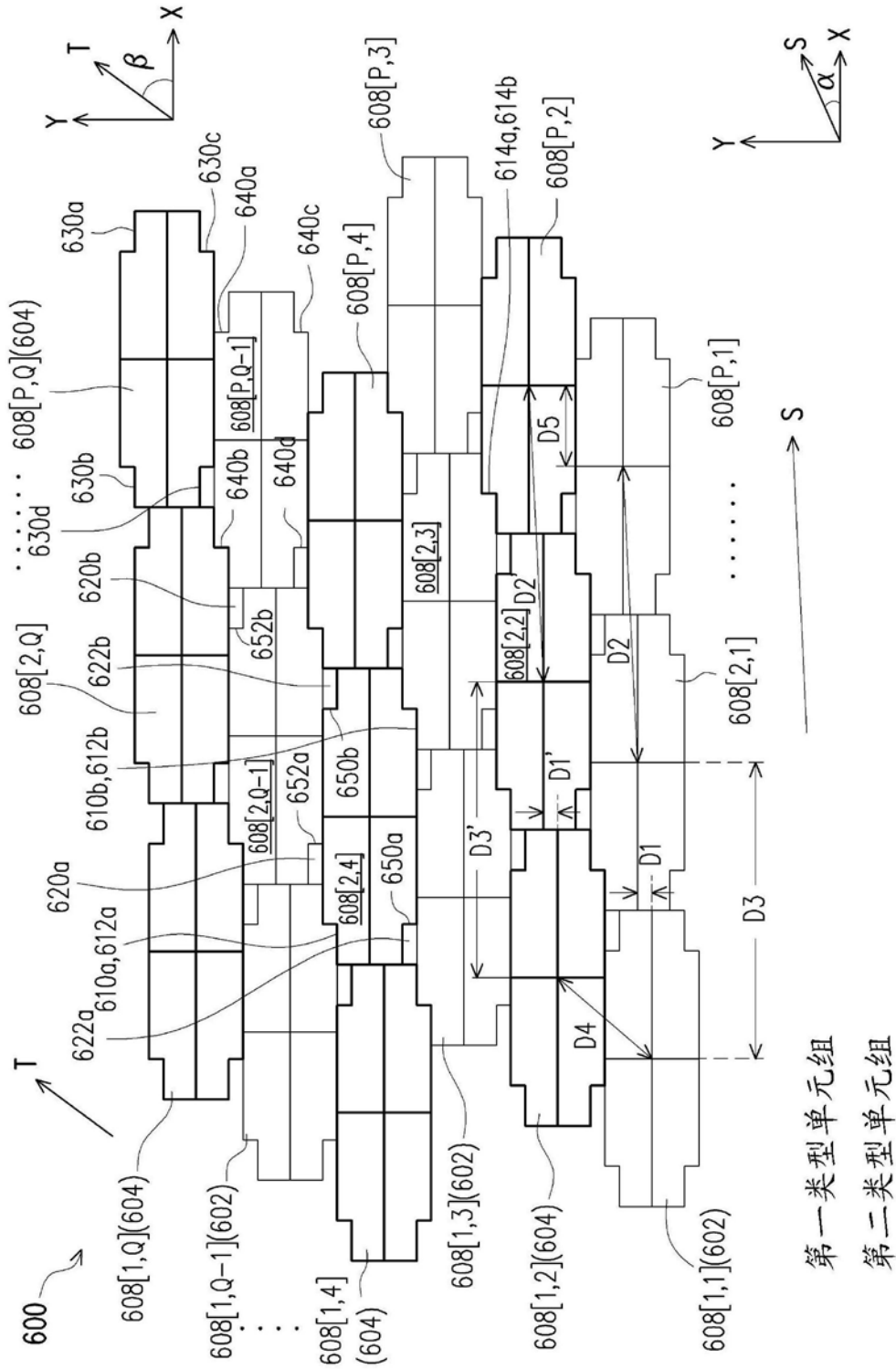


图6

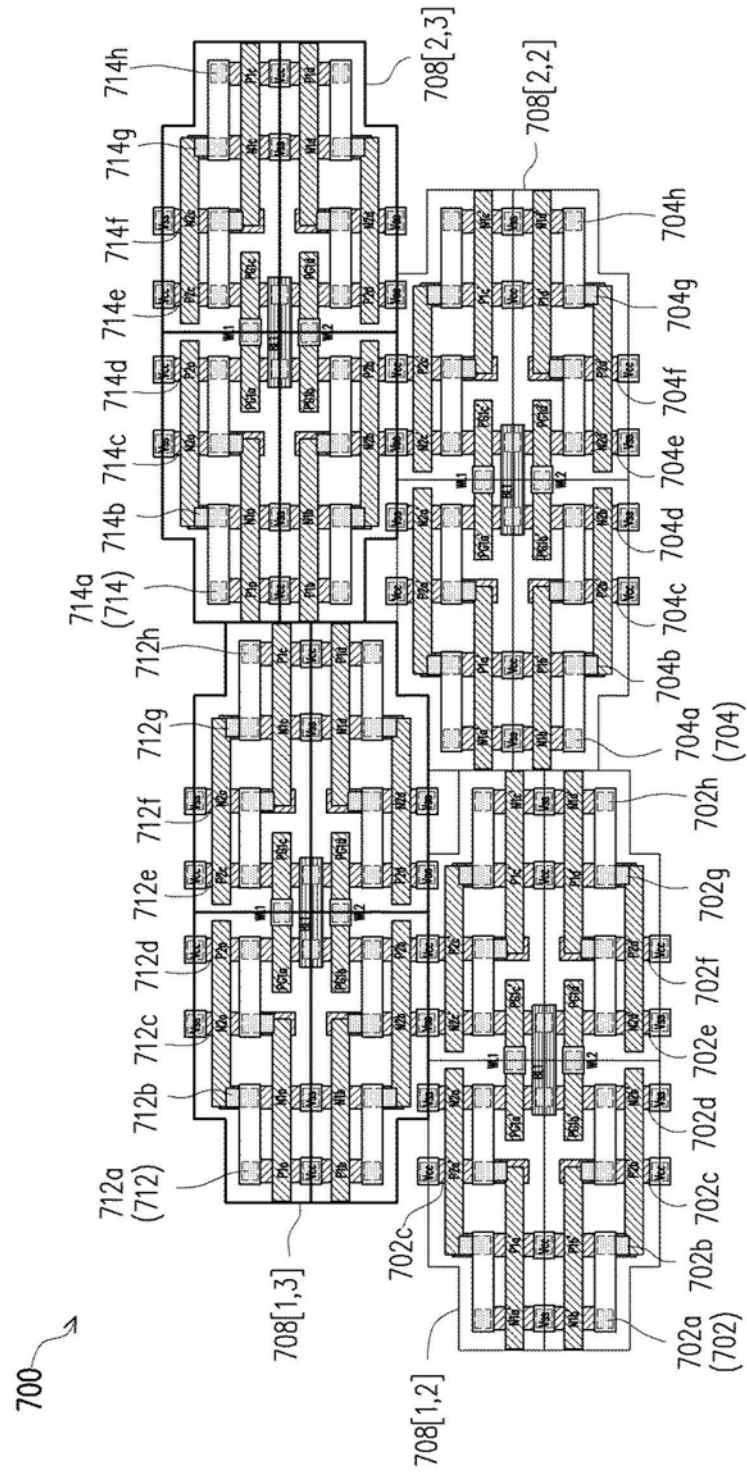


图7

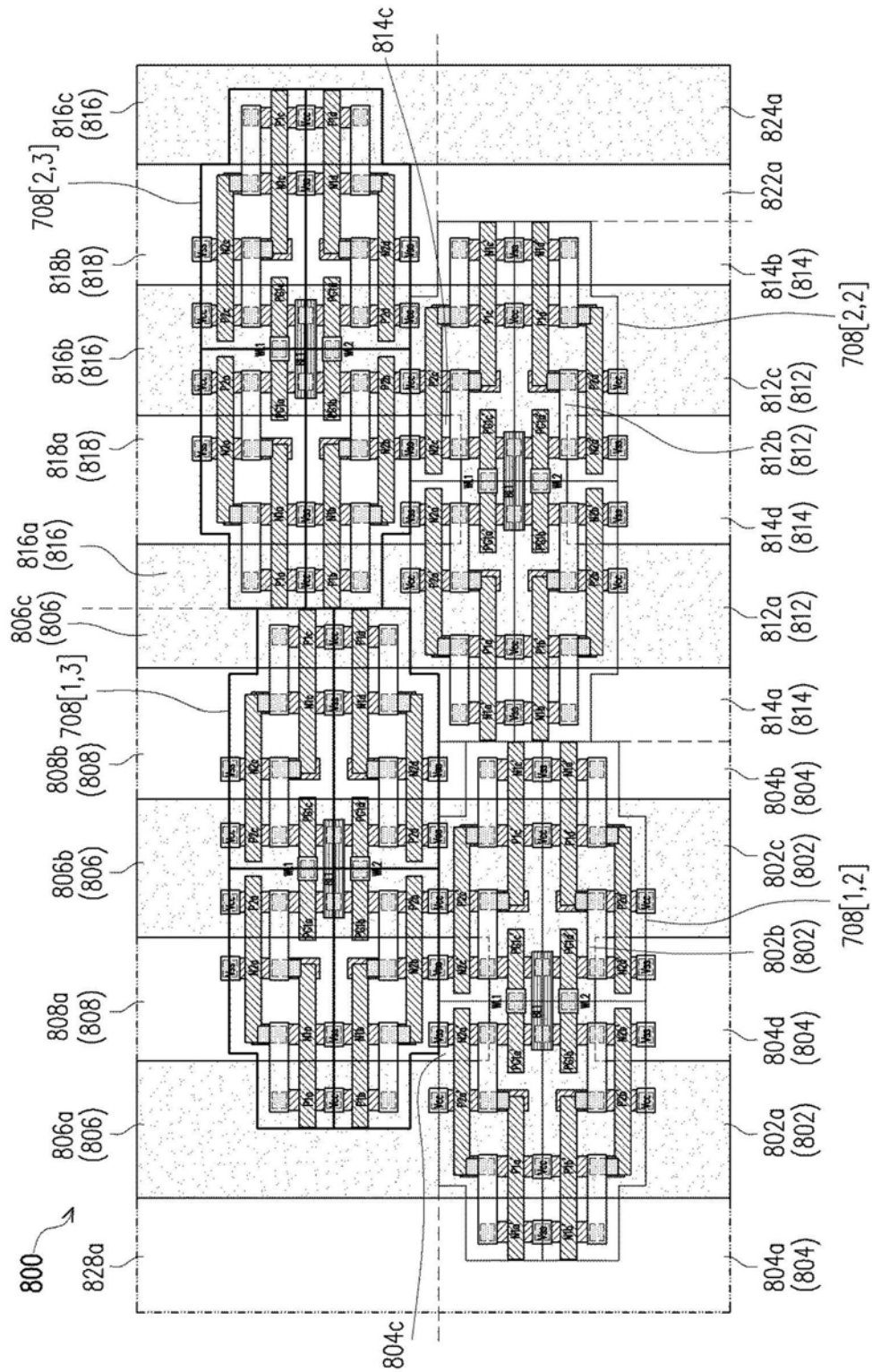


图8

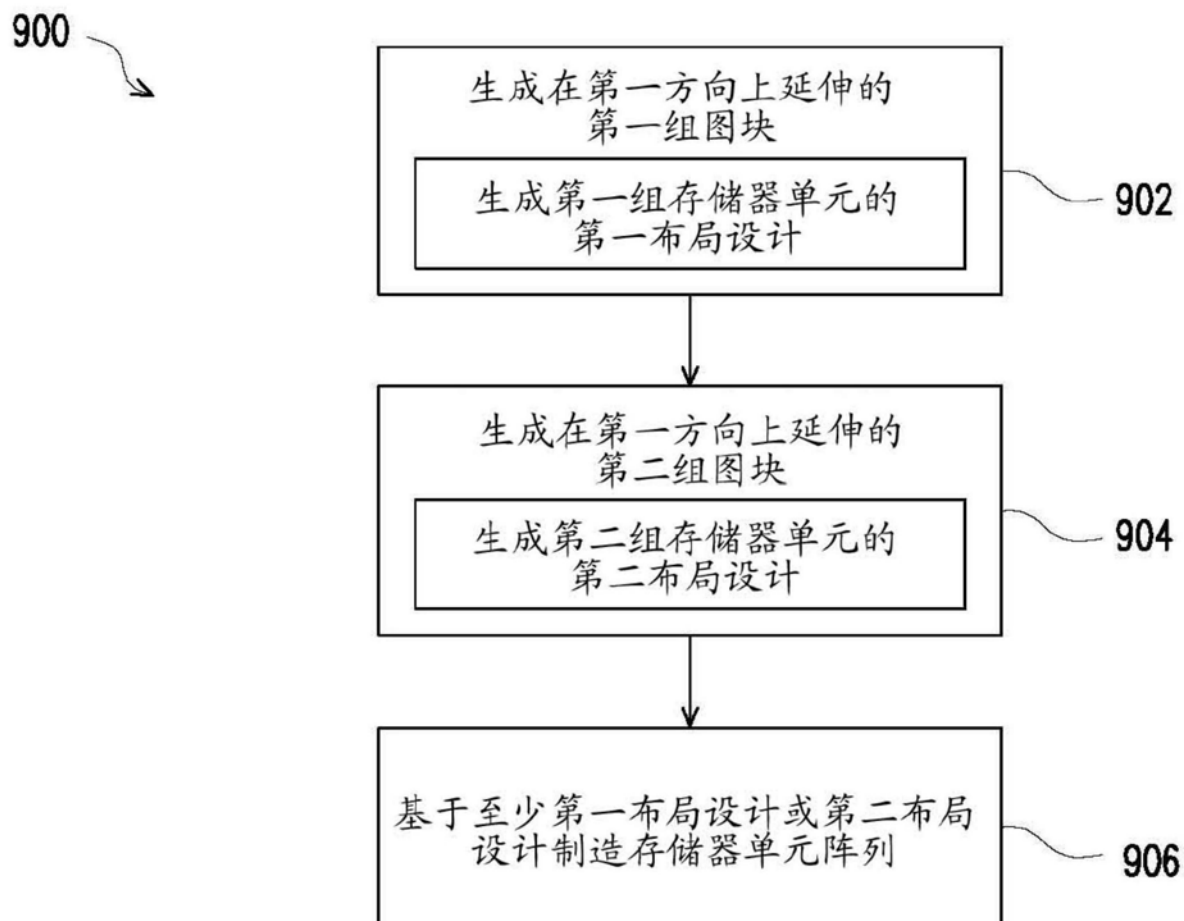


图9

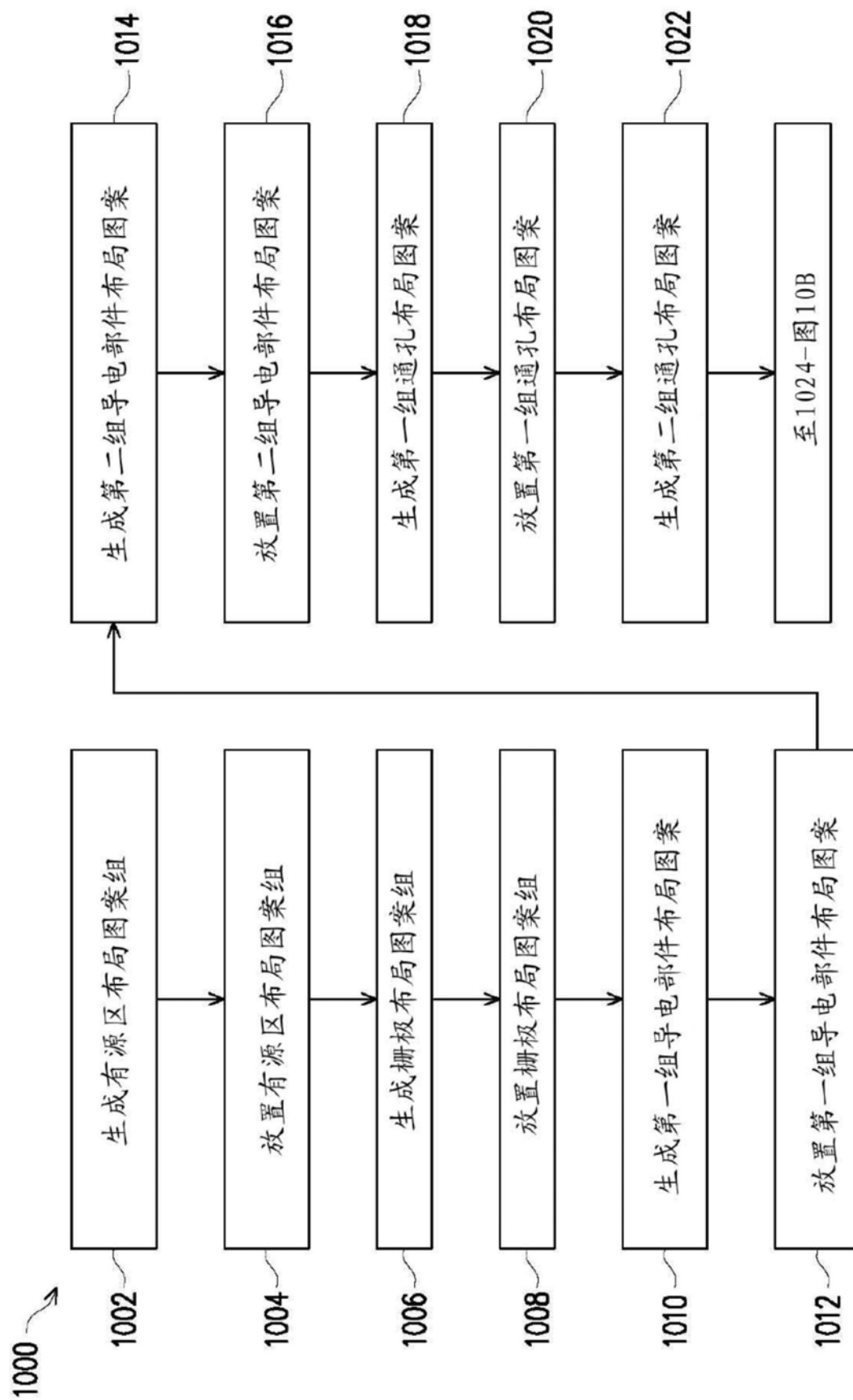


图10A

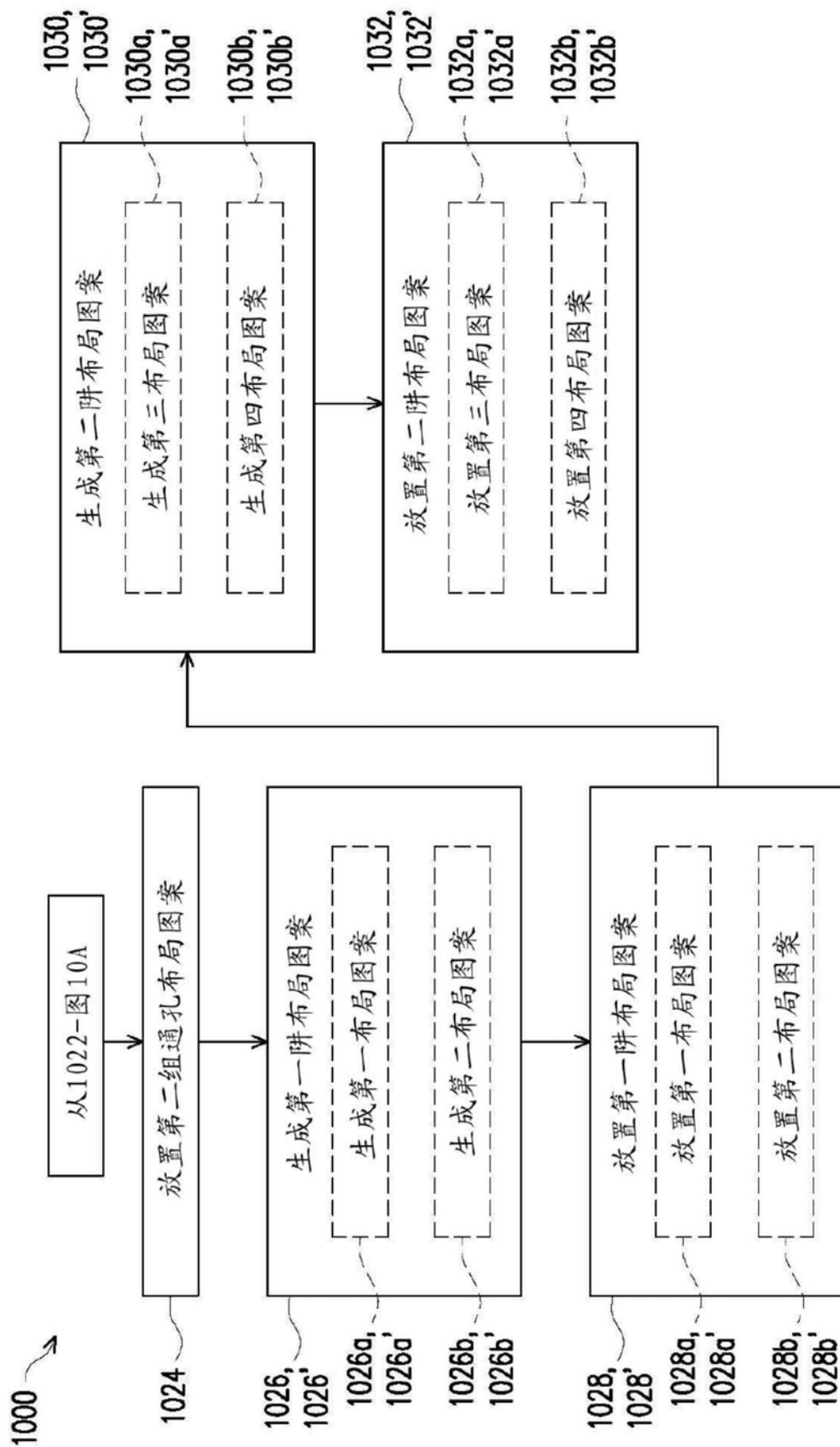


图10B

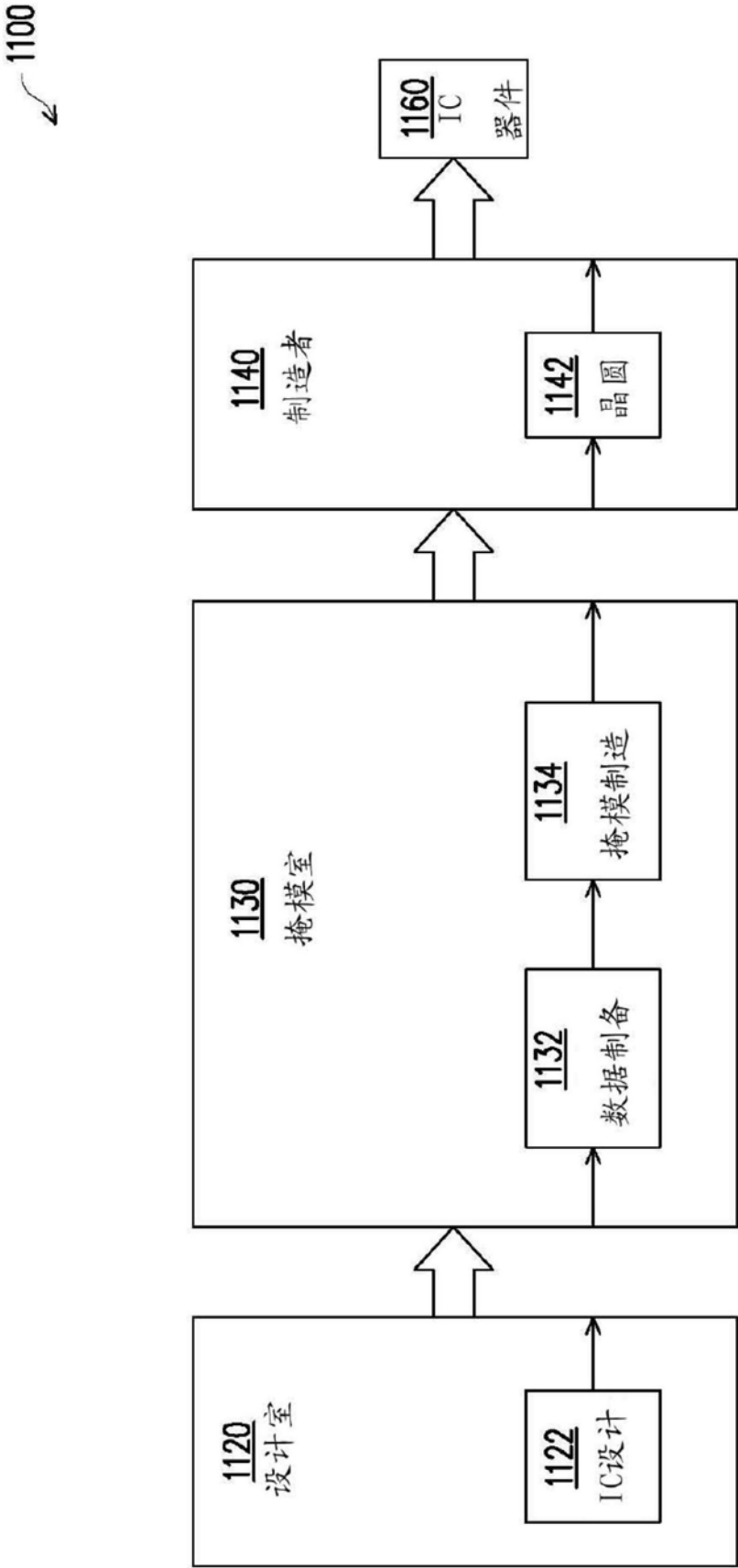


图11

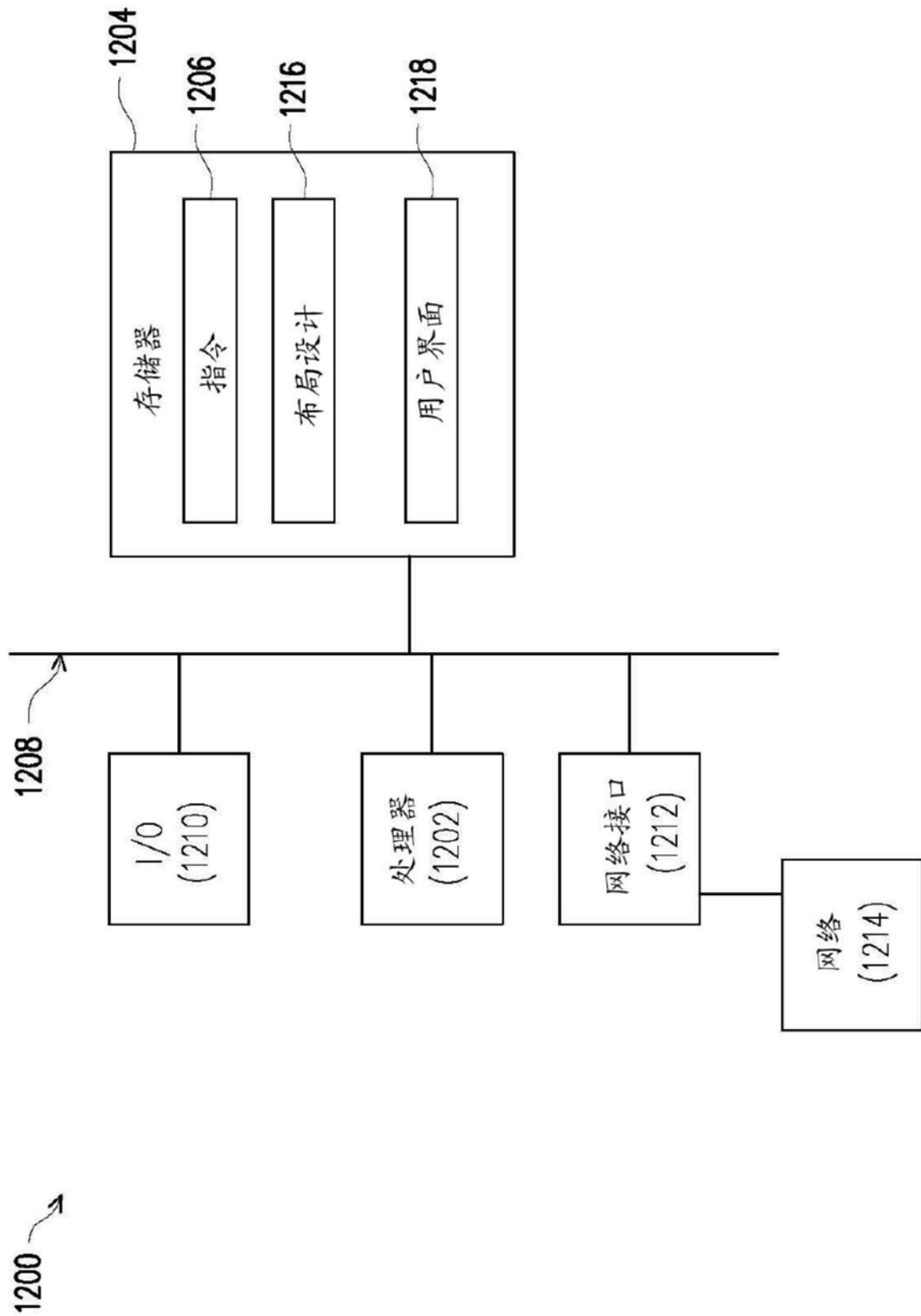


图12