[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G09F 9/30

[12] 发明专利说明书

[21] ZL 专利号 97110560.X

[45] 授权公告日 2004 年 6 月 23 日

[11] 授权公告号 CN 1154966C

[22] 申请日 1997.4.18 [21] 申请号 97110560.X

[30] 优先权

[32] 1996.4.29 [33] US [31] 639583

[71] 专利权人 国际商业机器公司

地址 美国纽约州

[72] 发明人 P·M·阿尔特 P·A·差科
B·K·弗曼 R·R·霍顿
C·纳拉扬 小·B·L·欧文斯
K·W·沃伦 S·L·赖特

审查员 高静微

[74] 专利代理机构 中国专利代理(香港)有限公司

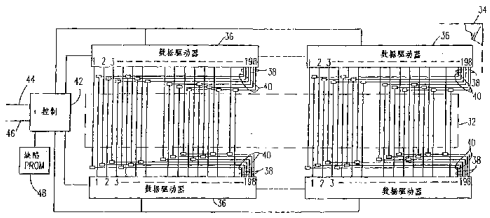
代理人 程天正 张志醒

权利要求书 2 页 说明书 12 页 附图 12 页

[54] 发明名称 薄膜晶体管液晶显示器及其工作数据线的维修方法

[57] 摘要

矩阵寻址显示系统，能借电子机理而有效和低成本地维修数据线以增加成品率。这样的数据线维修利用在 TFT/LCD 模块中附加的数据驱动器输出端、缺陷图存储器以及借显示器和显示适配器之间的附加电路把数据流修正后送给数据驱动器。还利用显示器衬底上的总线结构，把维修灵活性、低寄生电容和易于构成必要互连的能力相组合。互连数量保持为最少，可借传统的连线焊接、激光焊接圆片焊接技术可靠地连接。



ISSN1008-4274

知识产权出版社出版

1.一种矩阵寻址显示器，具有选通线，数据线，由所述选通线和所述数据线控制的薄膜晶体管，用于驱动所述选通线的驱动器，其特征在于进一步包括:

用于驱动所述数据线的数据线驱动器，所述数据线驱动器具有未被指定的输出端;

备用的导电线，每条线被连接到所述数据线驱动器的所述未被指定的输出端中的一个;

用于把缺陷线连接到所述备用的导电线的连接;

用于存储有关显示器的连线缺陷的位置信息的缺陷图存储器；以及

数据流修正器，它修正提供给显示器的数据以便包括存储在所述存储器中的缺陷线信息及有选择地启动所选定的未被指定的数据线驱动器的输出端，从而把数据信号提供到所述导电线上。

2.权利要求1的显示器，其特征在于，所述连接是激光焊接。

3.权利要求1的显示器，其特征在于，所述连接是连线焊接。

4.根据权利要求1的显示器，其特征在于，所述连接是圆片焊接。

5.权利要求1的显示器，其特征在于，缺陷图存储器是一个PROM。

6.权利要求1的显示器，其特征在于，显示器是有源矩阵显示器。

7.权利要求1的显示器，其特征在于，显示器是简单的或无源矩阵显示器。

8.权利要求1的显示器，其特征在于，显示器是薄膜晶体管液晶显示器。

9.权利要求1的显示器，其特征在于，显示器是场致发光显示器或等离子体显示器或场致发射显示器，或电泳显示器或电化学显示器，或可变形的镜面显示器。

10.权利要求1的显示器，其特征在于，数据线驱动器被集成在显示器中。

11.权利要求1的显示器，其特征在于，数据线驱动器是在显示器之外的。

12.一种象素数据流修正电路，包括:

缺陷图存储器，它具有表示象素改正地址、子象素改正地址和改

正目的地地址的区域;

快速缺陷图存储器，它包含缺陷图存储器的复制品;

象素计数器，用于对当前的象素位置计数;

缺陷计数器，用于对缺陷号码计数;

地址比较器，用于对来自象素计数器的当前象素地址和来自缺陷图存储器的象素改正地址区的内容进行比较;

存储电路，用于当象素计数等于缺陷图存储器的第一区的内容时锁存所到来的象素数据流的各单元，以及用于选择将被用于改正的子象素数据，并用于以正确的次序存放子象素数据以便随后读出到显示器去; 以及

电路单元，它在维修数据被发送到数据驱动器的同时存储象素数据流。

13.权利要求 12 的电路，其特征在于，电路单元是 FIFO 电路。

14.权利要求 12 的电路，其特征在于，电路单元是 RAM 电路。

15.在一种液晶显示器中，该液晶显示器具有选通线，数据线，由所述选通线和所述数据线控制的薄膜晶体管，以及用于驱动所述选通线的驱动器，一种用于在修复连线缺陷后驱动该显示器的方法，其特征在于所述方法包括以下步骤:

提供用于驱动所述数据线的数据线驱动器，所述数据线驱动器具有未被指定的输出端;

提供备用的导电线，每条线被连接到所述数据线驱动器的所述未被指定的输出端中的一个;

提供用于把缺陷线连接到所述备用的导电线的连接;

提供用于存储有关显示器的连线缺陷的位置信息的缺陷图存储器; 以及

修正提供给显示器的数据，以便包括存储在所述存储器中的缺陷连线信息以及有选择地启动所选定的未被指定的数据线驱动器的输出端，从而把数据信号提供到所述导电线上。

薄膜晶体管液晶显示器及其工作数据线的维修方法

技术领域

本发明涉及矩阵寻址显示器的维修技术。更具体地，本发明涉及具有能对连线缺陷进行维修和操作的装置的矩阵寻址显示器并涉及进行这种维修的方法。虽然此处所教导的技术适用于在显示器的顶部和底部具有数据驱动器的所有矩阵寻址显示器，但特别关注的是有源矩阵液晶显示器。

背景技术

部分薄膜晶体管液晶显示器（TFTLCD）（也被称作为有源矩阵液晶显示器）在制造过程中由于数据线故障而被丢弃。通过修理这些缺陷，可增加成品率以及降低制造成本。

在TFTLCD中有缺陷的数据线是由多种机理造成的。有些是由于冶金的问题，例如在光刻数据线图形期间的污损而发生的，这些数据线表现为断路或短路。短路可发生在这些数据线之间，或数据线与选通线之间，或在数据线与显示电路的某些其它部分例如顶板之间。其它的缺陷是因为数据驱动器模块上的有些驱动器低于性能指标或失效，或者由于在玻璃上的数据线和驱动器芯片之间的连接上的缺陷而发生的。短路可借激光消融来去除，但是有些短路类型（例如跨接短路和顶板短路）需要在使用激光消融步骤同时也会产生断路。目前，断路可被这样维修，如图1所示。

在图1中，显示了有源矩阵液晶显示器的阵列部分20。一系列数据线22中的每条线由数据驱动器24的一个输出端驱动。对于每单位长度有很多条线的高分辨率阵列，典型的是使接连的逐条数据线22从阵列20的顶部和底部被驱动。选通线26由选通线驱动器（图上未示出）驱动。正如技术上所熟知的，在每条数据线22和选通线26的每个交叉点附近装有薄膜晶体管，它驱动阵列20的象素或子象素。图1包括从阵列20的顶部被驱动的数据线22A。由于裂缝28，线22A断路，即没有电连接，这样在数据线22A和在裂缝28下面的选通线的交叉点处的晶体管不工作。这就产生了所谓的“连线缺陷”，这是显而易见

的，使得对于把此显示板作为商品销售成为完全难以接受的，除非进行适当的修理。传统上，通过在断路的数据线的顶部和底部之间在机械上连接一绝缘的电线 30 来进行修理。这种修理方法通常被称为“黄线”修理，因为在印刷电路板中经常使用这种颜色的电线来维修类似的问题。图 1 中的“黄线”跨接线可在实体上离开阵列的衬底，或在阵列衬底上作为备份线以光刻方式加入。在修正断路的同时，这样的修理会带来新问题。如果跨接线位于玻璃上，那么必须在衬底上指定边缘空间，这就增加了显示器封装的遮光框的面积。最重要地，衬底上的跨接线必须在其它信号线上面或下部穿过，而由于和这些其它信号线的电容性串扰将出现信号恶化。如果跨接线离开玻璃面，那么由于其它的电磁传感会出现信号恶化。所有这些问题也使得很难把这种维修方案扩展到修理一条或两条以上的有缺陷的线。另外，也不是所有的缺陷都可用这种方式来进行修理的。例如，由于和驱动器芯片或驱动器芯片连接有关的问题造成的有缺陷的数据线通常需要替换数据驱动器或丢弃整个失效的显示板。

发明内容

本发明的主要目的是提供一种矩阵寻址显示器，其中数据线缺陷可很容易地和便宜地被修理。

本发明的另一个目的是提供用于容易地和便宜地修理数据线缺陷的方法。

本发明的又一个目的是提供用于操纵象素数据的电路，从而当进行数据线修理时图象被正常地显示。

本发明还有一个目的是提供用于操纵象素数据的方法，从而当进行数据线修理时图象被正常地显示。

本发明的附加目的是提供总线和维修焊盘设计，它是灵活可变的，具有最小的交迭电容以及对于短距离连线焊接是可修正的。

按照本发明，几个额外的驱动器输出被包括在每个数据驱动器集成电路中，以用于维修，这将参照图 2 予以显示和描述。这些备用驱动器通过冶金焊接技术被连接到有缺陷的线上。借助于把在显示板反面的备用驱动器连接到断开的数据线的未被驱动端，可修理好断开的数据线。差的/已坏的数据驱动器或低阻抗负载可借助于添加上与现存的驱动器相并联的备用驱动器、或断开已失效的线并使用一个或几个

辅助驱动器的方法而被改正。

在以下的讨论中，象素是指单个图象单元。在彩色显示器，例如TFT/LC显示器的情况下，象素由红色、绿色和蓝色子象素的三原色组所组成。在有些情况下，四个子象素构成一个图象单元。在单色显示器的情况下，显示器中的最小单元是象素，也就是没有子象素。在以下的讨论中也已假定，彩色显示器的数据驱动器一次接受三个数据单元，红色、绿色和蓝色中的每一个对应于一个单元。虽然这是工业上的典型情形，但其它数目的输入也可很容易地包容在所讨论的技术中。

本发明的显示器可以是薄膜晶体管/液晶显示器，也可以是场致发光显示器、等离子体显示器、场致发射显示器、电泳显示器、电化学显示器、或可变形的镜面显示器。

本发明的技术方案包括:

<一> 一种矩阵寻址显示器，具有选通线，数据线，由所述选通线和所述数据线控制的薄膜晶体管，用于驱动所述选通线的驱动器，其特征在于进一步包括:

用于驱动所述数据线的数据线驱动器，所述数据线驱动器具有未被指定的输出端;

备用的导电线，每条线被连接到所述数据线驱动器的所述未被指定的输出端中的一个;

用于把缺陷线连接到所述备用的导电线的连接;

用于存储有关显示器的连线缺陷的位置信息的缺陷图存储器；以及

数据流修正器，它修正提供给显示器的数据以便包括存储在所述存储器中的缺陷线信息及有选择地启动所选定的未被指定的数据线驱动器的输出端，从而把数据信号提供到所述导电线上。

<二> 一种象素数据流修正电路，包括:

缺陷图存储器，它具有表示象素改正地址、子象素改正地址和改正目的地地址的区域;

快速缺陷图存储器，它包含缺陷图存储器的复制品;

象素计数器，用于对当前的象素位置计数;

缺陷计数器，用于对缺陷号码计数;

地址比较器，用于对来自象素计数器的当前象素地址和来自缺陷

图存储器的象素改正地址区的内容进行比较；

存储电路，用于当象素计数等于缺陷图存储器的第一区的内容时锁存所到来的象素数据流的各单元，以及用于选择将被用于改正的子象素数据，并用于以正确的次序存放子象素数据以便随后读出到显示器去；以及

电路单元，它在维修数据被发送到数据驱动器的同时存储象素数据流。

〈三〉在一种液晶显示器中，该液晶显示器具有选通线，数据线，由所述选通线和所述数据线控制的薄膜晶体管，以及用于驱动所述选通线的驱动器，一种用于在修复连线缺陷后驱动该显示器的方法，其特征在于所述方法包括以下步骤：

提供用于驱动所述数据线的数据线驱动器，所述数据线驱动器具有未被指定的输出端；

提供备用的导电线，每条线被连接到所述数据线驱动器的所述未被指定的输出端中的一个；

提供用于把缺陷线连接到所述备用的导电线的连接；

提供用于存储有关显示器的连线缺陷的位置信息的缺陷图存储器；以及

修正提供给显示器的数据，以便包括存储在所述存储器中的缺陷连线信息以及有选择地启动所选定的未被指定的数据线驱动器的输出端，从而把数据信号提供到所述导电线上。

图 1 是显示传统维修技术的液晶显示板的示意性平面图。

图 2 是使用按照本发明的有源线路维修技术的液晶显示器的方框图。

图 3 是用于存储有关缺陷线信息的缺陷图的例子。

图 4 是按照本发明的简化的液晶显示器的总的方框图。

图 5 显示了提供给图 4 所表示简单的液晶显示器的正常的和有缺陷的数据的时序。

图 6 是可使用于控制按照图 4 的矩阵寻址显示器中的数据的数据控制块的第一实施例。该方法被称为串行处理法。

图 7 是可使用于控制按照图 4 的矩阵寻址显示器中的数据的数据控制块的第二实施例。该方法被称为源同步并行处理法。

图 8 是可使用于控制按照图 4 的矩阵寻址显示器中的数据的数据控制块的第三实施例。该方法被称为显示同步并行处理法。

图 9 是在图 7，图 8 和图 9 中所显示的实施例中有用的新的子象素存储器堆栈的方框图。

图 10 是显示在矩阵寻址显示器中的数据驱动器之间分配维修线的三种可能方式的图。

图 11 是提供对于缺陷线的简单维修路径的总线结构的详细平面图。

图 12A 到图 12F 是图 11 的总线结构的部件分解图，图 12A 到图 12C 是取自顶部，而图 12D 到图 12F 是取自底部。

图 13 是在图 11 的总线结构中所使用的各个金属导体的配置的放大平面图。

参照图 2，在按照本发明的阵列 32 中，把备用驱动器添加到玻璃板 34 上的优选方式是增加每个数据驱动器 36 的输出线的数目。这可导致附加空间的增加为最小，并且允许对每个驱动器使用高度集成的电子线路。例如，可以使用带有 201 个输出的驱动器来代替 192 个输出的驱

动器．可借助简单的选择而把几种现存的数据驱动器编程为 192 个输出或 201 个输出．额外的 9 条线（或少些）可被用作为备用驱动器输出．当显示器的数据线被连接到每个数据驱动器时，备用数据驱动器被配置到驱动器的末端，它们被时钟定时在最后，如图 2 所示．每个驱动器 36 配置 S 条备用线 38 将造成总共 S × D 条备用线，其中 D 是驱动器数目．

金属引线 40 必须被构成在显示玻璃上，它们使连接到已坏的数据线成为可能．这些备用线引线 40 被布置成垂直于显示器数据线，如图 2 所示．如果使用激光熔焊来进行连接，那么备用引线 40 应当跨越从顶部到底部数据驱动器的数据线．然而，如果利用连线焊接，那么这些引线只需要穿过来自一侧的驱动器的数据线．相对一侧的数据线终结在线延伸焊盘处，它们被连线焊接到在备用引线上的修理焊盘．当如前面所述在备用驱动器线和缺陷线之间进行连接时，只需要一次激光或连线焊接．这就减少了为进行机械上连接所需要的时间．每个过程都可自动进行，以使修理时间最小．

显示控制器 42 接收在数据总线 44 上以 RGB（红绿蓝）表示的数据的显示数据和在控制总线 46 上的适当的控制信号，并且必须配有关于过错线的必要的坐标列号．为此，把缺陷图 PROM48 添加到每个 TFT/LCD 玻璃板 34． PROM48 可以是价格为一到两美元的慢速小型串行器件，它在复位时装载显示控制器的缺陷图．存储在 PROM48 中的数据由测试显示板而被确定．

优选地，在显示板被全部组装前，按照在 Jenkins 和 Wisnieff 的美国专利 No.5,179,345 中所揭示的方法和使用所揭示的装置，对显示板进行测试，但是将会看到，其它的方法和装置也可用来产生这种数据．

用来连接 LCD 板和诸如主计算机的数据源的电接插件只需要一条额外线（图 2 中未示出）以用于 PROM 芯片选择．其它的 PROM 信号可被多路复接在现存的线上．在复位后，控制器 42 使用在缺陷图中的地址以确定何时把进来的数据锁存到临时存储器以便用在备用线 38 上．在适当的时间，显示器的数据驱动器装载正常数据并加上关于缺陷线的信息，正如在下面要更充分地被说明．

图 3 显示了缺陷图 PROM 是如何完成的一个例子． PROM 中的每项有三个区域，它们分别描述了象素改正地址：水平计数，子象素改正地址以及要存储数据的改正目的地．第一区告诉控制器哪些进来的象素

数据要存储．第二缺陷数据区描述象素的哪些子象素要保持以及最后一个区告知在哪里存储该数据．要被改正的象素地址只需要包含足以描述数据线位置的足够的比特数．例如，将需要十个比特的地址来描述每线的640个象素．子象素改正地址需要三个比特用于红，绿或黄；如果一个子象素需要改正，则相应的比特被清零．对于每个驱动器6条备用线和有10个驱动器的例子，那么表格必须包含60项．此PROM将需要60项，每项16比特．这就得出需要存储960比特，这很容易适合于8个引脚的串行PROM．

图4更详细地显示了图2的控制器42的可能结构以及它到数据驱动器36的连接．由总线44提供的串行象素数据流被数据格式化电路50接收，该电路把数据分为在总线52上的奇列数据和在总线54上的偶列数据．数据格式化电路50也把每组数据的数据地址信息提供给第一比较电路56和第二比较电路58．电路56和58把由数据格式化电路50提供的数据地址和在缺陷PROM48中的地址相比较．当发生一个地址匹配时，借助于由控制电路68操纵的相应的开关64或66，各自的一组锁存器与存储电路60和62就把要提供给数据驱动器36的当前的数据存储起来．对于图4的以上所述的全部运行由时序电路70控制，该电路通过总线46接收用于水平与垂直同步的控制信号以及象素时钟信号．

图5显示了在图4的电路中只有顶部一个数据驱动器芯片和底部一个数据驱动器芯片的简单情形下所采用的水平线的时间组成．在实际的显示器中，顶部将有几个驱动器，并且底部也有同样个数的驱动器．这种简化是为了描述的简明性．在第一时间间隔T中，和缺陷线无关的图象单元的正常数据被写入数据驱动器．在跟随在其后的时间间隔T'中，和缺陷数据线有关的需要写成为图象单元的数据被写入到数据驱动器．最后，在两线之间有一段回程时间．

图6显示了适当地修正驱动器数据流的电路的实现例．该实现是一种串行象素处理方法，当象素计数量很小时，比如说VGA，它特别有用．该电路计数量很小，但象素处理速率是来自信息源的象素时钟速率．在TFT/LCD上串行缺陷PROM的内容借助于串行到并行电路72被变换为并行比特流，且被复制到快速缺陷图RAM74中．这种装载只在复位时进行．该RAM必须允许以象素时钟速率寻址．控制器缺陷

RAM74 的数据结构和串行缺陷 RAM74 的数据结构相同. PROM 或 RAM 缺陷数据的第一区被用作为给地址比较器 76 的一个输入. 给比较器的另外一个输入是来自象素计数器 78 的当前象素计数. 缺陷数据的第二区和第三区为子象素的双存储器堆栈 80 产生一个地址.

在每条水平线的起始点, 所有计数器都复位. 因此, 缺陷图计数器 82 指向其第一项. 当出现正确数据时, 象素计数器 78 被递增. 如果象素计数等于存储在缺陷 RAM 中的象素列号, 那么就给出一个信号以锁存该象素数据并使缺陷图计数器 82 递增, 以指向新地址. 子象素区提供必要的信息给双存储器堆栈 80 , 以确定哪个子象素要被改正和它们应当被存储在堆栈的哪个地方. 在每组顶部和底部驱动器被装载以后, 子象素存储器堆栈 80 被置于读出方式, 且通过多路复接器 88 和数据导向电路 89 把数据装载到辅助数据驱动器. 同时, 维修数据被装载到驱动器, 被控制电路 87 定时控制的 FIFO (先进先出电路) 86 缓存了未经中断的数据流. 这是所需要的, 因为在维修数据被装载到数据驱动器芯片的同时, 进来的数据流并不能停止. FIFO86 的大小只要其深度比能被维修的象素总数略大一点. 在维修数据驱动器被装载后, 存储器堆栈 80 复位,被置回到写方式,且借助于选择器 88 ,把正常数据从 FIFO86 发送到显示器. 这个过程不断地重复, 直到所有的数据驱动器被装载. 接着, 电路被复位以及运行重新开始.

图 7 显示了被称作为源同步并行象素处理的另一个实现例. 相同号码的方框和以上对于图 6 所描述的起同样的作用. 缺陷数据如上所述那样被存储. 进来的象素数据流由数据导向电路 89 一开始就分成为两个数据流. 一个数据流是到显示器顶部的驱动器, 另一个数据流是到显示器底部的驱动器. 在顶部分支和底部分支的数据以源象素速率的一半传送, 这对于具有高时钟速率的大的象素计数的显示器是一个优点. 为处理并行数据需要附加的电路. 对进来的象素地址和缺陷线地址进行比较以及如果发现二者一致则锁存该数据的基本功能和上面所描述的相同. 不过在这种情况下, 两条数据路径的每条路径都有 FIFO 和锁存器. 比较和缺陷 RAM 电路也都显示为完全一样的. 这是为了按图 6 的概念的连续性而被显示的. 然而, 只要使地址产生和缺陷 RAM 作相应的改变就可使用单个的比较和缺陷 RAM . 在这种情况下, 我们不是比较象素列地址, 而是比较象素对的列地址, 且 RAM 必须控制两个子象素存

储器堆栈．还要注意到，来自顶部数据路径的维修数据现在被多路复接到底部数据路，反之亦然．这种方法被称作为源同步，因为写入到锁存器和 FIFO 是以一半的象素时钟速率和数据源同步的．送到显示器的输出可以是异步的并工作在振荡器 90 设置的频率．事实上，维修数据甚至可以以和正常数据不同的时钟速率被送出，如果系统设计需要的话．

图 8 的电路是图 2 的控制块 42 的又一个实施例．这种情形被称为显示同步并行象素处理．这种实现的主要不同点是在数据流中把象素处理电路放置在 FIFO 电路的后面．这就使得象素处理电路的工作和源象素速率无关．更具体地，图 8 所示的实现例把双子象素存储器堆栈（ DSMS ）放在 FIFO 和显示器之间．先前的实现例是把它放置成跨越 FIFO．在先前的实现例中， DSMS 接受来自象素数据源的数据，然后把该数据作为 ALR 维修数据提供到输出数据流． FIFO 在 ALR 数据被放置到输出数据流的同时缓冲存放来自象素源的进来数据．因为来自象素源的数据速率可以完全不同于送到显示器去的数据速率，因而在先前方案中的 DSMS 可能需要以两种可能完全不同的速率接受和提供数据．这会使设计复杂化．另外，被设计成提供多条并行数据路径进到显示器的系统在先前的方案中会造成在缓存维修数据方面的问题．

在图 8 所示的实现例中， FIFO 以和先前方案中完全一样的方式被使用．然而，现在 DSMS 接受来自 FIFO 输出端的数据，而不是来自原先的象素数据源的数据．因此，进到 DSMS 和从 DSMS 出来的数据速率是相同的．这就简化了 DSMS 的设计．另外，不久将上市的更高分辨率的显示器多半使用并行数据路径以进到显示器．因此，进到显示器的数据速率可能比来自信源的速率低得多．这将大为简化设计同时降低成本和功率要求．另外，因为图 8 的实施例不在 DSMS 中存储任何数据直到数据实际上被发送到显示器为止，因此数据缓存方案会简单得多．

在先前的实现例中所描述的双子象素存储器堆栈包含为备用驱动器的子象素数据进行相应的分类和存储的电路．图 9 显示了对于每个驱动器芯片有 6 条维修线的情况下包括有一个双象素存储器堆栈的电路．在写方式期间，维修数据子象素区被用来确定一个或多个子象素是否必须被分别存储到 A， B 或/和 C RAM100， 102 和 104 中．这些 RAM 可以是 DRAM， SRAM 或带有寻址电路的简单透明的 D 型锁存器．堆栈跟踪可用来存储新信息的那个地址．为了说明起见，令 RAM A 的第

一单元被填充以先前的数据．该单元包含给该驱动器的第一备份的数据．这时一个新的子象素区地址来到该单元，因为缺陷图计数器 82 指向了下一项．该子象素区例如是 100100，它的意思是绿和蓝的子象素数据必须被保存，且数据要被放置在下两个可供使用的存储位置．这就分别使三个三合一的多路复接器 106，108 和 110 把绿色通道路由到 RAM B 的第一单元和把蓝色通道路由到 RAM C 的第一单元．接着，该数据被写入到 RAM 组中．LUT 或译码单元 112 根据下一个子象素区和原先的断开单元的地址产生下一组地址．在本例中，它将指向 RAM A 的第二单元作为下一个可供使用的存储位置．在每组顶部和底部驱动器被装载以后，LUT 或译码单元 112 被复位，并开始对下一组驱动器进行处理．

LUT 或译码单元 112 可通过对于每个显示板预先计算多路复接器和 RAM 地址而被取消．串行 PROM 和缺陷图 RAM 可取代子象素改正和目的地的地址而包含多路复接器和 RAM 地址．附加的比特将被用来给出对顶部或底部数据驱动器进行写操作的信号．

对本发明可提出各种不同的修正．图 10 显示了三种方式，可以以这些方式在数据驱动器之间分布维修线．图 10A 显示了以前所描述的情况，其中每个数据驱动器的最后几个输出端被保留或不作指定以便用于维修驱动器．注意到，从这些维修输出端的连线跨过这一个驱动器的全部输出．连线长度和电容是很小的．图 10B 把维修线（也许是均匀地）分布在驱动器输出端之间．连线长度甚至更短，结果，交叉更少和电容更小．时序和控制不同于情况 A，但这可能是在给定其它系统约束条件下的优选方式．图 10C 把全部维修线附加在排成一串的最末一个驱动器中的最后若干驱动输出端．维修线的长度，交叉和电容都比情况 A 大，但在某些方面，定时和控制可能更简单，这再次取决于系统约束条件．在所有这些情况中，在数据线的另一端有一组同样的驱动器．

参照图 11，显示了在显示板顶部边缘处的一部分总线结构，在图上未示出 TFT 阵列．该阵列位于远离所示的部分和在所示部分的下面．在图的顶部，显示了静电放电保护器件 120．在这些器件的上面，也未示出的是在本领域中通常熟知的一种短路环，而在它的上面是用于连接到顶部数据驱动器芯片的卷带自动焊接（TAB）的焊盘．如前面所讨论的，交替的连线 124 被从顶部或底部驱动．从底部驱动的线被连接到

连线延伸焊盘126，它们被放置在维修焊盘128的邻近处。维修焊盘被连接到总体地被显示为132的总线的水平线130。总线通过垂直线134被连接到数据驱动器36（图2）的六个未被指定用途的驱动器输出端，如图10C所示。

参照图12A到图12F，这里显示了有一对驱动器组的整个维修总线网络的例子。显示了顶部的和底部的维修总线网络，TFT阵列在中间。总线132的六条未被指定用途的输出线被分为三组140，142和144，每组两条线。在每组中，一条未被指定用途的输出线被连接到在一半驱动器组上的维修焊盘。一条线延伸到驱动器组的全部长度，而另一条线延伸到驱动器组的一半长度。利用这种总线结构，在一半的驱动器组内一种给定的彩色只有一条有缺陷的线可被修理。如果在一半的驱动器组内同一种彩色的两条或多条线是有缺陷的，那么只有一条线可被修理。也应当注意到，利用这种总线结构。一条维修线和其它数据线的最大交叉数是单个驱动器的驱动器输出端的个数。通过限制在这种方式时的交叉数，保持了工作连线维修数据信号的完美性，因为线的寄生电容被保持在可接受的水平。

参照图13，显示了连线延伸焊盘和维修焊盘对的细节。维修总线130必须在其它的数据线124和125下面穿越，它用栅金属做成。在该实施例中，栅金属总线130还有冗余的ITO脊160，它也被用来通过ITO层166连接到维修焊盘区。通孔162和164被做在钝化层绝缘体中以便给维修焊盘128和线延伸焊盘126提供一个开口。在两个焊盘上都有一层ITO层166。这样，两个焊盘的层结构是相同的，它们由ITO 166，数据金属168，通孔162和164组成。这种焊盘的对称性可使两个焊盘之间的可靠的焊接变得容易。为实现对缺陷线的修理，连线延伸焊盘和维修焊盘必须被连接在一起。这可以通过使用各种连线焊接或激光焊接技术来完成。这样的实例包括小球焊，楔焊，以及本领域技术人员所熟知的其它技术。本发明的优点之一是为实施维修只需要一次焊接，且连接点是维修焊盘与连线延伸焊盘，它们是互相紧邻的。

实现连接的优选方法是圆片焊接。该技术使用超声能量和加压相组合，使用焊头来焊接在连线延伸焊盘和ALR维修焊盘之间的金属圆片。圆片是通过从约40微米厚度的薄铝箔上冲压得出小圆片而制成，其直径约为100微米。其它的软金属也是适用的。圆片被分布在平坦表面上，

然后由焊头逐个拾取．焊头是精密加工的具有逐渐变细的形状的锥形体，头部面积比小圆片直径略大，其尺寸也能复盖一对维修焊盘和连线延伸焊盘．焊头有一个从焊头一侧到另一侧的沟槽．此沟槽允许从焊头有效地传递超声能量到圆片和衬底表面．在焊接过程中，圆片金属向外挤压构成钮扣形状，由焊头的沟槽的压印留下一金属脊．这种焊接机械上很牢固，并构成焊盘之间的电连接，其电阻小于阵列的典型数据线的电阻的１％．

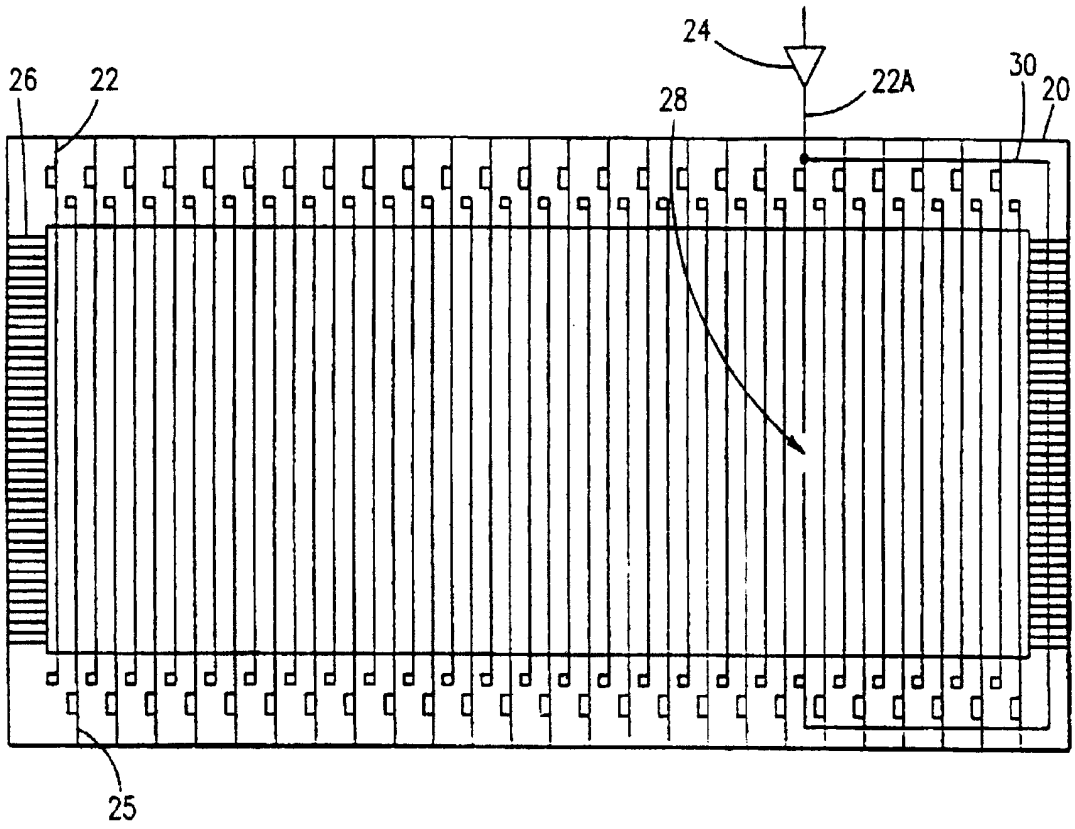


图 1

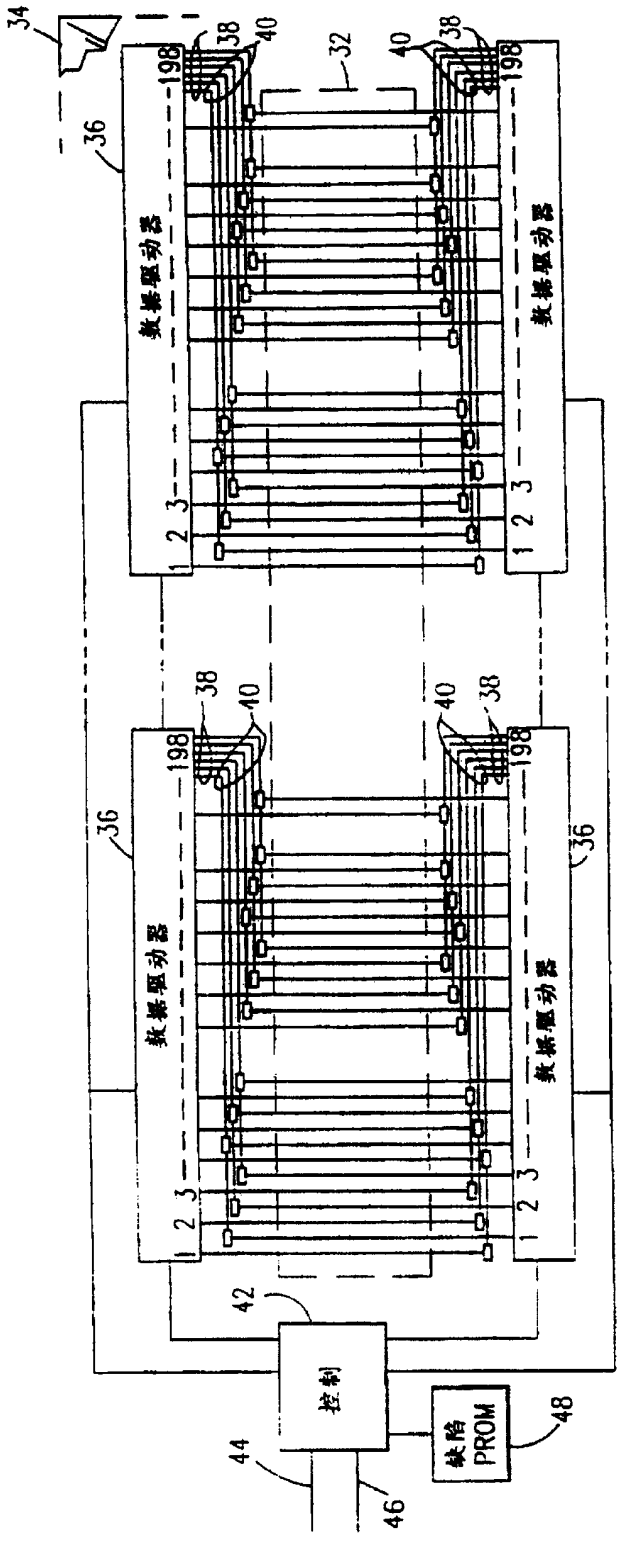


图 2

要改正的象素地址	子象素改正地址	改正目的地
0	001	001
9	110	110
54	101	001
128	101	010
202	010	100
349	011	011
350	110	011
400	000	000
620	001	100
639	100	000

图 3

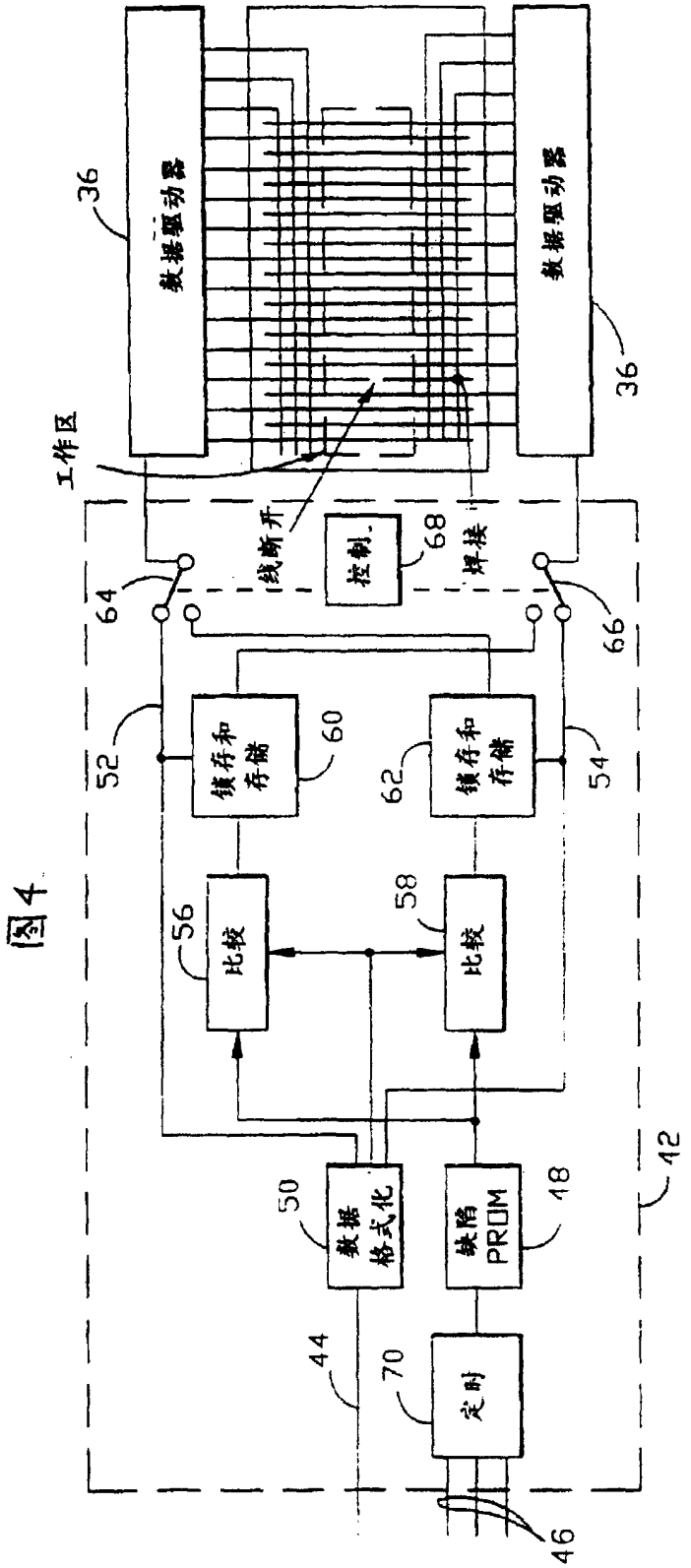

数据驱动器
36
工作区
线断开
控制
68
焊接
64
66
锁存和存储
60
62
52
54
比较
56
58
比较
数据格式化
50
缺陷PROM
18
12
定时
70
44
46

图4

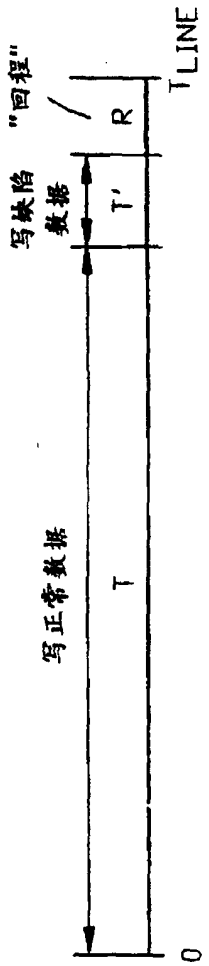

"回程"
写缺陷数据
T'
R
T LINE
写正常数据
T
0

图5

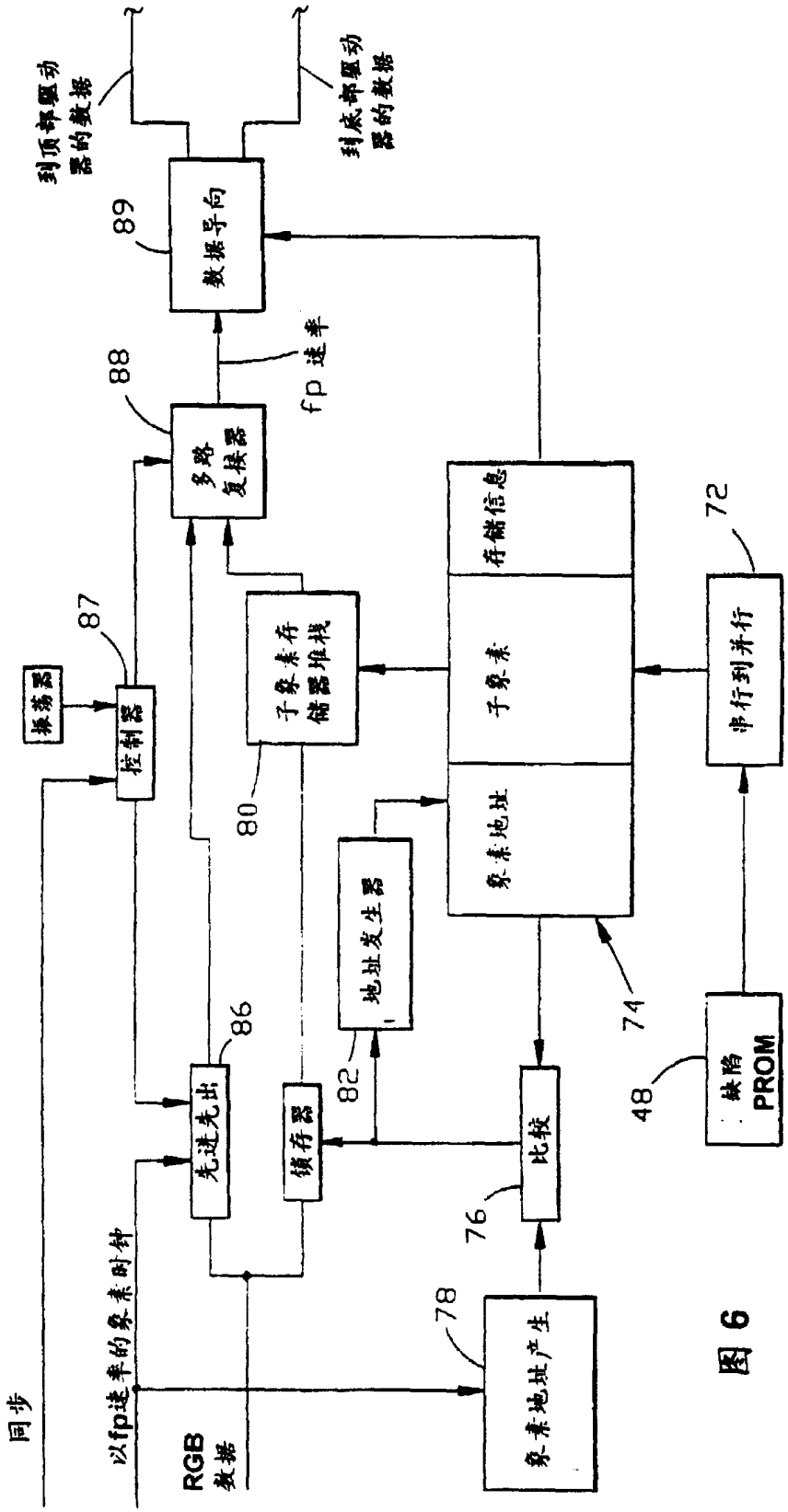

到顶部驱动器的数据
到底部驱动器的数据
89
数据导向
fp 速率
88
多路复接器
87
振荡器
控制器
子象素存储器堆栈
80
存储信息
子象素
象素地址
72
串行到并行
74
地址发生器
82
86
先进先出
锁存器
比较
76
48
缺陷 PROM
78
象素地址产生
同步
以fp速率的象素时钟
RGB 数据

图 6

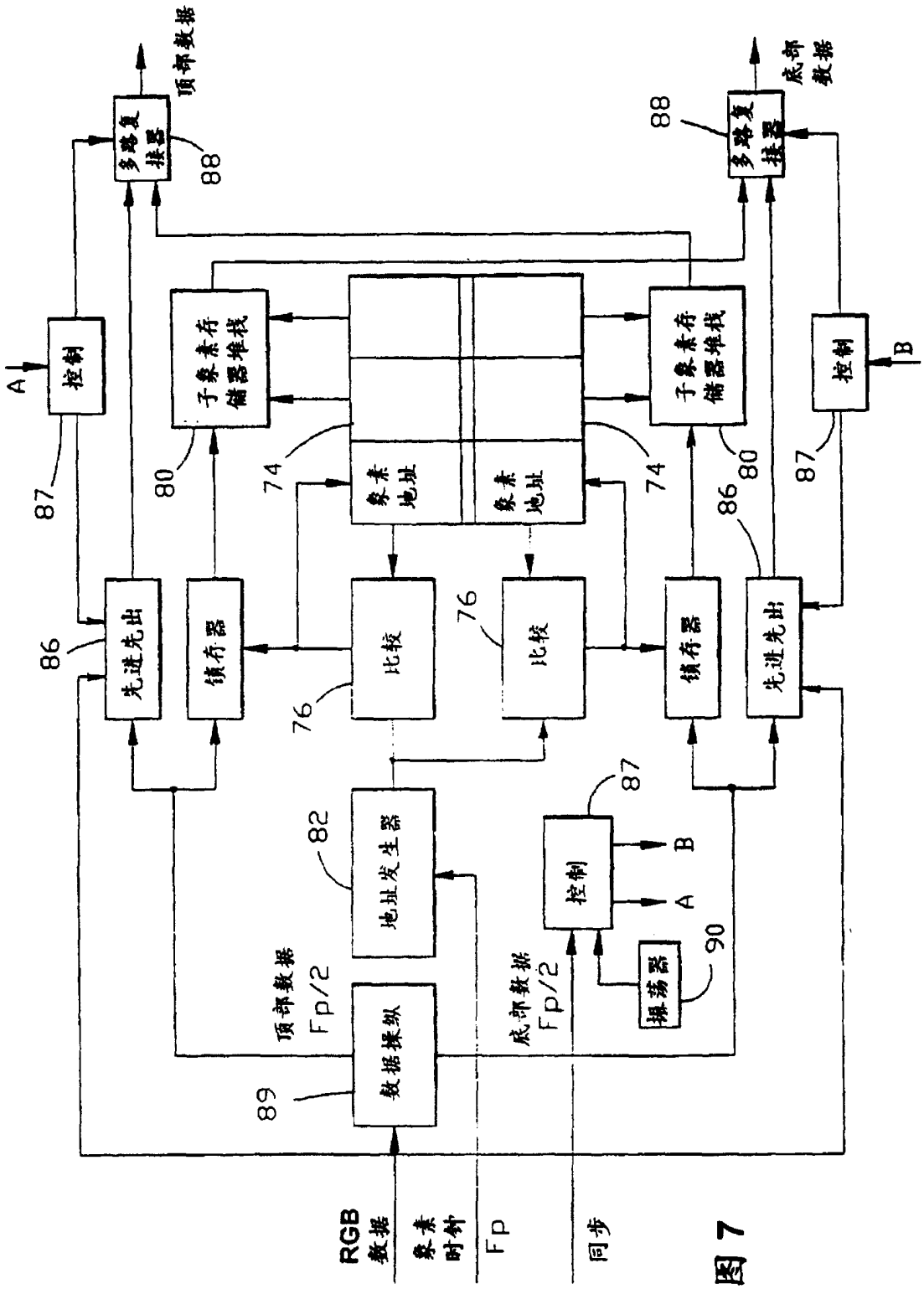

RGB数据
象素时钟
Fp
同步
数据操纵
89
顶部数据 Fp/2
底部数据 Fp/2
地址发生器
82
比较
76
比较
76
锁存器
锁存器
先进先出
先进先出
86
86
象素地址
象素地址
74
74
子象素存储器堆栈
子象素存储器堆栈
80
80
控制
87
控制
87
A
B
振荡器
90
多路复接器
88
多路复接器
88
顶部数据
底部数据
A
B

图 7

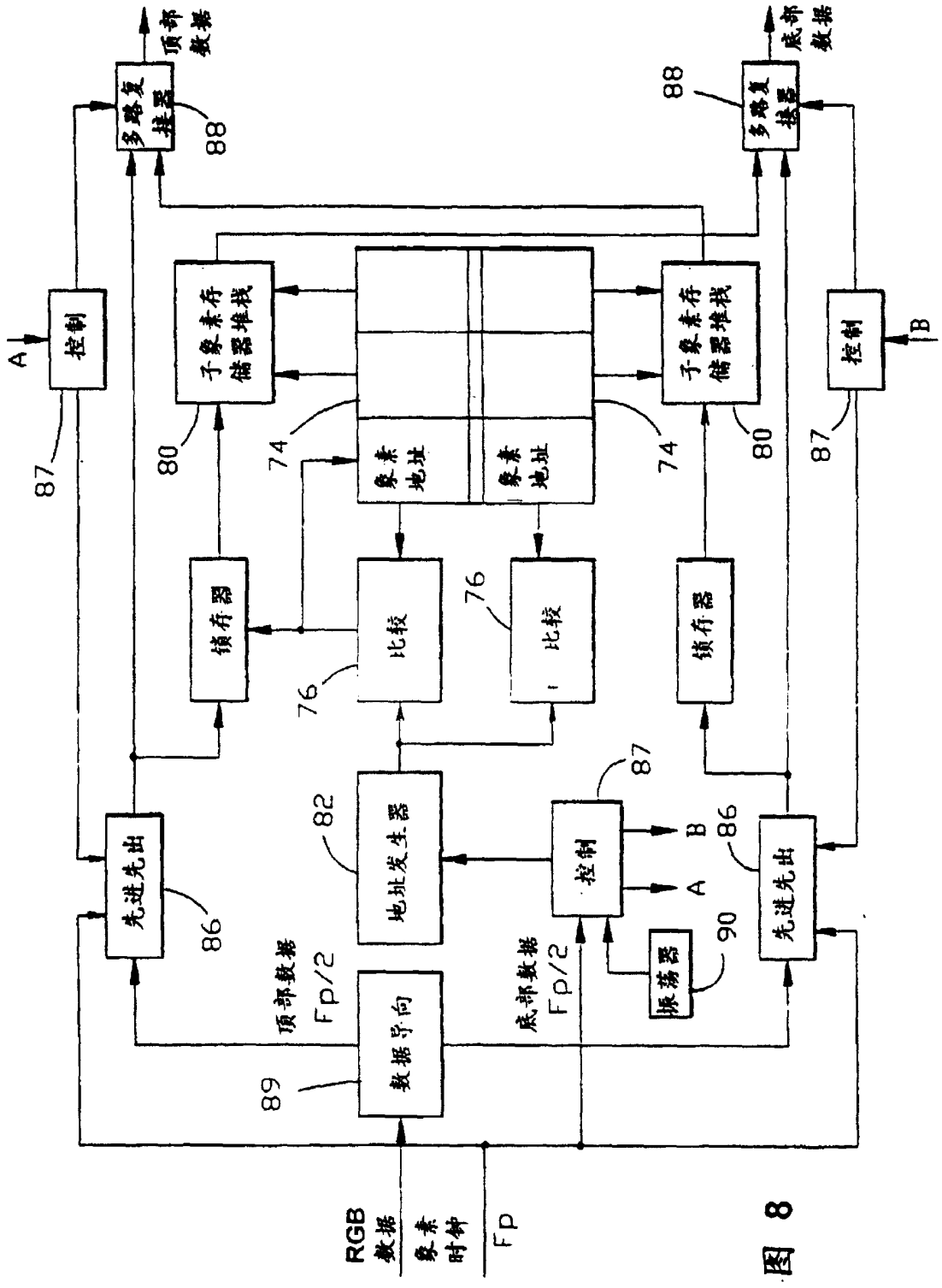

顶部数据
多路复接器
88
底部数据
多路复接器
88
A
控制
87
子象素存储器堆栈
80
74
象素地址
象素地址
74
子象素存储器堆栈
80
控制
B
87
锁存器
比较
76
76
比较
锁存器
先进先出
86
82
地址发生器
87
控制
A B
86
先进先出
顶部数据 Fp/2
底部数据 Fp/2
振荡器
90
89
数据导向
RGB 数据
象素时钟
Fp

图 8

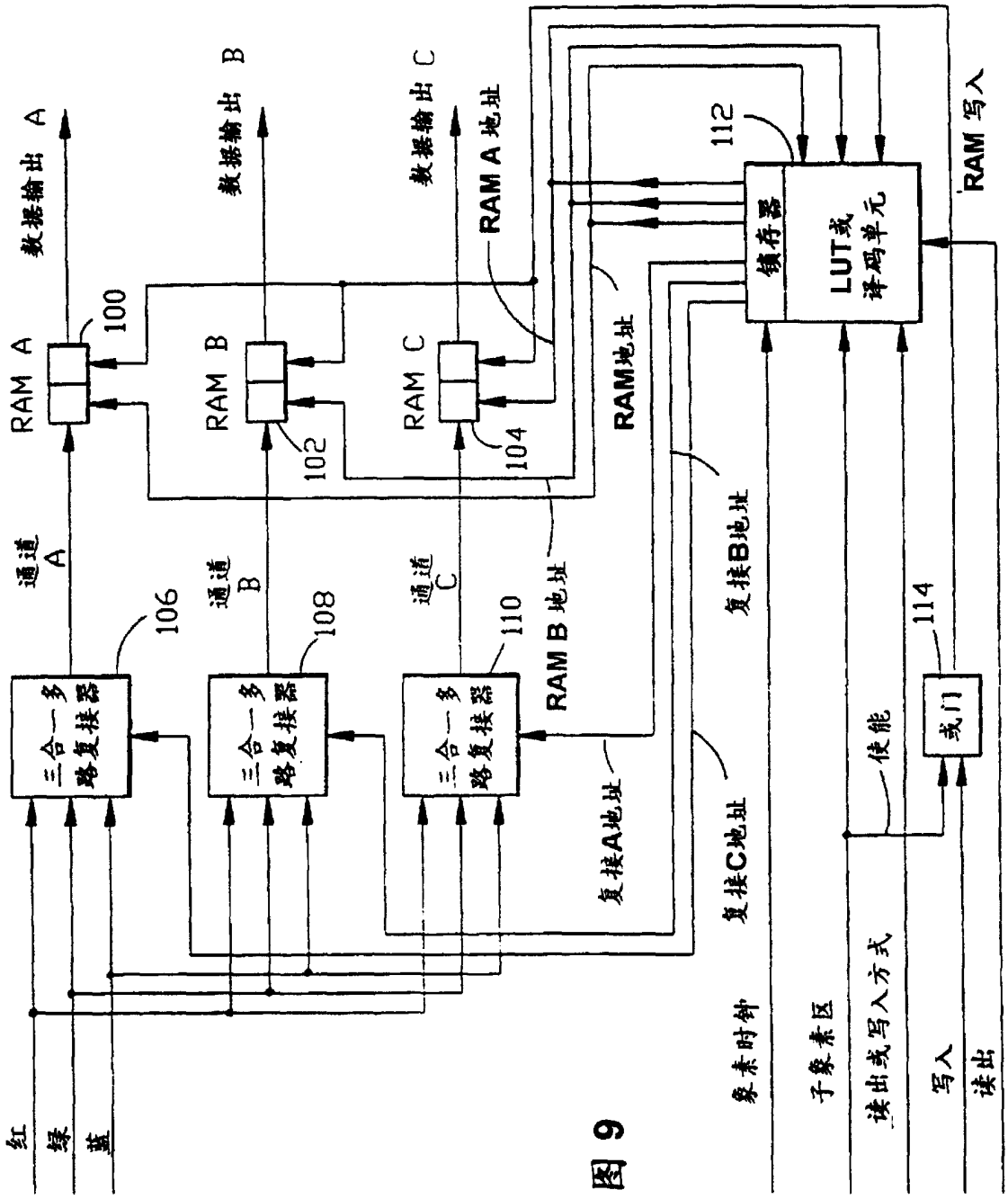

数据输出 A
数据输出 B
数据输出 C
RAM A 地址
RAM 写入
RAM A
RAM B
RAM C
100
102
104
112
锁存器
LUT或
译码单元
RAM地址
通道
A
通道
B
通道
C
106
108
110
三合一多
路复接器
三合一多
路复接器
三合一多
路复接器
RAM B 地址
复接B地址
114
或门
使能
复接A地址
复接C地址
红
绿
蓝
象素时钟
子象素区
读出或写入方式
写入
读出

图 9

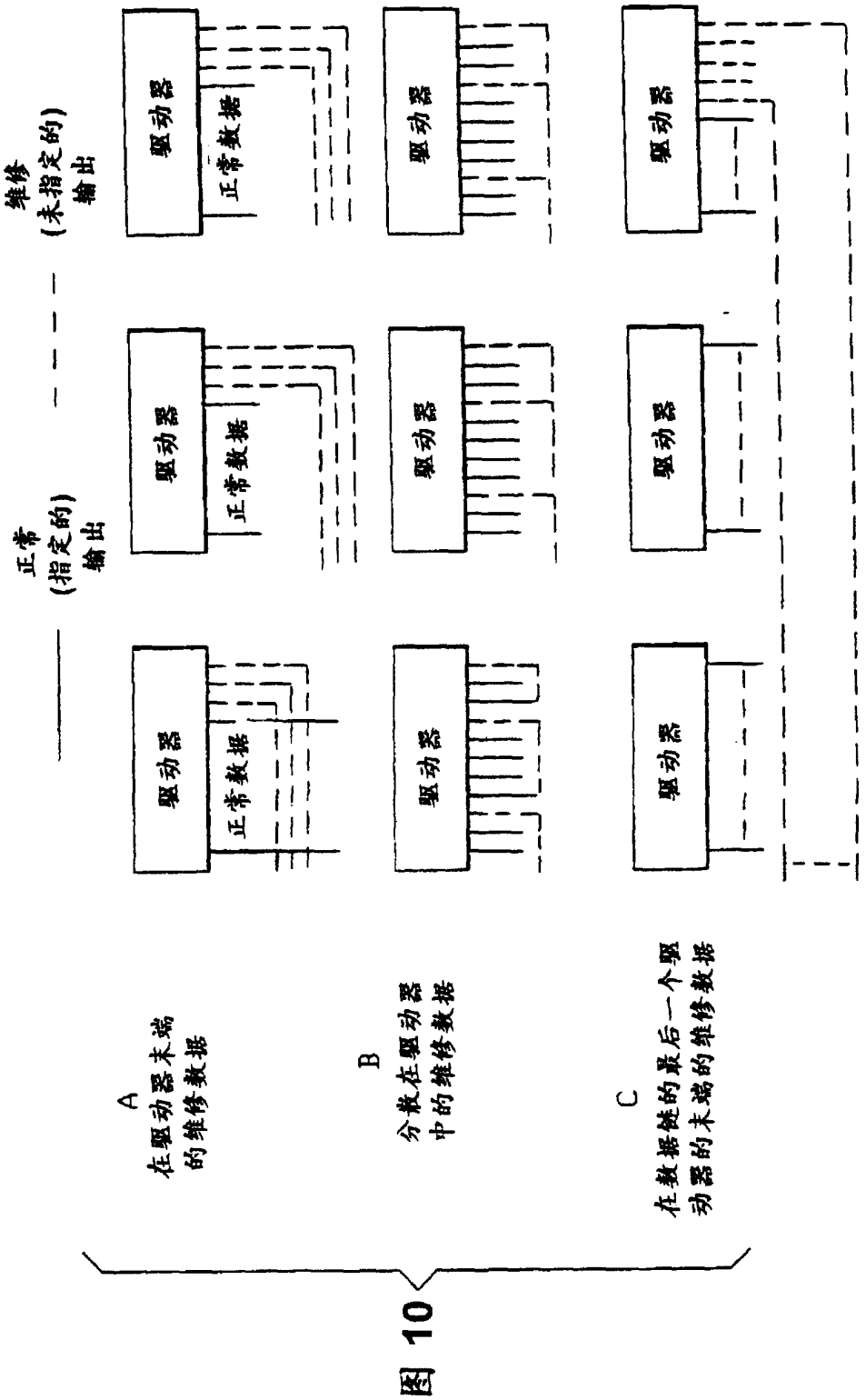

正常
(指定的)
输出
维修
(未指定的)
输出
驱动器
正常数据
A
在驱动器末端
的维修数据
B
分散在驱动器
中的维修数据
C
在数据链的最后一个驱
动器的末端的维修数据

图 10

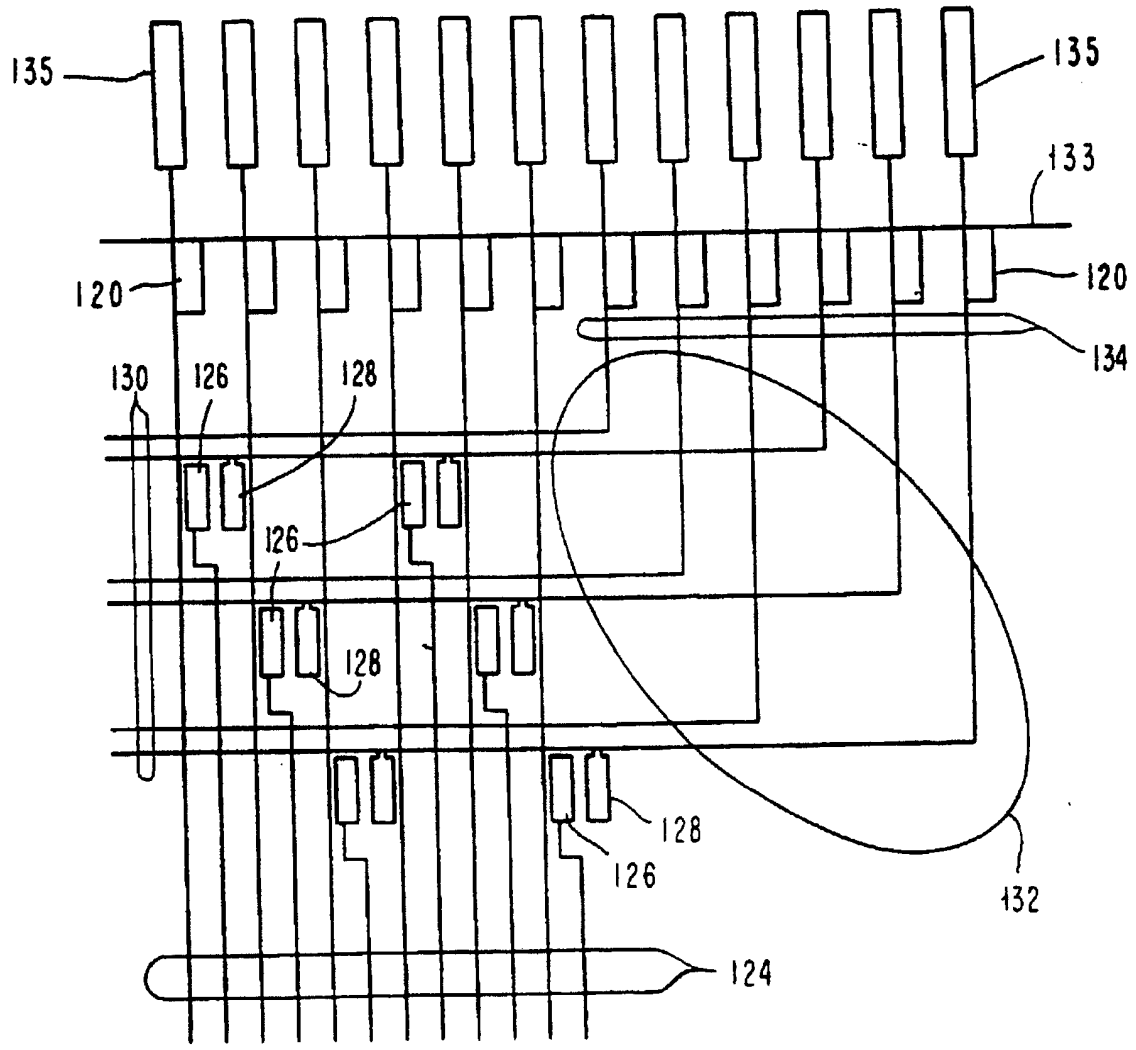


图 11

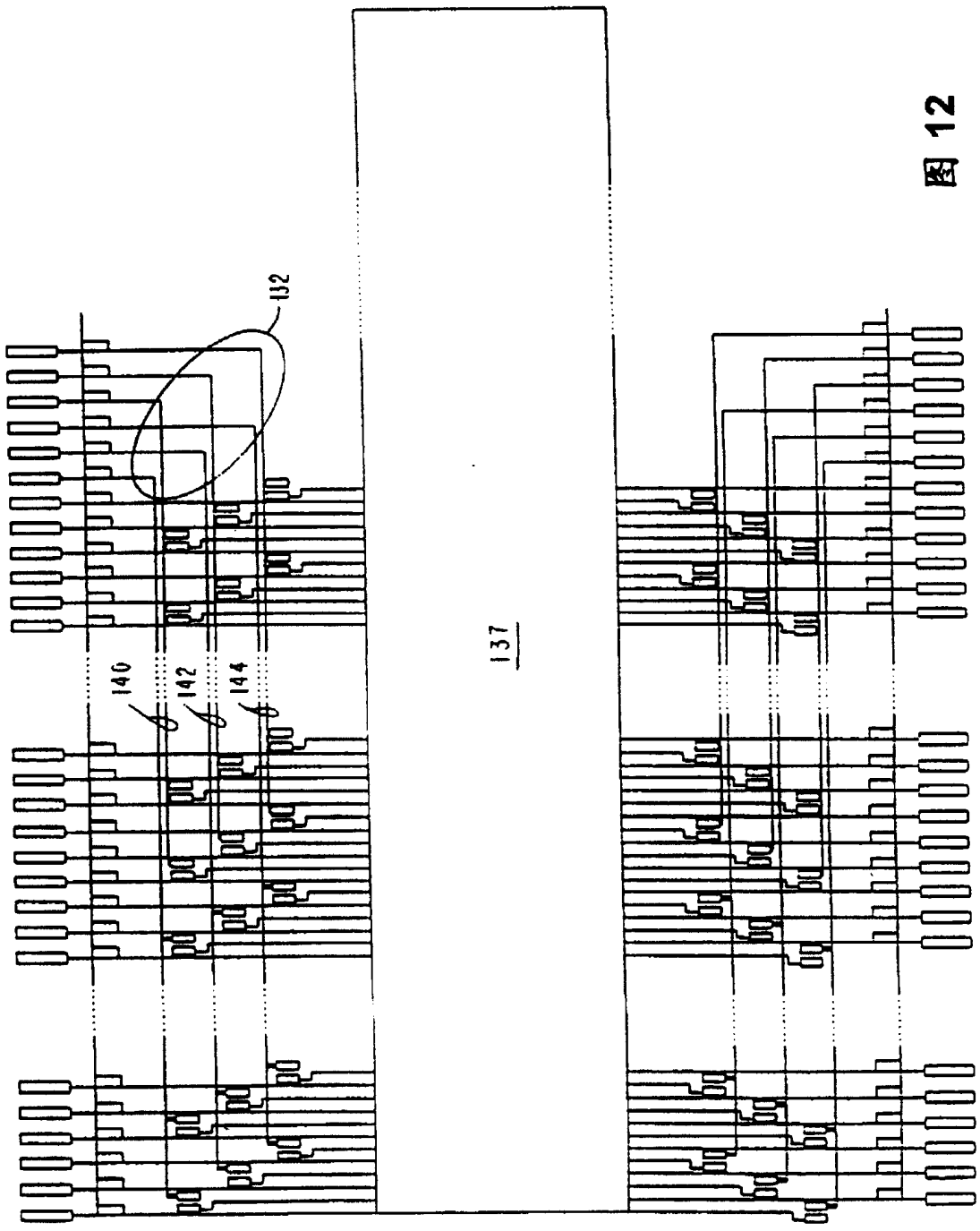


图 12

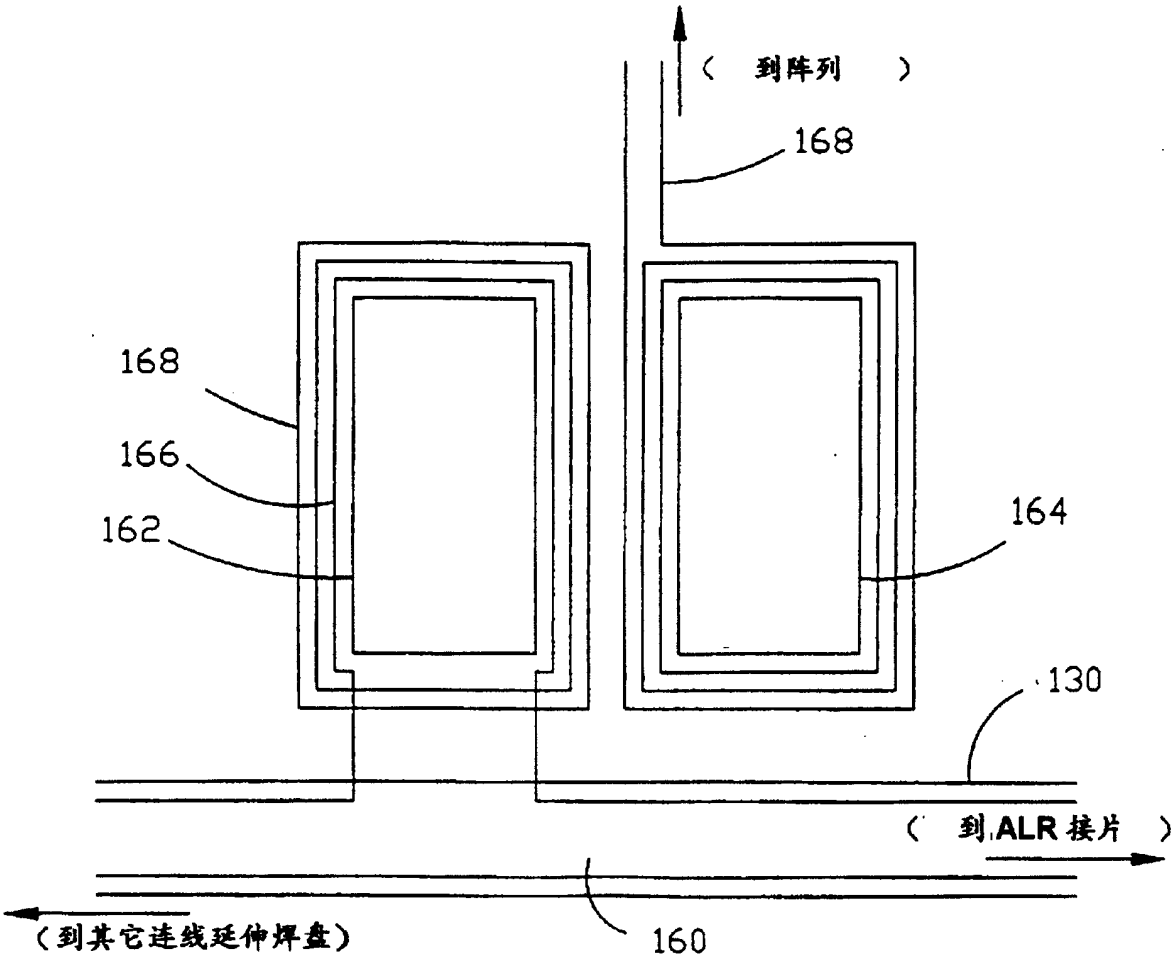


图 13