

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007 年 2 月 1 日 (01.02.2007)

PCT

(10) 国際公開番号
WO 2007/013145 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2005/013707
- (22) 国際出願日: 2005 年 7 月 27 日 (27.07.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 高橋 正皇 (TAKAHASHI, Masao) [JP/JP]; 〒1006334 東京都千代田区丸

の内二丁目 4 番 1 号 株式会社ルネサステクノロジ
内 Tokyo (JP).

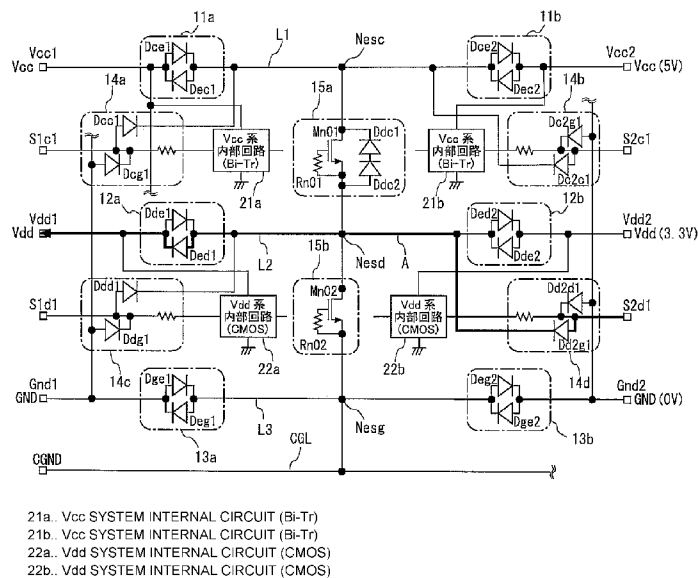
(74) 代理人: 大日方 富雄 (OBINATA, Tomio); 〒1620825 東京都新宿区神楽坂 3 丁目 4 番地 山本ビル 2 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路



(57) Abstract: A semiconductor integrated circuit is provided with a plurality of power supply systems, and the power supply systems are provided with a plurality of power supply terminals and a plurality of power supply lines, respectively. The power supply lines of each power supply system are connected through two-level protection circuits (11a, 11b; 12a, 12b; 13a, 13b) composed of a pair of bidirectional diodes. The lines between the two-level protection circuits of each power supply system are connected through protection circuits (15a, 15b) composed of a MOSFET and series diodes, which are in a parallel state, and a protection element (Dd2d1) arranged corresponding to at least one signal terminal is connected between the signal terminal and one of the lines between the two-level protection circuits.

(57) 要約: 複数の電源系を備え各電源系はそれぞれ複数の電源端子と複数の電源ラインを有するようにされた半導体集積回路において、各電源系の複数の電源ライン間には双方向ダイオード対からなる 2 段の保護回路 (11a, 11b; 12a, 12b; 13a, 13b) を介して接続する。また、各電源系の前記 2 段の保護回路間のラインの間には、並列形態の MOSFET と直列ダイオ

[続葉有]

WO 2007/013145 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

半導体集積回路

技術分野

[0001] 本発明は、半導体集積回路の静電破壊防止技術さらには2以上の電源系を有する半導体集積回路に適用して有効な技術に関し、特にバイポーラトランジスタ回路とCMOS回路が混載した半導体集積回路に利用して有効な技術に関する。

背景技術

[0002] 半導体集積回路においては、外部からの静電気やサージ電圧から内部素子を保護するため、保護ダイオードなどを通して電源端子へ電流を流す内部回路を通らない放電経路を設けることにより静電破壊耐量向上させるようにした静電保護回路が設けられている。

[0003] 図1～図9には、本発明に先立って本発明者が検討した静電保護回路が示されている。図1の静電保護回路は、VccとVddの2種類の電源系とグランド系を備え、各電源系ごとに複数の電源端子が設けられた半導体集積回路に適用されたものである。図1の半導体集積回路は、同一レベルの電源電圧Vccが印加される2つの電源端子Vcc1, Vcc2間がラインL1により接続され、該ラインL1上に双方向並列接続のダイオード対からなる2つの保護回路11a, 11bが設けられている。

[0004] また、同一レベルの電源電圧Vddが印加される2つの電源端子Vdd1, Vdd2間がラインL2により接続され、該ラインL2上に双方向並列接続のダイオード対からなる2つの保護回路12a, 12bが設けられている。さらに、接地電位GNDが印加される2つのグランド端子Gnd1, Gnd2間がグランドラインL3により接続され、該グランドラインL3上に双方向並列接続のダイオード対からなる2つの保護回路13a, 13bが設けられている。

[0005] また、Vcc系回路の信号端子S1c1には、電源端子Vcc1に向かって順方向となるダイオードDcc1とグランド端子GND1に向かって逆方向となるダイオードDcg1とからなる保護回路14aが設けられている。Vdd系回路の信号端子S1d1には、電源端子Vdd1に向かって順方向となるダイオードDdd1とグランド端子Gnd1に向かって逆

方向となるダイオードDdg1とからなる保護回路14cが設けられている。同様にして、Vcc系回路の信号端子S2c1には、ダイオードDc2g1とDc2c1とからなる保護回路14bが設けられ、Vdd系回路の信号端子S2d1には、ダイオードDd2g1とDd2d1とからなる保護回路14dが設けられている。

[0006] さらに、ラインL1上の保護回路11aと11bとの接続ノードNescと、ラインL2上の保護回路12aと12bとの接続ノードNesdとの間には、異電源間保護回路15aが設けられている。また、ラインL2上の保護回路12aと12bとの接続ノードNesdと、ラインL3上の保護回路13aと13bとの接続ノードNesgとの間には、異電源間保護回路15bが設けられている。

[0007] このうち、異電源間保護回路15aは、ゲートとソースが抵抗R0n1を介して結合されたMOSFET(絶縁ゲート型電界効果トランジスタ)Mn01と、これと並列をなす2個の直列ダイオードDdc1、Ddc2とから構成されている。異電源間保護回路15bは、ゲートとソースが抵抗Rn2を介して結合されたMOSFET Mn02から構成されている。

特許文献1:特開平11-289053号公報

発明の開示

発明が解決しようとする課題

[0008] 半導体集積回路の静電破壊耐量を評価する場合、各電源端子を基準にして信号端子に正の静電気が印加された場合と、負の静電気が印加された場合に、それぞれ内部素子を破壊することなく放電電流が流れたか否かの検証が行なわれる。図2～図7には、図1の保護回路を適用した半導体集積回路において、各電源端子Gnd1、Vcc1、Vdd1を基準にして信号端子S1c1、S1d1に正の静電気が印加された場合と、負の静電気が印加された場合に、保護回路が正常に機能したときの放電電流の経路が示されている。

[0009] また、図8には、図1の保護回路を適用した半導体集積回路において、電源端子Vdd1を基準にして他の電源系(Vdd2)の信号端子S2d2に正の静電気が印加された場合に、保護回路が正常に機能したときの放電電流の経路が示されている。しかしながら、本発明者が検証したところによると、内部回路と保護回路や電源端子の配置関係により基準となる電源端子から見た保護回路の配線インピーダンスが大きくなっ

たり、内部回路を構成する素子と保護素子の定数の関係によっては、想定された放電電流経路を通らずに、内部回路を通して放電電流が抜けてしまうことがある。図9にはそのような放電の例が示されている。このような放電により、内部回路を構成する素子が破壊に至る場合があることが明らかとなった。

[0010] また、従来の静電保護回路では、内部回路や保護回路のレイアウト設計により静電破壊耐量を高めるようにすると設計の自由度が制約されるため、設計に長い時間を要する。これとともに、試作後に静電破壊が検出された場合には、これを回避するためレイアウト設計をやり直す必要が生じ、ICの開発期間が延びたりするという課題がある。

[0011] なお、本発明に関連する従来の静電保護回路に関する発明としては、例えば特許文献1に記載の発明がある。この先願発明は、アナログ回路用の電源電圧端子とデジタル回路用の電源電圧端子との間に、双方向ダイオードからなる保護回路が設けられており、この点で本発明と類似する。しかしながら、特許文献1の先願発明では、アナログ回路用の電源電圧とデジタル回路用の電源電圧とは、同一レベルの電圧である。従って、同一レベルの複数の電源電圧間に双方向ダイオードからなる保護回路を設けるとともに、異なるレベルの異電源電圧間にも保護回路を設けるようにした本願発明と上記先願発明とは、明らかに構成が異なる。

[0012] この発明の目的は、2以上の電源系を有する半導体集積回路において、静電気やサージ電圧による内部素子の破壊を有効に防止することができる静電破壊防止技術を提供することにある。

この発明の他の目的は、レイアウト設計の自由度を制約したり内部回路や保護回路のレイアウト設計期間を延ばしたりすることなく、静電破壊耐量を高めることができる半導体集積回路技術を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0013] 本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、複数の電源系を備え各電源系はそれぞれ複数の電源端子と複数の電源ラインを有するようにされた半導体集積回路において、各電源系の複数の電源ライン間は双方向ダイオード対からなる2段の保護回路を介して接続する。また、各電源系の前記2段の保護回路間のラインの間は、並列形態のMOSFETと直列ダイオードとからなる保護回路を介して接続し、少なくとも1つの信号端子に対応して設けられた保護素子は該信号端子と前記2段の保護回路間のラインのいずれかとの間に接続するようにした。

[0014] 一般に、信号端子に対応して設けられた保護素子は該信号端子と電源端子に直接接続されている電源ラインとの間に接続されるため、内部回路や電源ラインの配線レイアウトによっては保護素子から見た電源ラインのインピーダンスが高くなることもあり、信号端子に印加された静電気を逃がす放電経路が内部回路を通るおそれがある。

[0015] これに対し、上記した手段によれば、保護素子が信号端子と2段の保護回路間のラインのいずれかとの間に接続されることにより、保護素子から見た電源ラインのインピーダンスを低くすることができ、それによって静電気を逃がす放電経路が内部回路を通るのを回避して、静電破壊耐量を高めることができる。また、保護素子の信号端子接続側端子と反対側の端子を電源端子に直接接続されている電源ラインから2段の保護回路間のラインのいずれかに代える設計変更は、内部回路や電源ラインのレイアウトを代える設計変更に比べると短時間に行なうことができる。それによって、半導体集積回路の開発期間を短縮することができるようになる。

発明の効果

[0016] 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、レイアウト設計の自由度を制約したり内部回路や保護回路のレイアウト設計期間を延ばしたりすることなく、静電破壊耐量を高めることができる半導体集積回路を実現することができる。

図面の簡単な説明

[0017] [図1]図1は、本発明に先立って検討した静電保護回路を示す回路構成図である。

[図2]図2は、本発明に先立って検討した静電保護回路において、電源端子Gnd1を基準にして信号端子S1d1に正の静電気が印加された場合に、保護回路が正常に機能したときの放電電流の経路を示す回路説明図である。

[図3]図3は、本発明に先立って検討した静電保護回路において、電源端子Gnd1を基準にして信号端子S1d1に負の静電気が印加された場合に、保護回路が正常に機能したときの放電電流の経路を示す回路説明図である。

[図4]図4は、本発明に先立って検討した静電保護回路において、電源端子Vdd1を基準にして信号端子S1d1に正の静電気が印加された場合に、保護回路が正常に機能したときの放電電流の経路を示す回路説明図である。

[図5]図5は、本発明に先立って検討した静電保護回路において、電源端子Vdd1を基準にして信号端子S1d1に負の静電気が印加された場合に、保護回路が正常に機能したときの放電電流の経路を示す回路説明図である。

[図6]図6は、本発明に先立って検討した静電保護回路において、電源端子Vcc1を基準にして信号端子S1d1に正の静電気が印加された場合に、保護回路が正常に機能したときの放電電流の経路を示す回路説明図である。

[図7]図7は、本発明に先立って検討した静電保護回路において、電源端子Vcc1を基準にして信号端子S1d1に負の静電気が印加された場合に、保護回路が正常に機能したときの放電電流の経路を示す回路説明図である。

[図8]図8は、本発明に先立って検討した静電保護回路において、電源端子Vdd1を基準にして信号端子S2d1に正の静電気が印加された場合に、保護回路が正常に機能したときの放電電流の経路を示す回路説明図である。

[図9]図9は、本発明に先立って検討した静電保護回路において、電源端子Vdd1を基準にして信号端子S2d1に正の静電気が印加された場合に、保護回路が正常に機能せず内部回路を通る放電経路が形成された様子を示す回路説明図である。

[図10]図10は、本発明に先立って検討した静電保護回路を備えた半導体集積回路において、電源端子Vdd3を基準にして信号端子S2d3に正の静電気が印加された場合に想定される放電経路を示す回路説明図である。

[図11]図11は、本発明に係る静電保護回路の一実施例と、電源端子Vdd1を基準に

して信号端子S2d1に正の静電気が印加された場合の放電経路を示す回路説明図である。

[図12]図12は、第1の実施例の静電保護回路の変形例と、該変形例において電源端子Vdd1を基準にして信号端子S2d1に正の静電気が印加された場合の放電経路を示す回路説明図である。

[図13]図13は、図11の実施例の静電保護回路を備えた半導体集積回路と、該半導体集積回路において電源端子Vdd3を基準にして信号端子S2d3に正の静電気が印加された場合に想定される放電経路を示す回路説明図である。

[図14]図14は、第2の実施例に係る静電保護回路の構成と、それを適用した半導体集積回路において電源端子Vdd3を基準にして信号端子S2d3に正の静電気が印加された場合に想定される放電経路を示す回路説明図である。

[図15]図15は、実施例の静電保護回路を構成する保護ダイオードの構造の具体例を示す断面図である。

[図16]図16は、実施例の異電源間保護回路を構成する保護用MOSFETの構造の具体例を示す断面図である。

[図17]図17は、本発明を適用して好適な半導体集積回路の一例として、DVD装置に使用され光ピックアップからの信号を処理するアナログフロントエンドLSIの構成例を示すブロック図である。

符号の説明

- [0018] 11a, 11b 同一レベルの第1の電源端子間の保護回路
- 12a, 12b 同一レベルの第2の電源端子間の保護回路
- 13a, 13b 複数のグランド端子間の保護回路
- 14a～14d 信号端子に設けられる保護回路
- 15a, 15b 異電源ライン間の保護回路
- 21a, 21b Vcc系内部回路
- 22a, 22b Vdd系内部回路
- 100 半導体基板
- 111 N型埋め込み分離領域

112 横方向分離領域

120 島領域(ダイオード形成領域)

121 アノード領域

122 カソード領域

130 ゲート電極

141, 142 N型ソース・ドレイン領域

150 ゲート・ソース間抵抗となる低濃度N型領域

発明を実施するための最良の形態

[0019] 以下、本発明の好適な実施例を図面に基づいて説明する。

図11には、本発明に係る静電保護回路を適用した半導体集積回路が示されている。特に制限されるものでないが、図11の半導体集積回路は、VccとVddの2種類の電源系とグランド系(GND)を備えるとともに、各電源系ごとに複数の電源端子が設けられている。図11には、これら複数の電源端子のうち各電源系ごとに2個の端子が示されている。すなわち、Vcc1, Vcc2はVcc電源系の電源端子、Vdd1, Vdd2はVdd電源系の電源端子、Gnd1, Gnd2はグランド系の基準電源端子である。さらに、グランド系を安定させるため、共通グランド端子CGndと共通グランドラインCGLが設けられている。

[0020] この実施例では、電源電圧VccはVddよりも高いレベルの電圧($V_{cc} > V_{dd}$)である。このように、2種類の電源系が設けられているのは、高い電圧で動作するバイポーラトランジスタ回路と、低い電圧で動作するCMOS回路とが設けられているためである。半導体集積回路がバイポーラトランジスタ回路とCMOS回路とが混在した回路として構成されている場合、Vccは例えば5V、Vddは3.3Vのような電位が選択される。図11において、21a, 21bはバイポーラトランジスタ回路からなる内部回路、22a, 22bはCMOS回路からなる内部回路である。尚、22a, 22bはバイポーラトランジスタ及びCMOSが混在した回路であってもよい。又21a, 21b, 22a, 22bはそれぞれグランド系の基準電源も供給される。

[0021] この実施例の半導体集積回路では、同一レベルの電源電圧Vccが印加される2つの電源端子Vcc1, Vcc2間はラインL1により接続され、該ラインL1上に双方向並列

接続のダイオード対からなる2つの保護回路11a, 11bが設けられている。

[0022] また、同一レベルの電源電圧Vddが印加される2つの電源端子Vdd1, Vdd2間はラインL2により接続され、該電源ラインL2上に双方向並列接続のダイオード対からなる2つの保護回路12a, 12bが設けられている。さらに、接地電位GNDが印加される2つのグランド端子Gnd1, Gnd2間がラインL3により接続され、該ラインL3上に双方向並列接続のダイオード対からなる2つの保護回路13a, 13bが設けられている。

[0023] さらに、Vcc系回路の信号端子S1c1には、ラインL1に向かって順方向となるダイオードDcc1とグランド端子Gnd1に向かって逆方向となるダイオードDcg1とからなる保護回路14aが設けられている。信号端子S2c1には、ラインL1に向かって順方向となるダイオードDc2c1とグランド端子Gnd2に向かって逆方向となるダイオードDc2g1とからなる保護回路14bが設けられている。

[0024] Vdd系回路の信号端子S1d1には、ラインL2に向かって順方向となるダイオードDdd1とグランド端子Gnd1に向かって逆方向となるダイオードDdg1とからなる保護回路14cが設けられている。信号端子S2d1には、ラインL2に向かって順方向となるダイオードDd2g1とグランド端子Gnd2に向かって逆方向となるダイオードDd2d1とからなる保護回路14dが設けられている。

[0025] さらに、ラインL1上の保護回路11aと11bとの接続ノードNescと、ラインL2上の保護回路12aと12bとの接続ノードNesdとの間には、異電源間保護回路15aが設けられている。また、ラインL2上の保護回路12aと12bとの接続ノードNesdと、ラインL3上の保護回路13aと13bとの接続ノードNesgとの間には、異電源間保護回路15bが設けられている。

[0026] このうち、異電源間保護回路15aは、ゲートとソースが抵抗R0n1を介して結合されたMOSFET Mn01と2個の直列のダイオードDdc1, Ddc2とから構成されている。異電源間保護回路15bは、ゲートとソースが抵抗R0n2を介して結合されたMOSFET Mn02から構成されている。

[0027] 本発明に先立って検討した静電保護回路を示す図1と比較すると分かるように、本実施例の静電保護回路と図1の静電保護回路との差異は、保護回路14a, 14bを構成するダイオードDcc1, Dc2c1のカソード端子が、電源端子Vcc1, Vcc2ではなく

、保護回路11aと11b間の電源ラインL1に接続されている点にある。また、同様に、保護回路14c, 14dを構成するダイオードDdd1, D2d1のカソード端子が、電源端子Vdd1, Vdd2ではなく、保護回路12cと12d間のラインL2に接続されている。

[0028] 前述したように、図1の回路では、電源端子Vdd1を基準にして他の電源系(Vdd2)の信号端子S2d1に正の静電気が印加された場合に、図9のように、本来の放電経路を通らずに内部回路を通して放電電流が抜けてしまうことがある。これに対し、図11の回路では、太線Aで示すように、内部回路を通らずにラインL2を含む放電経路を通して放電電流が流れるようになる。この実施例の放電経路のインピーダンスは、図9において信号端子S2d1から電源端子Vdd2までの放電経路や内部回路を通る放電経路のインピーダンスよりも低くなる場合がある。そのため、本実施例を適用することにより、例えば図12のようにVdd1系の内部回路22aとVdd2系の内部回路22bが近接して配置されていたとしても、本来の放電経路を通して放電がなされて、内部回路を構成する素子が静電破壊されるのを回避することができる。

[0029] なお、異電源間保護回路15aと15bに含まれるゲートとソースが抵抗R0n1を介して結合されたMOSFETは、通常はチャネルに全く電流が流れないが、図5や図7のように、電源端子Vcc1またはVdd1を基準にして信号端子S1d1に負の静電気が印加された場合に、パンチスルー効果で電流が流れる。これにより、内部回路を通さずに放電電流を流すことができる。

[0030] この実施例においては、異電源間保護回路15aと15bのうち、15aにのみ直列のダイオードDdc1, Ddc2がMOSFETと並列に設けられている。これは、電源端子Vcc1を基準にして信号端子S1d1に正の静電気が印加された場合に、信号端子S1d1から保護素子Ddd1, ラインL2, 異電源間保護回路15aのダイオードDdc2, Ddc1, ラインL1, 保護素子Dec1を介して電源端子Vcc1に流れる放電電流を流すためDdc1, Ddc2がある方が望ましい一方、電源端子Vdd1を基準にして信号端子S1d1に正の静電気が印加された場合には、信号端子S1d1から保護素子Ddd1, ラインL2, 保護素子Ded1を介して電源端子Vdd1に流れるような放電経路を通るので異電源間保護回路15bを通らない放電経路があるからである。又ラインL3からL2に流れるような放電経路が仮にできたとしても、CMOSで構成されるVdd系内部回路を構成する

際に、NMOSのPwellがGND系電源ラインからGNDに、PMOSのNwellがVdd系電源ラインからVddにバイアスされるため、L3からL2に流れる方向が順方向である1段のダイオードが大量に形成される。例えばこの面積はチップ全体の10%近くを占めるため、あえて異電源間保護回路15bに並列にダイオードを設ける必要はない。異電源間保護回路15aにダイオード1つだけでなく2個直列に設けられているのは、ダイオード1つだけでは逆方向耐圧が小さく、図7のような放電経路で電流が流れようとしたときにダイオードが破壊されてしまうおそれがあるためである。

[0031] 図13には、図11の実施例を適用した半導体集積回路全体のレイアウトの一例が示されている。図13において図11と同一の回路や素子には、同一の符号を付して重複した説明は省略する。

[0032] 図13の半導体集積回路においては、チップの各辺に沿って、内部回路に電源電圧Vccを給電するVcc系電源ライン同士を2つの双方向ダイオードを介して接続するためのラインL1と、内部回路に電源電圧Vddを給電するVdd系電源ライン同士を2つの双方向ダイオードを介して接続するためのラインL2とが、それぞれ環状(ループ)をなすように配置されている。そして、ラインL1とL2との間に異電源間保護回路15aが設けられ、ラインL2と接地点(グランドライン)との間に異電源間保護回路15bが設けられている。なお、図13では、ラインL3、CGL(GND)の図示が省略されているが、ラインL1(Vcc)やL2(Vdd)と同様に環状をなすように配置されている。

[0033] 比較のため、図1の検討技術を適用した半導体集積回路全体のレイアウトの一例を図10に示す。さらに、図10および図13には、電源端子Vdd3を基準にして信号端子S2d3に正の静電気が印加された場合に、設計段階で想定される放電経路が太線で示されている。

[0034] 図1の検討技術を適用した半導体集積回路では、図10のように、想定される放電経路がかなり迂回した冗長な経路となっている。そのため、想定放電経路のインピーダンスが高くなって、内部回路を通して放電経路が生成されるおそれがある。これに対し、図11の実施例を適用した図13の半導体集積回路では、図13に太線で示されているように、想定される放電経路がかなり短くなっている。そのため、想定放電経路のインピーダンスは低くなって、内部回路を通して放電経路が生成されるおそれは少

なく静電破壊耐量が向上される。

[0035] 図14には、本発明を適用した半導体集積回路の他の実施例の全体レイアウトが示されている。

図14において図13と同一の回路や素子には、同一の符号を付して重複した説明は省略する。図14と図13の差異は、次の点にある。図13ではVdd系内部回路用の信号端子S1d1, S1d2, S1d3……S4d1, S4d1, S4d2, S4d3の保護回路14a～14eの一方の保護ダイオードのカソードがすべてラインL2(Vdd)に接続されている。これに対し、図14では信号端子S2d3の保護回路14eの保護ダイオードDd2d3のみカソードがラインL2(Vdd)に接続され、他の保護ダイオードのカソードは電源端子Vdd2に直結の給電ラインLvdに接続されている。

[0036] この実施例のように、Vdd系内部回路用の信号端子の保護回路14の保護ダイオードのカソードを、放電経路のインピーダンスに応じてVdd給電電源ラインLvdに接続するものと、保護回路間のラインL2に接続するものとに分けることで、すべての信号端子の静電破壊耐量を向上させることができる場合もある。尚、作られる製品の特性に合わせてVcc系内部回路用信号端子の保護回路の一方の保護ダイオードのカソードがラインL1に接続されるのか、電源端子Vccの直結の給電ラインに接続されるのかは変更されてよく、Vdd系内部回路用信号端子の保護回路の一方の保護ダイオードのカソードがラインL2に接続されるのか、電源端子Vddの直結の給電ラインに接続されるのかは変更されてよい。

[0037] 以上説明したように、上記実施例においては、保護素子が信号端子と2段の保護回路間のラインのいずれかとの間に接続されることにより、保護素子から見た電源ラインのインピーダンスを低くすることができ、それによって静電気を逃がす放電経路が内部回路を通るのを回避して、静電破壊耐量を高めることができる。

[0038] また、保護素子の信号端子接続側端子と反対側の端子を電源端子に直接接続されている電源ラインから2段の保護回路間のラインのいずれかに代える設計変更は、内部回路や電源ラインのレイアウトを代える設計変更に比べると短時間に行なうことができる。それによって、半導体集積回路の開発期間を短縮することができるようになる。言い換えると、レイアウト設計の自由度を制約したり内部回路や保護回路のレイ

アウト設計期間を延ばしたりすることなく、静電破壊耐量を高めることができる半導体集積回路を実現することができるという効果がある。

[0039] 図15には、前記実施例の保護回路11a, 11b, 12a, 12b, 13a, 13b, 15aを構成する保護ダイオードの構造の具体例が示されている。

この実施例の保護ダイオードは、P型単結晶シリコンのような半導体基板100内に形成されたN型埋め込み分離領域111と、該分離領域111に達するように杵状に形成された横方向分離領域112とにより囲まれた島領域120内に形成されている。この島領域120は、半導体基板100の上にエピタキシャル成長された層(以下、エピ層Epiと称する)110により構成され、横方向分離領域112は図示しないCMOS回路のNチャネルMOSFETが形成されるP型ウェル領域の形成工程と同一の工程で同時に形成されることで、表面側はP型領域P-WELLとされている。

[0040] 島領域120の表面に、保護ダイオードのアノード領域となるP型領域121と、カソード領域となるN型領域122が若干の距離をおいて形成されている。カソード領域となるN型領域122は、図示しないCMOS回路のNチャネルMOSFETソース・ドレイン領域となるN型領域よりも深くなるように形成されている。これにより、電流密度が小さくされて、放電電流が流れたときに素子が劣化したり破壊されたりするのが防止されるようになっている。

[0041] P型領域P-WELLの下側にはP型埋め込み分離領域113が形成されている。横方向分離領域112の外側もP型ウェル領域の形成工程と同一の工程で同時に形成されるP型領域P-WELLとされている。横方向分離領域112自身は、図示しないCMOS回路のPチャネルMOSFETが形成されるN型ウェル領域の形成工程と同一の工程で同時に形成されることで、N型領域N-WELLとされている。

[0042] また、横方向分離領域112のN型ウェル領域と埋め込み分離領域111との間には、図示しない縦型バイポーラトランジスタの埋め込みコレクタ領域の形成工程と同一の工程で同時に形成されることで、N型領域NBLとされている。本実施例の保護ダイオードは、横方向分離領域112にアノード領域となるP型領域121と同一の電位が印加されるように、配線となる導電層が形成されている。この横方向分離領域112はの電位N型埋め込み分離領域111に伝達され、P型基板100との間が逆バイアスの状

態にされる。

[0043] 図15に示すような構造のダイオードによれば、アノード領域としてのP型領域121とN型埋め込み分離領域111が常に同一の電位にされている。そのため、ダイオード形成領域としてのP型領域120とN型埋め込み分離領域111とP型基板100との間に寄生PNPバイポーラトランジスタが存在していても、それがオンされることがないので、不所望なリーク電流が流れたり、ラッチアップを起こしたりすることがないという利点がある。

[0044] 図16には、前記の実施例の保護回路15a, 15bを構成するゲート・ソース結合の保護用MOSFETの構造の一実施例が示されている。

この実施例の保護用MOSFETは、半導体基板上のエピ層110の表面にゲート絶縁膜を介してゲート電極130が形成され、該ゲート電極130の両側のエピ層表面に、比較的深いN型ソース・ドレイン領域141, 142が形成されている。このN型領域141, 142は、例えば図示しない一般的な縦型バイポーラトランジスタのコレクタ引き出し口となるN型領域と同一の工程で形成されることで製造プロセスが簡略化されている。これとともに、このN型領域141, 142は、図示しないCMOS回路を構成する通常のMOSFETのソース・ドレイン領域よりも深くされることで、放電電流が流される際の電流密度が小さくされて素子の劣化が防止されるようになっている。

[0045] なお、図16において、150は保護用MOSFETのゲート・ソース間抵抗となる低濃度N型領域、151, 152はこのN型領域150の両端に形成される電極とのコンタクト領域としての高濃度のN型領域である。低濃度N型領域150は図示しないバイポーラトランジスタのベース拡散領域と同一の工程で、また高濃度のN型領域151, 152は図示しないバイポーラトランジスタのエミッタ領域と同一の工程で形成することによって、製造プロセスが簡略化されている。

[0046] 保護用MOSFETのN型ソース・ドレイン領域141, 142は、バイポーラトランジスタのコレクタ引き出し口となるN型領域と同一の工程でなくてもよい。ただし、その場合にも、N型ソース・ドレイン領域141, 142を図15の保護ダイオードのカソード領域としてのN型領域122と同一の工程で形成することができ、それによって製造プロセスの工程数増加を抑えることができる。

- [0047] 図17には、本発明を適用して好適な半導体集積回路の一例として、光ピックアップからの信号を処理するアナログフロントエンドLSIとそれを用いたDVD装置の構成例が示されている。
- [0048] アナログフロントエンドLSI200は、光ピックアップの光電変換回路から入力される信号をLSI内部の回路に適したレベルの信号に変換するレベルシフト回路などを有するインタフェース回路210を備える。また、アナログフロントエンドLSIは、ピックアップから入力される高周波の信号の包絡線を検出するなどの処理を行なうRF系回路220、記録位置(アドレス)を検出するためウォッブル(うねり)の抽出やID領域などを検出する第1検出回路230、MIRRやDefect(欠陥)などを検出する第2検出回路240を備える。さらに、アナログフロントエンドLSIは、フォーカス方向やトラッキング方向等の位置合せのためにピックアップからの信号を処理するサーボ系回路250、記録品質を検証するための信号抽出を行うOPC回路260、発光素子の出力を制御する自動パワー制御回路270、上位の制御用LSI300からの設定値を保持するレジスタ280を備える。
- [0049] 上記回路ブロックのうち例えばインタフェース回路210の前段部にはVcc電源とVdd電源で動作するレベルシフト回路が設けられている。また、RF系回路220やサーボ系回路250、自動パワー制御回路270のアンプなどには、Vcc電源で動作するバイポーラトランジスタからなるアナログ回路が使用されることがある。一方、消費電力低減等の観点からレジスタ280などはCMOS回路からなるデジタル回路で構成されるのが望ましい。かかるアナログ・デジタル混載のアナログフロントエンドLSI200は、2電源で動作するように構成すると有効な半導体集積回路であり、これに前記実施例の静電保護回路を適用すると望ましい結果が得られる。
- [0050] 光ピックアップ400は、光ディスクに対してレーザー光を照射する発光素子を駆動するLDドライバ410や発光素子の光量を一定にするために発光強度を検出するフロントモニタ検出器420を備える。また、光ピックアップ400は、光ディスクからの反射光を電気信号に変換し増幅する光電変換用IC430、フォーカス方向やトラッキング方向等の位置合せをするアクチュエータ440などを備える。
- [0051] 制御用LSI300は、アナログフロントエンドLSI200からの信号をAD変換するAD

変換回路310、プログラムに従ってサーボ制御信号の生成などの処理を行なう中央処理ユニット(CPU)320を備える。また、制御用LSI300は、データの復号、符号化(圧縮)、エラー訂正、デコード(伸長)などを行なう機能も備えている。尚、制御用LSI300及びアナログフロントエンドLSI200は一つの半導体基板上に形成されてもよく、一つのパッケージに実装されたSIP(System In Package)としたICとされてもよい。

- [0052] 以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では、VccとVddの2種類の電源系を有する半導体集積回路に適用したものを説明したが、3種類の電源系を有する半導体集積回路に適用することが可能である。

産業上の利用可能性

- [0053] 以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるバイポーラトランジスタ回路とCMOS回路が混載したいわゆるBiCMOS半導体集積回路に適用したものを説明した。本発明は、それ限定されるものでなく、CMOS回路のみからなる半導体集積回路など2以上の電源系を備えた半導体集積回路一般に利用することができる。

請求の範囲

- [1] 外部より第1電源系の電源電圧が印加される第1電源端子と、前記第1電源系の電源電圧を内部回路に供給する第1電源ラインと、外部より前記第1電源系の電源電圧よりも低いレベルの第2電源系の電源電圧が印加される第2電源端子と、前記第2電源系の電源電圧を内部回路に供給する第2電源ラインと、外部より前記第2電源系の電源電圧よりも低いレベルの基準電源電圧が印加されるグランド系の電源端子と、該グランド系の電源端子に印加された基準電源電圧を前記内部回路に供給するグランド系の電源ラインと、複数の信号端子と、を備えた半導体集積回路であって、
- 前記第2電源系は複数の第2電源端子と複数の第2電源ラインとを備え、前記複数の第2電源ライン同士は並列形態の双方向ダイオード対を含む2個の第1保護回路と該第1保護回路間を接続する中間ラインを介して接続され、
- 前記中間ラインと前記第1電源ラインとは第2保護回路を介して接続され、
- 前記中間ラインと前記グランド系の電源ラインとは第3保護回路を介して接続され、
- 前記複数の信号端子には、対応する信号端子と前記中間ラインとの間に接続された第1の保護素子と、対応する信号端子と前記グランド系の電源ラインとの間に接続された第2の保護素子とを含む第4保護回路が設けられている半導体集積回路。
- [2] 前記第2保護回路は、前記電源ラインに接続されたソースもしくはドレイン端子とゲート端子とが接続され、前記第1電源ラインにドレインもしくはソース端子が接続された絶縁ゲート型電界効果トランジスタと、該トランジスタと並列に設けられ前記第1電源系の電源電圧に向かって順方向となる2個の直列形態のダイオードとからなる請求項1に記載の半導体集積回路。
- [3] 前記第3保護回路は、前記グランド系の電源ラインに接続されたソースもしくはドレイン端子とゲート端子とが接続され、前記中間ラインにドレインもしくはソース端子が接続された第2の絶縁ゲート型電界効果トランジスタからなる請求項2に記載の半導体集積回路。
- [4] 前記絶縁ゲート型電界効果トランジスタおよび前記第2の絶縁ゲート型電界効果トランジスタは、前記ソースもしくはドレイン端子と前記ゲート端子とが抵抗を介して接続されている請求項3に記載の半導体集積回路。

- [5] 前記第4保護回路の前記第1の保護素子は前記信号端子から前記中間ラインに向かって順方向となるように接続されたダイオードであり、前記第2の保護素子は前記グランド系の電源ラインから前記信号端子に向かって順方向となるように接続されたダイオードである請求項1に記載の半導体集積回路。
- [6] 前記中間ラインはループ状に設けられている請求項1に記載の半導体集積回路。
- [7] 前記第1電源端子に印加された電源電圧により動作する第1電源系の第1内部回路と、前記第2電源端子に印加された電源電圧により動作する第2電源系の第2内部回路とを備え、前記第1内部回路と第2内部回路には前記グランド系の電源ラインから前記基準電源電圧が供給される請求項1に記載の半導体集積回路。
- [8] 前記第1内部回路はアナログ回路であり、第2内部回路はデジタル回路である請求項7に記載の半導体集積回路。
- [9] 前記第1内部回路はバイポーラトランジスタにより構成された回路であり、第2内部回路は絶縁ゲート型電界効果トランジスタにより構成された回路である請求項7に記載の半導体集積回路。
- [10] 前記半導体集積回路は光ディスク装置を構成するアナログフロントエンド用半導体集積回路であり、前記複数の信号端子のいずれかに光ピックアップから供給される信号が入力される請求項1に記載の半導体集積回路。
- [11] 外部より第1電源系の電源電圧が印加される第1電源端子と、前記第1電源系の電源電圧を内部回路に供給する第1電源ラインと、外部より前記第1電源系の電源電圧よりも低いレベルの第2電源系の電源電圧が印加される第2電源端子と、前記第2電源系の電源電圧を内部回路に供給する第2電源ラインと、外部より前記第2電源系の電源電圧よりも低いレベルの基準電源電圧が印加されるグランド系の電源端子と、該グランド系の電源端子に印加された基準電源電圧を前記内部回路に供給するグランド系の電源ラインと、複数の信号端子と、を備えた半導体集積回路であって、
前記第1電源系は複数の第1電源端子と複数の第1電源ラインとを備え、前記複数の第1電源ライン同士は並列形態の双方向ダイオード対を含む2個の第1保護回路と該第1保護回路間を接続する第1中間ラインを介して接続され、
前記第2電源系は複数の第2電源端子と複数の第2電源ラインとを備え、前記複数の

の第2電源ライン同士は並列形態の双方向ダイオード対を含む2個の第1保護回路と該第1保護回路間を接続する第2中間ラインを介して接続され、

前記グランド系は複数のグランド端子と複数のグランドラインとを備え、前記複数のグランドライン同士は並列形態の双方向ダイオード対を含む2個の第1保護回路と該第1保護回路間を接続する第3中間ラインを介して接続され、

前記第1中間ラインと前記第2中間ラインとは第2保護回路を介して接続され、

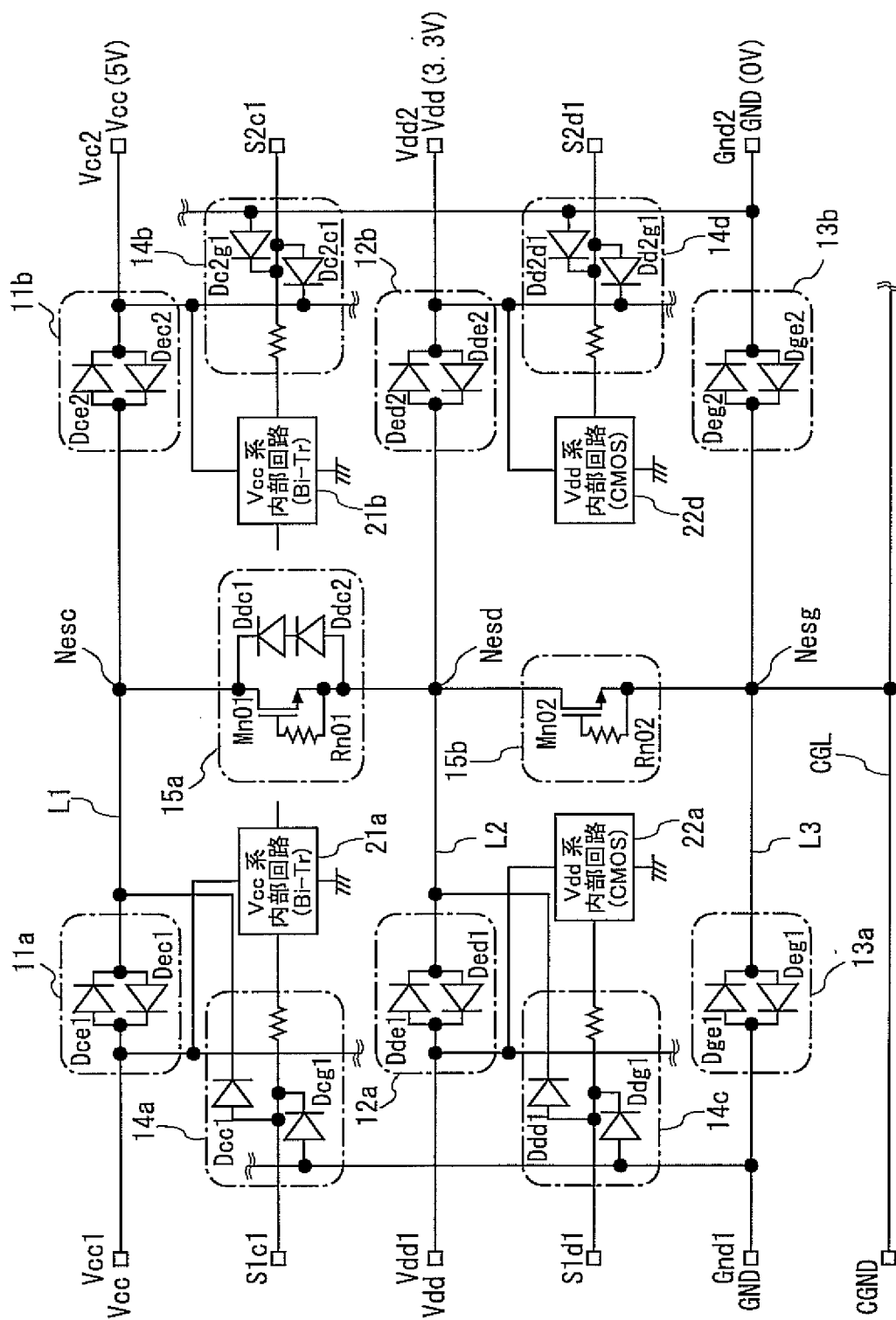
前記第2中間ラインと前記第3中間ラインとは第3保護回路を介して接続され、

前記複数の信号端子には、対応する信号端子と前記第1又は第2中間ラインとの間に接続された第1の保護素子と、対応する信号端子と前記グランドラインのいずれかとの間に接続された第2の保護素子とを含む第4保護回路が設けられている半導体集積回路。

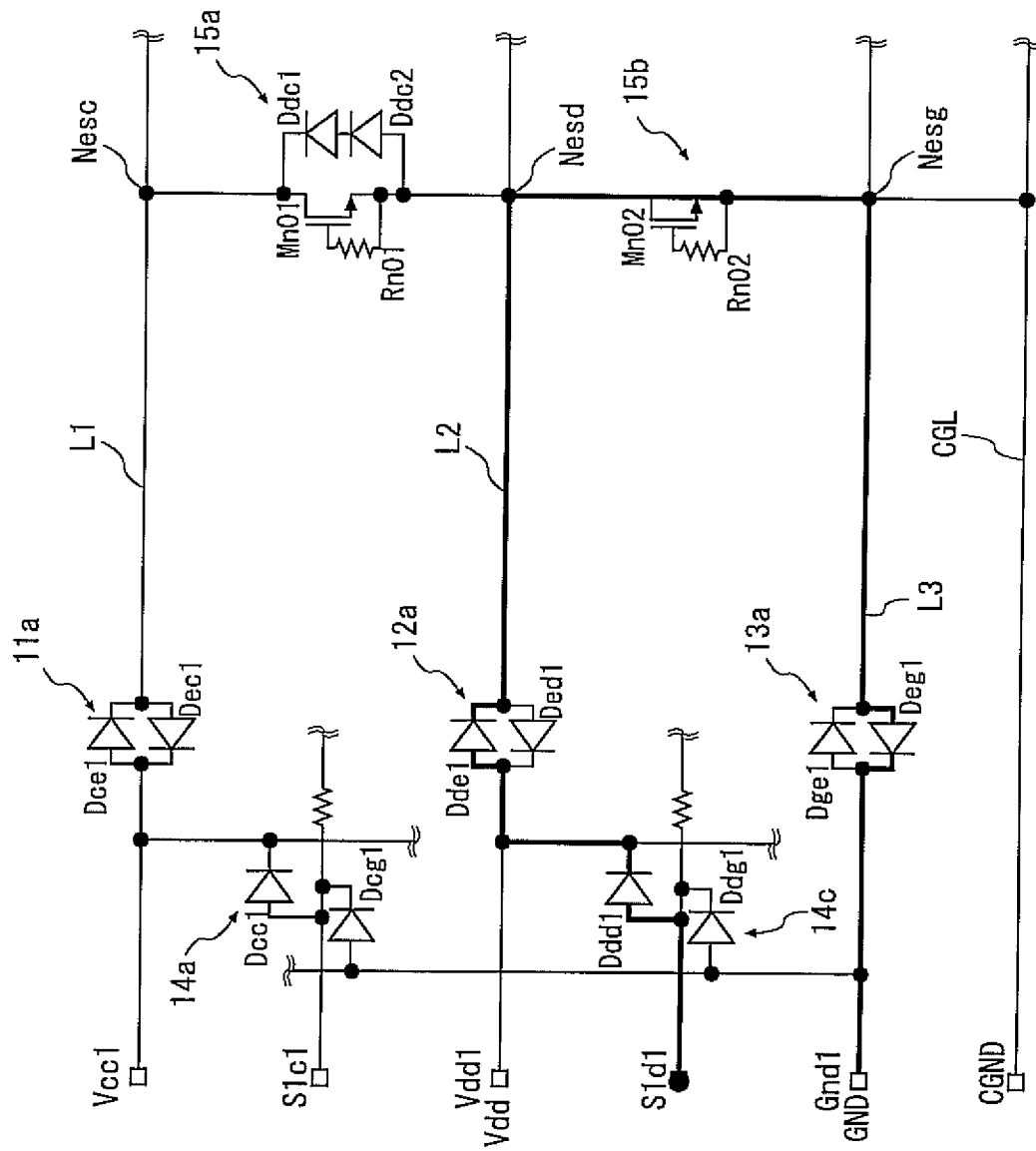
- [12] 前記第2保護回路は、前記第2中間ラインに接続されたソースもしくはドレイン端子とゲート端子とが接続され、前記第1電源ラインにドレインもしくはソース端子が接続された絶縁ゲート型電界効果トランジスタと、該トランジスタと並列に設けられ前記第1電源系の電源電圧に向かって順方向となる2個の直列形態のダイオードとからなる請求項11に記載の半導体集積回路。
- [13] 前記第3保護回路は、前記第3中間ラインに接続されたソースもしくはドレイン端子とゲート端子とが接続され、前記第2中間ラインにドレインもしくはソース端子が接続された第2の絶縁ゲート型電界効果トランジスタからなる請求項12に記載の半導体集積回路。
- [14] 前記絶縁ゲート型電界効果トランジスタおよび前記第2の絶縁ゲート型電界効果トランジスタは、前記ソースもしくはドレイン端子と前記ゲート端子とが抵抗を介して接続されている請求項13に記載の半導体集積回路。
- [15] 前記第4保護回路の前記第1の保護素子は前記信号端子から前記第1又は第2中間ラインに向かって順方向となるように接続されたダイオードであり、前記第2の保護素子は前記いずれかのグランドラインから前記信号端子に向かって順方向となるように接続されたダイオードである請求項11に記載の半導体集積回路。
- [16] 前記中間ラインはループ状に設けられている請求項11に記載の半導体集積回路

- 。
- [17] 前記第1電源端子に印加された電源電圧により動作する第1電源系の第1内部回路と、前記第2電源端子に印加された電源電圧により動作する第2電源系の第2内部回路とを備え、前記第1内部回路と第2内部回路には前記グラウンドラインから前記基準電源電圧が供給され、前記第1内部回路に信号を供給する前記信号端子の前記第1の保護素子は前記信号端子から前記第1電源ラインに向かって順方向となるように接続されたダイオードであり、前記第2の保護素子は前記いずれかのグラウンドラインから前記信号端子に向かって順方向となるように接続されたダイオードであり、前記第2内部回路に信号を供給する前記信号端子の前記第1の保護素子は前記信号端子から前記第2電源ラインに向かって順方向となるように接続されたダイオードであり、前記第2の保護素子は前記いずれかのグラウンドラインから前記信号端子に向かって順方向となるように接続されたダイオードである請求項11に記載の半導体集積回路。
- [18] 前記第1内部回路はアナログ回路であり、第2内部回路はデジタル回路である請求項17に記載の半導体集積回路。
- [19] 前記第1内部回路はバイポーラトランジスタにより構成された回路であり、第2内部回路は絶縁ゲート型電界効果トランジスタにより構成された回路である請求項17に記載の半導体集積回路。
- [20] 前記半導体集積回路は光ディスク装置を構成するアナログフロントエンド用半導体集積回路であり、前記複数の信号端子のいずれかに光ピックアップから供給される信号が入力される請求項11に記載の半導体集積回路。
- [21] 更に外部から信号が入力される信号ピンを有し、前記信号ピンと前記第1電源ライン又は第2電源ラインとの間に接続された第3の保護素子と、前記信号ピンと前記グラウンドラインのいずれかとの間に接続された第4の保護素子とを含む第4保護回路が設けられている請求項11に記載の半導体集積回路。

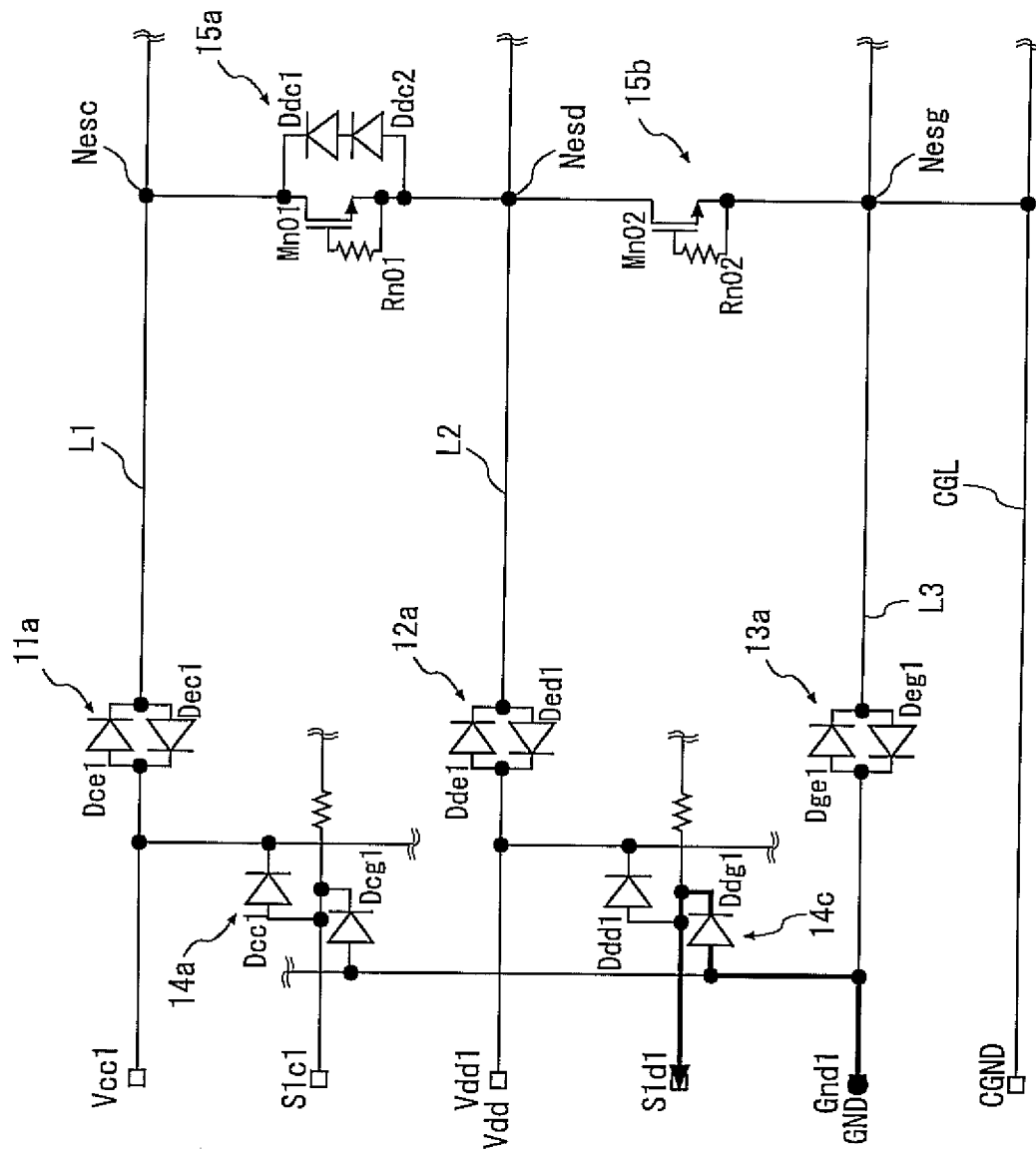
[図1]



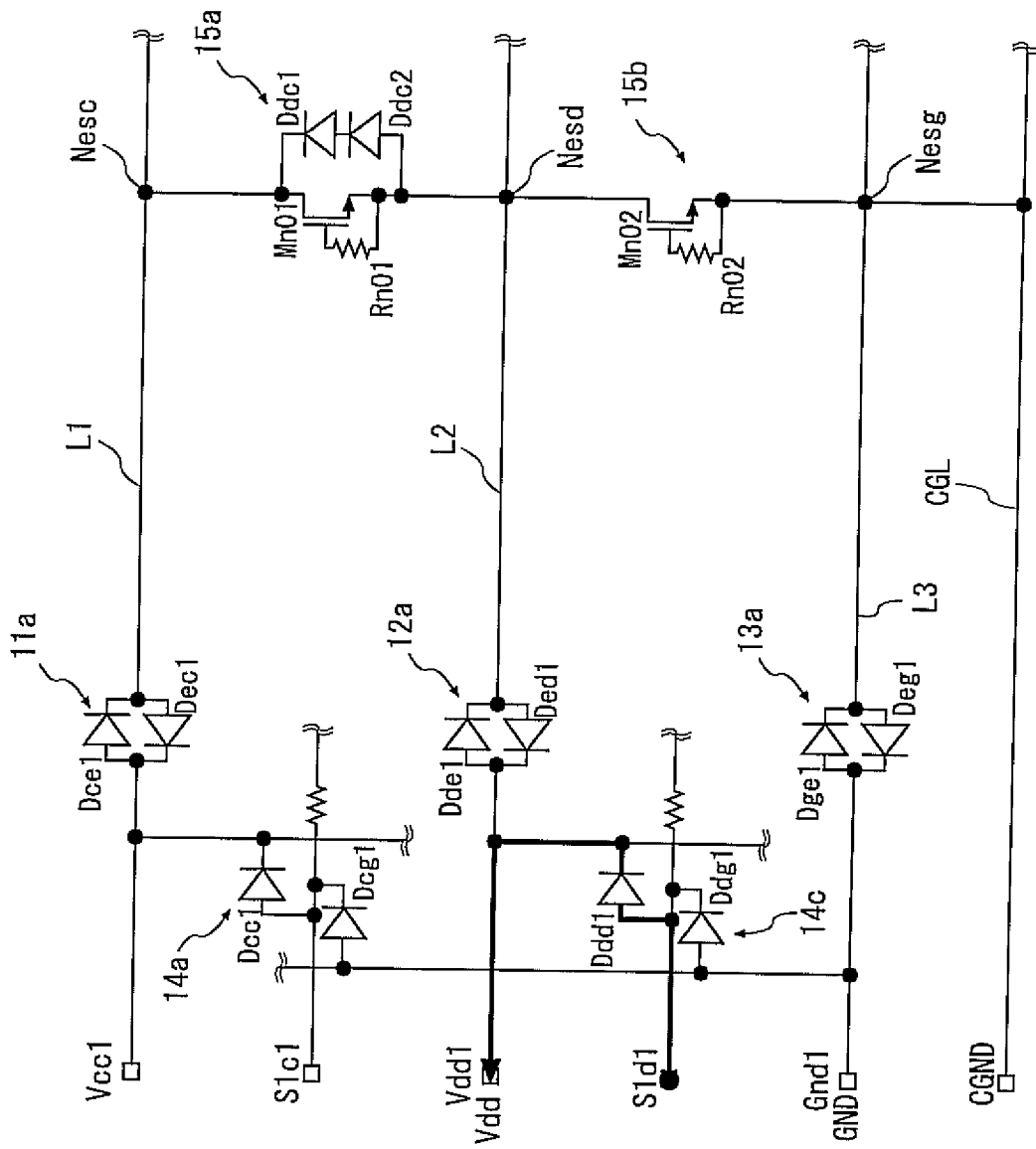
[図2]



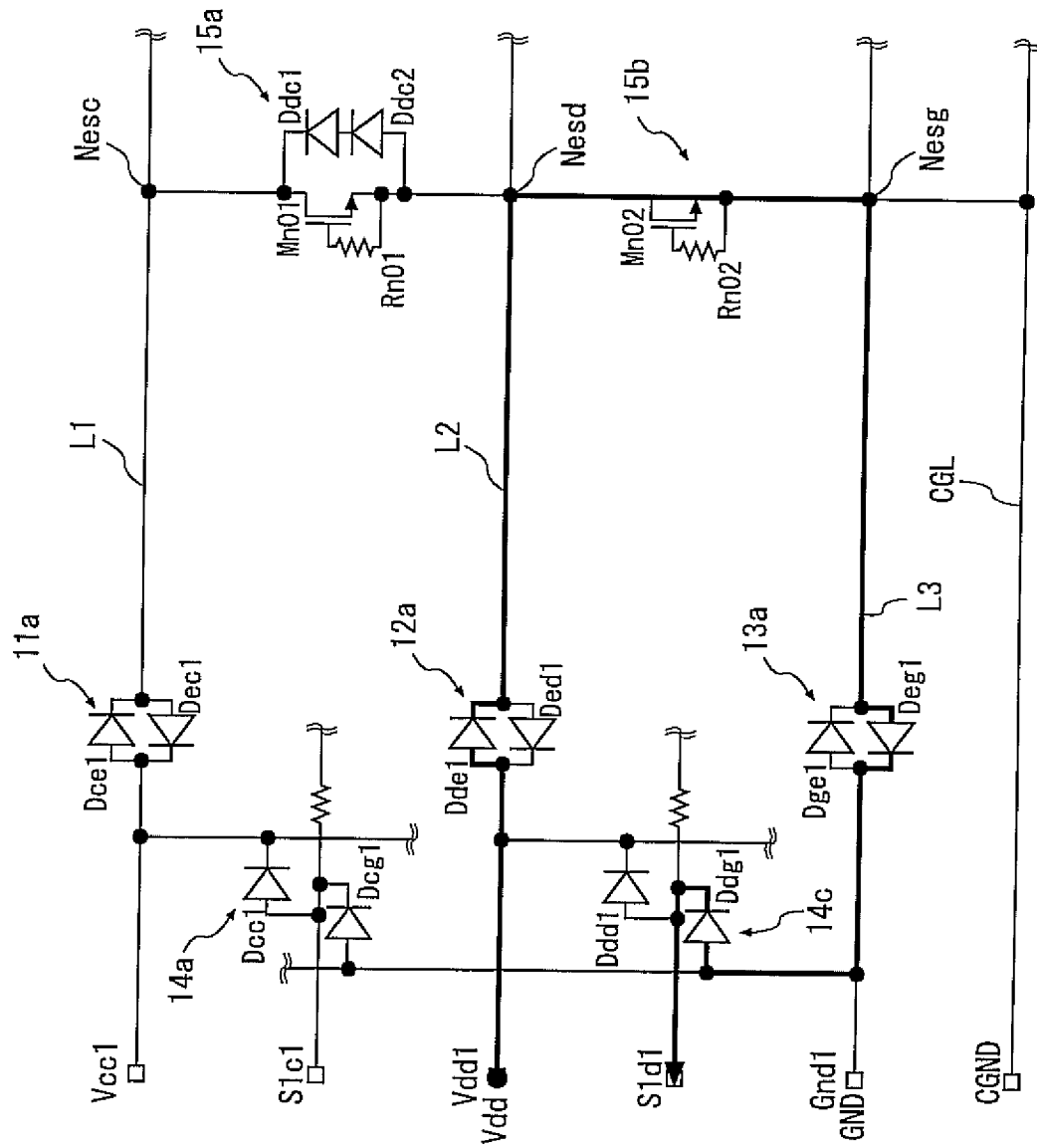
[図3]



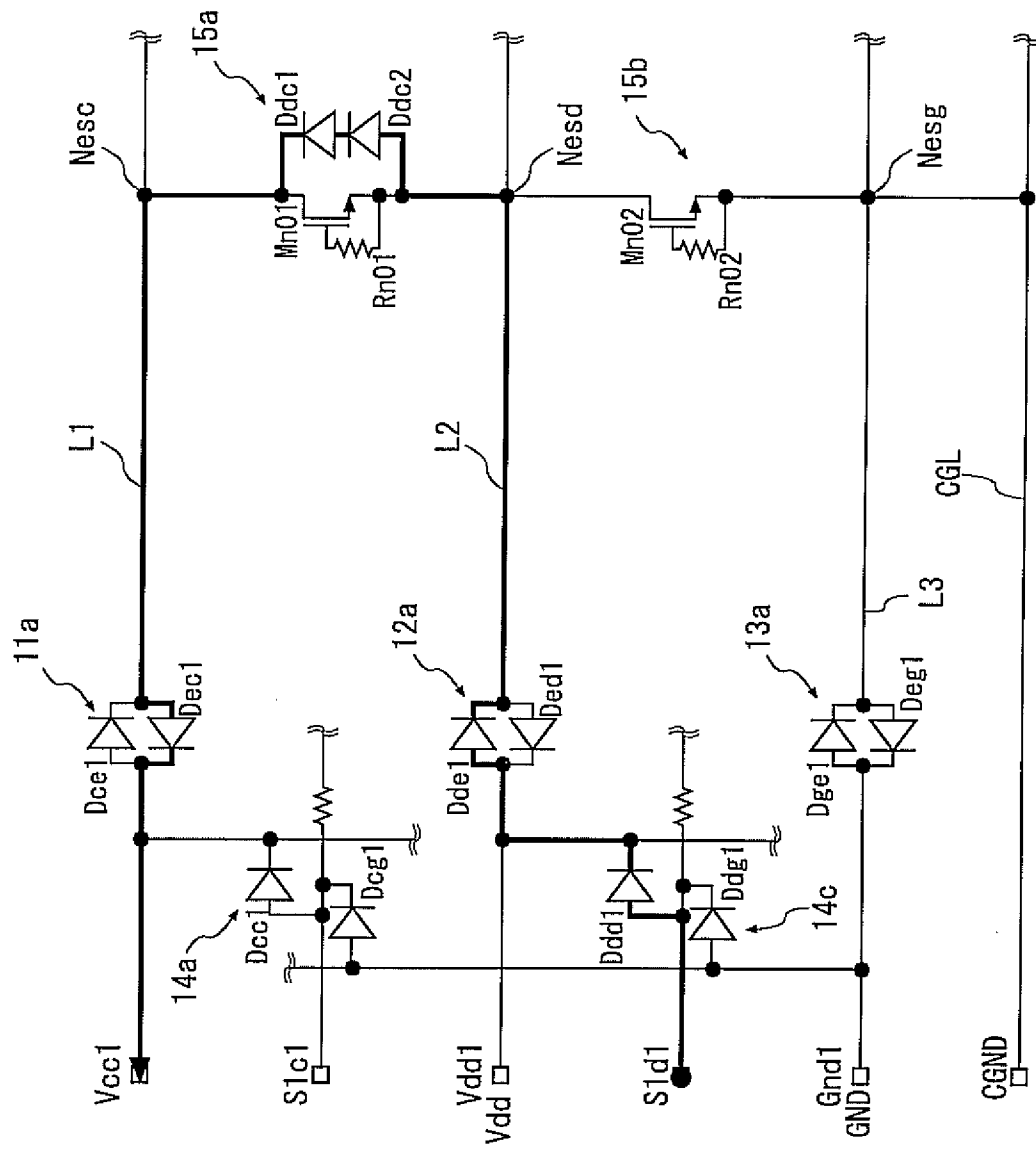
[図4]



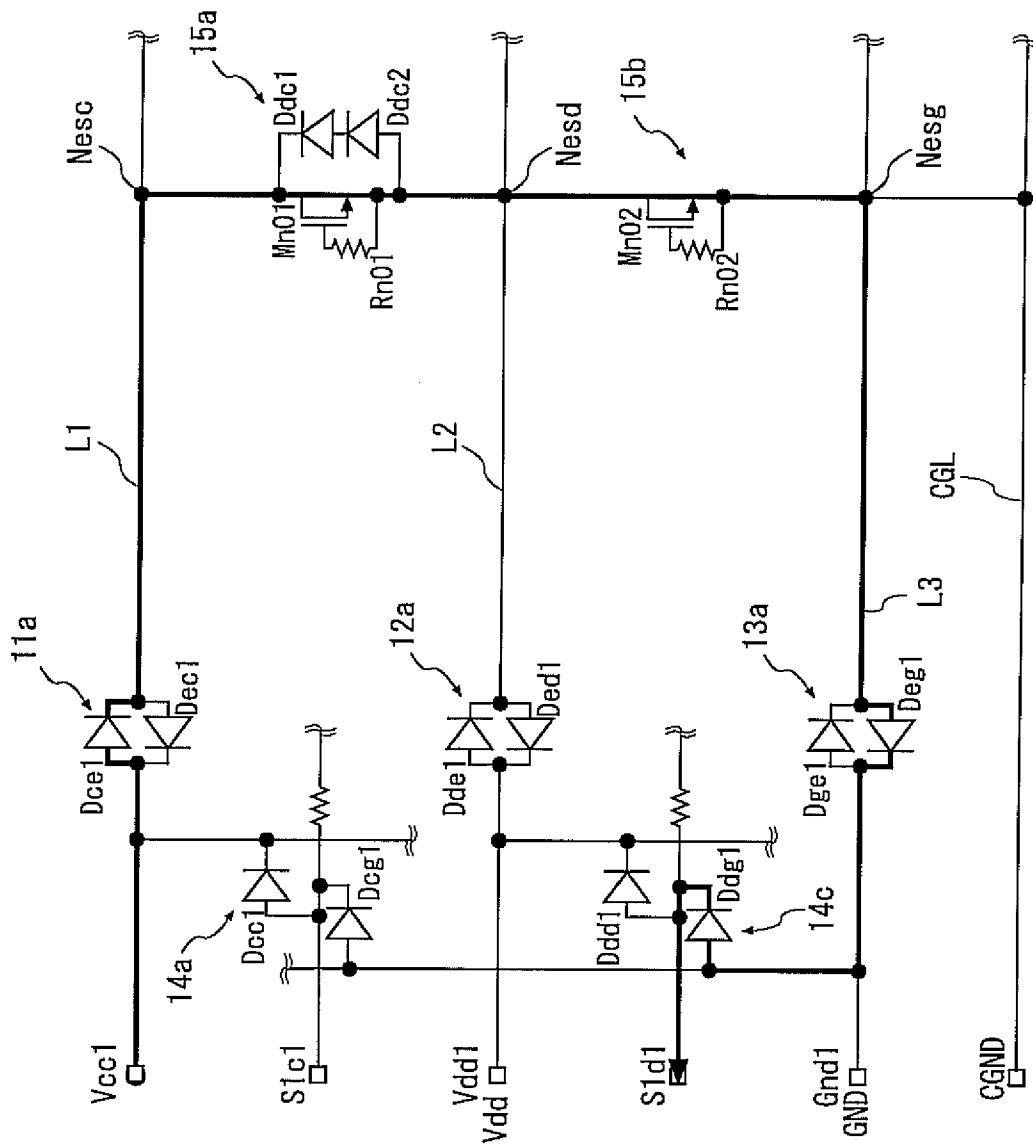
[図5]



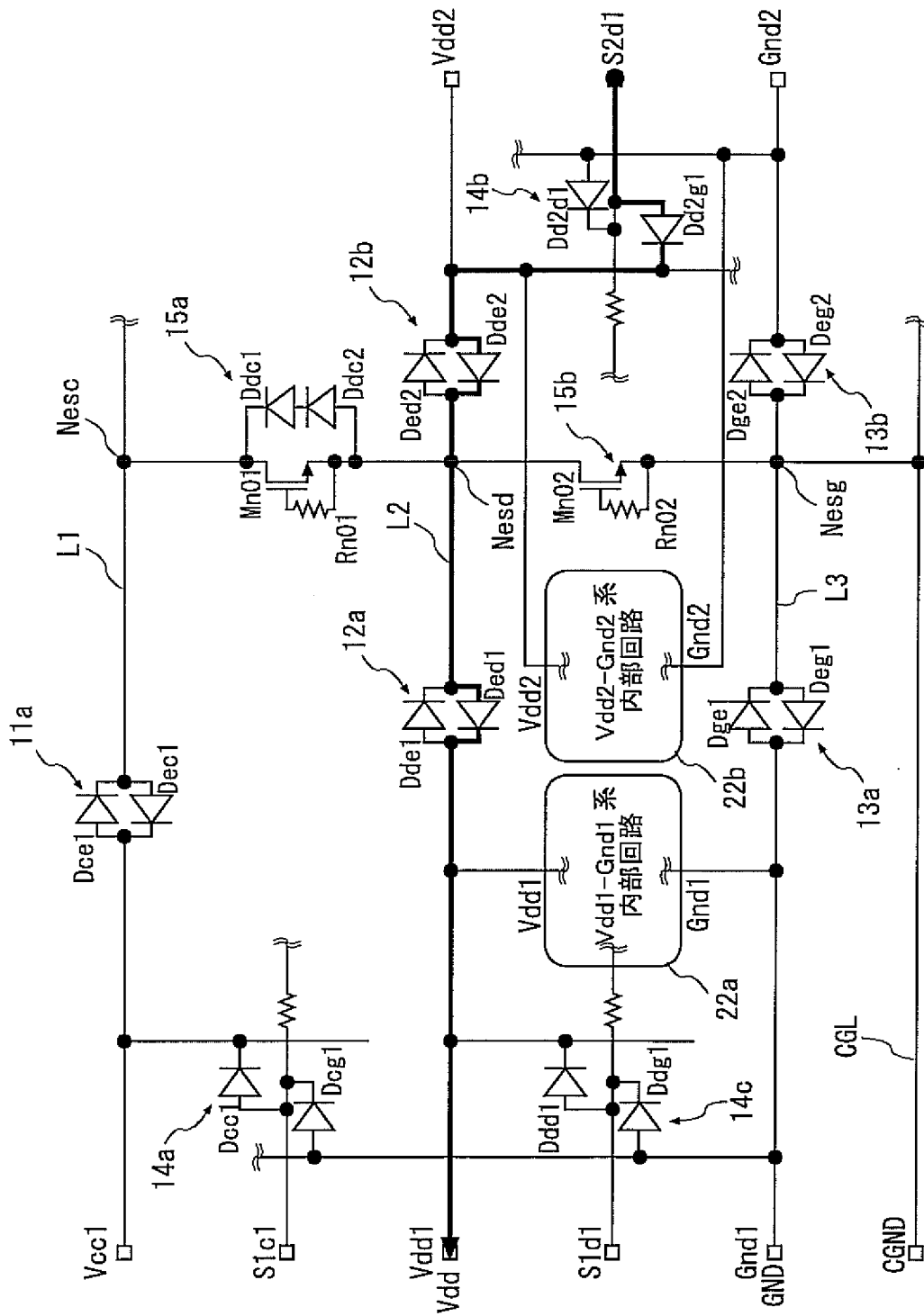
[図6]



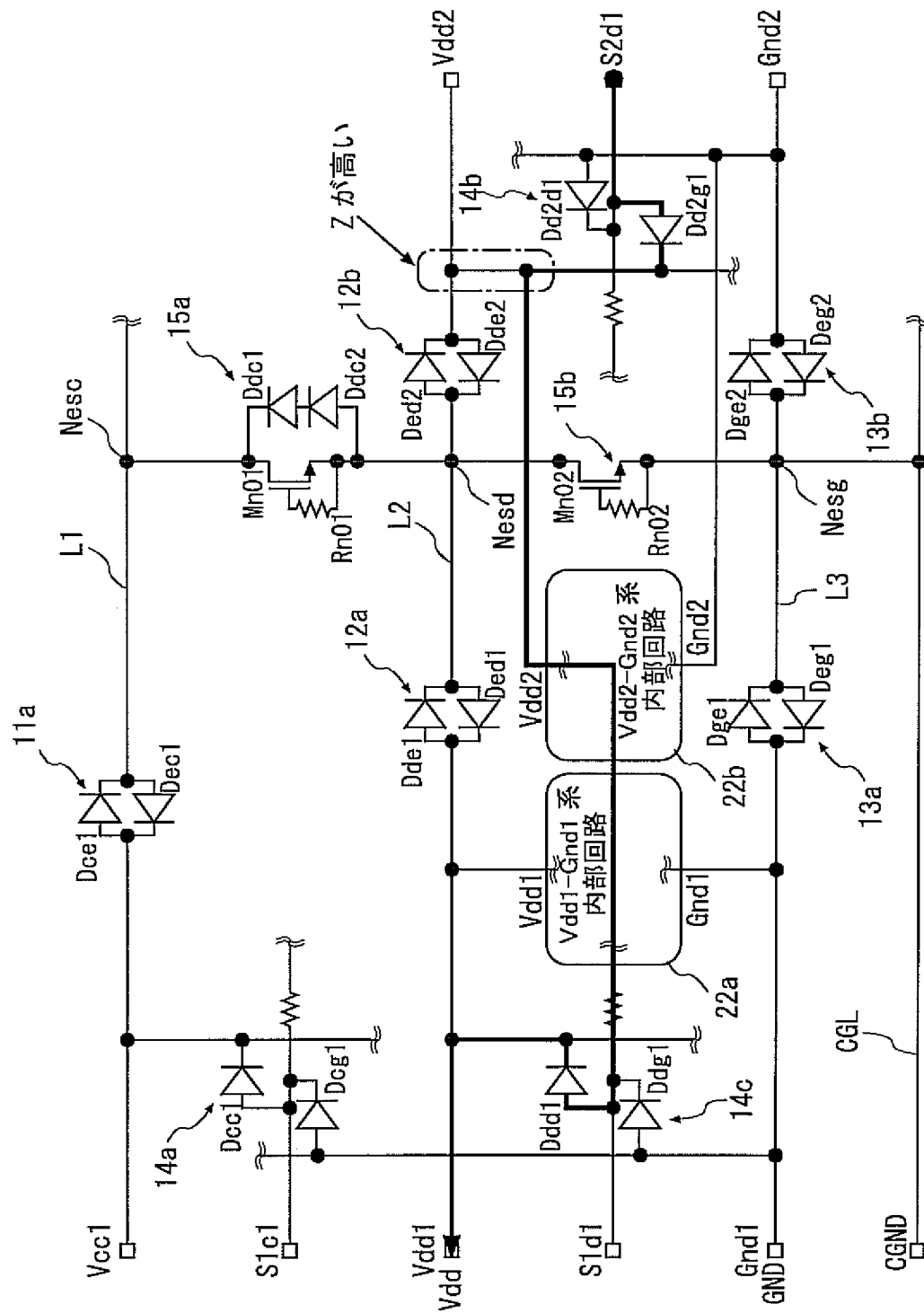
[図7]



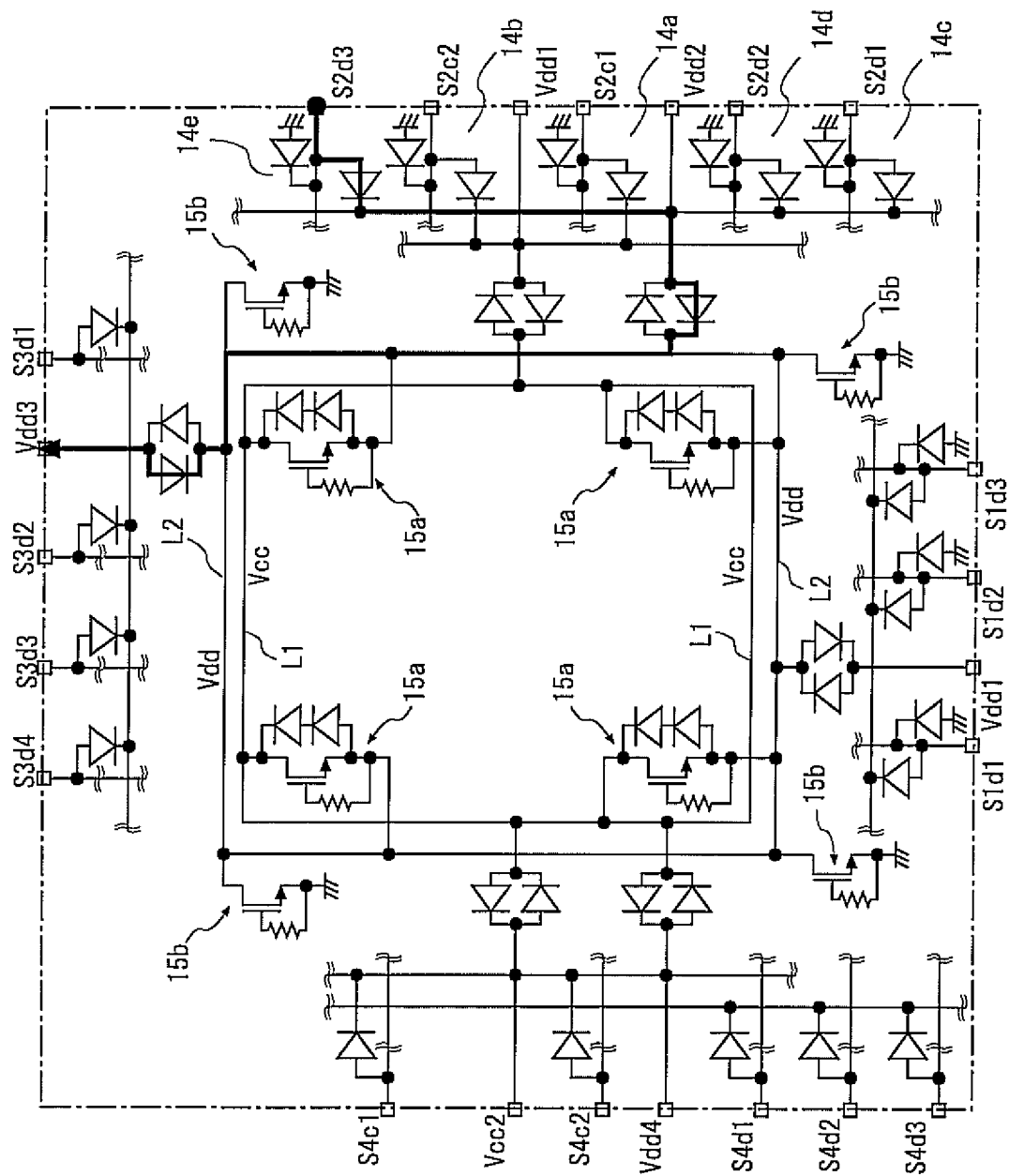
[図8]



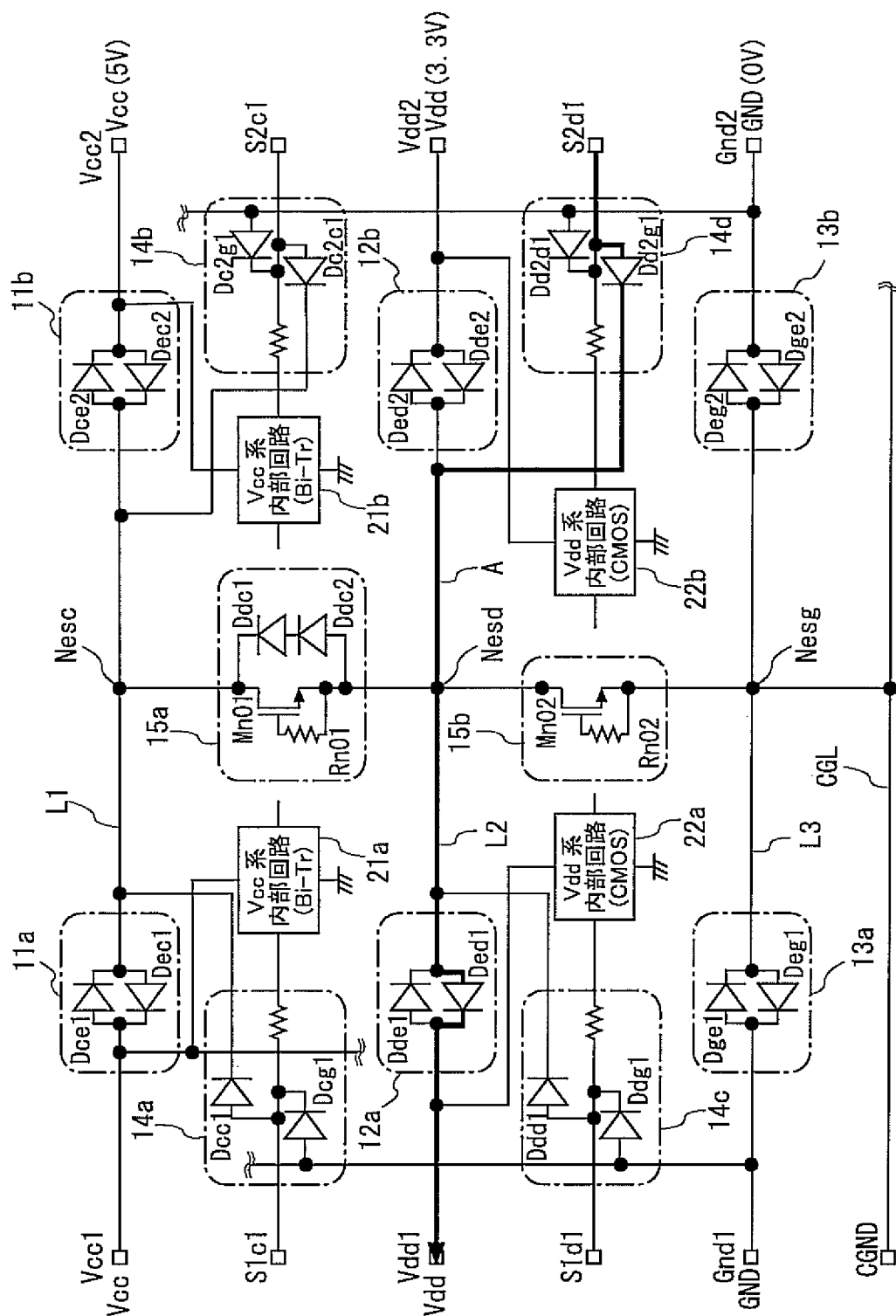
[図9]



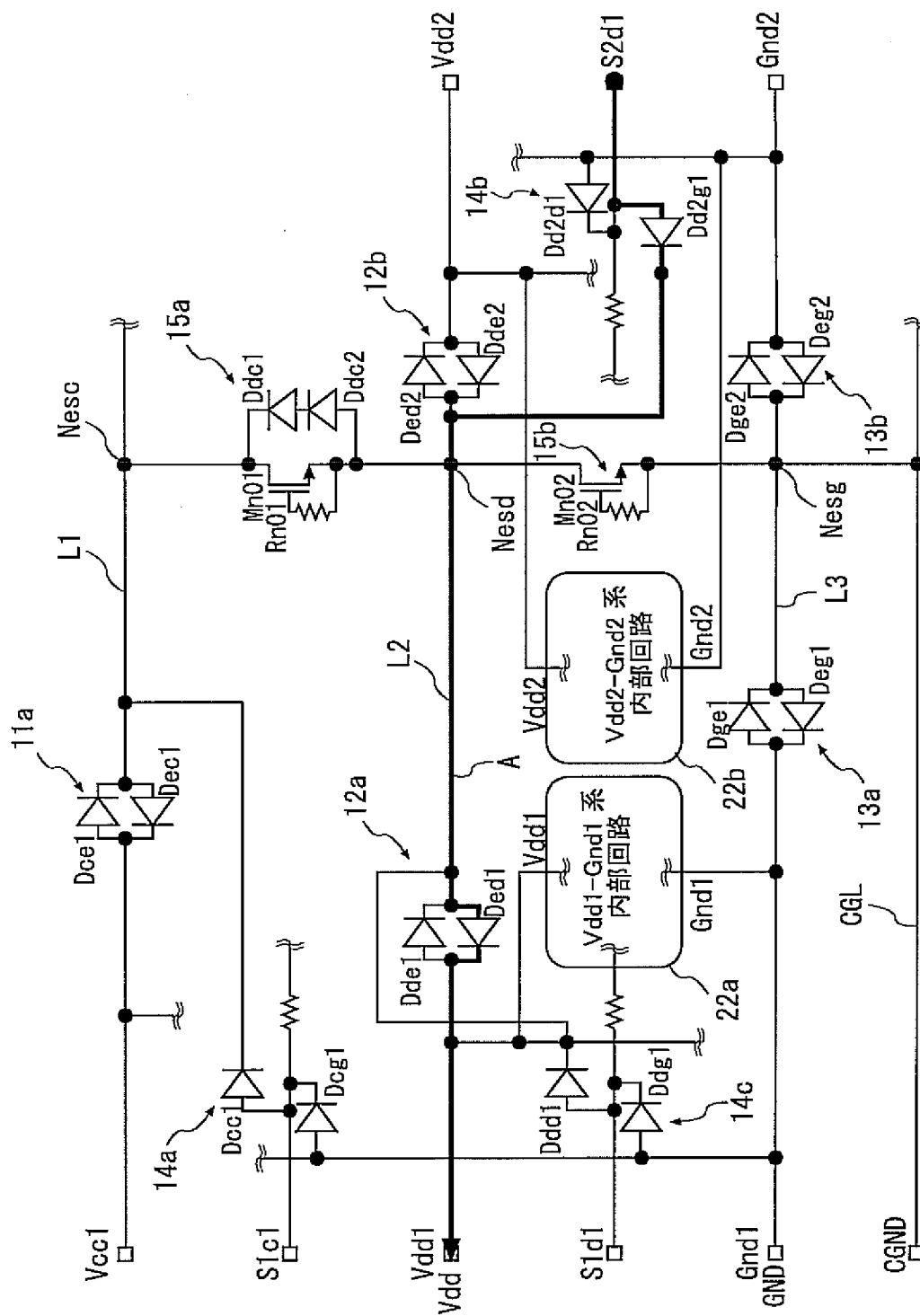
[図10]



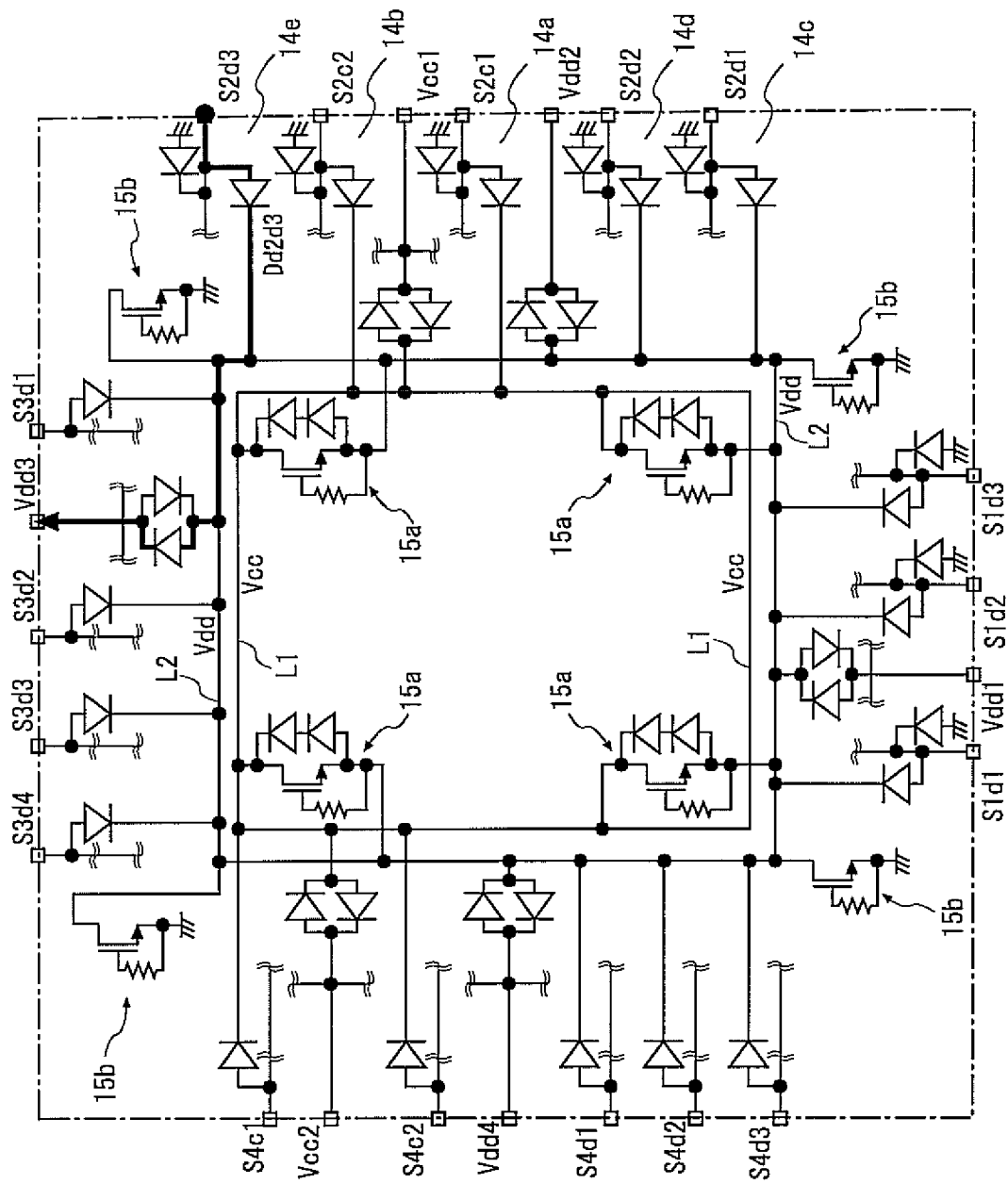
[図11]



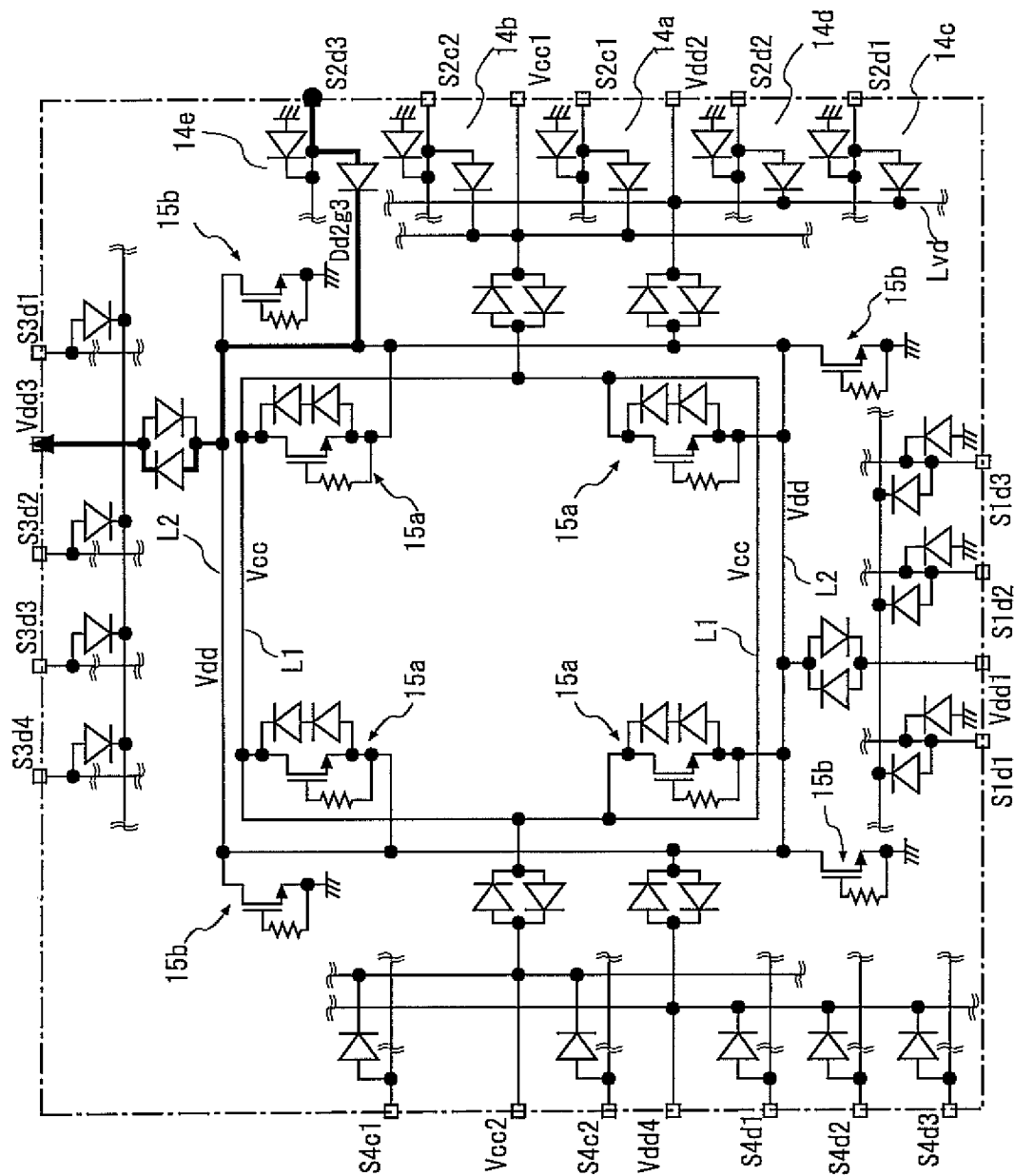
[図12]



[図13]



[図14]



110 Epi

121

122

120

112

N-WELL

P-WELL

P-iSo

NBL

N-iSo

P-Sub

113

100

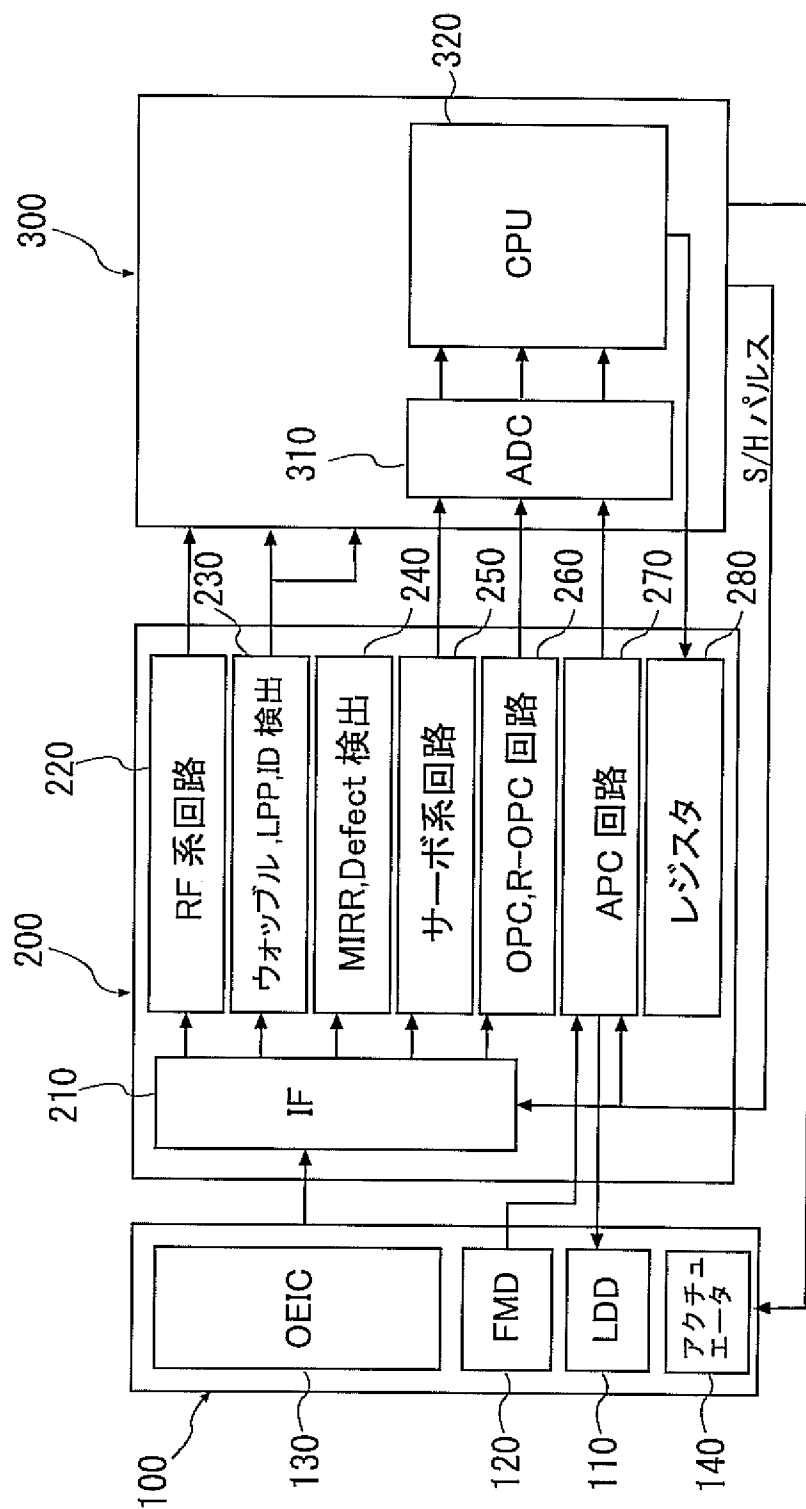
111

p⁺

N⁺ (ESD)

Fig. 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 110 with an epitaxial layer Epi. The device structure includes two N⁺ (ESD) regions 141 and 142, a central region 130, and a series of N⁺ and N⁻ regions 151, 150, and 152.

[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/013707

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822 (2006.01), **H01L27/04** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822 (2006.01), **H01L27/04** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 08-148650 A (NEC Corp.), 07 June, 1996 (07.06.96), Par. Nos. [0007] to [0024]; Fig. 1 & US 5693973 A	1-21
Y	JP 06-177330 A (Sharp Corp.), 24 June, 1994 (24.06.94), Par. Nos. [0014] to [0046]; Fig. 18 (Family: none)	1-5, 7-15, 17-21
Y	JP 09-191102 A (Sony Corp.), 22 July, 1997 (22.07.97), Par. Nos. [0016] to [0046]; Figs. 2, 4 (Family: none)	1-5, 7-15, 17-21

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 November, 2005 (18.11.05)

Date of mailing of the international search report
29 November, 2005 (29.11.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/013707

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-298157 A (NEC Corp.), 26 October, 2001 (26.10.01), Par. Nos. [0012] to [0027]; Figs. 2 to 4 (Family: none)	1-21
Y	JP 01-239877 A (Sharp Corp.), 25 September, 1989 (25.09.89), Page 1, lower right column, lines 4 to 14; Fig. 5 (Family: none)	1-21
Y	JP 01-196156 A (NEC Corp.), 07 August, 1989 (07.08.89), Page 1, lower right column, line 11 to page 2, lower left column, line 5; Fig. 1 (Family: none)	1-21
Y	JP 2005-045100 A (Matsushita Electric Industrial Co., Ltd.), 17 February, 2005 (17.02.05), Par. Nos. [0065] to [0074]; Fig. 2 (Family: none)	4, 14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. **H01L21/822** (2006.01), **H01L27/04** (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. **H01L21/822** (2006.01), **H01L27/04** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 08-148650 A (日本電気株式会社), 1996.06.07, 段落番号【0007】-【0024】, 図1 & US 5693973 A	1-21
Y	J P 06-177330 A (シャープ株式会社), 1994.06.24, 段落番号【0014】-【0046】, 図18 (ファミリーなし)	1-5, 7-15, 17-21

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

18.11.2005

国際調査報告の発送日

29.11.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也

電話番号 03-3581-1101 内線 3498

4 L

9361

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 09-191102 A (ソニー株式会社), 1997. 07. 22, 段落番号【0016】-【0046】, 図2, 図4 (ファミリーなし)	1-5, 7-15, 17- 21
Y	J P 2001-298157 A (日本電気株式会社), 2001. 10. 26, 段落番号【0012】-【0027】, 図2-4 (ファミリーなし)	1-21
Y	J P 01-239877 A (シャープ株式会社), 1989. 09. 25, 第1頁右下欄第4行乃至第14行, 図5 (ファミリーなし)	1-21
Y	J P 01-196156 A (日本電気株式会社), 1989. 08. 07, 第1頁右下欄第11行乃至第2頁左下欄第 5行, 第1図 (ファミリーなし)	1-21
Y	J P 2005-045100 A (松下電器産業株式会社), 2005. 02. 17, 段落番号【0065】-【0074】, 図2 (ファミリーなし)	4, 14