(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0130628
(43) 공개일자 2023년09월12일

(51) 국제특허분류(Int. Cl.)
H01L 23/498 (2006.01) *H01L 21/48* (2006.01)
H05K 1/02 (2006.01) *H05K 1/11* (2006.01)
H05K 3/46 (2006.01)
(52) CPC특허분류
H01L 23/49822 (2013.01)
H01L 21/4857 (2013.01)
(21) 출원번호 10-2023-7022450
(22) 출원일자(국제) 2021년12월10일
심사청구일자 없음
(85) 번역문제출일자 2023년07월03일
(86) 국제출원번호 PCT/US2021/062859
(87) 국제공개번호 WO 2022/154914
국제공개일자 2022년07월21일
(30) 우선권주장
17/148,257 2021년01월13일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
파틸, 아니켓
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브5775
부트, 조안 레이 빌라바
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브5775
위, 홍복
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브5775
(74) 대리인
특허법인 남앤남

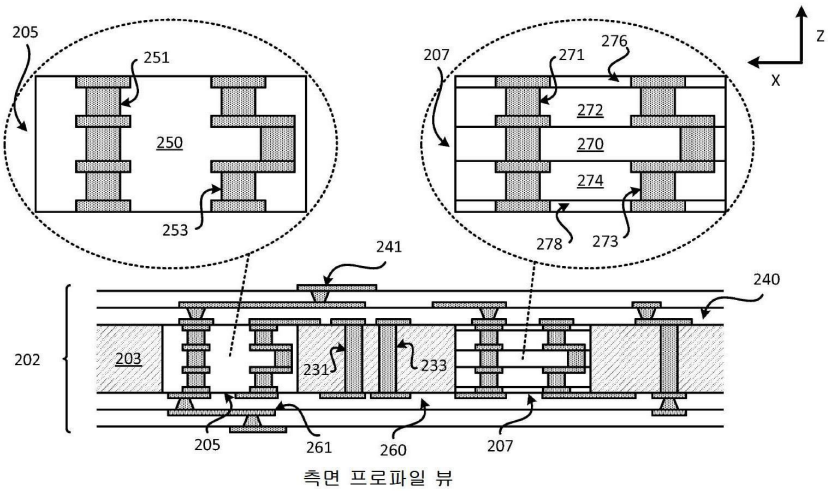
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 **스큐 매칭을 위해 구성된 코어 층 내 상호연결부들을포함하는 기판**

(57) 요 약

패키지는 통합 디바이스 및 기판을 포함한다. 통합 디바이스는 기판에 결합된다. 기판은 코어 층, 코어 층의 제1 표면에 결합된 적어도 하나의 제1 유전체 층 및 코어 층의 제2 표면에 결합된 적어도 하나의 제2 유전체 층을 포함한다. 기판은 코어 층 내에 위치되는 매치 구조물을 포함한다. 매치 구조물은, 매치 구조물에서 수직 및 수평으로 연장되는 적어도 하나의 제1 매치 상호연결부를 포함한다. 매치 구조물은 또한 매치 구조물에서 수직으로 연장되는 적어도 하나의 제2 매치 상호연결부를 포함한다. 적어도 하나의 제1 매치 상호연결부 및 적어도 하나의 제2 매치 상호연결부는 스큐 매칭을 위해 구성된다.

대 표 도



측면 프로파일 뷰

(52) CPC특허분류
H01L 23/49827 (2013.01)
H01L 23/49833 (2013.01)
H05K 1/0248 (2013.01)
H05K 1/115 (2013.01)
H05K 3/4602 (2013.01)
H05K 3/4694 (2013.01)

명 세 서

청구범위

청구항 1

기판으로서,

코어 층;

상기 코어 층 내에 위치된 매치 구조물(match structure);

상기 코어 층의 제1 표면에 결합된 적어도 하나의 제1 유전체 층; 및

상기 코어 층의 제2 표면에 결합된 적어도 하나의 제2 유전체 층

을 포함하고,

상기 매치 구조물은,

상기 매치 구조물에서 수직 및 수평으로 연장되는 적어도 하나의 제1 매치 상호연결부(match interconnect); 및

상기 매치 구조물에서 수직으로 연장되는 적어도 하나의 제2 매치 상호연결부를 포함하고,

상기 적어도 하나의 제1 매치 상호연결부 및 상기 적어도 하나의 제2 매치 상호연결부는 스큐 매칭(skew matching)을 위해 구성되는, 기판.

청구항 2

제1 항에 있어서,

상기 매치 구조물은 적어도 하나의 구조물 유전체 층을 더 포함하는, 기판.

청구항 3

제1 항에 있어서,

상기 매치 구조물은,

구조물 코어 층; 및

적어도 하나의 구조물 유전체 층

을 더 포함하는, 기판.

청구항 4

제1 항에 있어서,

상기 적어도 하나의 제1 매치 상호연결부는 포지티브 신호에 대한 전기 경로를 제공하도록 구성되고; 그리고

상기 적어도 하나의 제2 매치 상호연결부는 네거티브 신호에 대한 전기 경로를 제공하도록 구성되는, 기판.

청구항 5

제4 항에 있어서,

상기 포지티브 신호 및 상기 네거티브 신호는 한 쌍의 차동 신호들로서 구성되는, 기판.

청구항 6

제1 항에 있어서,

상기 적어도 하나의 제1 매치 상호연결부 및 상기 적어도 하나의 제2 매치 상호연결부는 차동 쌍의 매치 상호연결부들로서 구성되는, 기판.

청구항 7

제1 항에 있어서,

상기 적어도 하나의 제2 매치 상호연결부는 적어도 하나의 턴(turn)의 상호연결부들을 포함하는, 기판.

청구항 8

제1 항에 있어서,

상기 적어도 하나의 제1 매치 상호연결부를 포함하는 두 개의 제1 단자들 사이의 제1 전기 경로 거리는 상기 적어도 하나의 제2 매치 상호연결부를 포함하는 두 개의 제2 단자들 사이의 제2 전기 경로 거리와 대략 동일한, 기판.

청구항 9

제1 항에 있어서,

상기 적어도 하나의 제1 매치 상호연결부는 상기 매치 구조물의 구조물 유전체 층에서 수직 및 수평으로 연장되고; 그리고

상기 적어도 하나의 제2 매치 상호연결부는 상기 매치 구조물의 구조물 유전체 층에서 수직으로 연장되는, 기판.

청구항 10

제1 항에 있어서,

상기 기판은 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 정보 단말기(personal digital assistant), 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, IoT(internet of things) 디바이스, 및 자동차 내 디바이스로 구성된 그룹으로부터 선택된 디바이스에 통합되는, 기판.

청구항 11

패키지로서,

통합 디바이스; 및

상기 통합 디바이스에 결합된 기판

을 포함하고,

상기 기판은,

코어 층;

상기 코어 층 내에 위치된 매치 구조물;

상기 코어 층의 제1 표면에 결합된 적어도 하나의 제1 유전체 층; 및

상기 코어 층의 제2 표면에 결합된 적어도 하나의 제2 유전체 층

을 포함하고,

상기 매치 구조물은,

상기 매치 구조물에서 수직 및 수평으로 연장되는 적어도 하나의 제1 매치 상호연결부; 및

상기 매치 구조물에서 수직으로 연장되는 적어도 하나의 제2 매치 상호연결부

를 포함하고, 상기 적어도 하나의 제1 매치 상호연결부 및 상기 적어도 하나의 제2 매치 상호연결부는 스큐 매칭을 위해 구성되는, 패키지.

청구항 12

제11 항에 있어서,

상기 매치 구조물은 적어도 하나의 구조물 유전체 층을 더 포함하는, 패키지.

청구항 13

제11 항에 있어서,

상기 매치 구조물은,

구조물 코어 층; 및

적어도 하나의 구조물 유전체 층

을 더 포함하는, 패키지.

청구항 14

제11 항에 있어서,

상기 적어도 하나의 제1 매치 상호연결부는 포지티브 신호에 대한 전기 경로를 제공하도록 구성되고; 그리고

상기 적어도 하나의 제2 매치 상호연결부는 네거티브 신호에 대한 전기 경로를 제공하도록 구성되는, 패키지.

청구항 15

제14 항에 있어서,

상기 포지티브 신호 및 상기 네거티브 신호는 한 쌍의 차동 신호들로서 구성되는, 패키지.

청구항 16

제11 항에 있어서,

상기 적어도 하나의 제1 매치 상호연결부 및 상기 적어도 하나의 제2 매치 상호연결부는 차동 쌍의 상호연결부들로서 구성되는, 패키지.

청구항 17

제11 항에 있어서,

상기 적어도 하나의 제1 매치 상호연결부를 포함하는 두 개의 제1 단자들 사이의 제1 전기 경로 거리는 상기 적어도 하나의 제2 매치 상호연결부를 포함하는 두 개의 제2 단자들 사이의 제2 전기 경로 거리와 대략 동일한, 패키지.

청구항 18

장치로서,

코어 층;

상기 코어 층 내에 위치된 스큐 매칭을 위한 수단;

상기 코어 층의 제1 표면에 결합된 적어도 하나의 제1 유전체 층; 및

상기 코어 층의 제2 표면에 결합된 적어도 하나의 제2 유전체 층

을 포함하고,

상기 스큐 매칭을 위한 수단은,

상기 스큐 매칭을 위한 수단에서 수직 및 수평으로 연장되는 적어도 하나의 제1 매치 상호연결부; 및

상기 스큐 매칭을 위한 수단에서 수직으로 연장되는 적어도 하나의 제2 매치 상호연결부

를 포함하고, 상기 적어도 하나의 제1 매치 상호연결부 및 상기 적어도 하나의 제2 매치 상호연결부는 제1 신호 및 제2 신호에 대한 시간 신호 매칭을 제공하도록 구성되는, 장치.

청구항 19

제18 항에 있어서,

상기 적어도 하나의 제1 매치 상호연결부는 포지티브 신호에 대한 전기 경로를 제공하도록 구성되고; 그리고

상기 적어도 하나의 제2 매치 상호연결부는 네거티브 신호에 대한 전기 경로를 제공하도록 구성되는, 장치.

청구항 20

제18 항에 있어서,

상기 적어도 하나의 제1 매치 상호연결부를 포함하는 두 개의 제1 단자들 사이의 제1 전기 경로 거리는 상기 적어도 하나의 제2 매치 상호연결부를 포함하는 두 개의 제2 단자들 사이의 제2 전기 경로 거리와 대략 동일한, 장치.

청구항 21

기판을 제조하기 위한 방법으로서,

적어도 하나의 캐비티를 갖는 코어 층을 제공하는 단계;

상기 코어 층의 적어도 하나의 캐비티에 매치 구조물을 배치하는 단계;

상기 코어 층의 제1 표면 위에 적어도 하나의 제1 유전체 층을 형성하는 단계; 및

상기 코어 층의 제2 표면 위에 적어도 하나의 제2 유전체 층을 형성하는 단계

를 포함하고,

상기 매치 구조물은,

상기 매치 구조물에서 수직 및 수평으로 연장되는 적어도 하나의 제1 매치 상호연결부; 및

상기 매치 구조물에서 수직으로 연장되는 적어도 하나의 제2 매치 상호연결부

를 포함하고, 상기 적어도 하나의 제1 매치 상호연결부 및 상기 적어도 하나의 제2 매치 상호연결부는 스큐 매칭을 위해 구성되는, 기판을 제조하기 위한 방법.

청구항 22

제21 항에 있어서,

상기 매치 구조물은,

구조물 코어 층; 및

적어도 하나의 구조물 유전체 층

을 더 포함하는, 기판을 제조하기 위한 방법.

청구항 23

제21 항에 있어서,

상기 적어도 하나의 제1 매치 상호연결부는 포지티브 신호에 대한 전기 경로를 제공하도록 구성되고; 그리고

상기 적어도 하나의 제2 매치 상호연결부는 네거티브 신호에 대한 전기 경로를 제공하도록 구성되는, 기판을 제조하기 위한 방법.

청구항 24

제21 항에 있어서,

상기 적어도 하나의 제1 매치 상호연결부를 포함하는 두 개의 제1 단자들 사이의 제1 전기 경로 거리는 상기 적어도 하나의 제2 매치 상호연결부를 포함하는 두 개의 제2 단자들 사이의 제2 전기 경로 거리와 대략 동일한,

기판을 제조하기 위한 방법.

발명의 설명

기 술 분 야

[0001] [0001] 본 출원은 2021년 1월 13일자로 미국 특허청에 출원된 정규 출원 제17/148,257호에 대한 우선권 및 이익을 주장하며, 이 정규 출원의 전체 내용들은 아래에 완전히 명시된 것처럼 전체적으로 그리고 모든 적용가능한 목적들을 위해 인용에 의해 본원에 포함된다.

[0002] [0002] 다양한 특징들은 패키지들 및 기판들과 관련되지만, 보다 구체적으로는 상호연결부들을 포함하는 기판들과 관련된다.

배 경 기 술

[0003] [0003] 도 1은 기판(102), 통합 디바이스(106) 및 통합 디바이스(108)를 포함하는 패키지(100)를 예시한다. 통합 디바이스(106)는 기판(102)의 표면에 결합된다. 통합 디바이스(108)는 기판(102)의 표면에 결합된다. 기판(102)은 적어도 하나의 유전체 층(120) 및 복수의 상호연결부(interconnect)들(122)을 포함한다. 복수의 솔더 상호연결부들(130)이 기판(102)에 결합된다. 기판(102) 내 상호연결부들은 많은 공간을 차지할 수 있으며, 기판(102) 내 상호연결부들의 설계를 개선하고 최적화해야 할 필요성이 지속적으로 존재한다.

발명의 내용

[0004] [0004] 다양한 특징들은 패키지들 및 기판들과 관련되지만, 보다 구체적으로는 상호연결부들을 포함하는 기판들과 관련된다.

[0005] [0005] 일 예는 코어 층, 코어 층의 제1 표면에 결합된 적어도 하나의 제1 유전체 층 및 코어 층의 제2 표면에 결합된 적어도 하나의 제2 유전체 층을 포함하는 기판을 제공한다. 기판은 코어 층에 위치한 매치 구조물(match structure)을 포함한다. 매치 구조물은 코어 층에서 수직 및 수평으로 연장되는 적어도 하나의 제1 매치 상호연결부를 포함한다. 매치 구조물은 또한 매치 구조물에서 수직으로 연장되는 적어도 하나의 제2 매치 상호연결부를 포함한다. 적어도 하나의 제1 매치 상호연결부 및 적어도 하나의 제2 매치 상호연결부는 스큐 매칭(skew matching)을 제공하도록 구성된다.

[0006] [0006] 다른 예는 기판 및 기판에 결합된 통합 디바이스를 포함하는 패키지를 제공한다. 기판은 코어 층, 코어 층의 제1 표면에 결합된 적어도 하나의 제1 유전체 층 및 코어 층의 제2 표면에 결합된 적어도 하나의 제2 유전체 층을 포함한다. 기판은 코어 층에 위치한 매치 구조물을 포함한다. 매치 구조물은 또한 매치 구조물에서 수직 및 수평으로 연장되는 적어도 하나의 제1 매치 상호연결부를 포함한다. 매치 구조물은 또한 매치 구조물에서 수직으로 연장되는 적어도 하나의 제2 매치 상호연결부를 포함한다. 적어도 하나의 제1 매치 상호연결부 및 적어도 하나의 제2 매치 상호연결부는 스큐 매칭을 제공하도록 구성된다.

[0007] [0007] 다른 예는 코어 층, 스큐 매칭을 위한 수단, 코어 층의 제1 표면에 결합된 적어도 하나의 제1 유전체 층 및 코어 층의 제2 표면에 결합된 적어도 하나의 제2 유전체 층을 포함하는 장치를 제공한다. 스큐 매칭을 위한 수단은 코어 층에 위치한다. 스큐 매칭을 위한 수단은 스큐 매칭을 위한 수단에서 수직 및 수평으로 연장되는 적어도 하나의 제1 매치 상호연결부를 포함하고, 스큐 매칭을 위한 수단에서 수직으로 연장되는 적어도 하나의 제2 매치 상호연결부를 포함한다. 적어도 하나의 제1 매치 상호연결부 및 적어도 하나의 제2 매치 상호연결부는 제1 신호 및 제2 신호에 대한 시간 신호 매칭을 제공하도록 구성된다.

[0008] [0008] 다른 예는 기판을 제조하기 위한 방법을 제공한다. 이 방법은 적어도 하나의 캐비티를 갖는 코어 층을 제공한다. 이 방법은 코어 층의 적어도 하나의 캐비티에 매치 구조물을 배치한다. 매치 구조물은 매치 구조물에서 수직 및 수평으로 연장되는 적어도 하나의 제1 매치 상호연결부 및 매치 구조물에서 수직으로 연장되는 적어도 하나의 제2 매치 상호연결부를 포함한다. 적어도 하나의 제1 매치 상호연결부 및 적어도 하나의 제2 매치 상호연결부는 스큐 매칭을 제공하도록 구성된다. 이 방법은 코어 층의 제1 표면 위에 적어도 하나의 제1 유전체 층을 형성한다. 이 방법은 코어 층의 제2 표면 위에 적어도 하나의 제2 유전체 층을 형성한다.

도면의 간단한 설명

[0009] [0009] 다양한 특징들, 성질 및 장점들은 유사한 참조 부호들이 전체에 걸쳐 대응적으로 식별되는 도면들과 함

께 고려될 때, 아래에 개시된 상세한 설명으로부터 명백해질 수 있다.

[0010] 도 1은 기판 및 통합 디바이스들을 포함하는 패키지를 예시한다.

[0011] 도 2는 스큐 매칭을 위해 구성된 코어 층 내의 상호연결부들을 포함하는 예시적인 기판의 프로파일 뷰(profile view)를 예시한다.

[0012] 도 3은 스큐 매칭을 위해 구성된 한 쌍의 상호연결부들의 도면을 예시한다.

[0013] 도 4는 한 쌍의 상호연결부들이 스큐 매칭을 위해 구성될 수 있는 방법에 대한 도면을 예시한다.

[0014] 도 5는 스큐 매칭을 위해 구성된 코어 층 내의 상호연결부들을 포함하는 예시적인 기판의 프로파일 뷰를 예시한다.

[0015] 도 6은 스큐 매칭을 위해 구성된 코어 층 내의 상호연결부들을 포함하는 기판을 포함하는 예시적인 패키지의 프로파일 뷰를 예시한다.

[0016] 도 7a 내지 도 7d는 스큐 매칭을 위해 구성된 코어 층 내의 상호연결부들을 포함하는 기판을 제조하기 위한 예시적인 순서를 예시한다.

[0017] 도 8은 스큐 매칭을 위해 구성된 코어 층 내의 상호연결부들을 포함하는 기판을 제조하기 위한 방법의 예시적인 흐름도를 예시한다.

[0018] 도 9a 내지 도 9d는 스큐 매칭을 위해 구성된 한 쌍의 상호연결부들을 포함하는 매치 구조물을 제조하기 위한 예시적인 순서를 예시한다.

[0019] 도 10a 내지 도 10f는 스큐 매칭을 위해 구성된 한 쌍의 상호연결부들을 포함하는 매치 구조물을 제작하기 위한 예시적인 순서를 예시한다.

[0020] 도 11은 본 명세서에 설명된 다이, 통합 디바이스, 통합 수동 디바이스(IPD), 디바이스 패키지, 패키지, 집적 회로 및/또는 PCB를 통합할 수 있는 다양한 전자 디바이스들을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0010] [0021] 이하의 설명에서는, 본 개시의 다양한 양태들에 대한 완전한 이해를 제공하기 위해 구체적인 세부 사항들이 제공된다. 그러나, 이러한 특정 세부 사항들 없이도 양태들이 실시될 수 있다는 것이 당업자에게는 이해될 것이다. 예를 들어, 회로들은 불필요한 상세사항으로 양태들을 모호하게 하지 않기 위해 블록도들로 도시될 수 있다. 다른 예시들에서, 본 개시의 양태들을 모호하게 하지 않기 위해, 잘 알려진 회로들, 구조들 및 기술들은 상세하게 도시되지 않을 수 있다.

[0011] [0022] 본 개시는 기판 및 기판에 결합된 적어도 하나의 통합 디바이스를 포함하는 패키지를 설명한다. 기판은 코어 층, 코어 층의 제1 표면에 결합된 적어도 하나의 제1 유전체 층 및 코어 층의 제2 표면에 결합된 적어도 하나의 제2 유전체 층을 포함한다. 기판은 코어 층에 위치한 매치 구조물을 포함한다. 매치 구조물은 매치 구조물에서 수직 및 수평으로 연장되는 적어도 하나의 제1 매치 상호연결부를 포함한다. 매치 구조물은 또한 매치 구조물에서 수직으로 연장되는 적어도 하나의 제2 매치 상호연결부를 포함한다. 적어도 하나의 제1 매치 상호연결부 및 적어도 하나의 제2 매치 상호연결부는 스큐 매칭(예를 들어, 한 쌍의 차동 신호들에 대한 스큐 매칭)을 제공하도록 구성된다. 매치 구조물은 적어도 하나의 유전체 층을 포함할 수 있다. 매치 구조물은 구조물 코어 층과 적어도 하나의 유전체 층을 포함할 수 있다. 적어도 하나의 제1 매치 상호연결부는 제1 신호(예를 들어, 포지티브 신호)에 대한 전기 경로를 제공하도록 구성될 수 있다. 적어도 하나의 제2 매치 상호연결부는 제2 신호(예를 들어, 네거티브 신호)에 대한 전기 경로를 제공하도록 구성될 수 있다. 포지티브 신호 및 네거티브 신호는 한 쌍의 차동 신호들로서 구성될 수 있다. 제2 신호는 제1 신호의 반전 신호일 수 있으며, 그 반대의 경우도 마찬가지이다.

[0012] **기판의 코어 층에 매치 구조물을 포함하는 예시적인 패키지**

[0013] [0023] 도 2는 스큐 매칭 및/또는 신호 시간 매칭을 제공하도록 구성된 상호연결부들을 갖는 적어도 하나의 매치 구조물을 포함하는 기판(202)을 예시한다. 기판(202)은 적어도 하나의 통합 디바이스를 갖는 패키지로 구현될 수 있다. 기판(202)은 코어 층(203), 적어도 하나의 제1 유전체 층(240), 제1 복수의 상호연결부들(241), 적어도 하나의 제2 유전체 층(260), 제2 복수의 상호연결부들(261), 매치 구조물(205), 매치 구조물(207), 제1

코어 상호연결부(231) 및 제2 코어 상호연결부(233)를 포함한다.

[0014] [0024] 매치 구조물(205)은 코어 층(203)에 위치한다. 매치 구조물(207)은 코어 층(203)에 위치한다. 제1 코어 상호연결부(231) 및 제2 코어 상호연결부(233)는 코어 층(203) 내에 위치하며, 코어 층(203)을 통해 연장된다. 제1 코어 상호연결부(231) 및 제2 코어 상호연결부(233)는 한 쌍의 차동 신호들을 위해 구성되는 한 쌍의 전기 경로들의 일부일 수 있다. 적어도 하나의 제1 유전체 층(240)과 제1 복수의 상호연결부들(241)은 코어 층(203)의 제1 표면(예를 들어, 최상부 표면)에 결합된다. 적어도 하나의 제2 유전체 층(260) 및 제2 복수의 상호연결부들(261)은 코어 층(203)의 제2 표면(예를 들어, 하부 표면)에 결합된다.

[0015] [0025] 제1 복수의 상호연결부들(241)은 매치 구조물(205), 매치 구조물(207), 제1 코어 상호연결부(231) 및/또는 제2 코어 상호연결부(233)에 결합(예를 들어, 전기적으로 결합)되어 있다. 제2 복수의 상호연결부들(261)은 매치 구조물(205), 매치 구조물(207), 제1 코어 상호연결부(231) 및/또는 제2 코어 상호연결부(233)에 결합(예를 들어, 전기적으로 결합)되어 있다.

[0016] [0026] 매치 구조물(205) 및/또는 매치 구조물(207)은 차동 시그널링(differential signaling)에서 스큐 매칭 및/또는 신호 시간 매칭을 도울 수 있다. 매치 구조물(205) 및/또는 매치 구조물(207)은 스큐 매칭을 위한 수단이 될 수 있다. 차동 시그널링(예를 들어, 한 쌍의 차동 신호들)의 사용은 몇 가지 장점들을 제공한다. 예를 들어, 차동 시그널링은 전자기 간섭(EMI) 및/또는 크로스토크(crosstalk)에 대한 내성이 더 강하다. 차동 시그널링은 또한 발신 EMI 및 크로스토크를 줄이다. 차동 시그널링은 단일 단부형 신호들보다 낮은 전압에서 작동할 수 있다. 그러나, 차동 시그널링은 각각의 개별 신호가 이동하는 길이가 서로 매치해야(또는 가능한 한 서로 가까워야) 한다는 것을 요구한다. 따라서, 제1 신호가 X 거리를 이동하는 경우, 한 쌍의 차동 신호들의 일부인 제2 신호는 이상적으로는 X 거리 또는 가능한 한 X 거리에 가깝게 이동해야 한다. 예를 들어, 제1 신호의 두 단자들 사이의 전기 경로가 유효 거리/길이 X인 경우, 제2 신호의 다른 두 단자들 사이의 다른 전기 경로는 유효 거리/길이 X(또는 가능한 한 X에 가깝게)를 갖는다(예를 들어, 두 유효 거리들/길이들 사이의 차이가 유효 거리/길이 X의 2 % 이내인 경우). 차동 시그널링 쌍에서, 제1 신호가 제2 신호와 동일한 거리를 이동하고 그 반대의 경우도 마찬가지임을 보장하기 위해, 하나 이상의 매치 구조물(예를 들어, 205, 207)이 사용될 수 있다. 다른 구현예들은 단자들을 서로 다르게 정의할 수 있다. 단자는 통합 디바이스의 일부일 수 있다. 두 단자들 사이의 전기 경로는 두 통합 디바이스들 사이의 전기 경로일 수 있다. 한 쌍의 차동 신호들의 경우, 각각의 개별 신호는 동일한 쌍의 통합 디바이스들에 대해 한 쌍의 서로 다른 단자들에 결합될 수 있다. 예를 들어, (ⅰ) 제1 통합 디바이스와 제2 통합 디바이스 사이의 제1 신호는 제1 통합 디바이스의 제1 단자 및 제2 통합 디바이스의 제1 단자에 결합되도록(예를 들어, 전기적으로 결합되도록) 구성된 제1 전기 경로를 통해 이동할 수 있고, (ii) 제1 통합 디바이스와 제2 통합 디바이스 사이의 제2 신호는 제1 통합 디바이스의 제2 단자 및 제2 통합 디바이스의 제2 단자에 결합되도록(예를 들어, 전기적으로 결합되도록) 구성된 제2 전기 경로를 통해 이동할 수 있고, 여기서 제1 신호 및 제2 신호는 한 쌍의 차동 신호들의 일부이다.

[0017] [0027] 매치 구조물(205)은 적어도 하나의 유전체 층(250)(예를 들어, 구조물 유전체 층), 제1 복수의 매치 상호연결부들(251) 및 제2 복수의 매치 상호연결부들(253)을 포함한다. 제1 복수의 매치 상호연결부들(251)은 매치 구조물(205)의 적어도 하나의 유전체 층(250)을 통해 연장된다(예를 들어, 수직으로 연장된다). 제2 복수의 매치 상호연결부들(253)은 매치 구조물(205)의 적어도 하나의 유전체 층(250)을 통해 연장된다(예를 들어, 수직 및/또는 수평으로 연장된다).

[0018] [0028] 제1 복수의 매치 상호연결부들(251) 및 제2 복수의 매치 상호연결부들(253)은 차동 쌍의 상호연결부들이다. 제1 복수의 매치 상호연결부들(251)은 제1 신호에 대한 전기 경로를 제공하도록 구성된다. 제2 복수의 매치 상호연결부들(253)은 제2 신호에 대한 전기 경로를 제공하도록 구성된다. 제1 신호 및 제2 신호는 고속 신호들일 수 있다. 제1 신호 및 제2 신호는 한 쌍의 차동 신호들일 수 있다. 제1 신호는 포지티브 신호일 수 있고, 제2 신호는 네거티브 신호일 수 있다. 제2 신호는 포지티브 신호일 수 있고, 제1 신호는 네거티브 신호일 수 있다. 제2 신호는 제1 신호와 반대 신호일 수 있으며, 그 반대의 경우도 마찬가지이다. 제2 신호는 제1 신호의 반전 신호일 수 있으며 그 반대의 경우도 마찬가지이다.

[0019] [0029] 제1 복수의 매치 상호연결부들(251)은 제1 전기 경로 길이(예를 들어, 제1 유효 전기 경로 길이)를 갖는다. 제2 복수의 매치 상호연결부들(253)은 제2 전기 경로 길이(예를 들어, 제2 유효 전기 경로 길이)를 갖는다. 제1 복수의 매치 상호연결부들(251)은 제2 복수의 매치 상호연결부들(253)의 전기 경로 길이보다 더 짧은 전기 경로 길이를 갖는다. 제1 복수의 매치 상호연결부들(251)은 두 개의 제1 단자들(예를 들어, 제1 통합 디바이스의 제1 단자 및 제2 통합 디바이스의 제1 단자) 사이의 제1 전기 경로의 일부이다. 제2 복수의 매

치 상호연결부들(253)은 두 개의 제2 단자들(예를 들어, 제1 통합 디바이스의 제2 단자 및 제2 통합 디바이스의 제2 단자) 사이의 제2 전기 경로의 일부이다. 제2 복수의 매치 상호연결부들(253)은 매치 구조물(205)에서 다양한 턴(turn)들을 갖는 뱀 모양 설계(serpentine design)를 가질 수 있다. 매치 구조물(205)은 두 개의 제1 단자들 사이의 제1 전기 경로 길이가 두 개의 제2 단자들 사이의 제2 전기 경로 길이와 동일하거나 대략 동일하도록 보장하는 데 도움이 된다. 두 개의 제1 단자들은 두 개의 통합 디바이스들 사이의 한 쌍의 단자들일 수 있다. 두 개의 제2 단자들은 동일한 두 개의 통합 디바이스들 사이의 한 쌍의 단자들일 수 있다. 두 개의 통합 디바이스들은 기판(202), 다른 기판들 및/또는 보드(예를 들어, 인쇄 회로 보드)에 결합될 수 있다.

[0020] [0030] 매치 구조물(207)은 구조물 코어 층(270), 유전체 층(272)(예를 들어, 구조물 유전체 층), 유전체 층(274)(예를 들어, 구조물 유전체 층), 유전체 층(276)(예를 들어, 구조물 유전체 층), 유전체 층(278)(예를 들어, 구조물 유전체 층), 제1 복수의 매치 상호연결부들(271) 및 제2 복수의 매치 상호연결부들(273)을 포함한다. 제1 복수의 매치 상호연결부들(271)은 매치 구조물(207)의 유전체 층들을 통해 연장된다(예를 들어, 수직으로 연장된다). 제2 복수의 매치 상호연결부들(273)은 매치 구조물(207)의 유전체 층들을 통해 연장된다(예를 들어, 수직 및/또는 수평으로 연장된다).

[0021] [0031] 제1 복수의 매치 상호연결부들(271) 및 제2 복수의 매치 상호연결부들(273)은 차동 쌍의 상호연결부들이다. 제1 복수의 매치 상호연결부들(271)은 제3 신호에 대한 전기 경로를 제공하도록 구성된다. 제2 복수의 매치 상호연결부들(273)은 제4 신호에 대한 전기 경로를 제공하도록 구성된다. 제3 신호 및 제4 신호는 고속 신호들일 수 있다. 제3 신호 및 제4 신호는 한 쌍의 차동 신호들일 수 있다. 제3 신호는 포지티브 신호일 수 있고, 제4 신호는 네거티브 신호일 수 있다. 제4 신호는 포지티브 신호일 수 있고, 제3 신호는 네거티브 신호일 수 있다. 제4 신호는 제3 신호와 반대 신호일 수 있으며, 그 반대의 경우도 마찬가지이다. 제4 신호는 제3 신호와 반전된 신호일 수 있고, 그 반대의 경우도 마찬가지이다.

[0022] [0032] 제1 복수의 매치 상호연결부들(271)은 제3 전기 경로 길이(예를 들어, 제3 유효 전기 경로 길이)를 갖는다. 제2 복수의 매치 상호연결부들(273)은 제4 전기 경로 길이(예를 들어, 제4 유효 전기 경로 길이)를 갖는다. 제3 복수의 매치 상호연결부들(271)은 제2 복수의 매치 상호연결부들(273)의 전기 경로 길이보다 더 짧은 전기 경로 길이를 갖는다. 제1 복수의 매치 상호연결부들(271)은 두 개의 제1 단자들 사이의 제3 전기 경로의 일부이다. 제2 복수의 매치 상호연결부들(273)은 두 개의 제2 단자들 사이의 제4 전기 경로의 일부이다. 제2 복수의 매치 상호연결부들(273)은 매치 구조물(207)에서 다양한 턴들을 갖는 뱀 모양 설계를 가질 수 있다. 매치 구조물(207)은 두 개의 제1 단자들 사이의 제3 전기 경로 길이가 두 개의 제2 단자들 사이의 제4 전기 경로 길이와 동일하거나 대략 동일하도록 보장하는 데 도움이 된다. 두 개의 제1 단자들은 두 개의 통합 디바이스들 사이의 한 쌍의 단자들일 수 있다. 두 개의 제2 단자들은 동일한 두 개의 통합 디바이스들 사이의 한 쌍의 단자들일 수 있다. 두 개의 통합 디바이스들은 기판(202), 다른 기판들 및/또는 보드(예를 들어, 인쇄 회로 보드)에 결합될 수 있다.

[0023] [0033] 도 3은 차동 시그널링 쌍(differential signaling pair)의 일부인 상호연결부들의 예시적인 쌍을 예시한다. 도 3은 제1 복수의 상호연결부들(301) 및 제2 복수의 상호연결부들(303)을 예시한다. 제1 복수의 상호연결부들(301)은 제1 복수의 매치 상호연결부들(251) 및/또는 제1 복수의 매치 상호연결부들(271)의 표현일 수 있다. 제1 복수의 상호연결부들(303)은 제2 복수의 매치 상호연결부들(253) 및/또는 제2 복수의 매치 상호연결부들(273)의 표현일 수 있다.

[0024] [0034] 제1 복수의 상호연결부들(301)은 상호연결부(310)(예를 들어, 패드), 상호연결부(311)(예를 들어, 비아), 상호연결부(312)(예를 들어, 패드), 상호연결부(313)(예를 들어, 비아), 상호연결부(314)(예를 들어, 패드), 상호연결부(315)(예를 들어, 비아) 및 상호연결부(316)(예를 들어, 패드)를 포함한다. 복수의 상호연결부들(301)은 수직으로 연장된다. 일부 구현예들에서, 제1 복수의 상호연결부들(301)은 두 개의 제1 단자들(예를 들어, 제1 통합 디바이스의 제1 단자 및 제2 통합 디바이스의 제1 단자) 사이의 제1 전기 경로의 일부이다.

[0025] [0035] 제2 복수의 상호연결부들(303)은 상호연결부(330)(예를 들어, 패드), 상호연결부(331)(예를 들어, 비아), 상호연결부(332)(예를 들어, 트레이스, 패드들), 상호연결부(333)(예를 들어, 비아), 상호연결부(334)(예를 들어, 트레이스, 패드들), 상호연결부(335)(예를 들어, 비아) 및 상호연결부(336)(예를 들어, 패드)를 포함한다. 복수의 상호연결부들(303)은 수직 및 수평으로 연장된다. 일부 구현예들에서, 제2 복수의 상호연결부들(303)은 두 개의 제2 단자들(예를 들어, 제1 통합 디바이스의 제2 단자 및 제2 통합 디바이스의 제2 단자) 사이의 제2 전기 경로의 일부이다.

[0026] [0036] 도 4는 매치 구조물을 구현하는 것이 패키지 및/또는 기판을 개선하는 데 어떻게 도움이 되는지를 예시

한다. 도 4는 기판(402)의 제1 설계(400) 및 기판(402)의 제2 설계(401)을 예시한다. 기판(402)의 설계(400)은 적어도 하나의 상호연결부(410), 적어도 하나의 상호연결부들(412), 복수의 상호연결부들(414), 적어도 하나의 상호연결부(420), 적어도 하나의 상호연결부(422), 복수의 상호연결부들(424) 및 솔더 레지스트 층(430)을 포함한다. 적어도 하나의 상호연결부(410) 및 적어도 하나의 상호연결부(412)는 다양한 금속 층들 상의 패드들을 포함할 수 있다. 적어도 하나의 상호연결부(410), 적어도 하나의 상호연결부(412) 및 복수의 상호연결부들(414)은 한 쌍의 차동 신호들로부터의 제1 신호에 대한 제1 전기 경로의 일부이다. 적어도 하나의 상호연결부(420) 및 적어도 하나의 상호연결부(422)는 다양한 금속 층들 상의 패드들을 포함할 수 있다. 적어도 하나의 상호연결부(420), 적어도 하나의 상호연결부(422) 및 복수의 상호연결부들(424)은 한 쌍의 차동 신호들로부터의 제2 신호에 대한 제2 전기 경로의 일부이다. 복수의 상호연결부들(424)은 제2 전기 경로의 전체 길이(예를 들어, 유효 길이)가 제1 전기 경로의 전체 길이(예를 들어, 유효 길이)와 매치함을 보장하기 위해 기판(402)의 유전체 층 상에 형성된다.

[0027] [0037] 기판(402)의 설계(401)은 적어도 하나의 상호연결부(410), 적어도 하나의 상호연결부(412), 복수의 상호연결부들(414), 적어도 하나의 상호연결부(420), 적어도 하나의 상호연결부(422), 복수의 상호연결부들(426) 및 솔더 레지스트 층(430)을 포함한다. 설계(401)은 설계(400)과 유사할 수 있다. 그러나, 설계(400)의 복수의 상호연결부들(424)은 복수의 상호연결부들(426)로 구현되었다. 복수의 상호연결부들(426)은 기판(402)의 코어 층에 구현될 수 있다. 복수의 상호연결부들(426)은 복수의 상호연결부들(303), 복수의 매치 상호연결부들(253) 및/또는 복수의 매치 상호연결부들(273)로서 구현될 수 있다.

[0028] [0038] 적어도 하나의 상호연결부(420), 적어도 하나의 상호연결부(422) 및 복수의 상호연결부들(426)은 한 쌍의 차동 신호들로부터의 제2 신호에 대한 제2 전기 경로의 일부이다. 복수의 상호연결부들(426)은 제2 전기 경로의 전체 길이(예를 들어, 유효 길이)가 제1 전기 경로의 전체 길이(예를 들어, 유효 길이)와 매치함을 보장하기 위해 기판(402)의 코어 층에 형성된다. 설계(401)은 기판(402)에 공간(450)을 생성하며, 이는 다른 상호연결부들의 라우팅에 사용될 수 있다. 도 4는 코어 층의 뱀 모양 설계가 회로에 대한 임의의 추가 상호연결부들을 위한 추가 공간들을 생성하여 기판에서 상호연결부들의 전체 라우팅을 개선하도록 유도할 수 있는 방법을 예시한다.

[0029] [0039] 서로 다른 매치 구조물은 서로 다른 설계들 및/또는 형상들을 가질 수 있다. 도 5는 스큐 매칭 및/또는 신호 시간 매칭을 제공하도록 구성된 상호연결부들을 갖는 적어도 하나의 매치 구조물을 포함하는 기판(502)을 예시한다. 기판(502)은 적어도 하나의 통합 디바이스를 갖는 패키지로 구현될 수 있다. 기판(502)은 도 2에 설명된 바와 같이 기판(202)과 유사하다. 기판(502)은 기판(202)과 동일하거나 유사한 구성요소들을 포함할 수 있다. 기판(502)은 기판(202)에 대해 설명된 매치 구조물들과는 서로 다른 매치 구조물들을 포함한다.

[0030] [0040] 도 5에 도시된 바와 같이, 기판(502)은 매치 구조물(505) 및 매치 구조물(507)을 포함한다. 매치 구조물(505) 및/또는 매치 구조물(507)은 스큐 매칭을 위한 수단일 수 있다. 매치 구조물들(505 및 507)은 매치 구조물들(205 및/또는 207)의 상호연결부들과는 서로 다른 설계를 갖는 상호연결부들을 포함한다. 예를 들어, 매치 구조물들(205 및/또는 207)은 상이한 수의 턴들을 갖는 상호연결부들을 포함한다. 매치 구조물들(505 및 507)은 코어 층(203)에 위치한다. 매치 구조물들(505 및/또는 507)은 제1 복수의 상호연결부들(241) 및/또는 제2 복수의 상호연결부들(261)에 결합된다.

[0031] [0041] 매치 구조물(505)은 적어도 하나의 유전체 층(250), 제1 복수의 매치 상호연결부들(551) 및 제2 복수의 매치 상호연결부들(553)을 포함한다. 제1 복수의 매치 상호연결부들(551)은 매치 구조물(505)의 적어도 하나의 유전체 층(250)을 통해 연장된다(예를 들어, 수직으로 연장된다). 제2 복수의 매치 상호연결부들(553)은 매치 구조물(505)의 적어도 하나의 유전체 층(250)을 통해 연장된다(예를 들어, 수직 및/또는 수평으로 연장된다).

[0032] [0042] 제1 복수의 매치 상호연결부들(551) 및 제2 복수의 매치 상호연결부들(553)은 차동 쌍의 상호연결부들이다. 제1 복수의 매치 상호연결부들(551)은 제1 신호에 대한 전기 경로를 제공하도록 구성된다. 제2 복수의 매치 상호연결부들(553)은 제2 신호에 대한 전기 경로를 제공하도록 구성된다. 제1 신호 및 제2 신호는 고속 신호들일 수 있다. 제1 신호 및 제2 신호는 한 쌍의 차동 신호들일 수 있다. 제1 신호는 포지티브 신호일 수 있고, 제2 신호는 네거티브 신호일 수 있다. 제2 신호는 포지티브 신호일 수 있고, 제1 신호는 네거티브 신호일 수 있다. 제2 신호는 제1 신호와 반대 신호일 수 있으며, 그 반대의 경우도 마찬가지이다. 제2 신호는 제1 신호와 반전된 신호일 수 있으며, 그 반대의 경우도 마찬가지이다.

[0033] [0043] 제1 복수의 매치 상호연결부들(551)은 제1 전기 경로 길이를 갖는다. 제2 복수의 매치 상호연결부들(553)은 제2 전기 경로 길이를 갖는다. 제1 복수의 매치 상호연결부들(551)은 제2 복수의 매치 상호연결부들

(553)의 전기 경로 길이보다 더 짧은 전기 경로 길이를 갖는다. 제1 복수의 매치 상호연결부들(551)은 두 개의 제1 단자들 사이의 제1 전기 경로의 일부이다. 제2 복수의 매치 상호연결부들(553)는 두 개의 제2 단자들 사이의 제2 전기 경로의 일부이다. 제2 복수의 매치 상호연결부들(553)은 다양한 턴들을 갖는 뱀 모양 설계를 가질 수 있다. 매치 구조물(505)은 두 개의 제1 단자들 사이의 제1 전기 경로 길이가 두 개의 제2 단자들 사이의 제2 전기 경로 길이와 동일하거나 대략 동일하도록 보장하는 데 도움이 된다. 두 개의 제1 단자들은 두 개의 통합 디바이스들 사이의 한 쌍의 단자들일 수 있다. 두 개의 제2 단자들은 동일한 두 개의 통합 디바이스들 사이의 한 쌍의 단자들일 수 있다. 두 개의 통합 디바이스들은 기판(502), 다른 기판들 및/또는 보드(예를 들어, 인쇄 회로 보드)에 결합될 수 있다.

[0034] [0044] 매치 구조물(507)은 구조물 코어 층(270), 유전체 층(272), 유전체 층(274), 유전체 층(276), 유전체 층(278), 유전체 층(572)(예를 들어, 구조물 유전체 층), 유전체 층(574)(예를 들어, 구조물 유전체 층), 제1 복수의 매치 상호연결부들(571) 및 제2 복수의 매치 상호연결부들(573)을 포함한다. 제1 복수의 매치 상호연결부들(571)은 매치 구조물(507)의 적어도 하나의 유전체 층을 통해 연장된다(예를 들어, 수직으로 연장된다). 제2 복수의 매치 상호연결부들(573)은 매치 구조물(507)의 유전체 층을 통해 연장된다(예를 들어, 수직 및/또는 수평으로 연장된다).

[0035] [0045] 제1 복수의 매치 상호연결부들(571) 및 제2 복수의 매치 상호연결부들(573)은 차동 쌍의 상호연결부들이다. 제1 복수의 매치 상호연결부들(571)은 제3 신호에 대한 전기 경로를 제공하도록 구성된다. 제2 복수의 매치 상호연결부들(573)은 제4 신호에 대한 전기 경로를 제공하도록 구성된다. 제3 신호 및 제4 신호는 고속 신호들일 수 있다. 제3 신호 및 제4 신호는 한 쌍의 차동 신호들일 수 있다. 제3 신호는 포지티브 신호일 수 있고, 제4 신호는 네거티브 신호일 수 있다. 제4 신호는 포지티브 신호일 수 있고, 제3 신호는 네거티브 신호일 수 있다. 제4 신호는 제3 신호와 반대 신호일 수 있으며, 그 반대의 경우도 마찬가지이다. 제4 신호는 제3 신호와 반전된 신호일 수 있고, 그 반대의 경우도 마찬가지이다.

[0036] [0046] 제1 복수의 매치 상호연결부들(571)은 제3 전기 경로 길이를 갖는다. 제2 복수의 매치 상호연결부들(573)은 제4 전기 경로 길이를 갖는다. 제3 복수의 매치 상호연결부들(571)은 제2 복수의 매치 상호연결부들(573)의 전기 경로 길이보다 더 짧은 전기 경로 길이를 갖는다. 제1 복수의 매치 상호연결부들(571)은 두 개의 제1 단자들 사이의 제3 전기 경로의 일부이다. 제2 복수의 매치 상호연결부들(573)은 두 개의 제2 단자들 사이의 제4 전기 경로의 일부이다. 제2 복수의 매치 상호연결부들(573)은 다양한 턴들을 갖는 뱀 모양 설계를 가질 수 있다. 매치 구조물(507)은 두 개의 제1 단자들 사이의 제3 전기 경로 길이가 두 개의 제2 단자들 사이의 제4 전기 경로 길이와 동일하거나 대략 동일하도록 보장하는 데 도움이 된다. 두 개의 제1 단자들은 두 개의 통합 디바이스들 사이의 한 쌍의 단자들일 수 있다. 두 개의 제2 단자들은 동일한 두 개의 통합 디바이스들 사이의 한 쌍의 단자들일 수 있다. 두 개의 통합 디바이스들은 기판(502), 다른 기판들 및/또는 보드(예를 들어, 인쇄 회로 보드)에 결합될 수 있다.

[0037] [0047] 도 6은 기판(202), 통합 디바이스(304) 및 통합 디바이스(308)를 포함하는 패키지(600)를 예시한다. 통합 디바이스(304)는 복수의 솔더 상호연결부들(340)을 통해 기판(202)에 결합된다. 통합 디바이스(308)는 복수의 솔더 상호 연결부들(380)을 통해 기판(202)에 결합된다.

[0038] [0048] 일부 구현예들에서, 통합 디바이스(304)는 차동 시그널링 쌍에 의해 매치 구조물(205)을 통해 다른 통합 디바이스에 전기적으로 결합되도록 구성될 수 있다. 예를 들어, 통합 디바이스(304)는 복수의 솔더 상호연결부들(340), 제1 복수의 상호연결부들(241), 매치 구조물(205)의 상호연결부들 및 제2 복수의 상호연결부들(261)에 전기적으로 결합되도록 구성될 수 있다. 매치 구조물(205)은 통합 디바이스(304)로, 그리고/또는 그로부터 이동하는 한 쌍의 신호들에 대한 스큐 매칭 및/또는 신호 시간 매칭을 제공하도록 구성될 수 있다. 예를 들어, 매치 구조물(205)은 통합 디바이스(304)로 이동하는 제1 신호가 통합 디바이스(304)로 이동하는 제2 신호와 동시에 도착하게 보장하는 데 도움이 되는데, 여기서 제1 신호 및 제2 신호는 한 쌍의 차동 신호들이다. 다른 예에서, 매치 구조물(205)은 통합 디바이스(304)로부터 이동하는 제1 신호가 통합 디바이스(304)로부터 이동하는 제2 신호와 동시에 다른 통합 디바이스에 도착하게 보장하는 데 도움이 되는데, 여기서 제1 신호 및 제2 신호는 한 쌍의 차동 신호들이다. 매치 구조물(205)을 통해 통합 디바이스(304)로부터, 그리고/또는 통합 디바이스로 제1 신호 및 제2 신호를 수신 및/또는 송신하도록 구성된 다른 통합 디바이스는 기판(302), 다른 기판 또는 보드(예를 들어, 인쇄 회로 보드)에 결합될 수 있다.

[0039] [0049] 일부 구현예들에서, 통합 디바이스(308)는 차동 시그널링 쌍에 의해 매치 구조물(207)을 통해 다른 통합 디바이스에 전기적으로 결합되도록 구성될 수 있다. 예를 들어, 통합 디바이스(308)는 복수의 솔더 상호연결부

들(380), 제2 복수의 상호연결부들(241), 매치 구조물(207)의 상호연결부들 및 제2 복수의 상호연결부들(261)에 전기적으로 결합되도록 구성될 수 있다. 매치 구조물(207)은 통합 디바이스(308)로, 그리고/또는 그로부터 이동하는 한 쌍의 신호들에 대한 스큐 매칭 및/또는 신호 시간 매칭을 제공하도록 구성될 수 있다. 예를 들어, 매치 구조물(207)은 통합 디바이스(308)로 이동하는 제1 신호가 통합 디바이스(308)로 이동하는 제2 신호와 동시에 도착하게 보장하는 데 도움이 되는데, 여기서 제1 신호 및 제2 신호는 한 쌍의 차동 신호들이다. 다른 예에서, 매치 구조물(207)은 통합 디바이스(308)로부터 이동하는 제1 신호가 통합 디바이스(308)로부터 이동하는 제2 신호와 동시에 다른 통합 디바이스에 도착하게 보장하는 데 도움이 되는데, 여기서 제1 신호와 제2 신호는 한 쌍의 차동 신호들이다. 매치 구조물(207)을 통해 통합 디바이스(308)로부터, 그리고/또는 통합 디바이스로 제1 신호 및 제2 신호를 수신 및/또는 송신하도록 구성된 다른 통합 디바이스는 기판(302), 다른 기판 또는 보드(예를 들어, 인쇄 회로 보드)에 결합될 수 있다.

[0040] [0050] 본 개시에 설명된 기판들(예를 들어, 502) 중 임의의 기판이 패키지와 함께 구현될 수 있음이 주목된다. 또한, 매치 구조물들(예를 들어, 205, 207, 505, 507) 중 임의의 매치 구조물이 기판 내에 구현될 수 있음이 언급되어 있다. 또한, 기판은 임의의 수의 매치 구조물들 및/또는 서로 다른 매치 구조물들의 서로 다른 조합들을 포함할 수 있음이 또한 언급된다. 다양한 매치 구조물들을 갖는 다양한 기판들을 설명한 후, 이제 기판을 제조하기 위한 프로세스를 아래에 설명한다.

[0041] **매치 구조물을 포함하는 기판을 제조하기 위한 예시적인 순서**

[0042] [0051] 일부 구현예들에서, 매치 구조물을 포함하는 기판을 제조하는 것은 여러 프로세스들을 포함한다. 도 7a 내지 도 7d는 적어도 하나의 매치 구조물을 포함하는 기판을 제공하거나 제조하기 위한 예시적인 순서를 예시한다. 일부 구현예들에서, 도 7a 내지 도 7d의 순서는 도 2의 기판(202)을 제공하거나 제조하는 데 사용될 수 있다. 그러나, 도 7a 내지 도 7d의 프로세스는 본 개시에 설명된 기판들 중 임의의 기판을 제조하는 데 사용될 수 있다.

[0043] [0052] 도 7a 내지 도 7d의 순서는 기판을 제공하거나 제조하기 위한 순서를 단순화 및/또는 명확화하기 위해 하나 이상의 스테이지들을 결합할 수 있음에 유의해야 한다. 일부 구현예들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다. 일부 구현예들에서, 프로세스들 중 하나 이상이 본 개시의 사상을 벗어나지 않고 대체되거나 치환될 수 있다.

[0044] [0053] 스테이지 1은 도 7a에 도시된 바와 같이, 코어 층(203)이 제공된 후의 상태를 예시한다. 코어 층(203)은 금속 층(예를 들어, 포일)을 포함할 수 있다.

[0045] [0054] 스테이지 2는 코어 층(203)에 복수의 캐비티들(701)이 형성된 후의 상태를 예시한다. 복수의 캐비티들(701)은 코어 층(203)을 통해 연장될 수 있다. 레이저 프로세스(예를 들어, 레이저 절제)이 복수의 캐비티들(701)를 형성하는 데 사용될 수 있다.

[0046] [0055] 스테이지 3은 코어 층(203)이 테이프(710)에 결합된 후의 상태, 또는 그 반대의 상태를 예시한다. 테이프(710)는 접착 테이프를 포함할 수 있다.

[0047] [0056] 스테이지 4는 적어도 하나의 매치 구조물(205)이 캐비티(701) 내에 배치되고, 적어도 하나의 매치 구조물(207)이 다른 캐비티(701) 내에 배치된 후의 상태를 예시한다. 서로 다른 구현예들은 서로 다른 매치 구조물들(예를 들어, 505, 507)을 캐비티들(701)에 배치할 수 있다. 서로 다른 구현예들은 서로 다른 수의 매치 구조물들 및/또는 서로 다른 조합의 매치 구조물들을 캐비티들에 배치할 수 있다. 픽 앤 플레이스 프로세스(pick and place process)는 코어 층(203)의 캐비티들(701)에 매치 구조물들을 배치하는 데 사용될 수 있다. 매치 구조물들이 제조되는 방법의 예들이 도 9a 내지 도 9d 및/또는 도 10a 내지 도 10f에 예시되고 설명되어 있다.

[0048] [0057] 스테이지 5는 도 7b에 도시된 바와 같이, 유전체 층(720)이 코어 층(203), 매치 구조물(205) 및 매치 구조물(207)의 제1 표면(예를 들어, 최상부 표면) 위에 형성된 후의 상태를 예시한다. 유전체 층(720)을 형성하기 위해 증착 프로세스가 사용될 수 있다.

[0049] [0058] 스테이지 6은 테이프(710)가 코어 층(203)으로부터 분리되고, 유전체 층(730)이 코어 층(203), 매치 구조물(205) 및 매치 구조물(207)의 제2 표면(예를 들어, 하부 표면) 위에 형성된 후의 상태를 나타낸다. 유전체 층(730)을 형성하기 위해 증착 프로세스가 사용될 수 있다.

[0050] [0059] 스테이지 7은 유전체 층(720)을 통해 복수의 캐비티들(721)이 형성되고, 코어 층(203)을 통해 복수의 캐비티들(723)이 형성되고, 유전체 층(730)을 통해 복수의 캐비티들(733)이 형성된 후의 상태를 예시한다. 레이

저 프로세스(예를 들어, 레이저 절제)이 캐비티들을 형성하는 데 사용될 수 있다.

[0051] [0060] 스테이지 8은 복수의 상호연결부들(722), 복수의 상호연결부들(732) 및 복수의 상호연결부들(724)이 형성된 후의 상태를 예시한다. 복수의 상호연결부들(724)은 캐비티들(723)에 형성된다. 도금 프로세스 또는 페이스팅(pasting) 프로세스가 상호연결부들(722, 724 및/또는 732)을 형성하는 데 사용될 수 있다.

[0052] [0061] 스테이지 9는 도 7c에 도시된 바와 같이, 유전체 층(740이 형성되고 유전체 층(750)이 형성된 후의 상태를 예시한다. 유전체 층(740)을 형성하기 위해 증착 프로세스가 사용될 수 있다. 유전체 층(740)은 유전체 층(720)을 포함할 수 있다. 증착 프로세스는 유전체 층(750)을 형성하는 데 사용될 수 있다. 유전체 층(750)은 유전체 층(730)을 포함할 수 있다.

[0053] [0062] 스테이지 10은 유전체 층(740) 내에 복수의 캐비티들(741)이 형성되고, 유전체 층(750) 내에 복수의 캐비티들(751)이 형성된 후의 상태를 예시한다. 레이저 프로세스(예를 들어, 레이저 절제), 리소그래피 프로세스(예를 들어, 노광 및 현상) 및/또는 에칭 프로세스가 캐비티들(741 및 751)을 형성하는 데 사용될 수 있다.

[0054] [0063] 스테이지 11은 (ⅰ) 복수의 상호연결부들(742)이 유전체 층(740) 내에 및/또는 그 위에 형성되고, (ⅱ) 복수의 상호연결부들(752)이 유전체 층(750) 내에 및/또는 그 위에 형성된 후의 상태를 예시하고 있다. 패터닝 프로세스 및 도금 프로세스가 상호연결부들(742 및 752)을 형성하는 데 사용될 수 있다. 상호연결부들(742) 중 일부는 캐비티들(741) 내에 형성될 수 있다. 상호연결부들(752) 중 일부는 캐비티들(751) 내에 형성될 수 있다. 복수의 상호연결부들(742 및 752)은 비아들, 패드들 및/또는 트레이스들을 포함할 수 있다.

[0055] [0064] 스테이지 12는 도 7d에 도시된 바와 같이, 유전체 층(760)이 형성되고 유전체 층(770)이 형성된 후의 상태를 예시한다. 유전체 층(760)은 유전체 층(740) 위에 형성된다. 유전체 층(770)은 유전체 층(750) 위에 형성된다. 유전체 층(760)을 형성하기 위해 증착 프로세스가 사용될 수 있다. 증착 프로세스는 유전체 층(770)을 형성하는 데 사용될 수 있다.

[0056] [0065] 스테이지 13은 유전체 층(760) 내에 복수의 캐비티들(761)이 형성되고, 유전체 층(770) 내에 복수의 캐비티들(771)이 형성된 후의 상태를 예시한다. 레이저 프로세스(예를 들어, 레이저 절제), 리소그래피 프로세스(예를 들어, 노광 및 현상) 및/또는 에칭 프로세스가 캐비티들(761 및 771)을 형성하는 데 사용될 수 있다.

[0057] [0066] 스테이지 14는 (ⅰ) 복수의 상호연결부들(762)이 유전체 층(760) 내에 및/또는 그 위에 형성되고, (ⅱ) 복수의 상호연결부들(772)이 유전체 층(770) 내에 및/또는 그 위에 형성된 후의 상태를 예시한다. 패터닝 프로세스 및 도금 프로세스가 상호연결부들(762 및 772)을 형성하는 데 사용될 수 있다. 상호연결부들(762) 중 일부는 캐비티들(761) 내에 형성될 수 있다. 상호연결부들(772) 중 일부는 캐비티들(771) 내에 형성될 수 있다. 상호연결부들(762 및 772)은 비아들, 패드들 및/또는 트레이스들을 포함할 수 있다.

[0058] [0067] 스테이지 14는 매치 구조물(205) 및 매치 구조물(207)을 포함하는 기판(202)을 예시할 수 있다. 유전체 층들(740 및 760)은 적어도 하나의 제1 유전체 층(240)으로 표시될 수 있다. 복수의 상호연결부들(742 및 762)은 제1 복수의 상호연결부들(241)로 표시될 수 있다. 유전체 층들(750 및 770)은 적어도 하나의 제2 유전체 층(260)으로 표시될 수 있다. 복수의 상호연결부들(752 및 772)은 제2 복수의 상호연결부들(261)로 표현될 수 있다.

[0059] **매치 구조물을 포함하는 기판을 제조하기 위한 방법의 예시적인 흐름도**

[0060] [0068] 일부 구현예들에서, 적어도 하나의 매치 구조물을 포함하는 기판을 제조하는 것은 여러 프로세스들을 포함한다. 도 8은 적어도 하나의 매치 구조물을 포함하는 기판을 제공하거나 제조하기 위한 방법(800)의 예시적인 흐름도를 예시한다. 일부 구현예들에서, 도 8의 방법(800)은 도 2의 기판(202)을 제공하거나 제조하는 데 사용될 수 있다. 그러나, 방법(800)은 본 개시에 설명된 임의의 기판을 제조하는 데 사용될 수 있다.

[0061] [0069] 도 8의 순서는 기판을 제공하거나 제조하기 위한 방법을 단순화 및/또는 명확화하기 위해 하나 이상의 프로세스들을 결합할 수 있음에 유의해야 한다. 일부 구현예들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다.

[0062] [0070] 방법은 코어 층(예를 들어, 203)를 제공한다(805). 코어 층은 적어도 하나의 금속 층을 포함할 수 있다. 코어 층은 코어 기판일 수 있다. 도 7a의 스테이지 1은 코어 층을 제공하는 일 예를 예시하고 설명한다.

[0063] [0071] 이 방법은 코어 층(203) 내에 복수의 캐비티들(701)을 형성한다(810). 복수의 캐비티들(701)은 코어 층

(203)을 통해 연장될 수 있다. 레이저 프로세스는 복수의 캐비티들(701)을 형성하는 데 사용될 수 있다. 도 7a의 스테이지 2는 코어 층에 캐비티들을 형성하는 예를 예시하고 설명한다.

[0064] [0072] 이 방법은 코어 층(203)을 테이프(710)에 결합한다(815). 도 7a의 스테이지 3은 코어 층을 테이프에 결합하는 예를 예시하고 설명한다. 이 방법은 또한 코어 층(203)의 캐비티들(예를 들어, 701)에 적어도 하나의 매치 구조물(예를 들어, 205, 207, 505, 507)을 배치한다(815). 픽 앤 플레이스 프로세스는 적어도 하나의 매치 구조물을 배치하기 위해 사용될 수 있다. 도 7a의 스테이지 4는 코어 층의 캐비티들에 매치 구조물을 배치하는 예를 예시하고 설명한다.

[0065] [0073] 이 방법은 코어 층 및 매치 구조물들 위에 유전체 층(들)을 형성한다(820). 유전체 층(들)(예를 들어, 720, 730)을 형성하기 위해 증착 프로세스가 사용될 수 있다. 유전체 층은 코어 층(203)의 제1 표면 및 적어도 하나의 매치 구조물의 제1 표면 위에 형성될 수 있다. 다른 유전체 층은 코어 층(203)의 제2 표면 및 적어도 하나의 매치 구조물의 제2 표면 위에 형성될 수 있다. 일부 구현예들에서, 테이프(예를 들어, 710)는 코어 층의 표면 위에 유전체 층이 형성되기 전에 코어 층(203)으로부터 분리될 수 있다. 도 7b의 스테이지 5 및 스테이지 6은 유전체 층을 형성하고 테이프를 분리하는 예를 예시하고 설명한다.

[0066] [0074] 방법 형성은 코어 층(예를 들어, 203) 및 유전체 층(예를 들어, 720, 730)에 캐비티를 형성한다(825). 레이저 프로세스(예를 들어, 레이저 절제), 리소그래피 프로세스(예를 들어, 노광 및 현상) 및/또는 에칭 프로세스가 캐비티들(예를 들어, 721, 723, 731)을 형성하는 데 사용될 수 있다. 도 7b의 스테이지 7은 캐비티들을 형성하는 예를 예시하고 설명한다.

[0067] [0075] 이 방법은 코어 층(예를 들어, 203) 및 유전체 층(예를 들어, 720, 730)에 상호연결부들을 형성한다(830). 패터닝 프로세스 및 도금 프로세스는 상호연결부들(예를 들어, 722, 724, 732)을 형성하는 데 사용될 수 있다. 도 7b의 스테이지 8은 상호연결부들을 형성하는 예를 예시하고 설명한다.

[0068] [0076] 방법은 추가의 유전체 층들(예를 들어, 740, 760, 750, 770) 및 상호연결부들(예를 들어, 742, 752, 762, 772)을 유전체 층들(예를 들어, 720, 730) 위에 형성한다(835). 추가의 유전체 층들 및 상호연결부들을 형성하는 것은 유전체 층들을 증착하고, 유전체 층들 내에 캐비티들을 형성하고, 상호연결부들을 형성하기 위한 도금 프로세스를 포함할 수 있다. 도 7c 및 도 7d의 스테이지 9 내지 스테이지 14는 추가의 유전체 층들 및 상호연결부들의 형성을 예시하고 설명한다.

[0069] **매치 구조물을 제조하기 위한 예시적인 순서**

[0070] [0077] 일부 구현예들에서, 매치 구조물의 제조는 여러 프로세스들을 포함한다. 도 9a 내지 도 9d는 매치 구조물을 제공하거나 제조하기 위한 예시적인 순서를 예시한다. 일부 구현예들에서, 도 9a 내지 도 9d의 순서는 도 2의 매치 구조물(207)을 제공하거나 제조하는 데 사용될 수 있다. 그러나, 도 9a 내지 도 9d의 프로세스는 본 개시에 설명된 임의의 매치 구조물들을 제조하는 데 사용될 수 있다.

[0071] [0078] 도 9a 내지 도 9d의 순서는 매치 구조물을 제공하거나 제조하기 위한 순서를 단순화 및/또는 명확화하기 위해 하나 이상의 스테이지들을 결합할 수 있음에 유의해야 한다. 일부 구현예들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다. 일부 구현예들에서, 프로세스들 중 하나 이상이 본 개시의 사상을 벗어나지 않고 교체되거나 대체될 수 있다.

[0072] [0079] 스테이지 1은 도 9a에 도시된 바와 같이, 코어 층(270)이 제공된 후의 상태를 예시한다. 코어 층(270)은 금속 층들(예를 들어, 910, 920)을 포함할 수 있다.

[0073] [0080] 스테이지 2는 금속 층(910), 코어 층(270), 금속 층(920)을 통해 복수의 캐비티들(901)이 형성된 후의 상태를 예시한다. 레이저 프로세스(예를 들어, 레이저 절제)이 캐비티들(901)을 형성하는 데 사용될 수 있다.

[0074] [0081] 스테이지 3은 코어 층(270) 및/또는 금속 층(910)의 제1 표면 위에 제1 건조 필름(930)이 형성된 후의 상태를 예시한다. 또한, 스테이지 3은 코어 층(270) 및/또는 금속 층(920)의 제2 표면 위에 제2 건조 필름(940)이 형성된 후의 상태를 예시한다. 증착 프로세스는 건조 필름들(예를 들어, 930, 940)을 형성하는 데 사용될 수 있다.

[0075] [0082] 스테이지 4는 건조 필름(930), 금속 층(910), 코어 층(270), 금속 층(920) 및 건조 필름(940)을 통해 복수의 캐비티들(901)이 형성된 후의 상태를 예시한다. 스테이지 4는 또한 복수의 캐비티들(931)이 건조 필름(930)을 통해 형성되고, 복수의 캐비티들(941)이 건조 필름(940)을 통해 형성된 후의 상태를 예시하고 있다. 레이저 프로세스(예를 들어, 레이저 절제)이 캐비티들을 형성하는 데 사용될 수 있다. 캐비티들의 형성은 건조

필름 노광 및 현상을 포함할 수 있다.

[0076] [0083] 스테이지 5는 도 9b에 도시된 바와 같이, 복수의 상호연결부들(912)이 코어 층(270) 내부 및 그 위에 형성된 후의 상태를 예시한다. 도금 프로세스 또는 페이스팅 프로세스가 상호연결부들(912)을 형성하는 데 사용될 수 있다. 스테이지 5는 건조 필름들(예를 들어, 930, 940)이 제거된 후의 상태를 예시한다.

[0077] [0084] 스테이지 6은 유전체 층(272)이 형성되고 유전체 층(274)이 형성된 후의 상태를 예시한다. 증착 프로세스는 유전체 층(272) 및 유전체 층(274)을 형성하는 데 사용될 수 있다. 스테이지 6은 또한 유전체 층(272) 위에 형성된 금속 층(972) 및 유전체 층(274) 위에 형성된 금속 층(974)을 예시한다. 금속 층들(972 및 974)은 포일을 포함할 수 있다.

[0078] [0085] 스테이지 7은 금속 층(972) 및 유전체층(272)을 통해 복수의 캐비티들(973)이 형성된 후의 상태를 예시한다. 또한, 스테이지 7은 금속 층(974) 및 유전체층(274)을 통해 형성된 복수의 캐비티들(975)을 예시한다. 레이저 프로세스(예를 들어, 레이저 절제), 리소그래피 프로세스(예를 들어, 노광 및 현상) 및/또는 에칭 프로세스가 캐비티들(973 및 975)을 형성하는 데 사용될 수 있다.

[0079] [0086] 스테이지 8은 도 9c에 도시된 바와 같이, 유전체 층(272) 및 금속 층(972) 위에 제1 건조 필름(950)이 형성되고, 유전체 층(274) 및 금속 층(974) 위에 제2 건조 필름(960)이 형성된 후의 상태를 예시한다. 증착 프로세스는 건조 필름들(예를 들어, 950, 960)을 형성하는 데 사용될 수 있다.

[0080] [0087] 스테이지 9는 건조 필름(950)을 통해 복수의 캐비티들(951)이 형성되고, 건조 필름(960)을 통해 복수의 캐비티들(961)이 형성된 후의 상태를 예시한다. 레이저 프로세스(예를 들어, 레이저 절제)이 캐비티들을 형성하는 데 사용될 수 있다. 캐비티들을 형성하는 것은 건조 필름 노광 및 현상을 포함할 수 있다.

[0081] [0088] 스테이지 10은 도 9d에 도시된 바와 같이, 복수의 상호연결부들(952)이 유전체 층(272) 내부 및 그 위에 형성되고, 복수의 상호연결부들(962)이 유전체 층(274) 내부 및 그 위에 형성된 후의 상태를 예시하고 있다. 도금 프로세스 또는 페이스팅 프로세스가 상호연결부들(952 및 962)을 형성하는 데 사용될 수 있다. 스테이지 10은 건조 필름들(예를 들어, 950, 960)이 제거된 후의 상태를 예시한다.

[0082] [0089] 스테이지 11은 유전체 층(272) 위에 유전체 층(276)이 형성되고, 유전체 층(274) 위에 유전체 층(278)이 형성된 후의 상태를 예시한다. 유전체 층(276) 및 유전체 층(278)을 형성하기 위해 증착 프로세스가 사용될 수 있다. 유전체 층들(272, 274, 276 및/또는 278)은 프리프레그를 포함할 수 있다. 유전체 층들(272 및/또는 274)의 비아들은 25 마이크로미터 내지 80 마이크로미터 범위의 두께를 가질 수 있다. 코어 층(270)의 비아들은 40 마이크로미터 내지 250 마이크로미터 범위의 두께를 가질 수 있다.

[0083] [0090] 스테이지 12는 매치 구조물(207a) 및 매치 구조물(207b)과 같은 다수의 매치 구조물들을 형성하는 싱글레이션 후의 상태를 예시한다. 매치 구조물(207a)은 제1 복수의 매치 상호연결부들(271) 및 제2 복수의 매치 상호연결부들(273)을 포함한다. 매치 구조물(207b)은 제1 복수의 매치 상호연결부들(271) 및 제2 복수의 매치 상호연결부들(273)을 포함한다.

[0084] **매치 구조물을 제조하기 위한 예시적인 순서**

[0085] [0091] 일부 구현예들에서, 매치 구조물의 제조는 다수의 프로세스들을 포함한다. 도 10a 내지 도 10f는 매치 구조물을 제공하거나 제조하기 위한 예시적인 순서를 예시한다. 일부 구현예들에서, 도 10a 내지 도 10f의 순서는 도 2의 매치 구조물(205)을 제공하거나 제조하는 데 사용될 수 있다. 그러나, 도 10a 내지 도 10f의 프로세스는 본 개시에 설명된 매치 구조물들 중 임의의 매치 구조물을 제조하는 데 사용될 수 있다.

[0086] [0092] 도 10a 내지 도 10f의 순서는 매치 구조물을 제공하거나 제조하기 위한 순서를 단순화 및/또는 명확화하기 위해 하나 이상의 스테이지들을 결합할 수 있음에 유의해야 한다. 일부 구현예들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다. 일부 구현예들에서, 하나 이상의 프로세스들 중 하나 이상은 본 개시의 사상을 벗어나지 않고 대체되거나 치환될 수 있다.

[0087] [0093] 스테이지 1은 도 10a에 도시된 바와 같이, 유전체 층(1000)이 제공된 후의 상태를 예시한다. 유전체 층(1000)은 금속 층들(예를 들어, 1002, 1004)을 포함할 수 있다. 유전체 층(1000)은 프리프레그를 포함할 수 있다. 금속 층들(예를 들어, 1002, 1004)은 구리 포일을 포함할 수 있다.

[0088] [0094] 스테이지 2는 금속 층(1002) 및 유전체층(1000)을 통해 복수의 캐비티들(1003)이 형성된 후의 상태를 도시한다. 레이저 프로세스(예를 들어, 레이저 절제)이 캐비티들(1003)을 형성하는 데 사용될 수 있다.

[0089] [0095] 스테이지 3은 금속 층(1002) 및 유전체층(1000) 위에 건식 필름(1006)이 형성된 후의 상태를 예시한다. 증착 프로세스는 건조 필름(1006)을 형성하는 데 사용될 수 있다. 또한, 스테이지 3은 건조 필름(1006)을 통해 복수의 캐비티들(1005)이 형성된 후의 상태를 예시한다. 캐비티들을 형성하는 것은 건조 필름 노광 및 현상 과정을 포함할 수 있다.

[0090] [0096] 스테이지 4는 유전체 층(1000) 내부 및 그 위에 복수의 상호연결부들(1007)이 형성된 후의 상태를 예시한다. 도금 프로세스 또는 페이스팅 프로세스가 상호연결부들(1007)을 형성하는 데 사용될 수 있다. 스테이지 4는 건조 필름(1006)이 제거된 후의 상태를 도시한다.

[0091] [0097] 스테이지 5는 도 10b에 도시된 바와 같이, 유전체 층(1010)이 유전체 층(1000) 및 복수의 상호연결부들(1007) 위에 형성된 후의 상태를 예시한다. 유전체 층(1010)을 형성하기 위해 증착 프로세스가 사용될 수 있다.

[0092] [0098] 스테이지 6은 유전체 층(1010)을 통해 복수의 캐비티들(1013)이 형성된 후의 상태를 예시한다. 레이저 프로세스(예를 들어, 레이저 절제), 리소그래피 프로세스(예를 들어, 노광 및 현상) 또는 에칭 프로세스가 캐비티들(1013)을 형성하는 데 사용될 수 있다.

[0093] [0099] 스테이지 7은 유전체 층(1010) 위에 건식 필름(1016)이 형성된 후의 상태를 예시한다. 증착 프로세스는 건조 필름(1016)을 형성하는 데 사용될 수 있다.

[0094] [00100] 스테이지 8은 도 10c에 도시된 바와 같이, 건식 필름(1016)을 통해 복수의 캐비티들(1015)이 형성된 후의 상태를 예시한다. 캐비티들(1015)을 형성하는 것은 건식 필름 노광 및 현상 과정을 포함할 수 있다.

[0095] [00101] 스테이지 9는 유전체 층(1010) 내부 및 그 위에 복수의 상호연결부들(1017)이 형성된 후의 상태를 예시한다. 도금 프로세스 또는 페이스팅 프로세스가 상호연결부들(1017)을 형성하는 데 사용될 수 있다. 스테이지 9는 건조 필름(1016)이 제거된 후의 상태를 예시한다.

[0096] [00102] 스테이지 10은 유전체 층(1010) 및 복수의 상호연결부들(1017) 위에 유전체 층(1020)이 형성된 후의 상태를 예시한다. 유전체 층(1020)을 형성하기 위해 증착 프로세스가 사용될 수 있다.

[0097] [00103] 스테이지 11은 도 10d에 도시된 바와 같이, 유전체 층(1020)을 통해 복수의 캐비티들(1023)이 형성된 후의 상태를 예시한다. 레이저 프로세스(예를 들어, 레이저 절제), 리소그래피 프로세스(예를 들어, 노광 및 현상) 또는 에칭 프로세스가 캐비티들(1023)을 형성하는 데 사용될 수 있다.

[0098] [00104] 스테이지 12는 유전체 층(1020) 위에 건식 필름(1026)이 형성된 후의 상태를 예시한다. 증착 프로세스는 건조 필름(1026)을 형성하는 데 사용될 수 있다.

[0099] [00105] 스테이지 13은 건조 필름(1026)을 통해 복수의 캐비티들(1025)이 형성된 후의 상태를 예시한다. 캐비티들을 형성하는 것은 건조 필름 노광 및 현상 과정을 포함할 수 있다.

[0100] [00106] 스테이지 14는 도 10e에 도시된 바와 같이, 유전체 층(1020) 내부 및 그 위에 복수의 상호연결부들(1027)이 형성된 후의 상태를 예시한다. 도금 프로세스 또는 페이스팅 프로세스가 상호연결부들(1027)을 형성하는 데 사용될 수 있다. 스테이지 14는 건조 필름(1026)이 제거된 후의 상태를 예시한다.

[0101] [00107] 스테이지 15는 유전체 층(1000) 위에 복수의 상호연결부들(1029)이 형성된 후의 상태를 예시한다. 도금 프로세스 또는 페이스팅 프로세스가 상호연결부들(1029)을 형성하는 데 사용될 수 있다. 상호연결부들(1029)은 금속 층(1004)을 포함할 수 있다. 일부 구현예들에서, 금속 층(1004)은 상호연결부들(1029)을 형성하기 전에 제거될 수 있다.

[0102] [00108] 스테이지 16은 도 10f에 도시된 바와 같이, 유전체 층(1020) 위에 유전체 층(1030)이 형성되고, 유전체 층(1000) 위에 유전체 층(1040)이 형성된 후의 상태를 예시한다. 유전체 층들(1030 및 1040)을 형성하기 위해 증착 프로세스가 사용될 수 있다.

[0103] [00109] 스테이지 17은 매치 구조물(205a) 및 매치 구조물(205b)과 같은 다수의 매치 구조물들을 형성하는 싱귤레이션(singulation) 후의 상태를 예시한다. 매치 구조물(205a)은 적어도 하나의 유전체 층(250), 제1 복수의 매치 상호연결부들(251) 및 제2 복수의 매치 상호연결부들(253)을 포함한다. 적어도 하나의 유전체 층(250)은 유전체 층들(1000, 1010, 1020, 1030, 및/또는 1040)을 나타낼 수 있다. 유전체 층들(1000, 1010, 1020, 1030, 및/또는 1040)은 프리프레그를 포함할 수 있다. 유전체 층들(1000, 1010 및/또는 1020)의 비아들은 25 마이크로미터 내지 80 마이크로미터 범위의 두께를 가질 수 있다. 제1 복수의 매치 상호연결부들(251)은 복수

의 상호연결부들(1007, 1017, 1027 및/또는 1029)로부터의 제1 상호연결부들을 포함할 수 있다. 제2 복수의 매치 상호연결부들(253)은 복수의 상호연결부들(1007, 1017, 1027 및/또는 1029)로부터의 제2 상호연결부들을 포함할 수 있다.

[0104] **예시적인 전자 디바이스들**

[0105] [00110] 도 11은 전술한 디바이스, 통합 디바이스, 집적 회로(IC) 패키지, 집적 회로(IC) 디바이스, 반도체 디바이스, 집적 회로, 다이, 인터포저, 패키지, 패키지-온-패키지(PoP), 시스템 인 패키지(SiP) 또는 시스템 온 칩(SoC) 중 어느 하나와 통합될 수 있는 다양한 전자 디바이스들을 예시한다. 예를 들어, 모바일 폰 디바이스(1102), 랩톱 컴퓨터 디바이스(1104), 고정 위치 단말 디바이스(1106), 웨어러블 디바이스(1108) 또는 자동차 차량(1110)은 본 명세서에 설명된 바와 같은 디바이스(1100)를 포함할 수 있다. 디바이스(1100)는 예를 들어, 본 명세서에 설명된 디바이스들 및/또는 집적 회로(IC) 패키지들 중 임의의 것일 수 있다. 도 11에 예시된 디바이스들(1102, 1104, 1106 및 1108) 및 차량(1110)은 단지 예시적인 것일 뿐이다. 다른 전자 디바이스들은 또한 모바일 디바이스들, 휴대용 개인 통신 시스템들(PCS) 유닛들, 휴대용 데이터 유닛들, 예를 들어 개인 정보 단말기(personal digital assistant)들, GPS(global positioning system) 지원 디바이스들, 내비게이션 디바이스들, 셋톱 박스들, 음악 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 검침 장비와 같은 고정 위치 데이터 유닛들, 통신 디바이스들, 스마트폰들, 태블릿 컴퓨터들, 컴퓨터들, 웨어러블 디바이스들(예를 들어, 시계들, 안경들), IoT(internet of things) 디바이스들, 서버들, 라우터들, 자동차들(예를 들어, 자율주행 차량)에 구현된 전자 디바이스들, 데이터 또는 컴퓨터 명령들을 저장하거나 검색하는 임의의 다른 디바이스 또는 이들의 임의의 조합을 포함하는 디바이스들(예를 들어, 전자 디바이스들)의 그룹을 포함하는(그러나, 이제 제한되지 않음) 디바이스(1100)를 특징으로 한다.

[0106] [00111] 도 2 내지 도 6, 도 7a 내지 도 7d, 도 8, 도 9a 내지 도 9d, 도 10a 내지 도 10f 및/또는 도 11에 예시된 구성요소들, 프로세스들, 특징들 및/또는 기능들 중 하나 이상이 단일 구성요소, 프로세스, 특징 또는 기능에 재배치 및/또는 결합될 수 있으며, 또는 여러 구성요소들, 프로세스들 또는 기능들로 구체화될 수도 있다. 추가의 요소들, 구성요소들, 프로세스들 및/또는 기능들은 또한 본 개시를 벗어나지 않고 추가될 수 있다. 또한, 도 2 내지 도 6, 도 7a 내지 도 7d, 도 8, 도 9a 내지 도 9d, 도 10a 내지 도 10f 및/또는 도 11 및 본 개시의 해당 설명은 다이들 및/또는 IC들에 제한되지 않는다는 점에 유의해야 한다. 일부 구현예들에서, 도 2 내지 도 6, 도 7a 내지 도 7d, 도 8, 도 9a 내지 도 9d, 도 10a 내지 도 10f 및/또는 도 11 및 그 대응하는 설명은 디바이스들 및/또는 통합 디바이스들을 제조, 생성, 제공 및/또는 생산하기 위해 사용될 수 있다. 일부 구현예들에서, 디바이스는 다이, 통합 디바이스, 통합 수동 디바이스(IPD), 다이 패키지, 집적 회로(IC) 디바이스, 디바이스 패키지, 집적 회로(IC) 패키지, 웨이퍼, 반도체 디바이스, 패키지-온-패키지(PoP) 디바이스, 방열 디바이스 및/또는 인터포저를 포함할 수 있다.

[0107] [00112] 본 개시의 도면들은 다양한 부품들, 구성요소들, 물체들, 디바이스들, 패키지들, 통합 디바이스들, 집적 회로들 및/또는 트랜지스터들의 실제 표현들 및/또는 개념적 표현들을 나타낼 수 있음에 유의해야 한다. 일부 예시들에서, 도면들은 실척대로 그려지지 않을 수 있다. 일부 예시들에서, 명확성을 위해 모든 구성 요소들 및/또는 부품들이 표시되지 않은 경우도 있다. 일부 예시들에서, 도면들에 도시된 다양한 부품들 및/또는 구성요소들의 포지션, 위치, 크기들 및/또는 형상들은 예시적인 것일 수 있다. 일부 구현예들에서, 도면들에 도시된 다양한 구성요소들 및/또는 부품들은 선택적일 수 있다.

[0108] [00113] 본 명세서에서 "예시적"이라는 단어는 "예, 예시 또는 실례로서의 역할"을 의미하는 것으로 사용된다. 본 명세서에서 "예시적"으로서 설명되는 구현예 또는 양태는 반드시 본 개시의 다른 양태들보다 선호되거나 유리한 것으로 해석되어야 하는 것은 아니다. 마찬가지로, "양태들"이라는 용어는 본 개시의 모든 양태들이 논의된 특징, 이점 또는 작동 모드를 포함할 것을 요구하지 않는다. 본 명세서에서 "결합된"이라는 용어는 두 물체들 사이의 직접적 또는 간접적 결합(예를 들어, 기계적 결합)을 지칭하기 위해 사용된다. 예를 들어, 물체(A)가 물체(B)에 물리적으로 닿아 있고, 물체(B)가 물체(C)에 닿아 있는 경우, 물체들(A 및 C)은 서로 직접 물리적으로 닿지 않더라도 서로 결합된 것으로 간주될 수 있다. "전기적으로 결합된"이라는 용어는 두 물체들이 직접 또는 간접적으로 함께 결합되어 전류(예를 들어, 신호, 전력, 접지)가 두 물체들 사이를 이동할 수 있음을 의미할 수 있다. 전기적으로 결합된 두 물체들은 두 물체들 사이에 전류가 흐르거나 흐르지 않을 수 있다. "제1", "제2", "제3" 및 "제4"(및/또는 제4를 초과하는 임의의 것)라는 용어의 사용은 임의적이다. 설명된 구성요소들 중 임의의 구성요소는 제1 구성요소, 제2 구성요소, 제3 구성요소 또는 제4 구성요소일 수 있다. 예를 들어, 제2 구성요소로 지칭되는 구성요소는 제1 구성요소, 제2 구성요소, 제3 구성요소 또는 제4 구성요소일 수 있다. "캡슐화"라는 용어는 물체가 다른 물체를 부분적으로 캡슐화하거나 완전히 캡슐화할 수 있음을 의미한다. "최

상부"와 "하부"라는 용어는 임의적이다. 최상부에 위치한 구성요소는 하부에 위치한 구성요소 위에 위치할 수 있다. 최상부 구성요소는 하부 구성요소로 간주될 수 있으며, 그 반대의 경우도 마찬가지이다. 본 개시에 설명된 바와 같이, 제2 구성요소 "위에" 위치하는 제1 구성요소는 하부 또는 최상부가 임의로 정의되는 방식에 따라, 제1 구성요소가 제2 구성요소의 위 또는 아래에 위치한다는 것을 의미할 수 있다. 다른 예에서, 제1 구성요소는 제2 구성요소의 제1 표면 위(예를 들어, 상)에 위치할 수 있고, 제3 구성요소는 제2 구성요소의 제2 표면 위(예를 들어, 아래)에 위치할 수 있으며, 여기서 제2 표면은 제1 표면과 대향한다. 또한, 본 출원에서 다른 구성요소 위에 위치한 하나의 구성요소의 맥락에서 사용되는 "위에"라는 용어는 다른 구성요소 및/또는 다른 구성요소 내에 있는(예를 들어, 구성요소의 표면에 있거나 구성요소에 내장된) 구성요소를 의미하는 것으로 사용될 수 있음에 유의해야 한다. 따라서, 예를 들어, 제2 구성요소 위에 있는 제1 구성요소는 (1) 제1 구성요소가 제2 구성요소 위에 있지만 제2 구성요소에 직접 닿지 않고, (2) 제1 구성요소가 제2 구성요소 위에 (예를 들어, 표면 위에) 있고, 및/또는 (3) 제1 구성요소가 제2 구성요소 내에 있음(예를 들어, 임베디드됨)을 의미할 수 있다. 제2 구성요소 "내에" 위치한 제1 구성요소는 제2 구성요소 내에 부분적으로 위치하거나 제2 구성요소 내에 완전히 위치할 수 있다. 본 개시에서 사용된 "약 '값 x'" 또는 "대략 값 x"라는 용어는 '값 x'의 10 % 이내를 의미한다. 예를 들어, 약 1 또는 대략 1의 값은 0.9 내지 1.1 범위의 값을 의미한다.

[0109] [00114] 일부 구현예들에서, 상호연결부들은 두 지점들, 요소들 및/또는 구성요소들 사이의 전기적 연결을 허용하거나 용이하게 하는 디바이스 또는 패키지의 요소 또는 구성요소이다. 일부 구현예들에서, 상호연결부는 트레이스, 비아, 패드, 필러, 금속화 층, 재분배 층 및/또는 언더 범프 금속화(UBM) 층/상호연결부를 포함할 수 있다. 일부 구현예들에서, 상호연결부는 신호(예를 들어, 데이터 신호), 접지 및/또는 전력에 대한 전기 경로를 제공하도록 구성될 수 있는 전기 전도성 재료를 포함할 수 있다. 상호연결부는 하나를 초과하는 요소 또는 구성요소를 포함할 수 있다. 상호연결부는 하나 이상의 상호연결부들로 정의될 수 있다. 상호연결부는 하나 이상의 금속 층들을 포함할 수 있다. 상호연결부는 회로의 일부일 수 있다. 서로 다른 구현예들은 상호연결부들을 형성하기 위해 서로 다른 프로세스들 및/또는 순서들을 사용할 수 있다. 일부 구현예들에서, 화학 기상 증착(CVD) 프로세스, 물리적 기상 증착(PVD) 프로세스, 스퍼터링 프로세스, 스프레이 코팅 및/또는 도금 프로세스가 상호연결부들을 형성하기 위해 사용될 수 있다.

[0110] [00115] 또한, 본 명세서에 포함되는 다양한 개시들은 순서도, 흐름도, 구조도 또는 블록도로 묘사된 프로세스으로 설명될 수 있음에 유의한다. 흐름도는 동작들을 순차적인 프로세스로 설명할 수 있지만, 많은 동작들이 병렬적으로 또는 동시에 수행될 수 있다. 또한, 동작들의 순서는 재정렬될 수 있다. 프로세스는 그의 동작들이 완료될 때 종료된다.

[0111] [00116] 이하, 본 발명의 이해를 용이하게 하기 위해 추가 예들을 설명한다.

[0112] [00117] 양태 1: 코어 층; 코어 층 내에 위치된 매치 구조물; 코어 층의 제1 표면에 결합된 적어도 하나의 제1 유전체 층; 및 코어 층의 제2 표면에 결합된 적어도 하나의 제2 유전체 층을 포함하는 기판. 매치 구조물은, 매치 구조물에서 수직 및 수평으로 연장되는 적어도 하나의 제1 매치 상호연결부; 및 매치 구조물에서 수직으로 연장되는 적어도 하나의 제2 매치 상호연결부를 포함하고, 적어도 하나의 제1 매치 상호연결부 및 적어도 하나의 제2 매치 상호연결부는 스큐 매칭을 위해 구성된다.

[0113] [00118] 양태 2: 양태 1에 있어서, 매치 구조물은 적어도 하나의 구조물 유전체 층을 더 포함하는, 기판.

[0114] [00119] 양태 3: 양태 1에 있어서, 매치 구조물은 구조물 코어 층; 및 적어도 하나의 구조물 유전체 층을 더 포함하는, 기판.

[0115] [00120] 양태 4: 양태 1 내지 양태 3에 있어서, 적어도 하나의 제1 매치 상호연결부는 포지티브 신호에 대한 전기 경로를 제공하도록 구성되고; 그리고 적어도 하나의 제2 매치 상호연결부는 네거티브 신호에 대한 전기 경로를 제공하도록 구성되는, 기판.

[0116] [00121] 양태 5: 양태 4에 있어서, 포지티브 신호 및 네거티브 신호는 한 쌍의 차동 신호들로서 구성되는, 기판.

[0117] [00122] 양태 6: 양태 1 내지 양태 5에 있어서, 적어도 하나의 제1 매치 상호연결부 및 적어도 하나의 제2 매치 상호연결부는 차동 쌍의 매치 상호연결부들로서 구성되는, 기판.

[0118] [00123] 양태 7: 양태 1 내지 양태 6에 있어서, 적어도 하나의 제2 매치 상호연결부는 적어도 하나의 턴의 상호연결부들을 포함하는, 기판.

[0119] [00124] 양태 8: 양태 1 내지 양태 7에 있어서, 적어도 하나의 제1 매치 상호연결부를 포함하는 두 개의 제1 단자들 사이의 제1 전기 경로 거리는 적어도 하나의 제2 매치 상호연결부를 포함하는 두 개의 제2 단자들 사이의 제2 전기 경로 거리와 대략 동일한, 기판.

[0120] [00125] 양태 9: 양태 1 내지 양태 8에 있어서, 적어도 하나의 제1 매치 상호연결부는 매치 구조물의 구조물 유전체 층에서 수직 및 수평으로 연장되고; 그리고 적어도 하나의 제2 매치 상호연결부는 매치 구조물의 구조물 유전체 층에서 수직으로 연장되는, 기판.

[0121] [00126] 양태 10: 양태 1 내지 양태 9에 있어서, 기판은 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 정보 단말기, 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, IoT(internet of things) 디바이스, 및 자동차 차량의 디바이스로 구성된 그룹으로부터 선택된 디바이스에 통합되는, 기판.

[0122] [00127] 양태 11: 통합 디바이스 및 통합 디바이스에 결합된 기판을 포함하는 패키지. 기판은, 코어 층, 코어 층 내에 위치된 매치 구조물, 코어 층의 제1 표면에 결합된 적어도 하나의 제1 유전체 층 및 코어 층의 제2 표면에 결합된 적어도 하나의 제2 유전체 층을 포함한다. 매치 구조물은 매치 구조물에서 수직 및 수평으로 연장되는 적어도 하나의 제1 매치 상호연결부 및 매치 구조물에서 수직으로 연장되는 적어도 하나의 제2 매치 상호연결부를 포함하고, 적어도 하나의 제1 매치 상호연결부 및 적어도 하나의 제2 매치 상호연결부는 스큐 매칭을 위해 구성된다.

[0123] [00128] 양태 12: 양태 11에 있어서, 매치 구조물은 적어도 하나의 구조물 유전체 층을 더 포함하는, 패키지.

[0124] [00129] 양태 13: 양태 11에 있어서, 매치 구조물은 구조물 코어 층; 및 적어도 하나의 구조물 유전체 층을 더 포함하는, 패키지.

[0125] [00130] 양태 14: 양태 11 내지 양태 13에 있어서, 적어도 하나의 제1 매치 상호연결부는 포지티브 신호에 대한 전기 경로를 제공하도록 구성되고; 그리고 적어도 하나의 제2 매치 상호연결부는 네거티브 신호에 대한 전기 경로를 제공하도록 구성되는, 패키지.

[0126] [00131] 양태 15: 양태 14에 있어서, 포지티브 신호 및 네거티브 신호는 한 쌍의 차동 신호들로서 구성되는, 패키지.

[0127] [00132] 양태 16: 양태 11 내지 양태 15에 있어서, 적어도 하나의 제1 매치 상호연결부 및 적어도 하나의 제2 매치 상호연결부는 차동 쌍의 상호연결부들로서 구성되는, 패키지.

[0128] [00133] 양태 17: 양태 11 내지 양태 16에 있어서, 적어도 하나의 제1 매치 상호연결부를 포함하는 두 개의 제1 단자들 사이의 제1 전기 경로 거리가 적어도 하나의 제2 매치 상호연결부를 포함하는 두 개의 제2 단자들 사이의 제2 전기 경로 거리와 대략 동일한, 패키지.

[0129] [00134] 양태 18: 코어 층; 코어 층 내에 위치된 스큐 매칭을 위한 수단, 코어 층의 제1 표면에 결합된 적어도 하나의 제1 유전체 층 및 코어 층의 제2 표면에 결합된 적어도 하나의 제2 유전체 층을 포함하는 장치. 스큐 매칭을 위한 수단은, 스큐 매칭을 위한 수단에서 수직 및 수평으로 연장되는 적어도 하나의 제1 매치 상호연결부; 및 스큐 매칭을 위한 수단에서 수직으로 연장되는 적어도 하나의 제2 매치 상호연결부를 포함하고, 적어도 하나의 제1 매치 상호연결부 및 적어도 하나의 제2 매치 상호연결부는 제1 신호 및 제2 신호에 대한 시간 신호 매칭을 제공하도록 구성된다.

[0130] [00135] 양태 19: 양태 18에 있어서, 적어도 하나의 제1 매치 상호연결부는 포지티브 신호에 대한 전기 경로를 제공하도록 구성되고; 그리고 적어도 하나의 제2 매치 상호연결부는 네거티브 신호에 대한 전기 경로를 제공하도록 구성되는, 장치.

[0131] [00136] 양태 20: 양태 18 또는 양태 19에 있어서, 적어도 하나의 제1 매치 상호연결부를 포함하는 두 개의 제1 단자들 사이의 제1 전기 경로 거리는 적어도 하나의 제2 매치 상호연결부를 포함하는 두 개의 제2 단자들 사이의 제2 전기 경로 거리와 대략 동일한, 장치.

[0132] [00137] 양태 21: 기판을 제조하기 위한 방법. 이 방법은 적어도 하나의 캐비티를 갖는 코어 층을 제공한다. 이 방법은 코어 층의 적어도 하나의 캐비티에 매치 구조물을 배치한다. 매치 구조물은, 매치 구조물에서 수직 및 수평으로 연장되는 적어도 하나의 제1 매치 상호연결부 및 매치 구조물에서 수직으로 연장되는 적어도 하나의 제2 매치 상호연결부를 포함하고, 적어도 하나의 제1 매치 상호연결부 및 적어도 하나의 제2 매치 상호연결

부는 스큐 매칭을 위해 구성된다. 이 방법은 코어 층의 제1 표면 위에 적어도 하나의 제1 유전체 층을 형성한다. 이 방법은 코어 층의 제2 표면 위에 적어도 하나의 제2 유전체 층을 형성한다.

[0133] [00138] 양태 22: 양태 21에 있어서, 매치 구조물은 구조물 코어 층; 및 적어도 하나의 구조물 유전체 층을 더 포함하는, 기판 제조 방법.

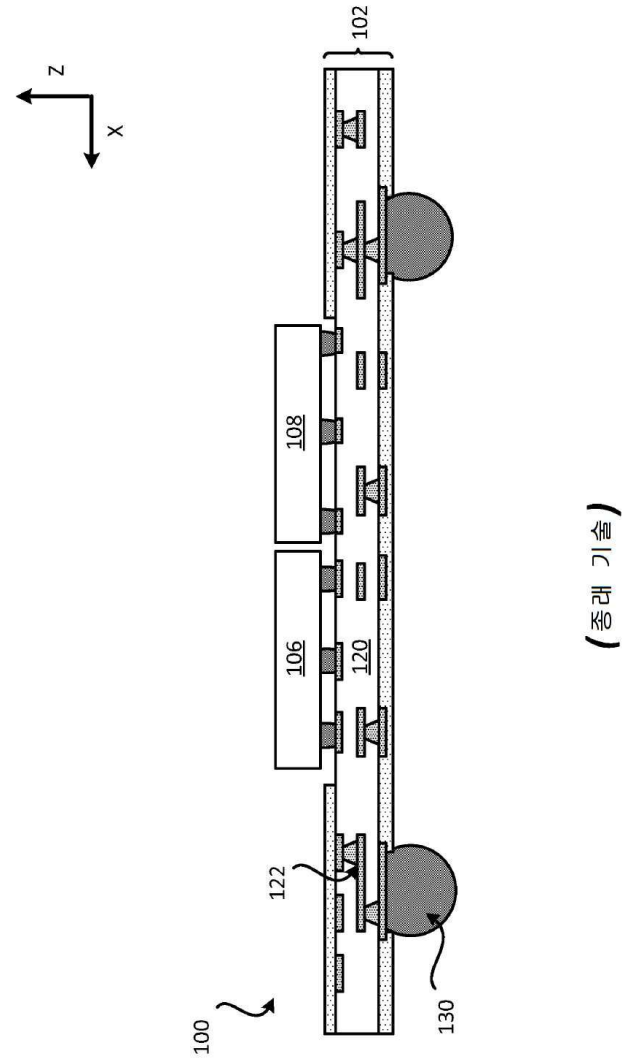
[0134] [00139] 양태 23: 양태 21 또는 양태 22에 있어서, 적어도 하나의 제1 매치 상호연결부는 포지티브 신호에 대한 전기 경로를 제공하도록 구성되고; 그리고 적어도 하나의 제2 매치 상호연결부는 네거티브 신호에 대한 전기 경로를 제공하도록 구성되는, 기판 제조 방법.

[0135] [00140] 양태 24: 양태 21 내지 양태 23에 있어서, 적어도 하나의 제1 매치 상호연결부를 포함하는 두 개의 제1 단자들 사이의 제1 전기 경로 거리는 적어도 하나의 제2 매치 상호연결부를 포함하는 두 개의 제2 단자들 사이의 제2 전기 경로 거리와 대략 동일한, 기판 제조 방법.

[0136] [00141] 본 명세서에 설명된 개시의 다양한 특징들은 본 개시를 벗어나지 않고 서로 다른 시스템들에서 구현될 수 있다. 전술한 본 개시의 양태들은 단지 예들일 뿐이며, 본 개시를 제한하는 것으로 해석되어서는 안 된다는 점에 유의해야 한다. 본 개시의 양태들에 대한 설명은 예시적인 것이며 청구항들의 범위를 제한하기 위한 것이 아니다. 따라서, 본 교시내용들은 다른 유형들의 장치들에 쉽게 적용될 수 있으며, 당업자들에게는 많은 대안들, 수정들 및 변형들이 명백할 것이다.

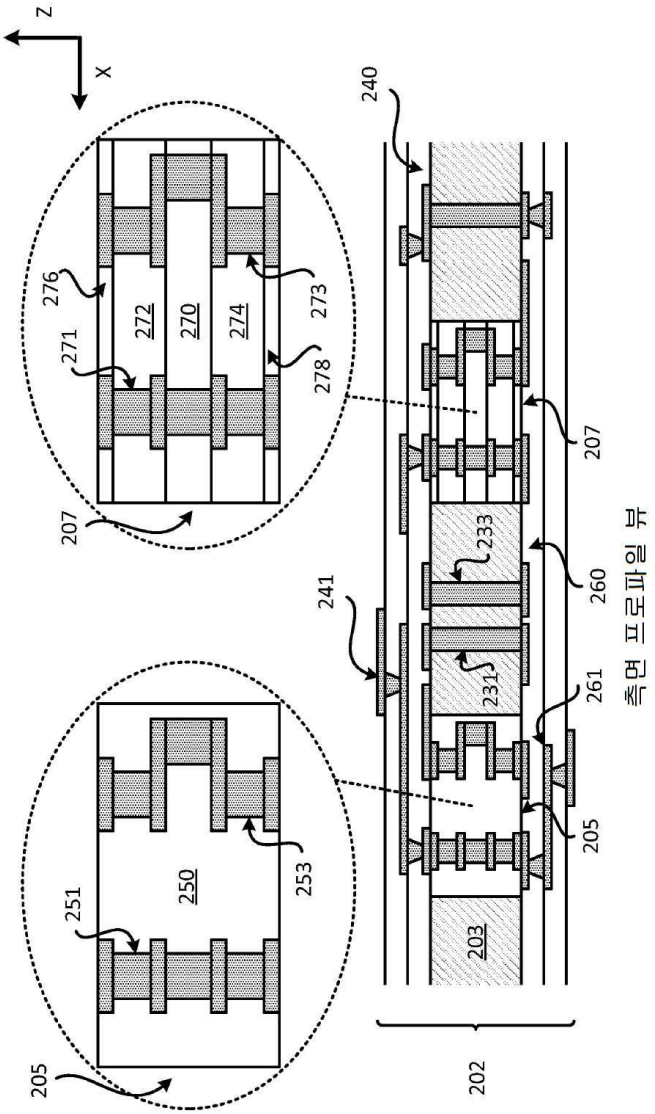
도면

도면1

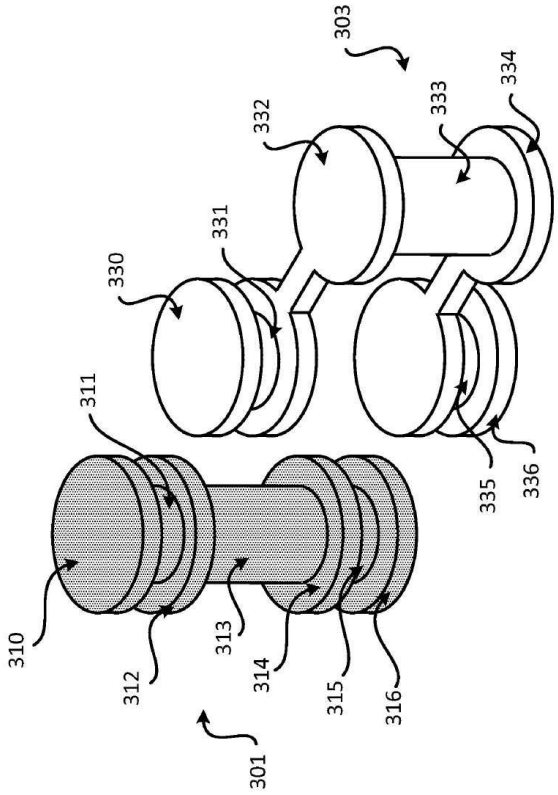


(종래 기술)

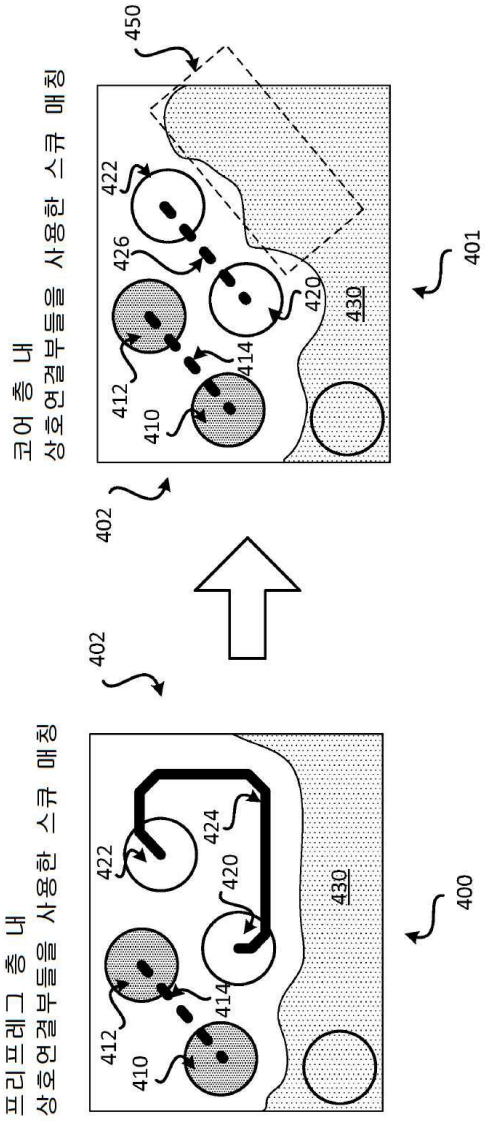
도면2


Z
X
240
276
271
272
270
274
273
278
207
241
233
231
260
261
205
203
202
250
251
253
205
측면 프로파일 뷰

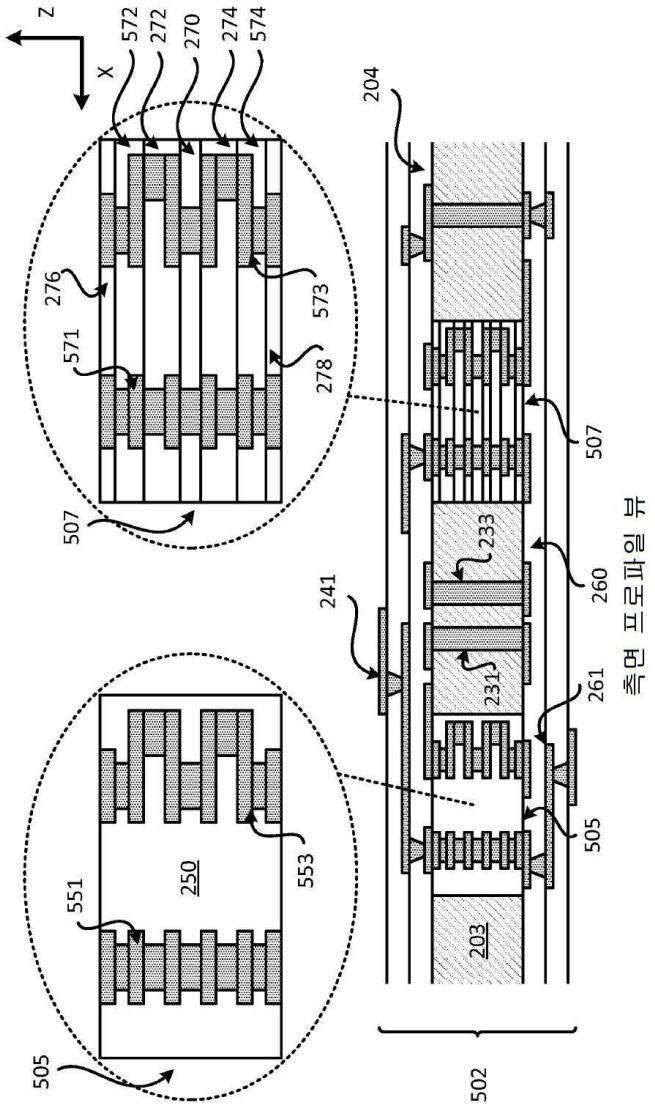
도면3



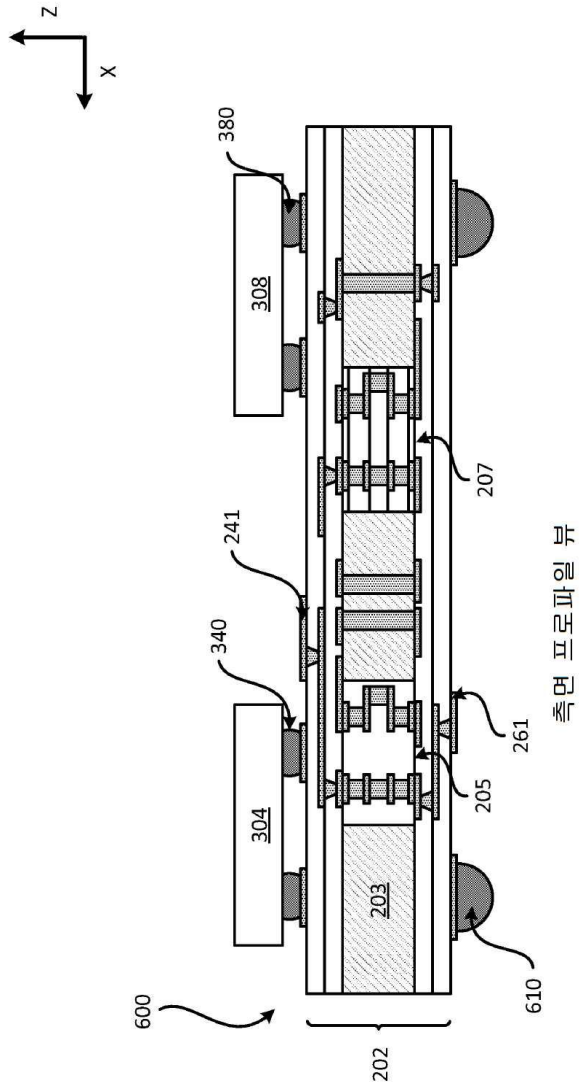
도면4


프리프레그 층 내
상호연결부들을 사용한 스큐 매칭
코어 층 내
상호연결부들을 사용한 스큐 매칭
400
401
402
402
410
412
414
420
422
424
426
430
450

도면5

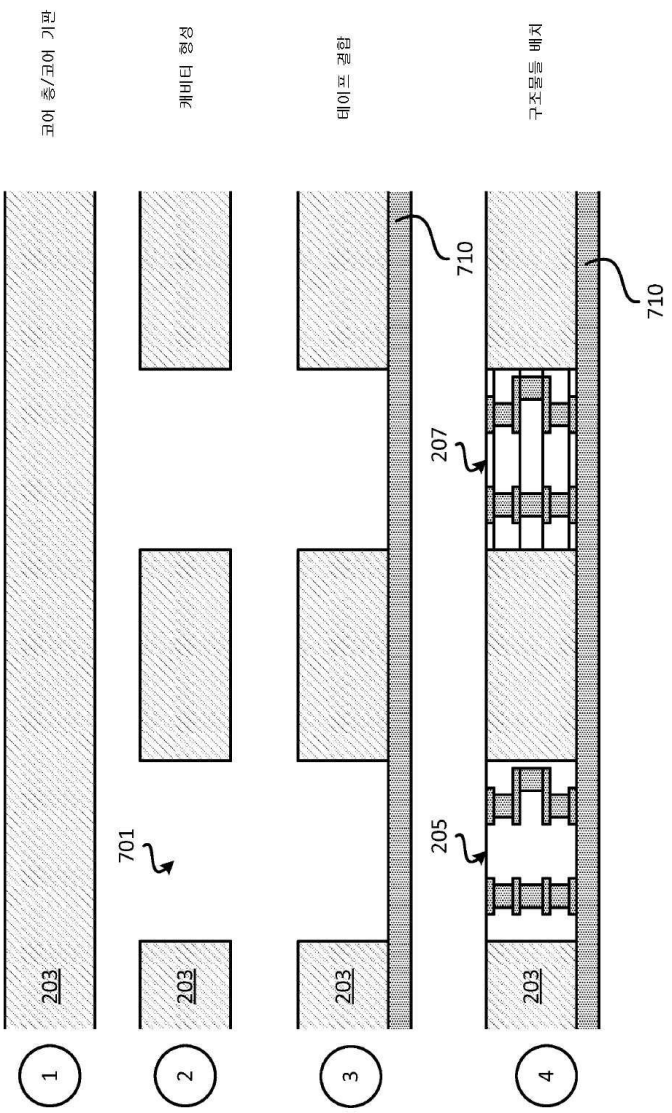

Z
X
572
272
270
274
574
204
276
573
571
278
507
241
233
260
231
261
505
250
551
553
203
502
측면 프로파일 뷰

도면6

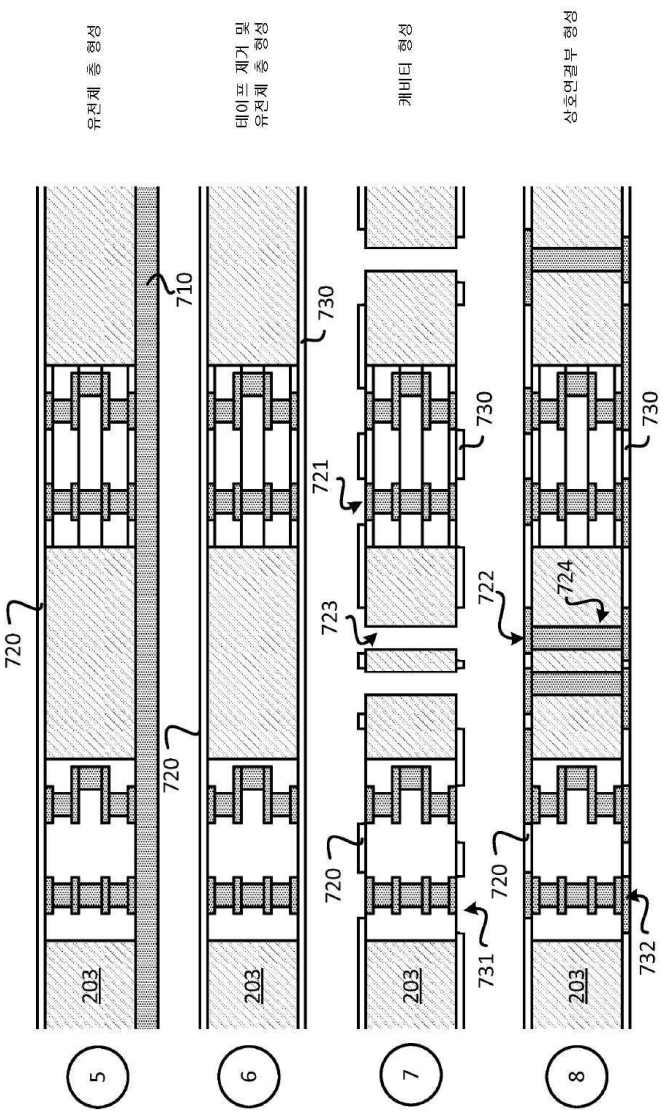


측면 프로파일 뷰

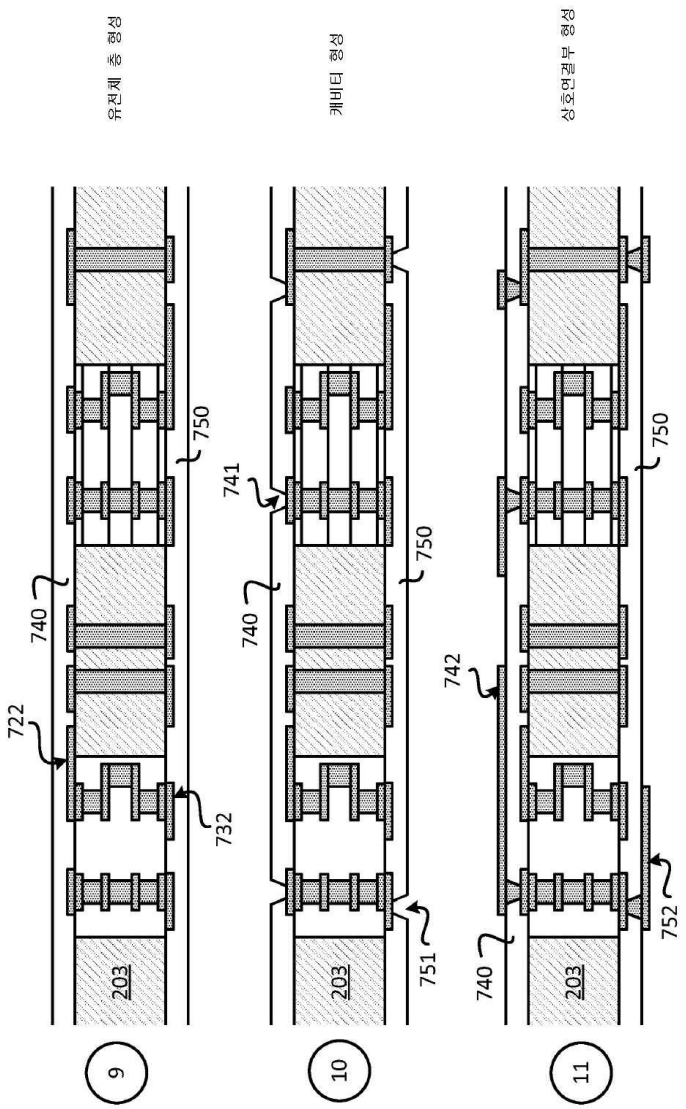
도면7a



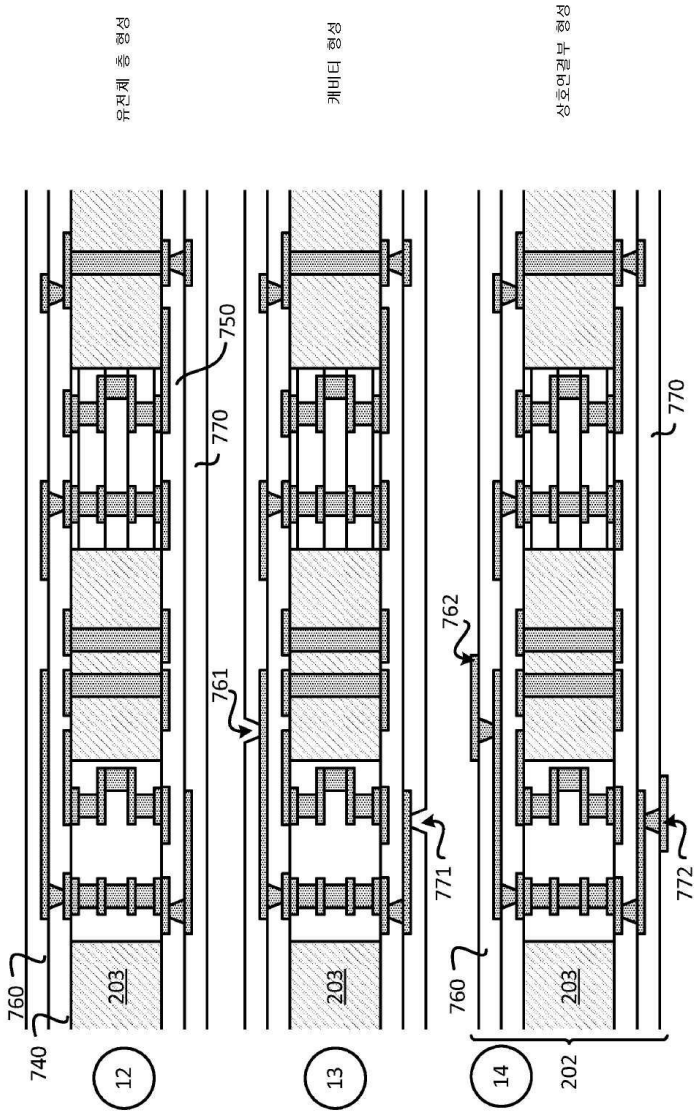
도면7b


유전체 층 형성
테이프 제거 및 유전체 층 형성
캐비티 형성
상호연결부 형성
720
710
720
730
721
723
720
731
730
722
724
720
730
732
203
203
203
203
5
6
7
8

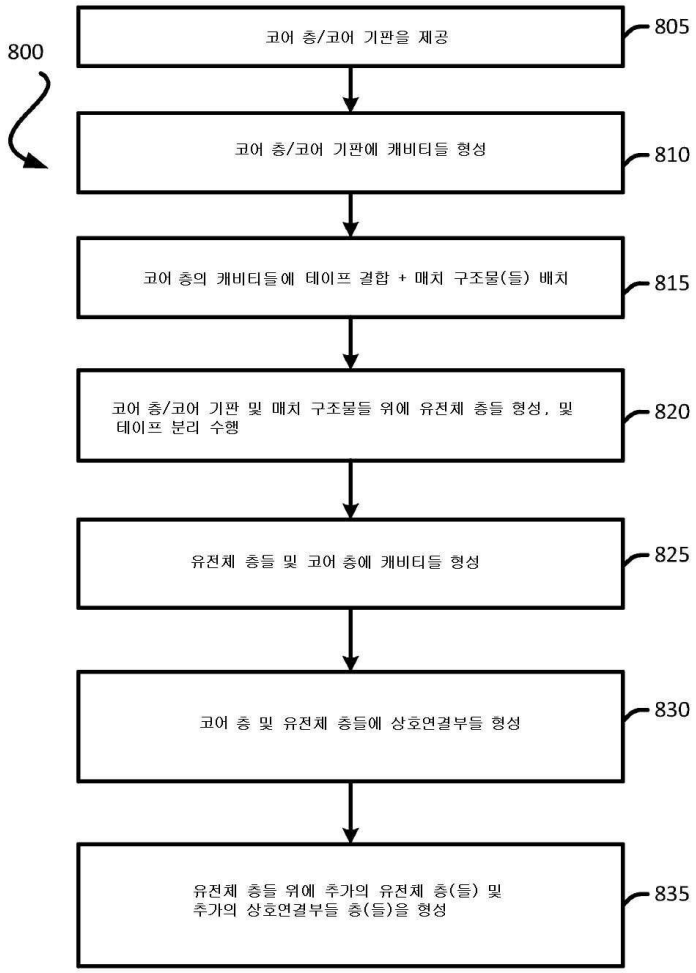
도면7c


유전체 층 형성
캐비티 형성
상호연결부 형성
722
740
732
750
741
751
742
752
203
9
10
11

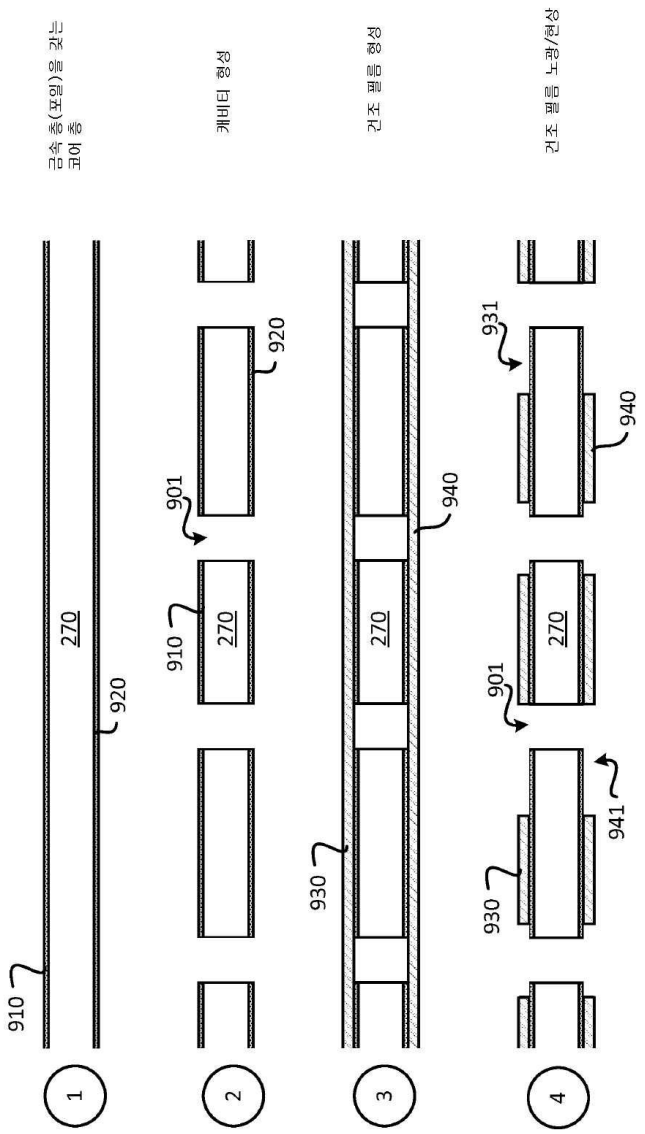
도면7d


유전체 층 형성
캐비티 형성
상호연결부 형성
740
760
203
750
770
761
762
771
772
202
12
13
14

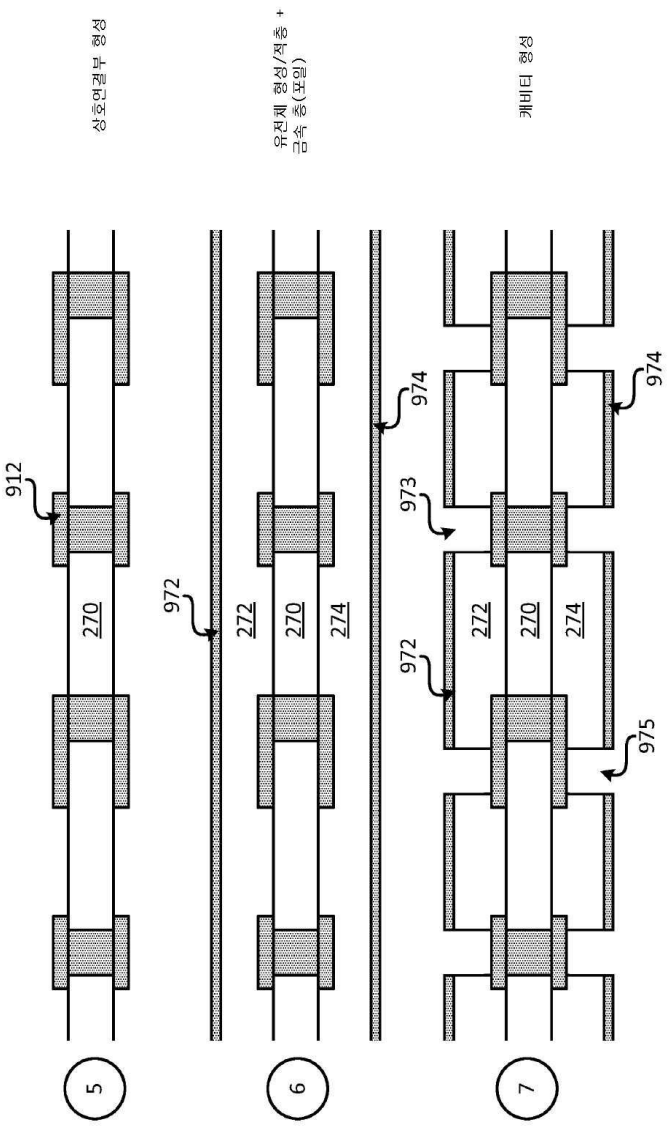
도면8


800
코어 층/코어 기판을 제공
805
코어 층/코어 기판에 캐비티들 형성
810
코어 층의 캐비티들에 테이프 결합 + 매치 구조물(들) 배치
815
코어 층/코어 기판 및 매치 구조물들 위에 유전체 층들 형성, 및 테이프 분리 수행
820
유전체 층들 및 코어 층에 캐비티들 형성
825
코어 층 및 유전체 층들에 상호연결부들 형성
830
유전체 층들 위에 추가의 유전체 층(들) 및 추가의 상호연결부들 층(들)을 형성
835

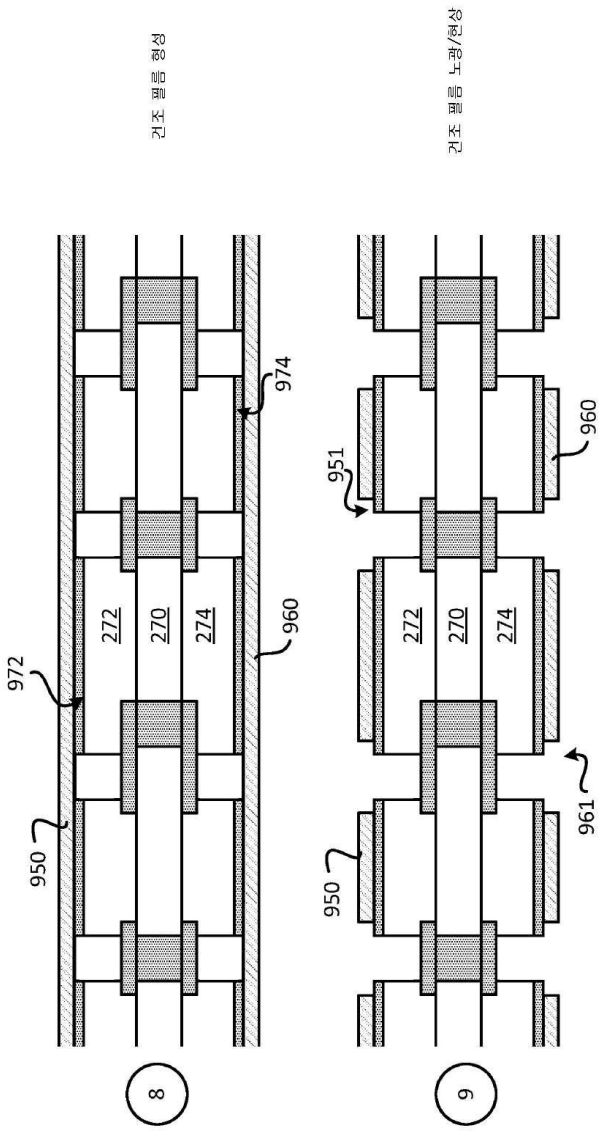
도면9a


금속 층(포일)을 갖는 코어 층
캐비티 형성
건조 필름 형성
건조 필름 노광/현상
910
920
270
901
930
940
931
941
1
2
3
4

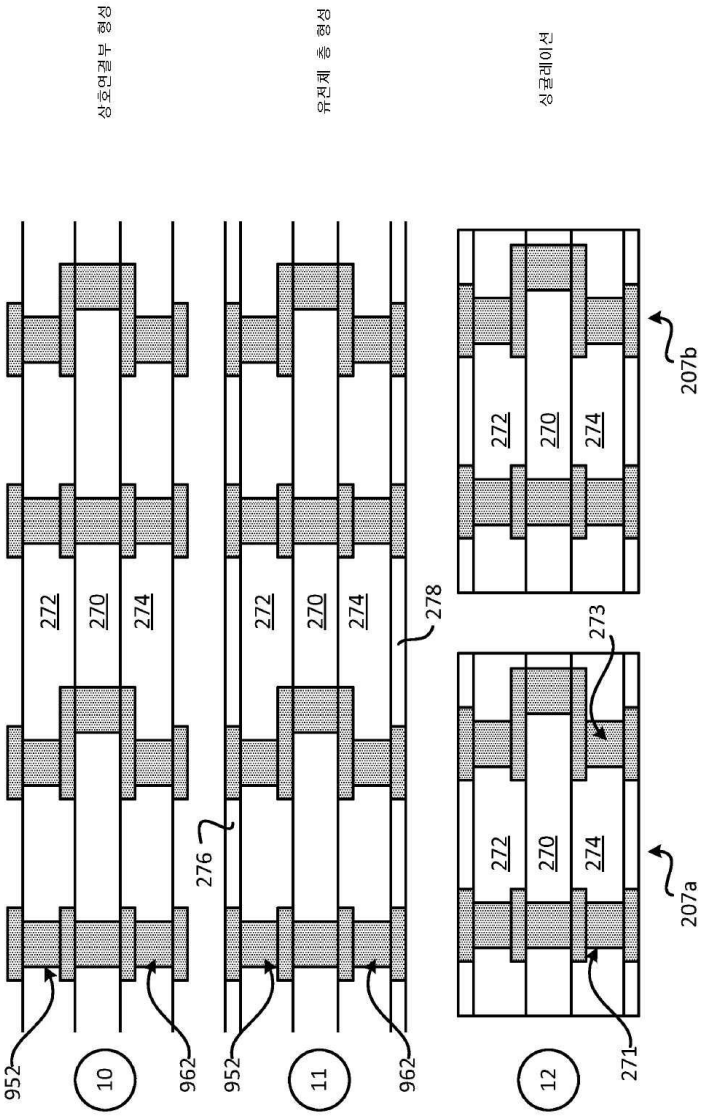
도면9b


상호연결부 형성
유전체 형성/적층 + 금속 층(포일)
캐비티 형성
912
270
972
272
270
274
974
973
972
272
270
274
974
975
5
6
7

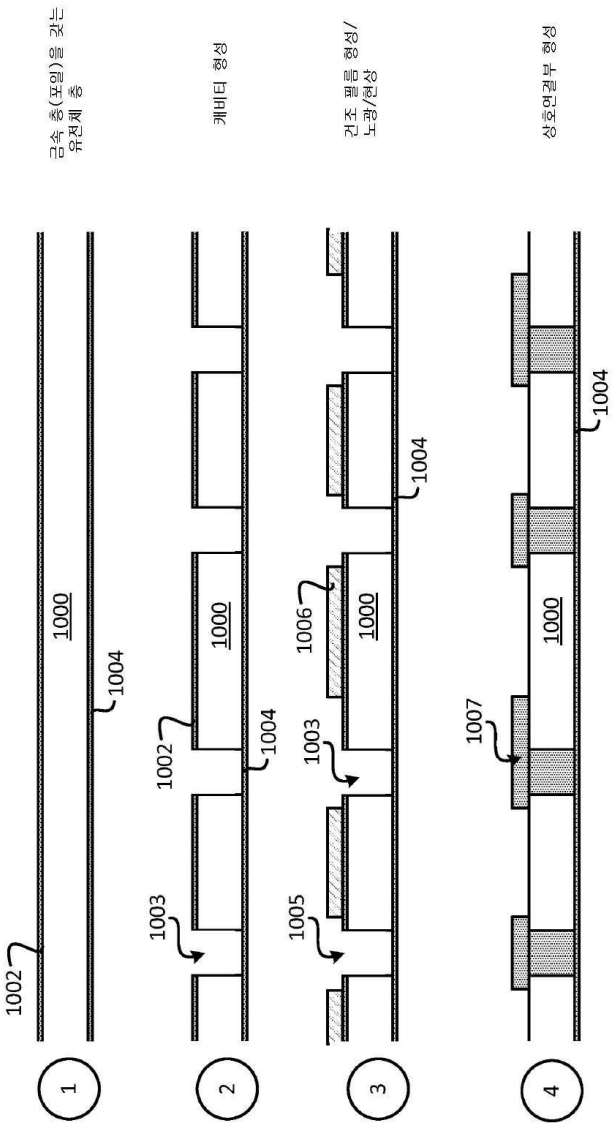
도면9c



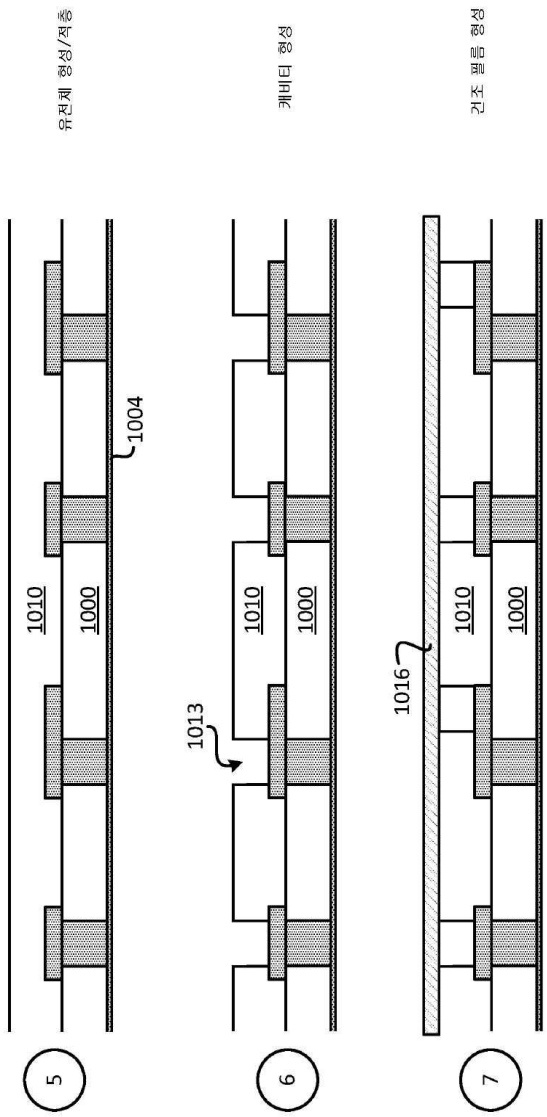
도면9d


상호연결부 형성
유전체 층 형성
상급레이션
272
270
274
278
276
273
207b
207a
952
962
271
10
11
12

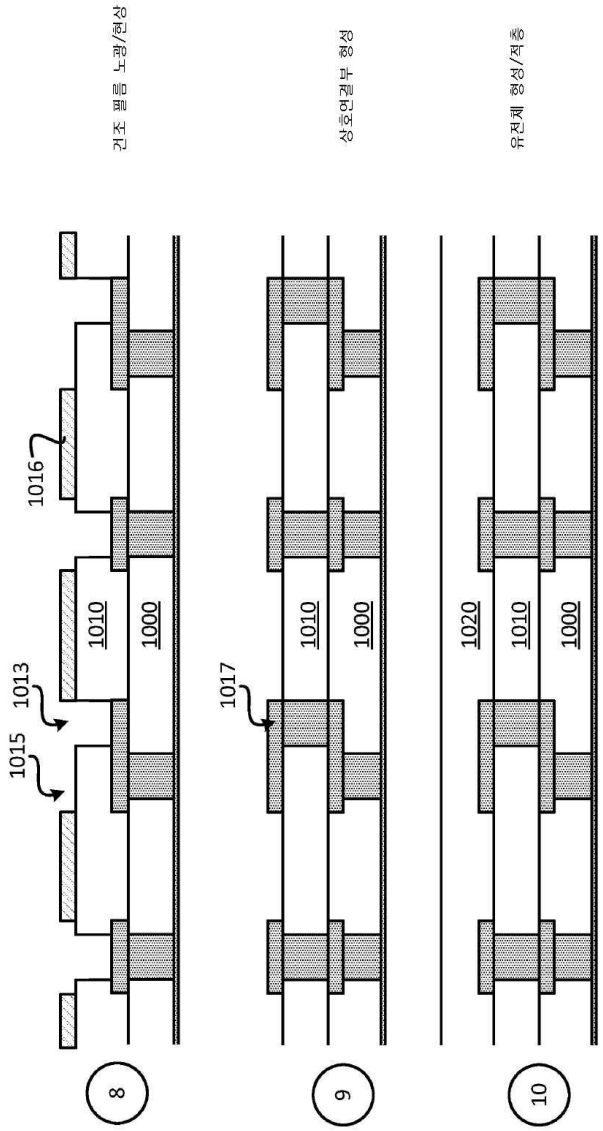
도면10a


금속 층(포일)을 갖는 유전체 층
캐비티 형성
건조 필름 형성/ 노광/현상
상호연결부 형성
1000
1002
1003
1004
1005
1006
1007
1
2
3
4

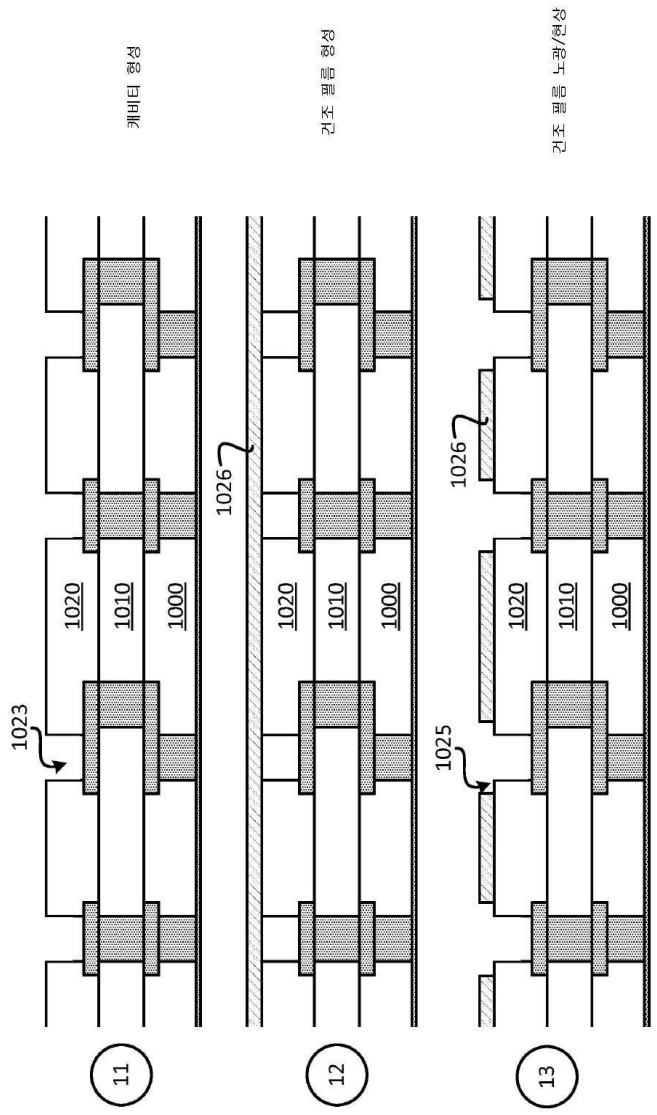
도면10b



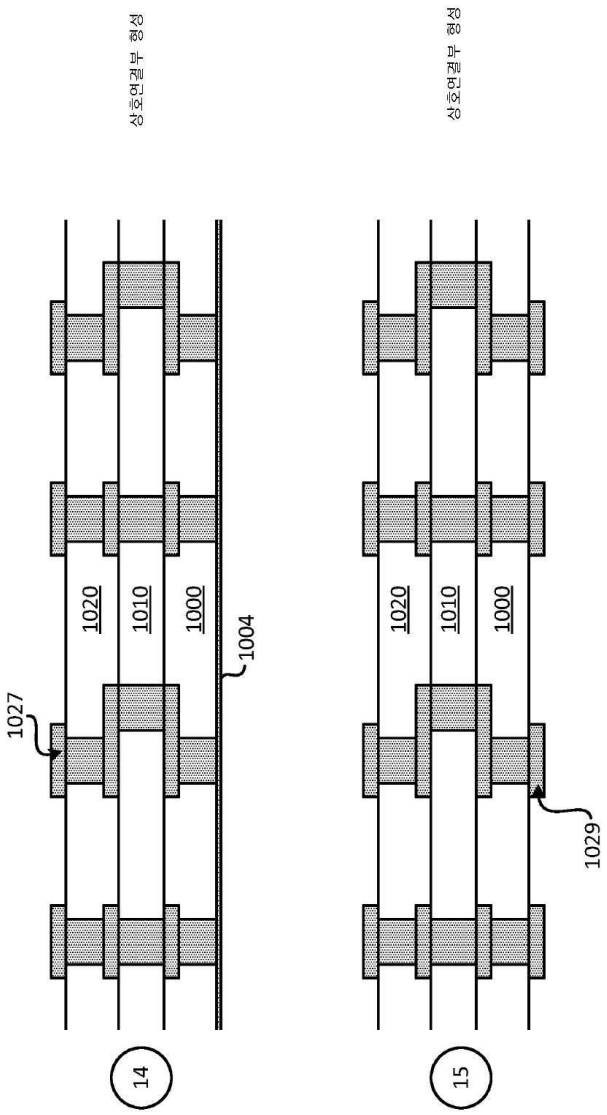
도면10c


건조 필름 노광/현상
상호연결부 형성
유전체 형성/적층
1016
1013
1015
1017
1010
1000
1020
8
9
10

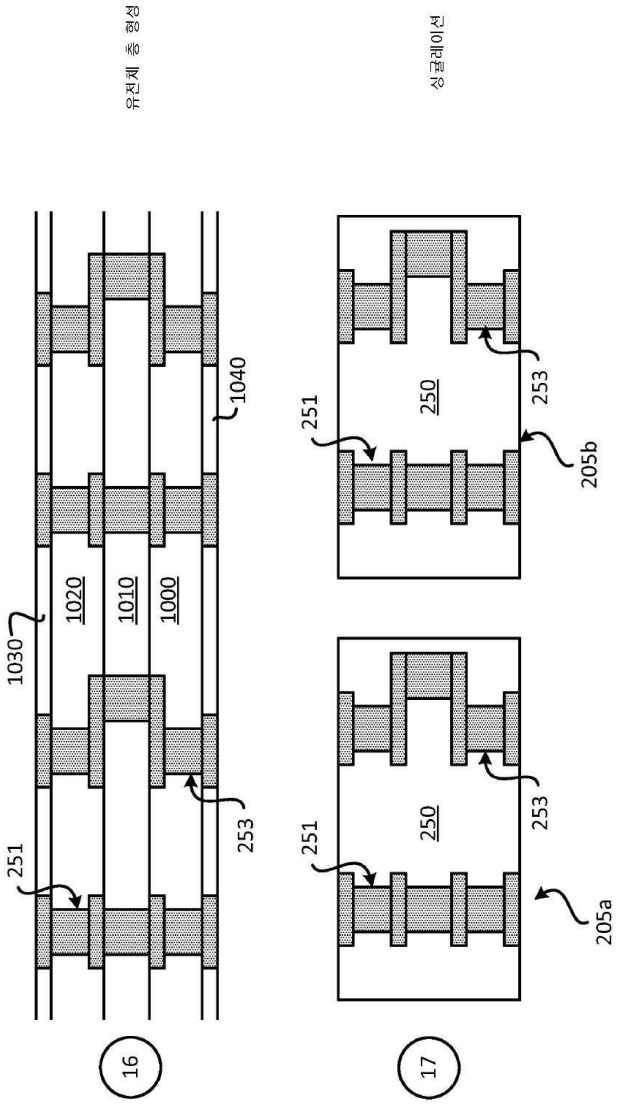
도면10d



도면10e


상호연결부 형성
상호연결부 형성
1020
1010
1000
1004
1027
1020
1010
1000
1029
14
15

도면10f


유전체 층 형성
싱귤레이션
1040
1020
1010
1000
1030
251
253
16
250
205b
205a
17

도면11

