

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年7月14日(14.07.2016)



(10) 国際公開番号
WO 2016/110906 A1

- (51) 国際特許分類:
H01L 21/338 (2006.01) H01L 29/778 (2006.01)
H01L 21/20 (2006.01) H01L 29/78 (2006.01)
H01L 21/336 (2006.01) H01L 29/812 (2006.01)
- (21) 国際出願番号: PCT/JP2015/006313
- (22) 国際出願日: 2015年12月18日(18.12.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-002047 2015年1月8日(08.01.2015) JP
- (71) 出願人: 信越半導体株式会社 (SHIN-ETSU HAN-
DOTAI CO., LTD.) [JP/JP]; 〒1000004 東京都千代田
区大手町二丁目2番1号 Tokyo (JP). サンケン電
気株式会社 (SANKEN ELECTRIC CO., LTD.)
[JP/JP]; 〒3528666 埼玉県新座市北野3丁目6番
3号 Saitama (JP).
- (72) 発明者: 萩本 和徳 (HAGIMOTO, Kazunori); 〒
3790196 群馬県安中市磯部2丁目13番1号信
越半導体株式会社 半導体磯部研究所内 Gunma
(JP). 篠宮 勝 (SHINOMIYA, Masaru); 〒3790196 群
馬県安中市磯部2丁目13番1号信越半導体株
式会社 半導体磯部研究所内 Gunma (JP). 土屋
慶太郎 (TSUCHIYA, Keitaro); 〒3790196 群馬県安

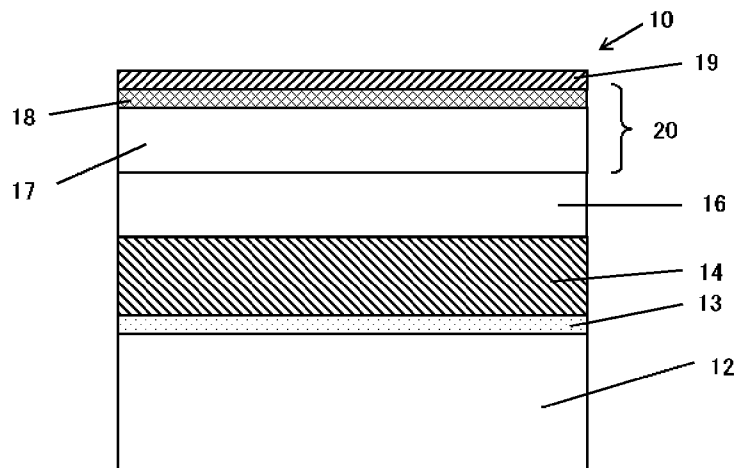
中市磯部2丁目13番1号信越半導体株式会社
半導体磯部研究所内 Gunma (JP). 後藤 博一
(GOTO, Hirokazu); 〒3528666 埼玉県新座市北野3
丁目6番3号サンケン電気株式会社内 Saitama
(JP). 佐藤 憲 (SATO, Ken); 〒3528666 埼玉県新座
市北野3丁目6番3号サンケン電気株式会社内
Saitama (JP). 鹿内 洋志 (SHIKAUCHI, Hiroshi); 〒
3528666 埼玉県新座市北野3丁目6番3号サン
ケン電気株式会社内 Saitama (JP).

- (74) 代理人: 好宮 幹夫 (YOSHIMIYA, Mikio); 〒
1100005 東京都台東区上野7丁目6番11号第
一下谷ビル8F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

[続葉有]

(54) Title: EPITAXIAL SUBSTRATE FOR ELECTRONIC DEVICE, ELECTRONIC DEVICE, METHOD FOR PRODUCING
EPITAXIAL SUBSTRATE FOR ELECTRONIC DEVICE, AND METHOD FOR PRODUCING ELECTRONIC DEVICE

(54) 発明の名称: 電子デバイス用エピタキシャル基板、電子デバイス、電子デバイス用エピタキシャル基板
の製造方法、並びに電子デバイスの製造方法



(57) Abstract: The present invention is an epitaxial substrate for an electronic device, the epitaxial substrate having a Si-based sub-
strate, an AlN initial layer provided on the Si-based substrate, and a buffer layer provided on the AlN initial layer, and the epitaxial
substrate is characterized in that the roughness Sa of the surface on the buffer layer side of the AlN initial layer is 4 nm or more. Due
to this configuration, provided is an epitaxial substrate for an electronic device, in which V-shaped pits in the buffer layer structure
are prevented and longitudinal leak current characteristics can be improved when an electronic device is produced.

(57) 要約:

[続葉有]



WO 2016/110906 A1



MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明は、S i 系基板と、該S i 系基板上に設けられたA I N初期層と、該A I N初期層上に設けられたバッファ層とを有する電子デバイス用エピタキシャル基板であって、前記A I N初期層の前記バッファ層側の表面の粗さS aが4 n m以上であることを特徴とする電子デバイス用エピタキシャル基板である。これにより、バッファ層構造のVピットを抑制し、電子デバイスを作製したときの縦方向リーク電流特性を改善することができる電子デバイス用エピタキシャル基板が提供される。

明 細 書

発明の名称：

電子デバイス用エピタキシャル基板、電子デバイス、電子デバイス用エピタキシャル基板の製造方法、並びに電子デバイスの製造方法

技術分野

[0001] 本発明は、電子デバイス用エピタキシャル基板、電子デバイス、電子デバイス用エピタキシャル基板の製造方法、並びに電子デバイスの製造方法に関する。

背景技術

[0002] 電子デバイス用化合物半導体エピタキシャルウェーハの製造技術に関して、Si基板上にGa₂N膜をエピタキシャル成長させた半導体エピタキシャルウェーハについて、その電気特性、特に縦方向でのリーク電流を改善できるような製造方法の検討が行われている。

このような検討において、半導体エピタキシャルウェーハ製造後は、半導体エピタキシャルウェーハ表面にデバイスを作製し、電気特性評価を行っている。

[0003] 従来、エピタキシャル成長を行うには、エピタキシャル成長する下地の表面が平坦な方が好ましいとされてきた。

例えば、特許文献1は初期層のAlN層の粗さに触れるものであり、AlN層に接するシリコン基板の表面粗さR_aを0.2～1nmとすることで、その上方に成長するIII族窒化物半導体の結晶性を向上させることを開示している。しかしながら、特許文献1には電気特性に関しての言及はない。

先行技術文献

特許文献

[0004] 特許文献1：特開2011-066333号公報

発明の概要

発明が解決しようとする課題

[0005] 本発明者らは、上記のようなエピタキシャルウェーハの電気的特性について検討を行い、バッファ層構造のVピットと縦方向リーク電流特性に相関関係があり、バッファ層構造のVピットが少ないと、縦方向リーク電流が減少することを見出した。

しかしながら、バッファ層構造のVピットをどのようにして抑制するかについては、検討の余地があった。

[0006] 本発明は、上記問題点に鑑みてなされたものであって、バッファ層構造のVピットを抑制し、電子デバイスを作製したときの電流リーク特性を改善することができる電子デバイス用エピタキシャル基板を提供することを目的とする。

課題を解決するための手段

[0007] 上記目的を達成するために、本発明は、Si系基板と、該Si系基板上に設けられたAlN初期層と、該AlN初期層上に設けられたバッファ層とを有する電子デバイス用エピタキシャル基板であって、前記AlN初期層の前記バッファ層側の表面の粗さ S_a が4 nm以上であることを特徴とする電子デバイス用エピタキシャル基板を提供する。

[0008] このようにAlN初期層のバッファ層側の表面の粗さ S_a が4 nm以上であれば、AlN初期層の上に形成されるバッファ層構造のVピットを抑制し、電子デバイスを作製したときの縦方向リーク電流特性を改善することができる。

[0009] このとき、前記AlN初期層の前記バッファ層側の表面の粗さ S_a が8 nm以下であることが好ましい。

このようにAlN初期層のバッファ層側の表面の粗さ S_a が8 nm以下であれば、AlN初期層の上に形成されるバッファ層構造のVピットを確実に抑制することができる。

[0010] このとき、前記バッファ層は、前記AlN初期層に接している $Al_zGa_{1-z}N$ ($0 \leq z < 1$) 層を含み、前記 $Al_zGa_{1-z}N$ ($0 \leq z < 1$) 層の前記Al

AlN初期層と反対側の表面の粗さ S_a が0.6nm以下であることが好ましい。

このように $Al_zGa_{1-z}N$ 層のAlN初期層と反対側の表面の粗さ S_a が0.6nm以下であれば、電子デバイスを作製したときの縦方向リーク電流特性を効果的に改善することができる。

[0011] このとき、前記バッファ層は、前記 $Al_zGa_{1-z}N$ ($0 \leq z < 1$) 層に接し、かつ、 $Al_xGa_{1-x}N$ ($0 < x \leq 1$) 層と $Al_yGa_{1-y}N$ ($0 \leq y < x$) 層とが交互に積層された多層膜を含み、前記多層膜の前記 $Al_zGa_{1-z}N$ ($0 \leq z < 1$) 層と反対側の表面の粗さ S_a が0.3nm以下であることが好ましい。

このように多層膜の $Al_zGa_{1-z}N$ ($0 \leq z < 1$) 層と反対側の表面の粗さ S_a が0.3nm以下であれば、電子デバイスを作製したときの縦方向リーク電流特性をより効果的に改善することができる。

[0012] このとき、前記バッファ層上に設けられたチャネル層と、該チャネル層上に設けられたバリア層と、該バリア層上に設けられたキャップ層とをさらに有することが好ましい。

このような構成であれば、電子デバイス用エピタキシャル基板として、好適に用いることができる。

[0013] また、本発明は、上記の電子デバイス用エピタキシャル基板を用いて作製された電子デバイスであって、前記電子デバイス用エピタキシャル基板上に電極が設けられているものであることを特徴とする電子デバイスを提供する。

[0014] このような電子デバイスであれば、AlN初期層の上に形成されるバッファ層構造のVピットを抑制し、縦方向リーク電流特性を改善することができる。

[0015] また、本発明は、Si系基板上にAlN初期層を形成する工程と、前記AlN初期層上にバッファ層を形成する工程と、前記バッファ層上にチャネル層を形成する工程と、前記チャネル層上にバリア層を形成する工程と、前記

バリア層上にキャップ層を形成する工程とを有し、前記A I N初期層の前記バッファ層側の表面の粗さ S_a を4 nm以上とすることを特徴とする電子デバイス用エピタキシャル基板の製造方法を提供する。

[0016] このような電子デバイス用エピタキシャル基板の製造方法であれば、A I N初期層の上に形成されるバッファ層構造のVピットが抑制され、電子デバイスを作製したときの縦方向リーク電流特性が改善される電子デバイス用エピタキシャル基板を製造することができる。

[0017] また、本発明は、S i系基板上にA I N初期層を形成する工程と、前記A I N初期層上にバッファ層を形成する工程と、前記バッファ層上にチャネル層を形成する工程と、前記チャネル層上にバリア層を形成する工程と、前記バリア層上にキャップ層を形成する工程と、前記キャップ層上に電極を形成する工程とを有し、前記A I N初期層の前記バッファ層側の表面の粗さ S_a を4 nm以上とすることを特徴とする電子デバイスの製造方法を提供する。

[0018] このような電子デバイスの製造方法であれば、A I N初期層の上に形成されるバッファ層構造のVピットが抑制され、縦方向リーク電流特性が改善される電子デバイスを製造することができる。

発明の効果

[0019] 以上のように、本発明によれば、A I N初期層の上に形成されるバッファ層構造のVピットを抑制し、電子デバイスを作製したときの縦方向リーク電流特性を改善することができる。

図面の簡単な説明

[0020] [図1]本発明の電子デバイス用エピタキシャル基板の実施態様の一例を示す断面図である。

[図2]本発明の電子デバイス用エピタキシャル基板のバッファ層の詳細な構成を示す断面図である。

[図3]本発明の電子デバイス用エピタキシャル基板のA I N初期層及びバッファ層の表面粗さも含めた詳細な構成を示す断面図である。

[図4]本発明の電子デバイスの実施態様の一例を示す断面図である。

[図5]本発明の電子デバイス用エピタキシャル基板の製造フローを示す工程断面図である。

[図6]実験例におけるバッファ層構造のVピット密度とA I N初期層の表面粗さ S_a との関係を示す図である。

[図7]実験例における縦方向リーク電流とA I N初期層の表面粗さ S_a との関係を示す図である。

[図8]実施例におけるA I N初期層成長後のA I N初期層の表面の写真を示す図である。

[図9]実施例における $A I_z Ga_{1-z} N$ ($0 \leq z < 1$) 層 (第1の層) 成長後の $A I_z Ga_{1-z} N$ ($0 \leq z < 1$) 層 (第1の層) の表面の写真を示す図である。

[図10]実施例における第1多層膜成長後の第1多層膜の表面の写真を示す図である。

[図11]比較例におけるA I N初期層成長後のA I N初期層の表面の写真を示す図である。

[図12]比較例の電子デバイス用エピタキシャル基板のA I N初期層及びバッファ層の表面粗さも含めた詳細な構成を示す断面図である。

[図13]バッファ層構造のVピットを説明するための断面図である。

[図14]バッファ層構造のVピットが生じている電子デバイス用エピタキシャル基板を示す断面図である。

[図15]縦方向リーク電流特性を示す図である。

[図16]バッファ層構造のVピットの数と縦方向リーク電流との関係を示す図である。

発明を実施するための形態

[0021] 以下、本発明について、実施態様の一例として、図を参照しながら詳細に説明するが、本発明はこれに限定されるものではない。

前述のように、本発明者らは、S i 基板上にG a N膜をエピタキシャル成長させたエピタキシャルウェーハの電気的特性について検討を行った。その

検討において、縦方向リーク電流特性の悪いものから、良いものまでを任意に選び、それぞれのウェーハを2分割し、一方の2分割ウェーハで縦方向リーク電流特性評価を行い、他方の2分割ウェーハで故障解析（断面観察）を行った。

[0022] 故障解析は、エピタキシャルウェーハを劈開し、その断面をSEMの倍率を25kとしてバッファ層構造のVピットを観察することで行った。

ここで、バッファ層構造のVピットについて説明する。本来、バッファ層の各層は、基板に対して平行に積層されなければならない。「Vピット」とは、基板に対して平行ではなく一部に窪みができて、多層膜や $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ($0 \leq z < 1$) 挿入層が平らになっていない部分（図13の楕円で囲んだ部分）をいう。

各ウェーハについて、隣り合わない任意の5点（すなわち、少し離れた5箇所）を観察して、バッファ層構造のVピットの数数を数えた（図13、図14参照）。

ここで、図13はバッファ層構造のVピットを説明するための断面図であり、図14はバッファ層構造のVピットが生じている電子デバイス用エピタキシャル基板を示す断面図である。また、図13、図14において、電子デバイス用エピタキシャル基板100は、Si基板112と、Si基板112上に設けられたAlN初期層113と、AlN初期層113上に設けられたバッファ層114を有している。バッファ層114は、 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ からなる第1の層114aと、第1の多層膜115'とが積層され、第1の多層膜115'上にさらに、 $\text{Al}_\alpha\text{Ga}_{1-\alpha}\text{N}$ ($0 \leq \alpha < 1$) 挿入層114dと、第2の多層膜115とが交互に積層されることにより形成されている。電子デバイス用エピタキシャル基板100は、バッファ層114上に設けられた高抵抗層116と、高抵抗層116上に設けられたチャネル層117と、チャネル層117上に設けられたバリア層118と、バリア層118上に設けられたキャップ層119をさらに有している。

[0023] 各ウェーハの縦方向リーク電流特性を図15に示す。図15には、各ウェー

一ハのバッファ層構造の表面におけるVピットの数も示されている。図15をバッファ層構造の表面におけるVピットの数と縦方向リーク電流との関係に書き直したものが図16になる。

図15、図16からバッファ構造のVピットの数が増加するに従いリーク電流が増加することがわかる。

従って、縦方向リーク電流特性を改善するには、バッファ層構造のVピットを抑制する必要がある。

[0024] そこで、本発明者らは、バッファ層構造のVピットを抑制し、電子デバイスを作製したときの縦方向リーク電流特性を改善することができる電子デバイス用エピタキシャル基板について鋭意検討したところ、AlN初期層のバッファ層側の表面の粗さ S_a が4 nm以上であれば、AlN初期層の上に形成されるバッファ層構造のVピットを抑制し、電子デバイスを作製したときの縦方向リーク電流特性を改善することができることを見出し、本発明をなすに至った。

[0025] まず、図1-3を参照しながら、本発明の電子デバイス用エピタキシャル基板を説明する。

図1に示す本発明の電子デバイス用エピタキシャル基板10は、Si系基板12と、Si系基板12上に設けられたAlN初期層13と、AlN初期層13上に設けられたバッファ層14を有しており、AlN初期層13のバッファ層14側の表面の粗さ S_a は4 nm以上である。ここで、粗さ S_a は2次元の算術的平均粗さ R_a を3次元化したものとして定義されるものである。また、Si系基板とは、Si基板又はSiC基板である。

図1の電子デバイス用エピタキシャル基板10は、バッファ層14上に設けられた高抵抗層16と、高抵抗層16上に設けられたチャネル層17と、チャネル層17上に設けられたバリア層18と、バリア層18上に設けられたキャップ層19をさらに有することができる。ここで、チャネル層17とバリア層18は、能動層20を形成している。

高抵抗層16は、例えば、C又はFeを含むGa_{0.9}N層とすることができ、

チャンネル層 17 は、例えば、C 又は Fe のいずれかが高抵抗層 16 よりも少ない GaN 層とすることができ、バリア層 18 は、例えば、AlGaIn 層とすることができ、キャップ層 19 は、例えば、GaN 層とすることができる。

[0026] バッファ層 14 の詳細な構成を図 2 に示し、AlN 初期層 13 及びバッファ層 14 の表面の粗さ S_a も含む詳細な構成を図 3 に示す。バッファ層 14 は、 $Al_zGa_{1-z}N$ ($0 \leq z < 1$) からなる第 1 の層 (Al_zGa_{1-z}N 層) 14a と、第 1 多層膜 (多層膜) 15' とが積層されたものとしてすることができる。第 1 多層膜 15' は、 $Al_xGa_{1-x}N$ ($0 < x \leq 1$) 層 14b と、 $Al_yGa_{1-y}N$ ($0 \leq y < x$) 層 14c とが交互に積層されたものとしてことができ、複数ペア交互に積層されたものとしてすることができる。また、図 2 で示すように、第 1 多層膜 15' 上に挿入層 14d と第 2 多層膜 15 とが交互に複数ペア又は単数ペア積層されている (図 2 では、複数ペア積層されているが、単数ペアであってもよい)。

挿入層 14d は、 $Al_\alpha Ga_{1-\alpha}N$ ($0 \leq \alpha < 1$) 層とすることができ、第 2 の多層膜 15 は $Al_xGa_{1-x}N$ ($0 < x \leq 1$) 層 14b と $Al_yGa_{1-y}N$ ($0 \leq y < x$) 層 14c とが交互に積層されたものとしてすることができる。

[0027] 電子デバイス用エピタキシャル基板 10 は、AlN 初期層 13 のバッファ層 14 側の表面の粗さ S_a を 4 nm 以上とすることで、AlN 初期層 13 の上に形成されるバッファ層 14 の構造の V ピットを抑制し、電子デバイスを作製したときの縦方向リーク電流特性を改善することができる。

[0028] この場合、電子デバイス用エピタキシャル基板 10 において、AlN 初期層 13 表面の粗さ S_a が 8 nm 以下であることが好ましい。

このように AlN 初期層 13 のバッファ層 14 側の表面の粗さ S_a が 4 nm 以上 8 nm 以下であれば、AlN 初期層 13 の上に形成されるバッファ層 14 の構造の V ピットを確実に抑制することができる。

[0029] 電子デバイス用エピタキシャル基板 10 において、AlN 初期層 13 と接している $Al_zGa_{1-z}N$ ($0 \leq z < 1$) からなる第 1 の層 14a の AlN 初

期層 13 と反対側の表面の粗さ S_a が、0.6 nm 以下であることが好ましい。

このように第 1 の層 14 a の A I N 初期層 13 と反対側の表面の粗さ S_a が 0.6 nm 以下であれば、電子デバイスを作製したときの縦方向リーク電流特性を効果的に改善することができる。

[0030] 電子デバイス用エピタキシャル基板 10 において、第 1 の層 14 a と接している第 1 多層膜 15' の A I N 初期層 13 と反対側の表面の粗さ S_a が、0.3 nm 以下であることが好ましい。

このように第 1 多層膜 15' の第 1 の層 14 a と反対側の表面の粗さ S_a が 0.3 nm 以下であれば、電子デバイスを作製したときの縦方向リーク電流特性をより効果的に改善することができる。

[0031] 次に、図 4 を参照しながら、本発明の電子デバイスの実施態様の一例を説明する。

図 4 の電子デバイス 11 は、図 1 の電子デバイス用エピタキシャル基板 10 のチャンネル層 17 とバリア層 18 からなる能動層 20 上のキャップ層 19 上に、ソース電極 26、ドレイン電極 28、ゲート電極 30 を設けたものである。電子デバイス 11 において、ソース電極 26 及びドレイン電極 28 は、ソース電極 26 から、チャンネル層 17 内に形成された二次元電子ガス層 21 を介して、ドレイン電極 28 に電流が流れるように配置されている。ソース電極 26 とドレイン電極 28 との間に流れる電流は、ゲート電極 30 に印加される電位によってコントロールすることができる。なお、ソース電極 26、ドレイン電極 28 は二次元電子ガス層 21 と低抵抗接続されていればよく、キャップ層 19 を除去した領域、又は、キャップ層 19 及びバリア層 18 を除去した領域に配置してもよい。

このような電子デバイスであれば、A I N 初期層の上に形成されるバッファ層構造の V ピットを抑制し、縦方向リーク電流特性を改善することができる。

[0032] 次に、図 1 - 3、5 を参照しながら、本発明の電子デバイス用エピタキシ

yal基板の製造方法の実施態様の一例を説明する。

まず、図5（a）に示すように、厚さ1mm程度のSi系基板12上に、例えば、MOVPE法（有機金属気相成長法）により、AlN初期層13を20～200nmの厚さでエピタキシャル成長させる。

ここでAlN初期層13の表面の粗さSaを4nm以上、好ましくは4nm以上8nm以下にする。なお、AlN初期層13の表面を粗くするには、成長温度、ガス流量、III族元素/V族元素比を変更することで表面の粗さを調整することができる。

[0033] 次に、図5（b）に示すように、AlN初期層13上に、例えば、MOVPE法により、バッファ層14をエピタキシャル成長させる。

具体的には、図2に示すように、厚さ100～500nm程度の $Al_zGa_{1-z}N$ からなる第1の層14aと、厚さ3～7nm程度の $Al_xGa_{1-x}N$ 層14bと厚さ2～5nm程度の $Al_yGa_{1-y}N$ 層14cとが交互に積層された第1多層膜15'とを積層し、第1多層膜15'上にさらに、厚さ100～500nm程度の $Al_\alpha Ga_{1-\alpha}N$ からなる挿入層14dと、厚さ3～7nm程度の $Al_xGa_{1-x}N$ 層14bと厚さ2～5nm程度の $Al_yGa_{1-y}N$ 層14cとが交互に積層された第1多層膜15と、を交互に積層して、バッファ層14を形成する。ここで、第1の層14aは、第1多層膜15'、第2多層膜15を構成する各層よりも厚く形成する。

このとき、AlN初期層13のバッファ層14側の表面の粗さSaを上記のように大きくしているので、AlN初期層13上に形成される第1の層14aの横方向成長が促進され、第1の層14aによるAlN初期層13の表面の穴埋めが促進され、その結果、第1の層14a成長後の表面が平坦になり（図3を参照）、第1の層14a上の第1多層膜15'の平坦性も向上させることができ（図3を参照）、電子デバイスを作製したときの縦方向リーク電流特性を改善することができる。

[0034] 次に、図5（c）に示すように、高抵抗層16、例えば、C又はFeを含むGaN層、続いて、チャンネル層17、例えば、高抵抗層16より少なくて

もC又はFeが少ないGaN層を、例えばMOVPE法によりエピタキシャル成長させる。

[0035] 次に、バリア層18、例えば、AlGaN層、その上にキャップ層19、例えば、GaN層を、例えばMOVPE法により、エピタキシャル成長させて、図1に示す電子デバイス用エピタキシャル基板10を製造することができる。

上記のような電子デバイス用エピタキシャル基板の製造方法であれば、AlN初期層の上に形成されるバッファ層構造のVピットが抑制され、電子デバイスを作製したときの縦方向リーク電流特性が改善される電子デバイス用エピタキシャル基板を製造することができる。

[0036] 次に、本発明の電子デバイスの製造方法の実施態様の一例を説明する。

上記で説明したように、図1の電子デバイス用エピタキシャル基板10を製造し、さらに、電子デバイス用エピタキシャル基板10のチャンネル層17とバリア層18からなる能動層20上のキャップ層19上に、ソース電極26、ドレイン電極28、ゲート電極30を形成する。ソース電極26及びドレイン電極28は例えば、Ti/Alの積層膜で形成することができ、ゲート電極30は例えば、SiO₂、SiN等の金属酸化物からなる下層膜と、Ni、Au、Mo、Pt等の金属からなる上層膜の積層膜で形成することができる。このようにして、図4に示す電子デバイス11が得られる。

上記のような電子デバイスの製造方法であれば、AlN初期層の上に形成されるバッファ層構造のVピットが抑制され、縦方向リーク電流特性が改善される電子デバイスを製造することができる。

実施例

[0037] 以下、実験例、実施例、及び、比較例を示して本発明をより具体的に説明するが、本発明はこれらに限定されるものではない。

[0038] (実験例)

AlN初期層表面の粗さを2nm～7.5nmの範囲で変えて(6水準作成)、図1に示すような電子デバイス用エピタキシャル基板10を製造した

。バッファ層構造のVピット密度（箇所／ cm^2 ）とA I N初期層表面の粗さS aとの関係を図6に示す。また、縦方向リーク電流とA I N初期層表面の粗さS aとの関係を図7に示す。図6からわかるようにA I N初期層表面の粗さが4 n m以上でVピットは無くなり（4 n m以上ではVピットはほとんどなくなり、図6上にはプロットがない）、図7からわかるようにA I N初期層上面の粗さが4 n m以上で縦方向リーク電流も改善されている。

[0039] （実施例）

厚さ1 m m程度のシリコン基板上にMOVPE法によりA I N初期層1 3を1 6 0 n mの厚さで成長させた。ここで、A I N初期層を成長温度1 1 0 0℃～1 2 0 0℃、例えば、1 1 3 0℃で形成し、A I N初期層1 3の表面の粗さS aを4. 7 9 n mとした。

次にバッファ層1 4を成長させた。バッファ層1 4は厚さ3 0 0 n mのG a Nからなる第1の層1 4 aと、第1多層膜1 5' とを積層させ、第一多層膜1 5' 上にさらに、厚さ3 0 0 n mのG a Nからなる挿入層1 4 dと、第2多層膜1 5とを交互に積層させた。第1多層膜1 5'、第2多層膜1 5は、厚さ5 n mのA I N層1 4 bと厚さ3 n mのG a N層1 4 cとを交互に積層した。

次にG a Nからなる高炭素濃度層（高抵抗層1 6）、続いて、同じくG a Nからなる低炭素濃度層（チャネル層1 7）を成長させた。続いて、A I G a Nからなるバリア層1 8、その上にG a N層（キャップ層1 9）を成長させることで、図1の電子デバイス用エピタキシャル基板1 0を製造した。

[0040] 図8にA I N初期層1 3の表面の写真を示す。また、図3にエピタキシャル成長後のバッファ層1 4の断面を示す。このようにA I N初期層1 3の表面は凸凹形状であるが、その上の第1の層1 4 aの表面は平坦になっているのがわかる。

図9に第1の層1 4 a表面の写真を示す。第1の層1 4 a表面の粗さS aは、0. 6 n m以下になっていた。なお、図9の3つの写真は、異なる3枚のウェーハの写真である。

図10に第1多層膜15'表面の写真を示す。第1多層膜15'表面の粗さSaは、0.3nm以下になっていた。なお、図10の2つの写真は、異なる2枚のウェーハの写真である。

この電子デバイス用エピタキシャル基板に電極を形成し、図4に示す電子デバイス11を製造し、600Vの電圧をかけて縦方向（厚み方向）リーク電流を測定したところ、 4×10^{-9} (A) となり、後述する比較例に比べて大幅に縦方向リーク電流を抑制することができた。

[0041] （比較例）

実施例と同様にして、電子デバイス用エピタキシャル基板10を製造した。ただし、AlN初期層13を成長温度1240℃で形成し、AlN初期層の表面の粗さSaを2.16nmとし、その他は実施例と同じとした。

図11にAlN初期層13表面の写真を示す。また、図12にエピタキシャル成長後のAlN初期層13及びバッファ層14の断面を示す。このようにAlN初期層13の表面は平らであるが、その上の第1の層14a表面、及び、第1多層膜15'表面は凸凹形状になっているのがわかる。この半導体エピタキシャルウェーハに電極を形成し、図4に示す電子デバイス11を製造し、600Vの電圧をかけて縦方向リーク電流を測定したところ、 8.6×10^{-6} (A) となった。

[0042] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。例えば、第1多層膜15'、第2多層膜15はAl組成の傾斜を持たせた単一層であってもよい。又、第2多層膜15又は挿入層14は設けなくてもよい。

請求の範囲

- [請求項1] S_i 系基板と、該 S_i 系基板上に設けられた AlN 初期層と、該 AlN 初期層上に設けられたバッファ層とを有する電子デバイス用エピタキシャル基板であって、
- 前記 AlN 初期層の前記バッファ層側の表面の粗さ S_a が 4 nm 以上であることを特徴とする電子デバイス用エピタキシャル基板。
- [請求項2] 前記 AlN 初期層表面の前記バッファ層側の粗さ S_a が 8 nm 以下であることを特徴とする請求項1に記載の電子デバイス用エピタキシャル基板。
- [請求項3] 前記バッファ層は、前記 AlN 初期層に接している $Al_zGa_{1-z}N$ ($0 \leq z < 1$) 層を含み、
- 前記 $Al_zGa_{1-z}N$ ($0 \leq z < 1$) 層の前記 AlN 初期層と反対側の表面の粗さ S_a が 0.6 nm 以下であることを特徴とする請求項1又は請求項2に記載の電子デバイス用エピタキシャル基板。
- [請求項4] 前記バッファ層は、前記 $Al_zGa_{1-z}N$ ($0 \leq z < 1$) 層に接し、かつ、 $Al_xGa_{1-x}N$ ($0 < x \leq 1$) 層と $Al_yGa_{1-y}N$ ($0 \leq y < x$) 層とが交互に積層された多層膜を含み、
- 前記多層膜の前記 $Al_zGa_{1-z}N$ ($0 \leq z < 1$) 層と反対側の表面の粗さ S_a が 0.3 nm 以下であることを特徴とする請求項3に記載の電子デバイス用エピタキシャル基板。
- [請求項5] 前記バッファ層上に設けられたチャネル層と、
- 該チャネル層上に設けられたバリア層と、
- 該バリア層上に設けられたキャップ層と
- をさらに有することを特徴とする請求項1から請求項4のいずれか一項に記載の電子デバイス用エピタキシャル基板。
- [請求項6] 請求項1から請求項5のいずれか一項に記載の電子デバイス用エピタキシャル基板を用いて作製された電子デバイスであって、前記電子デバイス用エピタキシャル基板上に電極が設けられているものである

ことを特徴とする電子デバイス。

[請求項7]

S i 系基板上に A l N 初期層を形成する工程と、
前記 A l N 初期層上にバッファ層を形成する工程と、
前記バッファ層上にチャンネル層を形成する工程と、
前記チャンネル層上にバリア層を形成する工程と、
前記バリア層上にキャップ層を形成する工程と

を有し、

前記 A l N 初期層の前記バッファ層側の表面の粗さ S a を 4 n m 以上とすることを特徴とする電子デバイス用エピタキシャル基板の製造方法。

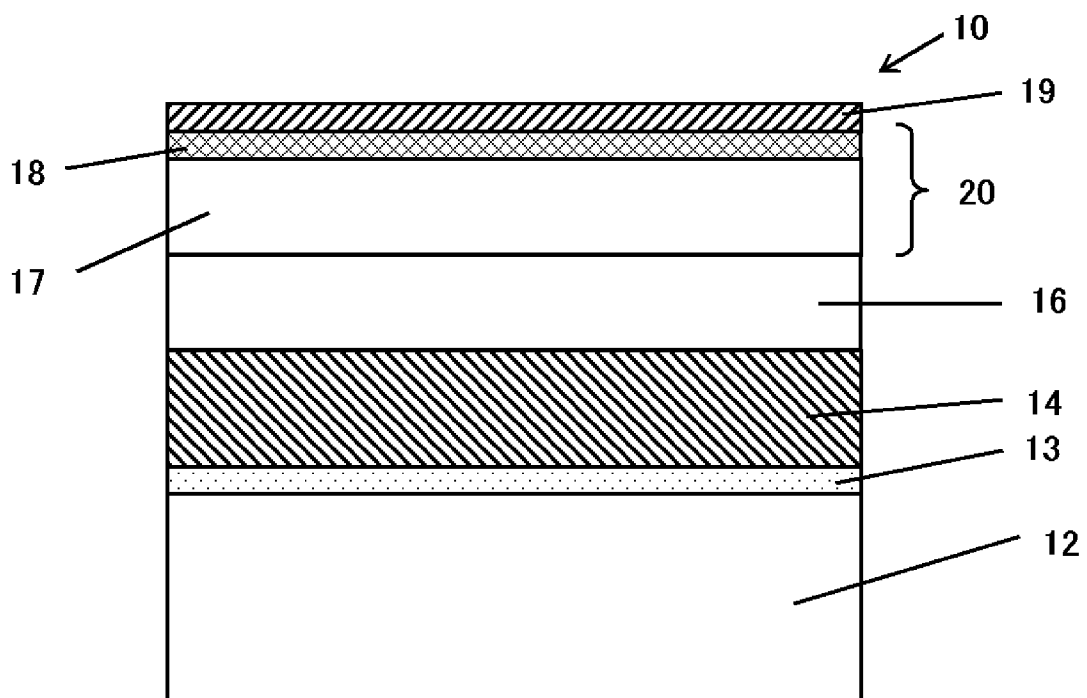
[請求項8]

S i 系基板上に A l N 初期層を形成する工程と、
前記 A l N 初期層上にバッファ層を形成する工程と、
前記バッファ層上にチャンネル層を形成する工程と、
前記チャンネル層上にバリア層を形成する工程と、
前記バリア層上にキャップ層を形成する工程と、
前記キャップ層上に電極を形成する工程と

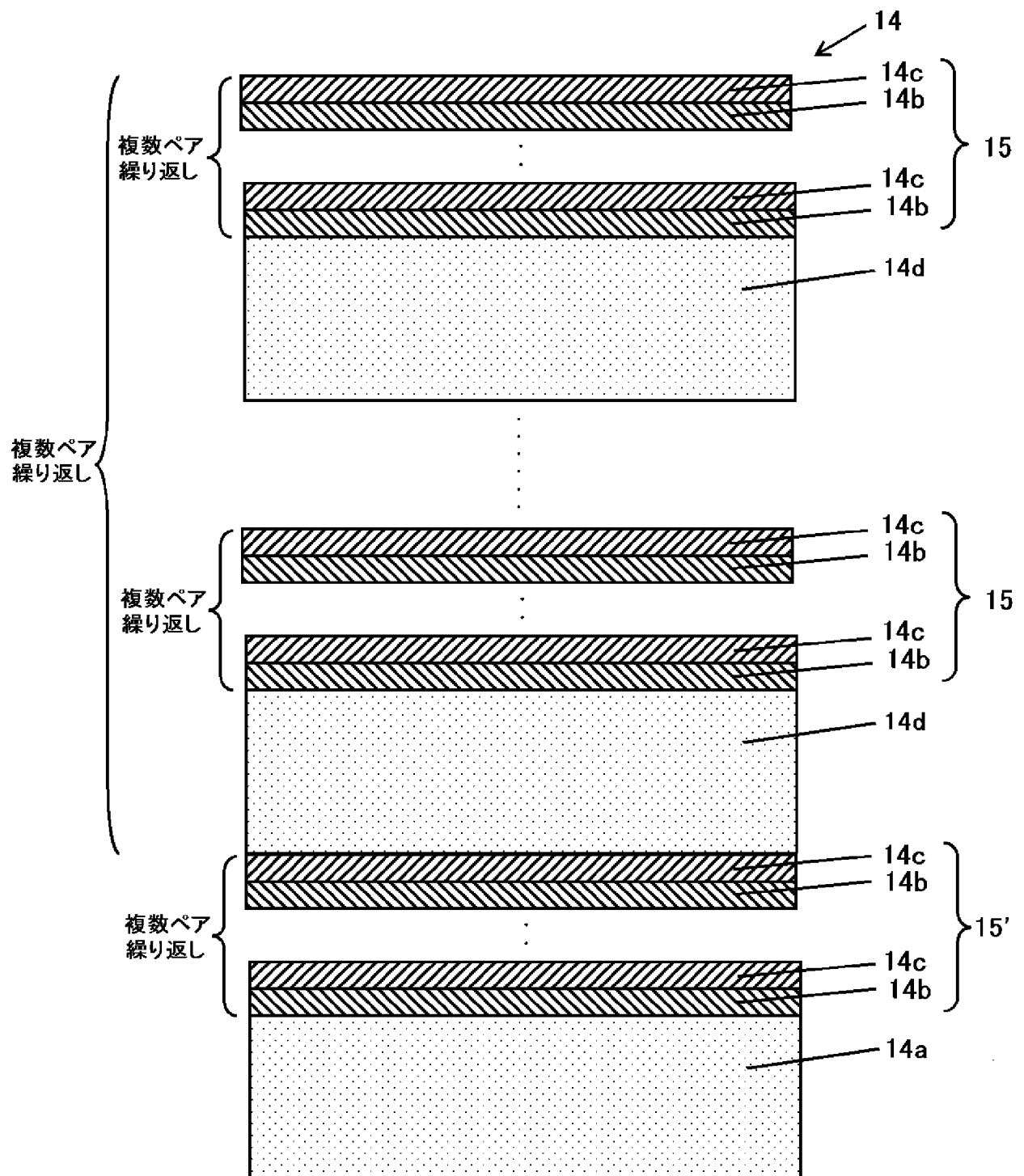
を有し、

前記 A l N 初期層の前記バッファ層側の表面の粗さ S a を 4 n m 以上とすることを特徴とする電子デバイスの製造方法。

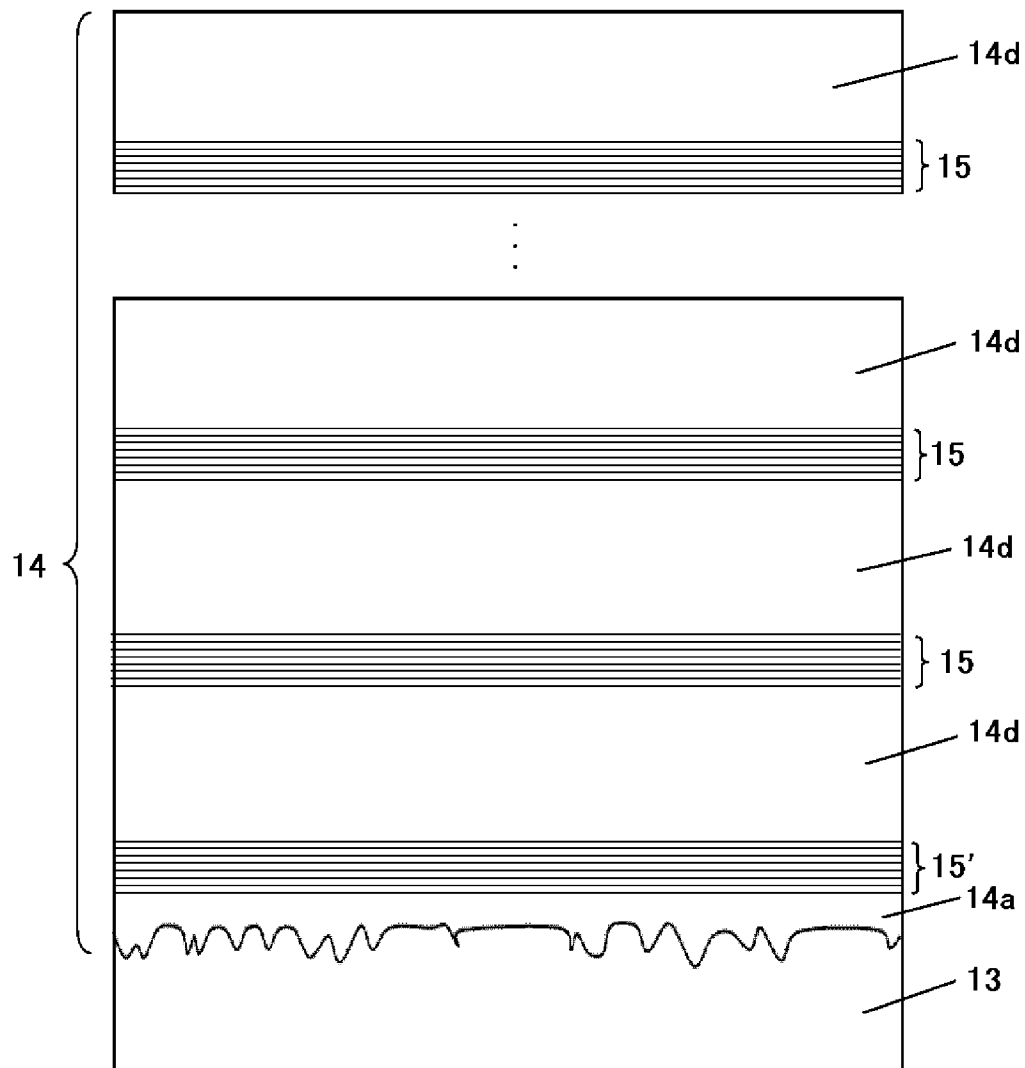
[図1]



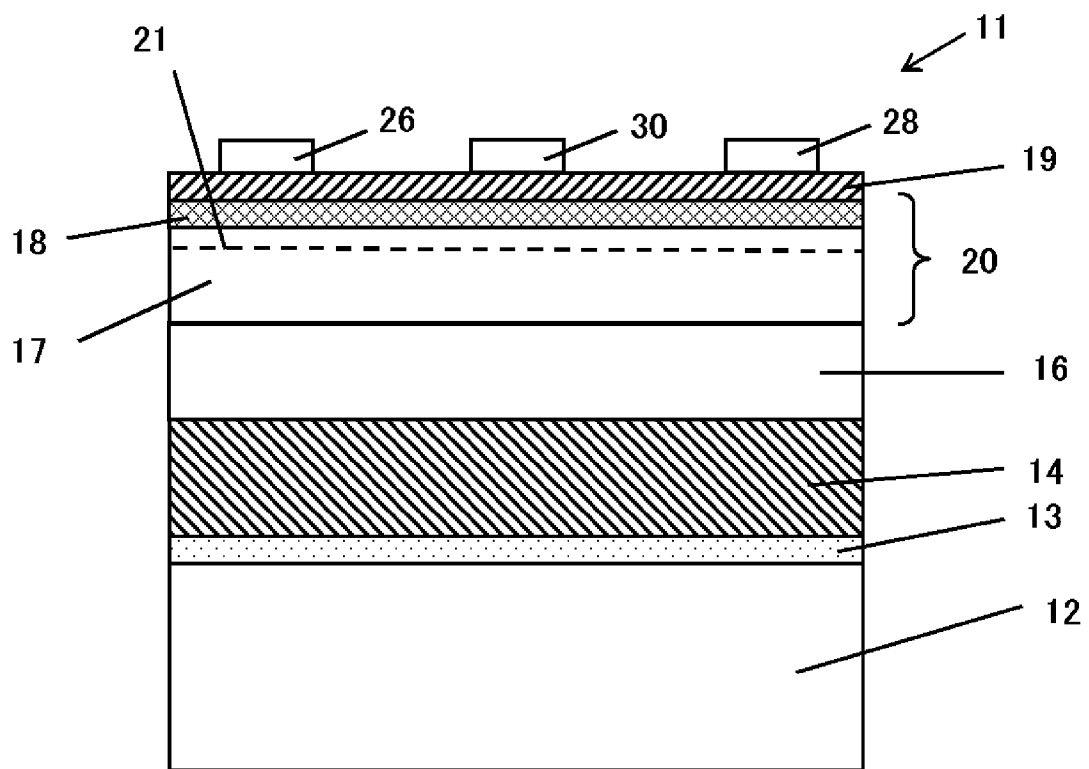
[図2]



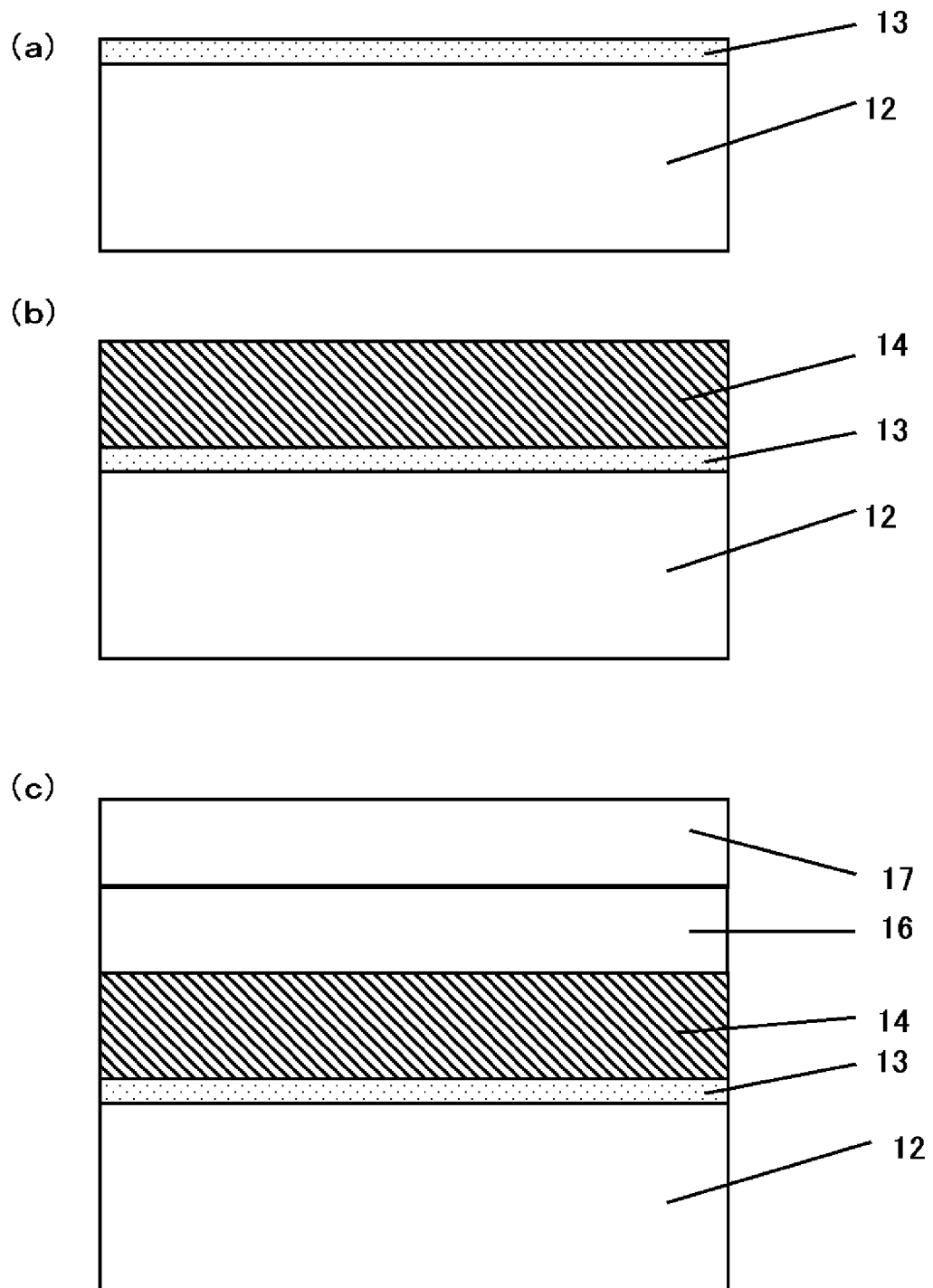
[図3]



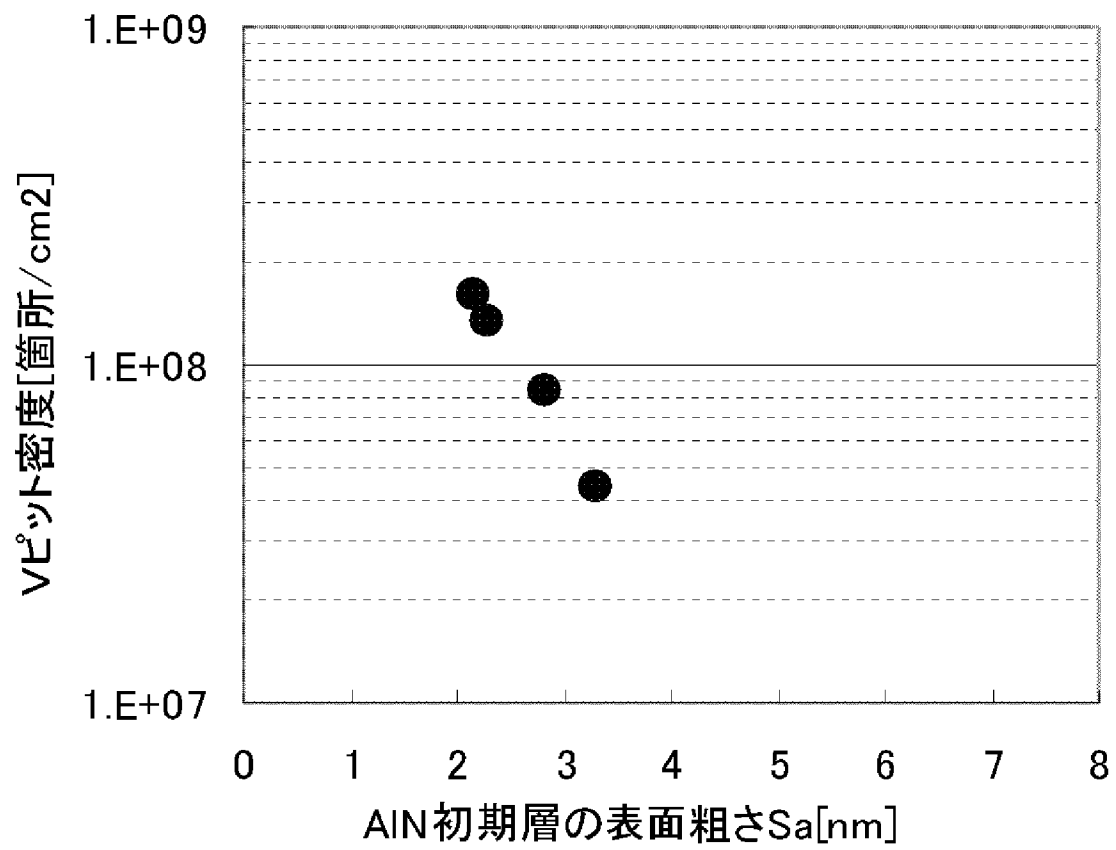
[図4]



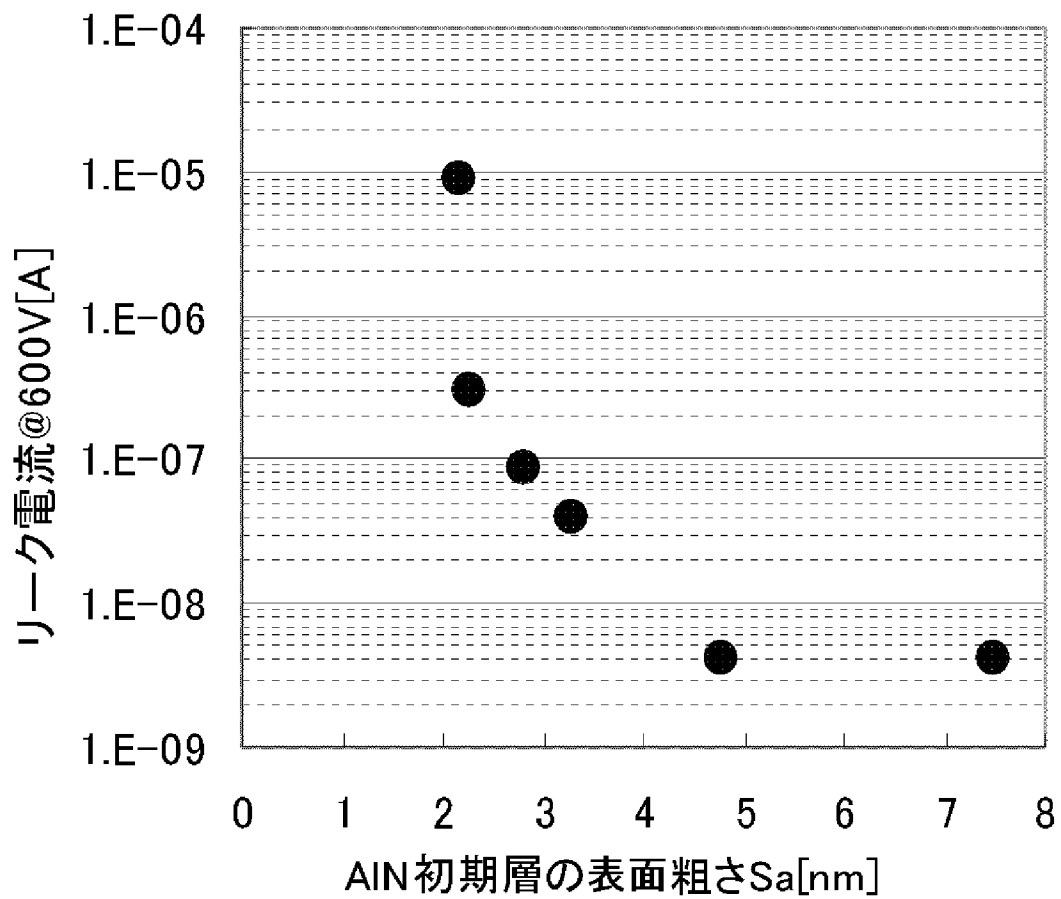
[図5]



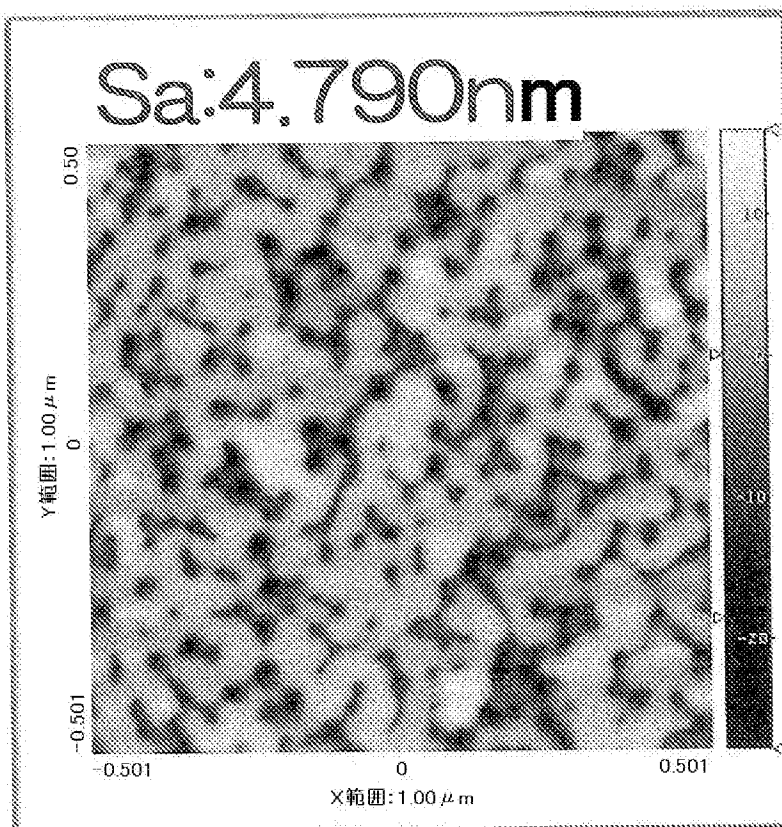
[図6]



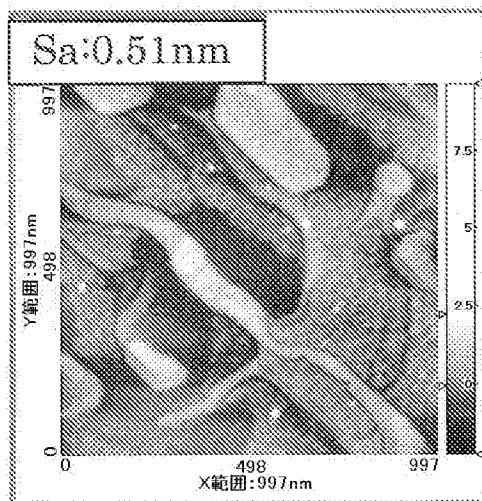
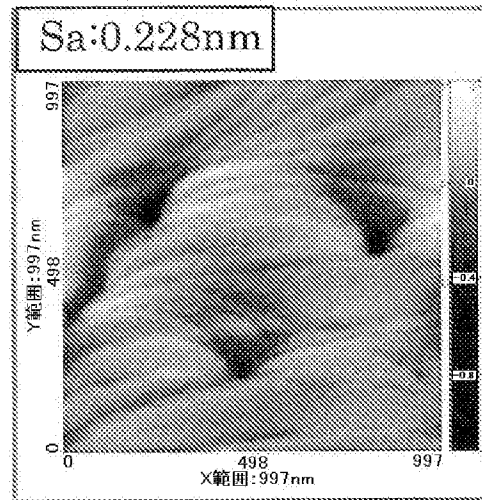
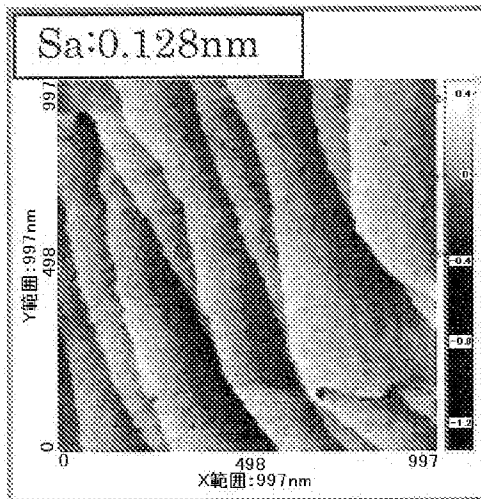
[図7]



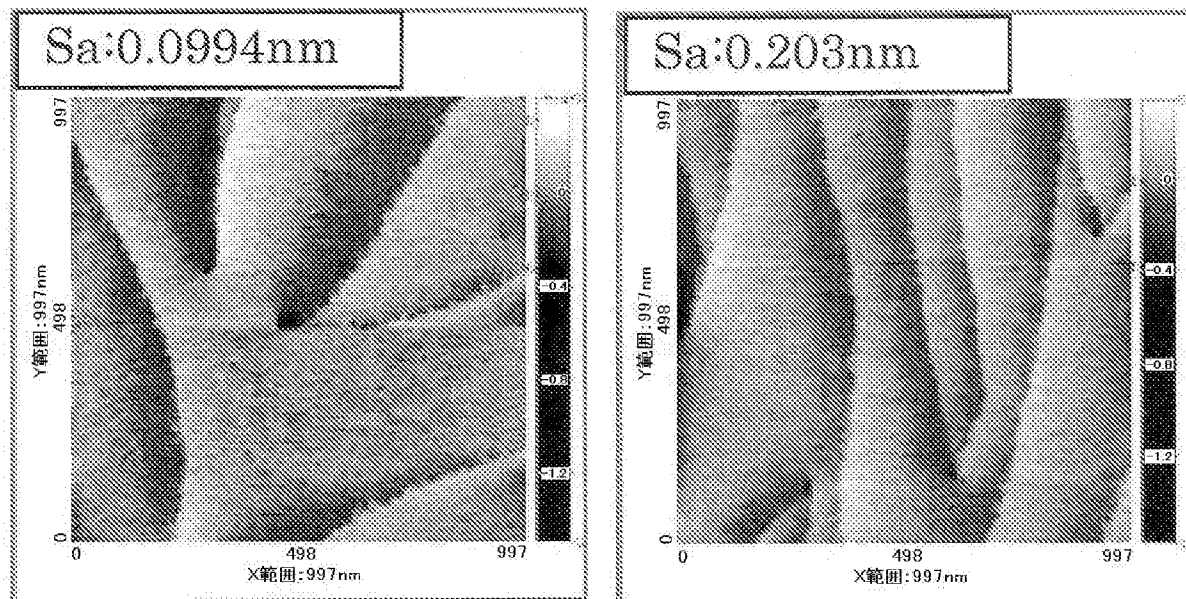
[図8]



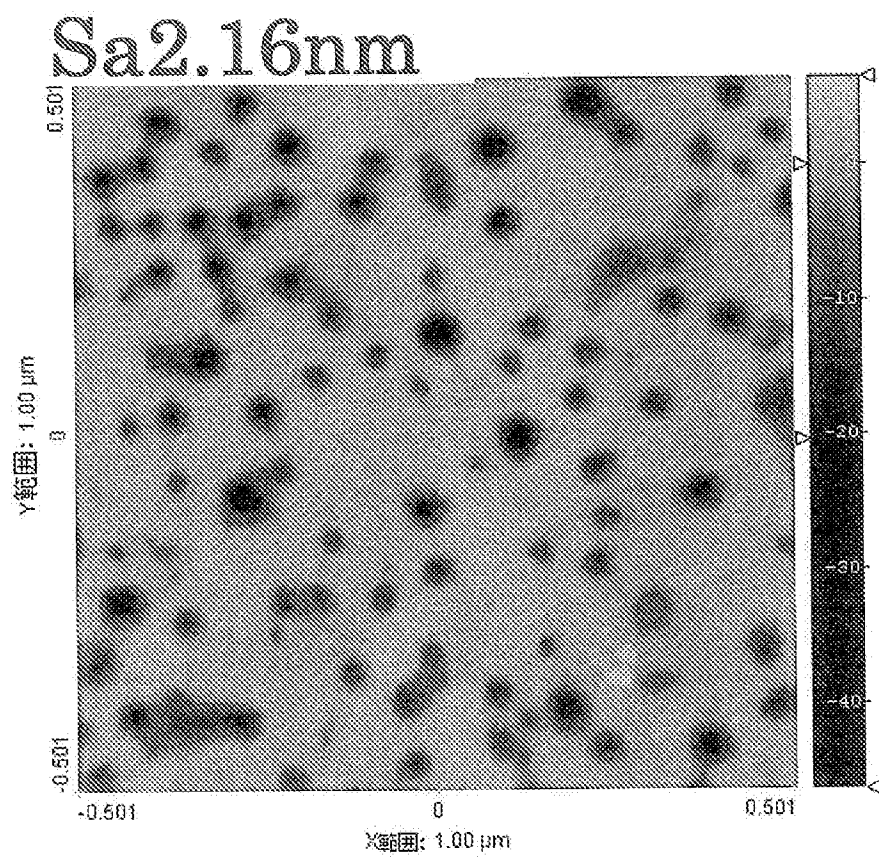
[図9]



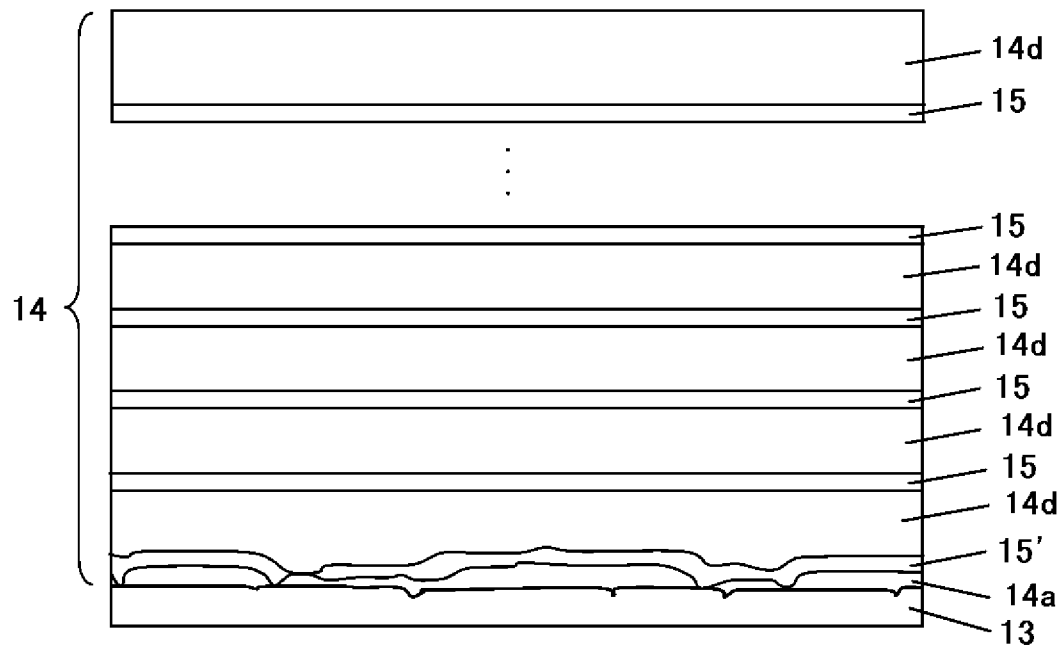
[図10]



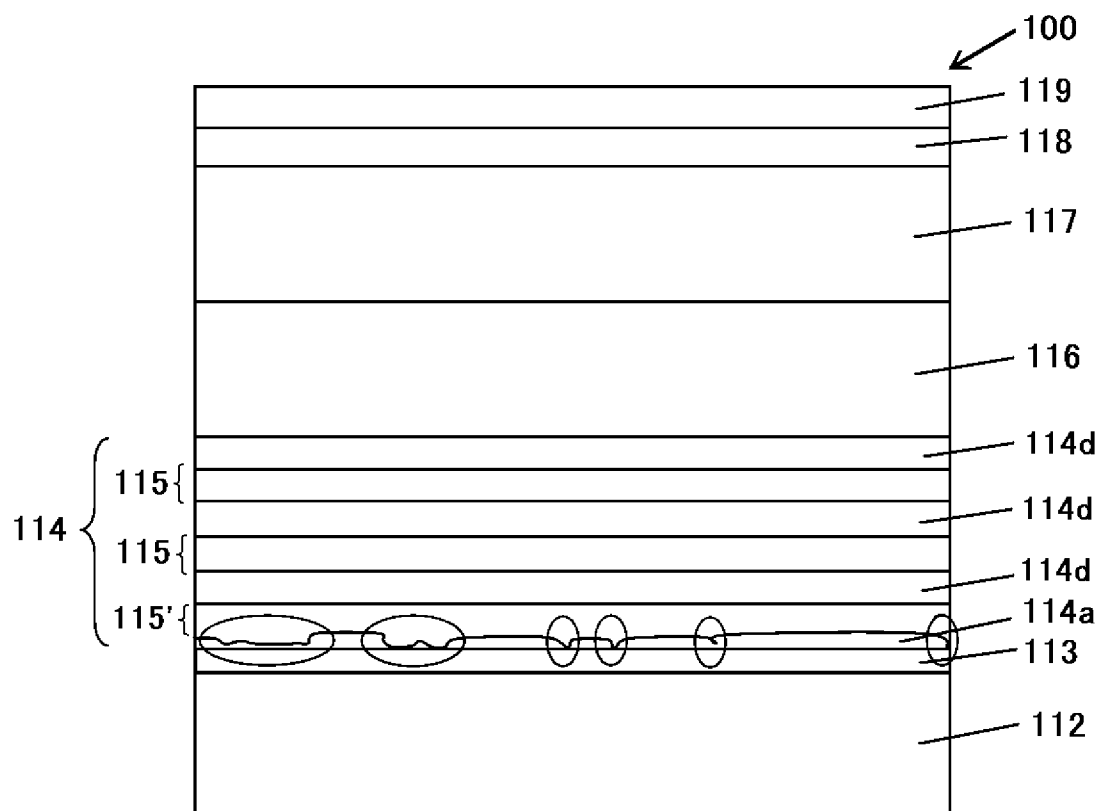
[図11]



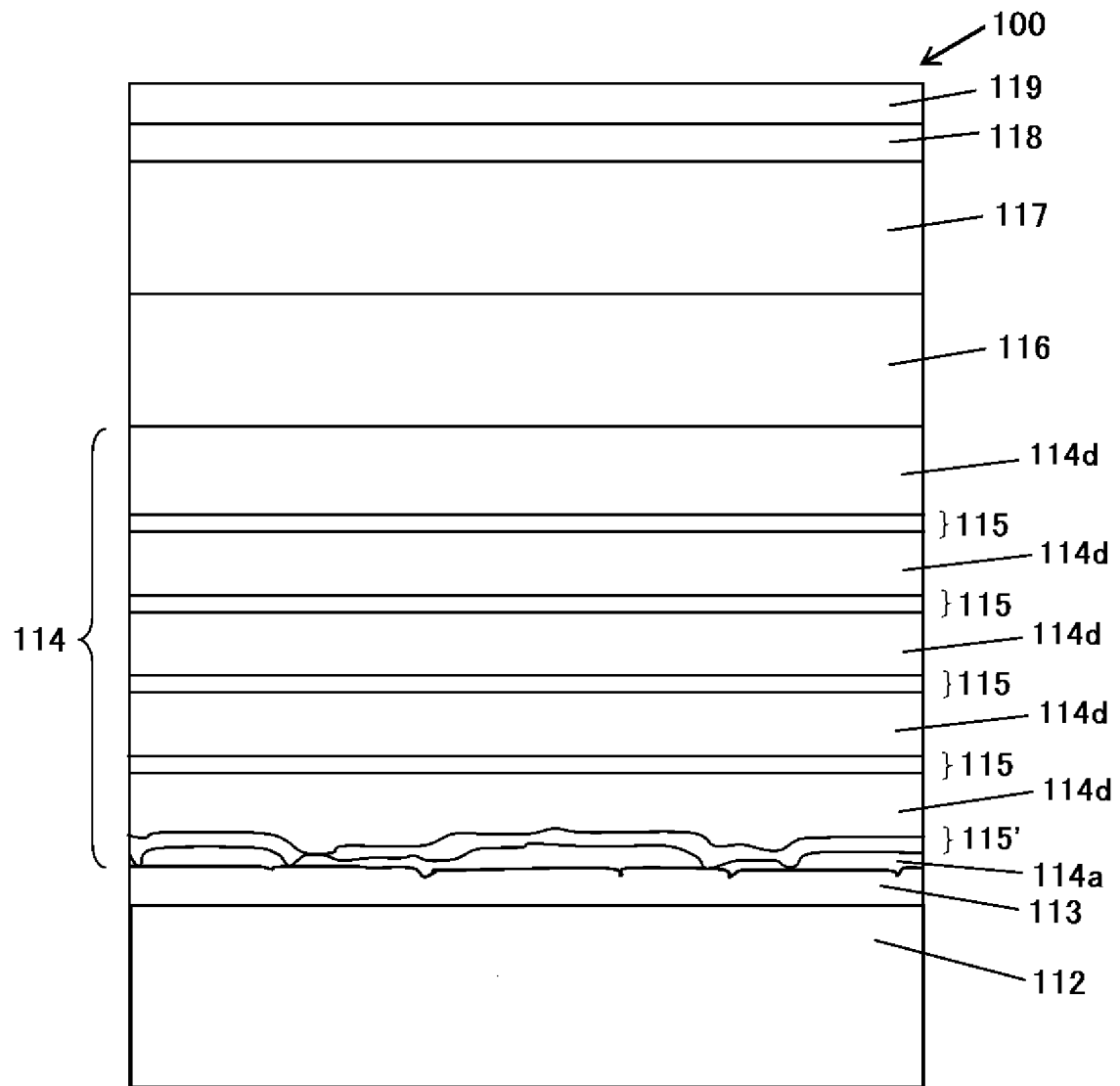
[図12]



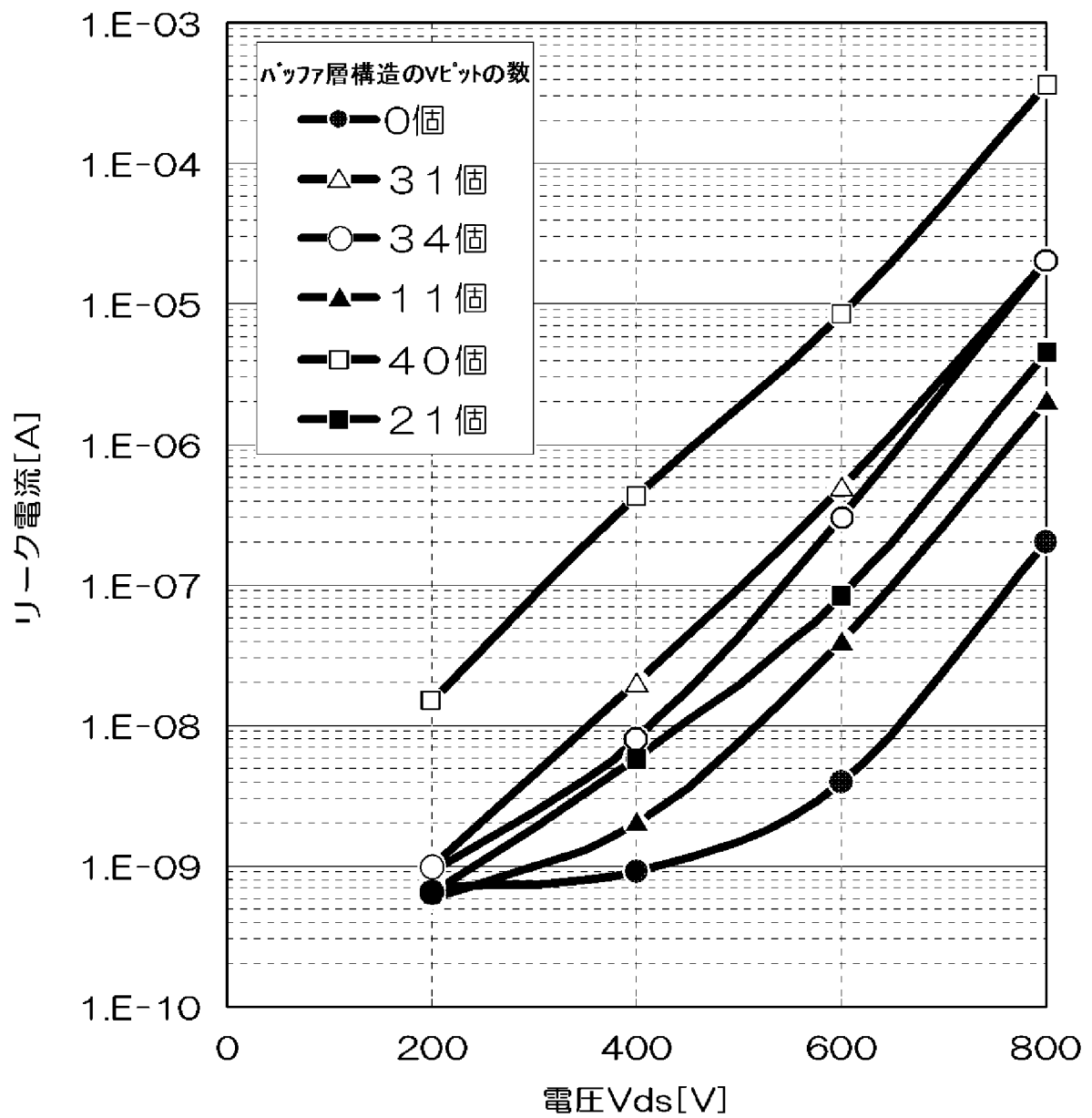
[図13]



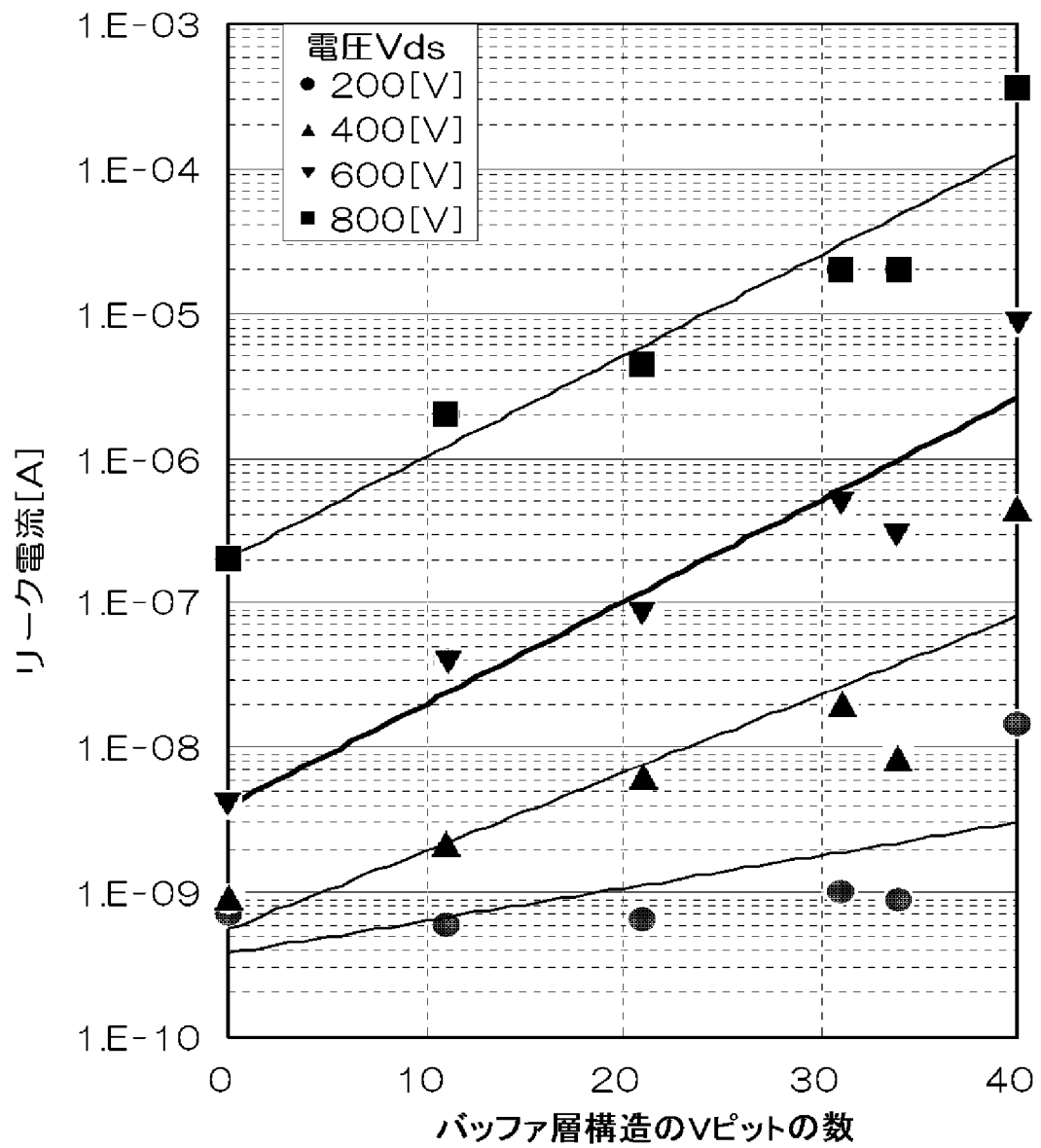
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/006313

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01)i, H01L21/20(2006.01)i, H01L21/336(2006.01)i,
H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L21/20, H01L21/336, H01L29/778, H01L29/78, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2011/016304 A1 (NGK Insulators, Ltd.),	1-4
Y	10 February 2011 (10.02.2011), claims; paragraphs [0035] to [0094]; fig. 1 to 4 & JP 2014-103400 A & US 2012/0126293 A1 claims; paragraphs [0043] to [0102]; fig. 1 to 4 & DE 112010003214 T5 & CN 102484049 A	4-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 March 2016 (04.03.16)

Date of mailing of the international search report
15 March 2016 (15.03.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/006313

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2013-042032 A (Fujitsu Ltd.), 28 February 2013 (28.02.2013), claims; paragraphs [0021] to [0024], [0050]; fig. 4 & US 2013/0043489 A1 claims; paragraphs [0030] to [0033], [0059]; fig. 4 & CN 102956679 A & KR 10-2013-0020567 A & TW 201310638 A	1-3 4-8
Y	JP 2011-114267 A (Sanken Electric Co., Ltd.), 09 June 2011 (09.06.2011), paragraph [0023]; fig. 2 & US 2011/0127604 A1 paragraph [0044]; fig. 2	5-8
A	A. Able, W. Wegscheider, K. Engl, J. Zweck, Growth of crack-free GaN on Si(1 1 1) with graded AlGaN buffer layers, Journal of Crystal Growth, 2005.04.01, Volume 276, Issues 3-4, Pages 415-418	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/338(2006.01)i, H01L21/20(2006.01)i, H01L21/336(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/338, H01L21/20, H01L21/336, H01L29/778, H01L29/78, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	WO 2011/016304 A1 (日本碍子株式会社) 2011.02.10, 請求の範囲, 段落【0035】-【0094】第1-4図 & JP 2014-103400 A & US 2012/0126293 A1, 請求の範囲, 段落【0043】-【0102】, 第1-4図 & DE 112010003214 T5 & CN 102484049 A	1-4 4-8
X Y	JP 2013-042032 A (富士通株式会社) 2013.02.28, 特許請求の範囲, 段落【0021】-【0024】, 【0050】, 第4図 & US 2013/0043489 A1, 請求の範囲, 段落【0030】-【0033】, 【0059】, 第4図 & CN 102956679 A & KR 10-2013-0020567 A & TW 201310638 A	1-3 4-8

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

04.03.2016

国際調査報告の発送日

15.03.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

桑原 清

50

9375

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-114267 A (サンケン電気株式会社) 2011.06.09, 段落【0023】, 第2図 & US 2011/0127604 A1, 段落【0044】, 第2図	5 - 8
A	A. Able, W. Wegscheider, K. Engl, J. Zweck, Growth of crack-free GaN on Si(1 1 1) with graded AlGaIn buffer layers, Journal of Crystal Growth, 2005.04.01, Volume 276, Issues 3-4, Pages 415-418	1 - 8