

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年5月8日(2008.5.8)

【公開番号】特開2005-317978(P2005-317978A)

【公開日】平成17年11月10日(2005.11.10)

【年通号数】公開・登録公報2005-044

【出願番号】特願2005-131256(P2005-131256)

【国際特許分類】

H 01 L 29/786 (2006.01)

H 01 L 21/336 (2006.01)

H 01 L 21/265 (2006.01)

【F I】

H 01 L 29/78 6 1 8 C

H 01 L 29/78 6 1 7 N

H 01 L 29/78 6 1 7 V

H 01 L 21/265 W

H 01 L 21/265 V

H 01 L 21/265 J

【手続補正書】

【提出日】平成20年3月25日(2008.3.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1および第2の側面を有する、FinFET用のフィンを基板上に形成するステップと、

前記フィンの前記第1の側面に第1の不純物を導入するステップと、

前記第1および第2の側面の一方が前記第1および第2の側面の他方よりも厚く、且つ前記導入された前記第1の不純物が誘電体層の厚さに影響を及ぼすような前記誘電体層を前記第1および第2の側面に形成するステップとを含む、FinFET半導体構造を製造する方法。

【請求項2】

前記第1の不純物が、前記誘電体層の形成を遅延させる物質である、請求項1に記載の方法。

【請求項3】

前記第1の不純物が、前記誘電体層の形成を促進する物質である、請求項1に記載の方法。

【請求項4】

前記第1の不純物を導入するステップが、角度を付けた注入を行うステップからなる、請求項1に記載の方法。

【請求項5】

前記角度を付けた注入を行うステップが、前記第1の不純物を注入する際に、前記FinFET半導体構造を所定の入射角に傾けるステップを含む、請求項4に記載の方法。

【請求項6】

前記基板が、埋め込み酸化物層で構成される、請求項1に記載の方法。

【請求項 7】

前記フィンの前記第2の側面に第2の不純物を導入するステップをさらに含む、請求項1に記載の方法。

【請求項 8】

前記第1の不純物が、前記誘電体層の形成を遅延させる物質であり、前記第2の不純物が、前記誘電体層の形成を促進させる物質である、請求項7に記載の方法。

【請求項 9】

前記第1の不純物を導入するステップが、前記フィンの前記第1の側面へ向けて角度を付けて注入するステップを含み、

前記第2の不純物を導入するステップが、前記フィンの前記第2の側面へ向けて角度を付けて注入するステップを含む、請求項8に記載の方法。

【請求項 10】

前記第1および第2の不純物を角度を付けて注入するステップが、それぞれ前記第1および第2の不純物を注入する際に、前記FinFET半導体構造を所定の入射角まで傾けるステップを含む、請求項9に記載の方法。

【請求項 11】

第1および第2の側面を有する、FinFET用のフィンを基板上に形成するステップと、

前記フィンの前記第1の側面に第1の不純物を角度を付けて注入するステップと、

前記第1および第2の側面に誘電体層を形成するステップであって、導入された前記不純物が前記誘電体層の厚さに影響を及ぼすため、前記誘電体層は、前記第1および第2の側面の一方が、前記第1および第2の側面の他方よりも厚くなるように形成するステップと、

フロント・ゲート側面、バック・ゲート側面および上面を有し、前記フィンを跨ぐFinFETゲートを形成するステップと

を含むFinFET半導体構造を製造する方法。

【請求項 12】

前記ゲートのバック・ゲート側面にバック・ゲートを形成するステップをさらに含む、請求項11に記載の方法。

【請求項 13】

前記ゲートのバック・ゲート側面にバック・ゲートを形成する前記ステップが、前記ゲートのバック・ゲート側面にバイアスを印加するステップを含む、請求項12に記載の方法。

【請求項 14】

前記FinFET半導体構造上のゲート領域をドーピングするステップをさらに含む、請求項11に記載の方法。

【請求項 15】

前記ゲートの一方の面にn型不純物を角度を付けて注入し、前記ゲートの他方の面にp型不純物を角度を付けて注入する、請求項14に記載の方法。

【請求項 16】

前記FinFET半導体構造上にソース領域およびドレイン領域を形成するステップをさらに含む、請求項11に記載の方法。

【請求項 17】

前記FinFET半導体構造上にソース領域およびドレイン領域を形成する前記ステップが、

前記ソース領域にソース・ドーパントを角度を付けて注入するステップと、

前記ドレイン領域にドレイン・ドーパントを角度を付けて注入するステップと

をさらに含む、請求項16に記載の方法。

【請求項 18】

前記FinFETゲートに当接するスペーサを形成するステップをさらに含む、請求項

1 6 に記載の方法。

【請求項 19】

前記ゲートの上面を平坦化するステップをさらに含む、請求項18に記載の方法。

【請求項 20】

基板と、

第1および第2の側面を有する、前記基板上に設けられたFinFET用のフィンと、前記フィンの前記第1の側面上の第1の不純物と、

導入された前記不純物がその厚さに影響するため、前記第1および第2の側面の一方での厚さが前記第1および第2の側面の他方での厚さよりも厚くなるよう、前記第1および第2の側面に設けられた誘電体層と

を含む、FinFET半導体構造。