

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 10 月 2 日(02.10.2014)

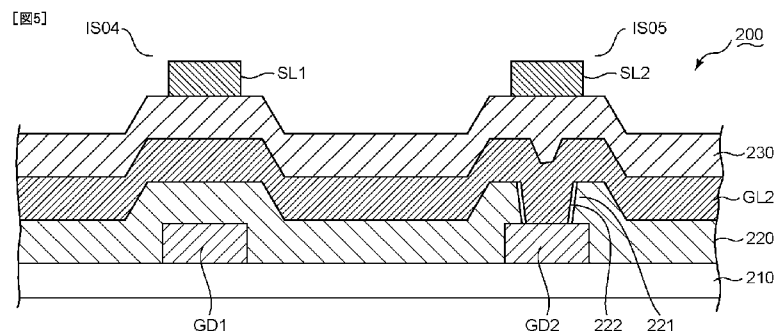


(10) 国際公開番号
WO 2014/155458 A1

- (51) 国際特許分類:
G09F 9/30 (2006.01) *G02F 1/1368* (2006.01)
G02F 1/1345 (2006.01)
- (21) 国際出願番号: PCT/JP2013/007602
- (22) 国際出願日: 2013 年 12 月 25 日(25.12.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-073079 2013 年 3 月 29 日(29.03.2013) JP
- (71) 出願人: パナソニック液晶ディスプレイ株式会社(PANASONIC LIQUID CRYSTAL DISPLAY CO., LTD.) [JP/JP]; 〒6728033 兵庫県姫路市飾磨区妻鹿日田町 1-6 Hyogo (JP).
- (72) 発明者: 川村 徹也(KAWAMURA, Tetsuya). 伊沢 哲朗(IZAWA, Tetsurou).
- (74) 代理人: 小谷 悦司, 外(KOTANI, Etsuji et al.); 〒5300005 大阪府大阪市北区中之島 2 丁目 2 番 2 号大阪中之島ビル 2 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: The present disclosure relates to a display device for displaying images on a display surface in response to image signals. The display device is provided with: a plurality of gate lines (GL) extending in a first direction along the display surface; a plurality of source lines (SL) extending in a second direction different from the a first direction along the display surface; a plurality of leader lines (GD) extending in the second direction, for transmission of a gate signal to each of the plurality of gate lines (GL); a first insulating layer (220) formed between the plurality of leader lines (GD) and the plurality of gate lines (GL); and a plurality of contact point portions (222) electrically connecting the plurality of leader lines (GD) and the plurality of gate lines (GL). The plurality of contact point portions (222) traverse the first insulating layer (220) at each of a plurality of connection points selected from a plurality of intersection points of the plurality of leader lines (GD) and the plurality of gate lines (GL) in a plane defined by the first direction and the second direction.

(57) 要約:

[続葉有]



WO 2014/155458 A1



本出願は、映像信号に応じて、表示面に映像を表示する表示装置を開示する。表示装置は、前記表示面に沿って、第1方向に延びる複数のゲート線（GL）と、前記表示面に沿って、前記第1方向とは異なる第2方向に延びる複数のソース線（SL）と、前記第2方向に延び、且つ、ゲート信号を前記複数のゲート線（GL）へそれぞれ伝達する複数の引出線（GD）と、前記複数の引出線（GD）と、前記複数のゲート線（GL）と、の間に形成された第1絶縁層（220）と、前記複数の引出線（GD）と前記複数のゲート線（GL）とを電氣的に接続する複数の接点部（222）と、を備える。前記複数の接点部（222）は、前記第1方向と前記第2方向とによって規定される平面上における前記複数の引出線（GD）と前記複数のゲート線（GL）との複数の交点から選択された複数の接続点それぞれにおいて前記第1絶縁層（220）を横切る。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、映像を表示する表示装置に関する。

背景技術

[0002] 一般的に、表示装置は、映像が表示される略矩形状の表示面と、表示面を保持する略矩形状の筐体と、を備える。筐体は、外上縁と、外上縁とは反対側の外下縁と、外上縁と外下縁との間で延びる外左縁と、外左縁とは反対側の外右縁と、を含む。外上縁、外下縁、外左縁及び外右縁は、筐体の外形輪郭を規定する。筐体は、外上縁に略平行な内上縁と、外下縁に略平行な内下縁と、外左縁に略平行な内左縁と、外右縁に略平行な内右縁と、を含む。内上縁、内下縁、内左縁及び内右縁は、外上縁、外下縁、外左縁及び外右縁によって囲まれる領域内において開口部を規定する。表示面は、開口部から露出する。

[0003] 表示装置は、内左縁と内右縁との間で水平に延びる複数のゲート線と、内上縁と内上縁との間で垂直に延びる複数のソース線と、複数のゲート線に走査信号（ゲート信号）を出力するためのゲート駆動回路と、複数のソース線に映像信号（ソース信号）を出力するためのソース駆動回路と、を更に備える。複数のゲート線は、水平に延びるので、ゲート駆動回路は、典型的には、外左縁と内左縁との間及び／又は外右縁と内右縁との間の領域に配置される。複数のソース線は、垂直に延びるので、ソース駆動回路は、典型的には、外上縁と内上縁との間及び／又は外下縁と内下縁との間の領域に配置される（特許文献1を参照）。

[0004] 多くの使用者は、小型の表示装置を望む一方で、大きな表示面を希望する。使用者の相矛盾する要求を満足するためには、外左縁と内左縁との間、外右縁と内右縁との間、外上縁と内上縁との間、及び／又は、外下縁と内下縁との間の帯状の領域は可能な限り狭く設計される必要がある。

先行技術文献

特許文献

[0005] 特許文献1：特開2012-32608号公報

発明の概要

[0006] 本発明は、大きな表示面を有する小型の表示装置を提供することを目的とする。

[0007] 本発明の一の局面に係る表示装置は、映像信号に応じて、表示面に映像を表示する。表示装置は、前記表示面に沿って、第1方向に延びる複数のゲート線と、前記表示面に沿って、前記第1方向とは異なる第2方向に延びる複数のソース線と、前記第2方向に延び、且つ、ゲート信号を前記複数のゲート線へそれぞれ伝達する複数の引出線と、前記複数の引出線と、前記複数のゲート線と、の間に形成された第1絶縁層と、前記複数の引出線と前記複数のゲート線とを電氣的に接続する複数の接点部と、を備える。前記複数の接点部は、前記第1方向と前記第2方向とによって規定される平面上における前記複数の引出線と前記複数のゲート線との複数の交点から選択された複数の接続点それぞれにおいて前記第1絶縁層を横切る。

[0008] 本発明は、大きな表示面を有する小型の表示装置を提供することができる。

[0009] 本発明の目的、特徴及び利点は、以下の詳細な説明と添付図面とによって、より明白となる。

図面の簡単な説明

[0010] [図1]例示的な表示装置の概略的な正面図である。

[図2]図1に示される表示装置の概略的な正面図である。

[図3]図1に示される表示装置の概略的な正面図である。

[図4]図1に示される表示装置のゲート線及びゲート引出線の概略図である。

[図5]図1に示される表示装置の表示パネルの概略的な断面図である。

[図6]図1に示される表示装置のゲート引出線、ゲート線及びソース線の概略

的な斜視図である。

[図7A]ゲート引出線とソース線との間の様々な位置関係を表す概略的な断面図である。

[図7B]ゲート引出線とソース線との間の様々な位置関係を表す概略的な断面図である。

[図7C]ゲート引出線とソース線との間の様々な位置関係を表す概略的な断面図である。

[図8]図1に示される表示装置の表示パネルを製造するための積層工程の概略的なフローチャートである。

[図9]ゲート引出線の形成工程の概略図である。

[図10]第1絶縁層の形成工程の概略図である。

[図11]ゲート線の形成工程の概略図である。

[図12]第2絶縁層の形成工程の概略図である。

[図13]ソース線の形成工程の概略図である。

[図14]中間透明電極の形成工程の概略図である。

[図15]コモン線の形成工程の概略図である。

[図16]パッシベーション層の形成工程の概略図である。

[図17]画素電極の形成工程の概略図である。

[図18]第1絶縁層の形成工程の概略図である。

[図19]ゲート引出線に沿う積層体の概略的な断面図である。

[図20]他の例示的な表示装置の概略的な正面図である。

[図21A]ゲート引出線が存在する交点における表示パネルの積層構造の概略図である。

[図21B]ゲート引出線が存在する他の交点における表示パネルの積層構造の概略図である。

[図22]ゲート引出線の形成工程の概略図である。

[図23]第1絶縁層の形成工程の概略図である。

[図24]ゲート線の形成工程の概略図である。

[図25]他の例示的な表示装置の概略的な正面図である。

[図26]ゲート線及びゲート引出線の概略図である。

[図27]ゲート引出線、ゲート線及びソース線の配置を表す概略図である。

[図28]ゲート信号の出力とソース線上のノイズの発生との間の関係を表す概略的なタイミングチャートである。

[図29]ゲート引出線、ゲート線及びソース線の他の配置を表す概略図である。

[図30]ゲート信号の出力とソース線上のノイズの発生との間の関係を表す概略的なタイミングチャートである。

[図31]他の例示的な表示装置の概略図である。

[図32]抵抗値の切替タイミングを表す概略的なタイミングチャートである。

[図33]他のソースドライバの概略図である。

[図34]他の例示的な表示装置の概略図である。

[図35]ソースドライバからのパルス信号の出力タイミングを表す概略的なタイミングチャートである。

[図36]ゲート引出線、ゲート線及びソース線の配置を表す概略図である。

[図37]ゲート引出線、ゲート線及びソース線の概略的な斜視図である。

[図38]基板の概略的な平面図である。

[図39]ゲート線及び導電領域の形成の後に基板上に積層された第1絶縁層の概略的な平面図である。

[図40]スルーホール形成の後の第1絶縁層の概略的な平面図である。

[図41]基板の概略的な平面図である。

[図42]ゲート線に沿う位置における基板の概略的な断面図である。

[図43]ゲート線から外れた位置における基板の概略的な断面図である。

発明を実施するための最良の形態

[0011] 以下、例示的な表示装置が図面を参照して説明される。尚、以下に説明される実施形態において、同様の構成要素に対して同様の符号が付されている。また、説明の明瞭化のため、必要に応じて、重複する説明は省略される。

図面に示される構成、配置或いは形状並びに図面に関連する記載は、単に本実施形態の原理を容易に理解させることを目的とする。したがって、本実施形態の原理は、これらに何ら限定されるものではない。

[0012] <第1実施形態>

(基本原理)

第1実施形態に関連して、筐体内で大きな面積を占める表示面を有する表示装置の設計技術が説明される。「左」、「右」、「上」、「下」、「水平」や「垂直」といった方向を表す用語は、説明の明瞭化のために用いられる。したがって、これらの用語は、後述の基本原理を何ら限定しない。

[0013] 図1は、例示的な表示装置100の概略的な正面図である。図1を参照して、表示装置100が説明される。

[0014] 表示装置100は、筐体110と、表示パネル200と、を備える。表示パネル200は、映像を表示することができる様々な装置であってもよい。表示パネル200として、透過型或いは反射型の液晶パネルや有機EL（エレクトロルミネセンス）パネルが利用されてもよい。筐体110は、表示パネル200を適切に支持する。加えて、筐体110は、表示パネル200を動作させるための様々な素子を収容する。

[0015] 筐体110は、表示パネル200の上方で略水平に延びる外上縁111と、表示パネル200の下方で略水平に延びる外下縁112と、表示パネル200の左方で略垂直に延びる外左縁113と、表示パネル200の右方で略垂直に延びる外右縁114と、を含む。筐体110は、外上縁111に隣り合う内上縁115と、外下縁112に隣り合う内下縁116と、外左縁113に隣り合う内左縁117と、外右縁114に隣り合う内右縁118と、を更に含む。内上縁115、内下縁116、内左縁117及び内右縁118は、表示パネル200を露出させる開口部の輪郭を形成する。開口部から露出した表示パネル200の表面は、「表示面」と称される。映像は、表示装置100に入力された映像信号に応じて、表示面に写し出される。

[0016] 本実施形態に関連して説明される基本原理は、外左縁113と内左縁11

7との間に配置される部品、及び／又は、外右縁114と内右縁118との間に配置される部品の低減に貢献する。したがって、表示装置100は、広い表示面を有することができる。

[0017] 図2は、表示装置100の概略的な正面図である。図2を参照して、表示装置100が更に説明される。

[0018] 表示装置100は、多数のソース線と、各ソース線に映像信号を出力するソースドライバ201と、を備える。各ソース線は、表示面に沿って、垂直方向に延びる。また、複数のソース線は、水平方向に略等間隔に配置される。以下の説明において、ソースドライバ201から各ソース線へ出力される映像信号は、「ソース信号」と称される。本実施形態において、水平方向は、第1方向として例示される。垂直方向は、第2方向として例示される。

[0019] 図3は、表示装置100の概略的な正面図である。図2及び図3を参照して、表示装置100が更に説明される。

[0020] 表示装置100は、多数のゲート線と、多数のゲート引出線と、ゲートドライバ202と、を更に備える。ソース線とは異なり、各ゲート線は、表示面に沿って水平方向に延びる。また、複数のゲート線は、垂直方向に略等間隔に配置される。ソース線と同様に、各ゲート引出線は、垂直方向に延びる。また、複数のゲート引出線は、水平方向に略等間隔に配置される。後述される如く、表示パネル200は、金属層や絶縁層といった様々な層を積層する積層工程によって形成される。ソース線、ゲート線及びゲート引出線は、互いに異なる層として形成される。

[0021] ゲートドライバ202は、各ゲート引出線に走査信号としてゲート信号を出力する。各ゲート引出線は、各ゲート線に電氣的に接続される。この結果、ゲート信号は、各ゲート引出線を通じて、ゲート線へ伝達される。表示パネル200は、ソース信号とゲート信号とに応じて、表示面に映像を表示する。ソース信号とゲート信号とを用いた映像表示に対して、既知の映像表示技術が適用されてもよい。本実施形態において、ゲート引出線は、引出線として例示される。

[0022] ゲートドライバ202からゲート信号を受けるゲート引出線は、ソース線と同様に垂直方向に延びる。したがって、ソースドライバ201と同様に、ゲートドライバ202は、外上縁111と内上縁115との間の領域に配置される。従来技術によれば、ゲートドライバは、ゲート信号を、ゲート線へ直接的に出力するので、ゲートドライバは、表示面の左及び／又は右に配置される必要がある。従来技術と異なり、ゲートドライバ202は、外上縁111と内上縁115との間の領域に配置されるので、表示面の左及び／又は右の領域は狭く設計されてもよい。即ち、表示面が水平方向に長い寸法を有するように、表示装置100は設計されてもよい。

[0023] (ゲート引出線、ゲート線及びソース線の位置関係)

図4は、ゲート線GL1～GL4及びゲート引出線GD1～GD3の概略図である。図4を参照して、ゲート線GL1～GL4及びゲート引出線GD1～GD3が説明される。

[0024] 図4は、水平方向に延びる水平ベクトルHVと、水平ベクトルHVの始点から垂直方向に延びる垂直ベクトルVVと、を示す。ゲート線GL1～GL4及びゲート引出線GD1～GD3は、水平ベクトルHVと垂直ベクトルVVとによって規定される平面上で12個の交点IS01～IS12を規定する。交点IS01, IS05, IS09は、ゲート線GL1～GL3とゲート引出線GD1～GD3とが接続する接続点として選択されている。他の交点IS02～IS04, IS06～IS08, IS10～IS12において、ゲート線GL1～GL4は、絶縁層によって、ゲート引出線GD1～GD3から適切に絶縁されている。

[0025] 図5は、表示パネル200の概略的な断面図である。図4及び図5を参照して、表示パネル200が説明される。

[0026] 図5は、ゲート線GL2に沿う概略的な断面図である。表示パネル200は、基板210と、第1絶縁層220と、第2絶縁層230と、を備える。ゲート引出線GD1, GD2は、基板210上に積層される。同様に、他のゲート引出線も基板210上に積層される。第1絶縁層220は、基板21

0 及びゲート引出線 G D 1, G D 2 を覆う。他のゲート引出線も、第 1 絶縁層 2 2 0 によって覆われる。ゲート線 G L 2 は、第 1 絶縁層 2 2 0 上に積層される。同様に、他のゲート線も第 1 絶縁層 2 2 0 上に積層される。第 2 絶縁層 2 3 0 は、第 1 絶縁層 2 2 0 及びゲート線 G L 2 を覆う。他のゲート線も、第 2 絶縁層 2 3 0 によって覆われる。

[0027] 図 5 は、複数のソース線として、ソース線 S L 1, S L 2 を示す。ソース線 S L 1 は、第 2 絶縁層 2 3 0 上で、ゲート引出線 G D 1 に沿って形成される。ソース線 S L 2 は、第 2 絶縁層 2 3 0 上で、ゲート引出線 G D 2 に沿って形成される。他のソース線も、第 2 絶縁層 2 3 0 上で、他のゲート引出線に沿って形成される。

[0028] 図 5 は、図 4 を参照して説明された交点 I S 0 4, I S 0 5 を示す。接続点として選択された交点 I S 0 5 において、ゲート引出線 G D 2 とゲート線 G L 2 との間に形成された第 1 絶縁層 2 2 0 には、スルーホール 2 2 1 が形成される。接続点として選択された他の交点（例えば、交点 I S 0 1, I S 0 9）においても、スルーホールが形成される。ゲート線 G L 2 に利用される導電性材料は、スルーホール 2 2 1 に流入し、第 1 絶縁層 2 2 0 を横切る接点部 2 2 2 になる。接点部 2 2 2 は、ゲート引出線 G D 2 とゲート線 G L 2 とを電氣的に接続する。接続点として選択された他の交点においても、他の接点部が形成され、他のゲート引出線は、他のゲート線に電氣的に接続される。

[0029] 図 6 は、ゲート引出線 G D 2、ゲート線 G L 2 及びソース線 S L 2 の概略的な斜視図である。図 5 及び図 6 を参照して、ゲート引出線 G D 2、ゲート線 G L 2 及びソース線 S L 2 の間の位置関係が説明される。

[0030] 図 6 は、接続点として選択された交点 I S 0 5 の周囲の構造を表す。図 6 に示される構造に関連する説明は、他の接続点に対しても適用される。

[0031] 図 6 は、水平方向に延びる水平ベクトル H V と、水平ベクトル H V の始点から垂直方向に延びる垂直ベクトル V V と、水平ベクトル H V 及び垂直ベクトル V V に直交する深さ方向に延びる深さベクトル D V と、を示す。本実施

形態において、深さベクトル DV によって表される方向は、第3方向として例示される。

[0032] 図6に示される如く、ゲート引出線 $GD2$ 及びソース線 $SL2$ は、垂直方向に延びる。ソース線 $SL2$ は、ゲート引出線 $GD2$ とは深さ方向において異なる位置に形成される。ゲート線 $GL2$ は、深さ方向において、ゲート引出線 $GD2$ とソース線 $SL2$ との間に配置される。ゲート引出線 $GD2$ 及びソース線 $SL2$ とは異なり、ゲート線 $GL2$ は、水平方向に延びる。ゲート引出線 $GD2$ とゲート線 $GL2$ との間に接点部 222 が形成される。接点部 222 は、ゲート引出線 $GD2$ に出力されたゲート信号をゲート線 $GL2$ へ伝達する。ゲート線 $GL2$ へ伝達されたゲート信号は、水平方向に伝搬する。

[0033] 図7A乃至図7Cは、ゲート引出線とソース線との間の様々な位置関係を表す概略的な断面図である。図7A乃至図7Cを参照して、ゲート引出線とソース線との間の位置関係が説明される。

[0034] 図7A乃至図7Cは、ゲート引出線及びソース線の水平方向の断面図である。ゲート引出線とソース線との間に第1絶縁層及び第2絶縁層が示されている。

[0035] 図7Aに示される如く、ソース線は、ゲート引出線に完全に重なり合うように形成されてもよい。この場合、ソース線及びゲート引出線が占める領域の面積は、小さくなる。したがって、図7Aに示される構造は、透過型の液晶パネルに好適である。図7Aに示される構造が、透過型の液晶パネルに適用されるならば、液晶パネルに用いられる画素の開口率は大きくなる。

[0036] 図7Bに示される如く、ソース線は、ゲート引出線に部分的に重なり合うように形成されてもよい。この場合、図7Aに示される構造と較べて、ソース線及びゲート引出線が占める領域の面積は、大きくなるけれども、ソース線とゲート引出線との間での容量負荷は小さくなる。

[0037] 図7Cに示される如く、ソース線は、ゲート引出線に対して、第1方向に完全に離間した位置に配置されてもよい。ソース線は、ゲート引出線に重な

らないので、ソース線とゲート引出線との間での容量負荷は非常に小さくなる。

[0038] (積層工程)

図8は、表示パネルを製造するための積層工程の概略的なフローチャートである。図8を参照して、積層工程が説明される。

[0039] (ステップS110)

ステップS110において、基板が用意される。その後、多数のゲート引出線は、基板上に形成される。その後、ステップS120が実行される。

[0040] (ステップS120)

ステップS120において、第1絶縁層が積層される。第1絶縁層は、基板及びゲート引出線を覆う。第1絶縁層に対して、フォトリソ加工が施与される。この結果、第1絶縁層上に多数のスルーホールが形成される。スルーホールは、ゲート引出線を露出させる。必要に応じて、第1絶縁層の特定の領域がフォトリソ加工によって除去されてもよい。この結果、表示パネルの厚さが低減される。フォトリソ加工の後、ステップS130が実行される。

[0041] (ステップS130)

ステップS130において、第1絶縁層上に多数のゲート線が形成される。第1絶縁層は、ゲート線とゲート引出線とを適切に絶縁する。ゲート線がスルーホール上を通過するように、ゲート線の材料は塗布されるので、ゲート線の材料は、スルーホールに侵入する。この結果、ゲート線とゲート引出線とを接続する接点部が形成されることになる。ゲート線及び接点部の形成の後、ステップS140が実行される。

[0042] (ステップS140)

ステップS140において、第2絶縁層が積層される。第2絶縁層は、第1絶縁層及びゲート線を覆う。第2絶縁層の形成の後、ステップS150が実行される。

[0043] (ステップS150)

ステップS 1 5 0において、第2絶縁層上に多数のソース線が多数のゲート引出線に沿うように形成される。この結果、第2絶縁層は、多数のソース線と多数のゲート引出線との間に存在することになる。第2絶縁層は、ソース線とゲート引出線とを適切に絶縁する。多数のソース線は、多数のゲート線に略直角に延びるので、第2絶縁層上の領域は、多数のソース線と多数のゲート線とによって、多数の矩形領域に区画されることになる。以下の説明において、ソース線とゲート線とによって区画された略矩形の領域は、「画素領域」と称される。第2絶縁層の形成の後、ステップS 1 6 0が実行される。

[0044] (ステップS 1 6 0)

ステップS 1 6 0において、多数の中間透明電極が形成される。中間透明電極は、画素領域を覆うように形成される。中間透明電極の形成の後、ステップS 1 7 0が実行される。

[0045] (ステップS 1 7 0)

ステップS 1 7 0において、多数のコモン線が、多数のソース線に沿って形成される。コモン線は、隣接する中間透明電極に接続される。コモン線の形成の後、ステップS 1 8 0が実行される。

[0046] (ステップS 1 8 0)

ステップS 1 8 0において、パッシベーション層が形成される。パッシベーション層は、中間透明電極及びコモン線を被覆する。パッシベーション層の形成の後、ステップS 1 9 0が実行される。

[0047] (ステップS 1 9 0)

ステップS 1 9 0において、多数の画素電極が画素領域に形成される。この結果、中間透明電極は、画素電極に対向する。画素電極と中間透明電極との間の電位差に応じて、画素領域の輝度が定められる。本実施形態において、中間透明電極は、コモン電極として例示される。

[0048] 図9は、ゲート引出線の形成工程（ステップS 1 1 0）の概略図である。図8及び図9を参照して、ゲート引出線の形成工程が説明される。

- [0049] 基板 210 が用意される。基板 210 上に垂直方向の延びるゲート引出線 GD1, GD2, GD3 が形成される。
- [0050] 図 10 は、第 1 絶縁層の形成工程（ステップ S120）の概略図である。図 8 乃至図 10 を参照して、第 1 絶縁層の形成工程が説明される。
- [0051] 基板 210 が全体的に覆われるように、第 1 絶縁層 220 は形成される。その後、ゲート引出線 GD1, GD2 が部分的に露出するように、スルーホール 221 が形成される。
- [0052] 図 11 は、ゲート線の形成工程（ステップ S130）の概略図である。図 8、図 10 及び図 11 を参照して、ゲート線の形成工程が説明される。
- [0053] 第 1 絶縁層 220 上に水平方向に延びるゲート線 GL1, GL2 が形成される。ゲート線 GL1, GL2 が、スルーホール 221 に重なるように、ゲート線 GL1, GL2 の垂直方向の位置は定められる。この結果、ゲート線 GL1, GL2 の形成に用いられた材料の一部は、スルーホール 221 に侵入し、接点部 222 になる。ゲート線 GL1 は、上側の接点部 222 において、ゲート引出線 GD1 に電氣的に接続される。ゲート線 GL2 は、下側の接点部 222 において、ゲート引出線 GD2 に電氣的に接続される。
- [0054] 図 12 は、第 2 絶縁層の形成工程（ステップ S140）の概略図である。図 8、図 11 及び図 12 を参照して、第 2 絶縁層の形成工程が説明される。
- [0055] ゲート引出線 GD1, GD2, GD3 とゲート線 GL1, GL2 との交差領域に対応して、アモルファスシリコン層 231 が形成される。第 2 絶縁層 230 は、他の領域を被覆する。
- [0056] 図 13 は、ソース線の形成工程（ステップ S150）の概略図である。図 8、図 12 及び図 13 を参照して、ソース線の形成工程が説明される。
- [0057] 第 2 絶縁層 230 及びアモルファスシリコン層 231 上に、垂直方向の延びるソース線 SL1, SL2, SL3 が形成される。ソース線 SL1 は、第 2 絶縁層 230 及びアモルファスシリコン層 231 を介して、ゲート引出線 GD1 上に積層される。ソース線 SL2 は、第 2 絶縁層 230 及びアモルファスシリコン層 231 を介して、ゲート引出線 GD2 上に積層される。ソー

ス線SL3は、第2絶縁層230及びアモルファスシリコン層231を介して、ゲート引出線GD3上に積層される。この結果、第2絶縁層230上の領域は、ソース線SL1、SL2、SL3とゲート線GL1、GL2とによって複数の画素領域PRに区画される。

[0058] アモルファスシリコン層231上にトランジスタTRが形成される。トランジスタTRは、アモルファスシリコン層231を介して、ゲート線GL1、GL2に接続される。また、トランジスタTRは、ソース線SL1、SL2、SL3にも接続される。トランジスタTRは、ゲート引出線GD1、GD2からゲート線GL1、GL2へ伝達されたゲート信号に応じて、ソース線SL1、SL2、SL3からのソース信号の画素領域PRへの書込を許容する。

[0059] 図14は、中間透明電極の形成工程（ステップS160）の概略図である。図8、図13及び図14を参照して、中間透明電極の形成工程が説明される。

[0060] 複数の中間透明電極240は、複数の画素領域PRを覆うように形成される。複数の中間透明電極240の間の境界は、ソース線SL1、SL2、SL3に沿う。トランジスタTRは、中間透明電極240から部分的に露出する。

[0061] 図15は、コモン線の形成工程（ステップS170）の概略図である。図8、図14及び図15を参照して、コモン線の形成工程が説明される。

[0062] 複数のコモン線CEは、複数の中間透明電極240の間の境界に沿って形成される。したがって、複数のコモン線CEは、ソース線SL1、SL2、SL3にも沿って延びることになる。コモン線CEは、中間透明電極240の電位を略一定に保つための電力供給に用いられる。

[0063] 図16は、パッシベーション層の形成工程（ステップS180）の概略図である。図8、図15及び図16を参照して、パッシベーション層の形成工程が説明される。

[0064] パッシベーション層250は、コモン線CE、中間透明電極240、トラ

ンジスタTR及び第2絶縁層230を被覆するように形成される。パッシベーション層250には、トランジスタTRに対応するスルーホール251が形成される。トランジスタTRは、スルーホール251から露出する。

[0065] 図17は、画素電極の形成工程（ステップS190）の概略図である。図8、図16及び図17を参照して、画素電極の形成工程が説明される。

[0066] 画素電極PEは、パッシベーション層250を介して、中間透明電極240に対向するように形成される。画素電極PEは、スルーホール251を通じて、トランジスタTRに電氣的に接続される。トランジスタTRは、ゲート信号に応じて、ソース信号の画素電極PEへの書込を許容する。

[0067] 図8を参照して説明された積層工程は、例示的である。表示パネルの種類や設計に応じて、他の積層技術が用いられてもよい。

[0068] <第2実施形態>

ゲート引出線に沿ってソース線が形成されるならば、ゲート引出線及びソース線が存在する領域は、他の領域よりも厚くなりやすい。第2実施形態に関連して、ゲート引出線及びソース線が存在する領域の厚さを低減する技術が説明される。

[0069] 図18は、第1絶縁層の形成工程（ステップS120）の概略図である。図8、図9及び図18を参照して、第1絶縁層の形成工程が説明される。

[0070] 基板210が全体的に覆われるように、第1絶縁層220は形成される。その後、ゲート引出線GD1、GD2が部分的に露出するように、スルーホール221が形成される。スルーホール221の形成と同時に、ゲート引出線GD1、GD2、GD3に沿う矩形領域RRが第1絶縁層220から除去される。この結果、ゲート引出線GD1、GD2、GD3は、矩形領域RRにおいても露出する。矩形領域RRがステップS130において形成されるゲート線と重畳しないように、矩形領域RRの垂直方向の長さは設定される。

[0071] 図19は、ゲート引出線GD1に沿う積層体の概略的な断面図である。図8、図18及び図19を参照して、積層体の構造が説明される。尚、図19

に示される積層体は、ステップS 1 1 0乃至ステップS 1 5 0の工程によって得られている。

[0072] ステップS 1 3 0において、第1絶縁層2 2 0上にゲート線GL 1, GL 2が積層される。ステップS 1 2 0において、矩形領域RRの垂直方向の長さは適切に設定されるので、ゲート線GL 1, GL 2は、第1絶縁層2 2 0によって、ゲート引出線GD 1, GD 2, GD 3から適切に絶縁される。

[0073] ステップS 1 4 0において、第2絶縁層2 3 0が積層される。矩形領域RRにおいて、ゲート引出線GD 1, GD 2, GD 3は、第2絶縁層2 3 0によって覆われる。

[0074] ステップS 1 5 0において、ソース線SL 1は、ゲート引出線GD 1に沿って形成される。矩形領域RRにおいて、ソース線SL 1は、第2絶縁層2 3 0によって、ゲート引出線GD 1から適切に絶縁される。

[0075] 第1絶縁層2 2 0及び第2絶縁層2 3 0はともに、ゲート引出線GD 1とゲート線GL 1とによって規定された交点IS 0 1において存在する。同様に、第1絶縁層2 2 0及び第2絶縁層2 3 0はともに、ゲート引出線GD 1とゲート線GL 2とによって規定された交点IS 0 4において存在する。一方、交点IS 0 1と、交点IS 0 1に隣り合う交点IS 0 4の間に形成された矩形領域RRにおいて、第1絶縁層2 2 0は除去されている。したがって、交点IS 0 1と交点IS 0 4との間の矩形領域RRにおいて、第2絶縁層2 3 0のみが存在することになる。本実施形態において、交点IS 0 1は、第1交点として例示されてもよい。交点IS 0 4は、第2交点として例示されてもよい。

[0076] 第1絶縁層2 2 0の厚さが、記号「 $t_1 (>0)$ 」で表され、且つ、第2絶縁層2 3 0の厚さが、記号「 $t_2 (>0)$ 」で表されるならば、交点IS 0 1, IS 0 4における絶縁層の厚さの総和は、「 $t_1 + t_2$ 」で表される。一方、矩形領域RRにおける絶縁層の厚さの総和は、「 t_2 」で表される。よって、交点IS 0 1, IS 0 4における絶縁層の厚さの総和は、矩形領域RRにおける絶縁層の厚さの総和よりも大きくなる。本実施形態において

、矩形領域 R R によって規定される垂直方向の区間は、第 1 交点と第 2 交点との間の区間として例示される。

[0077] <第 3 実施形態>

第 2 実施形態に関連して説明された技術は、絶縁層の厚さの低減によって、表示パネルの厚さの増大を抑制することができる。しかしながら、絶縁層の厚さの低減は、絶縁特性の劣化（例えば、ソース線の容量負荷の増大）を引き起こすこともある。第 3 実施形態に関連して、ゲート引出線及びソース線が存在する領域の厚さを低減するための他の技術が説明される。

[0078] 図 20 は、第 3 実施形態の表示装置 100A の概略的な正面図である。図 20 を参照して、表示装置 100A が説明される。尚、表示装置 100A は、第 1 実施形態に関連して説明された基本原理に基づいて設計されている。

[0079] 第 1 実施形態と同様に、表示装置 100A は、多数のゲート線と、これらのゲート線に略直角に延びる多数のソース線と、を備える。ゲート引出線は、ゲート線に対応して形成されるので、ゲート線と同数のゲート引出線が形成されるならば、ゲート信号は、各ゲート線へ適切に供給される。したがって、ソース線が、ゲート線よりも多いならば、いくつかのソース線は、ゲート引出線に重畳されなくともよいことになる。

[0080] 図 21A は、ゲート引出線が存在する交点 A における表示パネルの積層構造の概略図である。図 21B は、交点 A から水平方向に離間した交点 B における表示パネルの積層構造の概略図である。図 8、図 21A 及び図 21B を参照して、第 3 実施形態の原理が説明される。

[0081] 図 21A に示される如く、ゲート引出線が存在するならば、コモン線は形成されない。図 21B に示される如く、ゲート引出線が存在しないならば、コモン線が形成される。この結果、交点 A と交点 B との間で、層の数は等しくなる。

[0082] 図 8 を参照して説明されたステップ S170 において、ゲート引出線から水平方向に離間してコモン線が形成されるならば、図 21A 及び図 21B に示される積層構造は、簡便に形成される。

[0083] 本実施形態の原理によれば、複数のソース線の少なくとも一部が、複数のゲート引出線及び複数のコモン線のうちいずれか一方に積層されることによって、層厚寸法は適切に低減される。

[0084] <第4実施形態>

ゲート信号に対する抵抗の低減は、ゲート信号の伝達の観点から好ましい。第4実施形態に関連して、ゲート信号に対する抵抗を低減するための技術が説明される。

[0085] 図22は、ゲート引出線の形成工程（ステップS110）の概略図である。図4、図8及び図22を参照して、ゲート引出線の形成工程が説明される。

[0086] ゲート引出線の形成工程において、ゲート引出線GD1、GD2、GD3に加えて、水平方向に延びる略矩形状の導電領域223が基板210上に形成される。ゲート引出線GD1、GD2、GD3と同様に、4つの導電領域223は、導電材料から形成される。

[0087] 左上の導電領域は、交点IS01、IS02の間に形成される（図4を参照）。右上の導電領域は、交点IS02、IS03の間に形成される（図4を参照）。左下の導電領域は、交点IS04、IS05の間に形成される（図4を参照）。右下の導電領域は、交点IS05、IS06の間に形成される（図4を参照）。尚、導電領域223は、ゲート引出線GD1、GD2、GD3から分離されている。本実施形態において、交点IS01が第1交点として例示されるならば、交点IS02は、第3交点として例示されてもよい。交点IS02が第1交点として例示されるならば、交点IS03は、第3交点として例示されてもよい。交点IS04が第1交点として例示されるならば、交点IS05は、第3交点として例示されてもよい。交点IS05が第1交点として例示されるならば、交点IS06は、第3交点として例示されてもよい。

[0088] 図23は、第1絶縁層の形成工程（ステップS120）の概略図である。図8及び図23を参照して、第1絶縁層の形成工程が説明される。

[0089] ゲート引出線GD1, GD2に対応するスルーホール221に加えて、第1絶縁層220から導電領域223を部分的に露出させるためのスルーホール224が、第1絶縁層220に形成される。スルーホール224は、導電領域223ごとに2つ形成される。

[0090] 図24は、ゲート線の形成工程（ステップS130）の概略図である。図8及び図24を参照して、ゲート線の形成工程が説明される。

[0091] ゲート線GL1, GL2は、水平方向に整列するスルーホール221, 224を被覆するように形成される。ゲート線GL1は、スルーホール221を通じてゲート引出線GD1に電氣的に接続されるだけでなく、スルーホール224を通じて、導電領域223にも電氣的に接続される。ゲート線GL2は、スルーホール221を通じてゲート引出線GD2に電氣的に接続されるだけでなく、スルーホール224を通じて、導電領域223にも電氣的に接続される。

[0092] 導電領域223は、ゲート信号が通過する断面領域を増大させるので、信号に対する抵抗は低減される。本実施形態において、導電領域223は、補助ゲート線として例示される。

[0093] <第5実施形態>

ゲート信号に対する抵抗のばらつきの低減は、表示面に表示される映像の画質の観点から好ましい。第5実施形態に関連して、ゲート信号に対する抵抗のばらつきを低減するための技術が説明される。

[0094] 図25は、第5実施形態の表示装置100Bの概略的な正面図である。図25を参照して、表示装置100Bが説明される。尚、表示装置100Bは、第1実施形態に関連して説明された基本原理に基づいて設計されている。

[0095] 第1実施形態と同様に、表示装置100Bは、映像を表示するための表示面を備える。図25において、表示面は、左領域と、右領域と、左領域と右領域との間の中央領域と、に概念的に3等分されている。左領域、中央領域及び右領域は、水平方向に整列している。

[0096] ゲート引出線とゲート線とを電氣的に接続するための接点部は、中央領域

に集中的に形成される。即ち、接点部は、中央領域において、左領域及び右領域と較べて、多く形成される。ゲート信号は、水平方向に延びるゲート線によって伝達されるので、各ゲート線に対応するゲート信号は、表示面の水平方向の寸法の約 $1/2$ の距離に亘って伝搬することになる。したがって、本実施形態の原理は、ゲート信号に対する抵抗のばらつきを低減することができる。本実施形態において、左領域及び右領域のうち一方は、第1領域として例示される。左領域及び右領域のうち他方は、第3領域として例示される。中央領域は、第2領域として例示される。

[0097] <第6実施形態>

第1実施形態に関連して説明された如く、ゲート引出線及びゲート線が電氣的に接続される接続点は、多数のゲート引出線と多数のゲート線とによって規定された多数の交点の中から選択される。接続点において、接点部が形成され、ゲート引出線及びゲート線が電氣的に接続される。接点部の形成の結果、接続点における電氣的な特性は、他の交点における電氣的な特性とは相違することもある。接続点における特異的な電氣的特性は、表示面に表れる輝度に影響を与えることもある。第6実施形態に関連して、接続点の影響を緩和する技術が説明される。

[0098] 図26は、ゲート線GL1, GL2, GL3, GL4及びゲート引出線GD1, GD2, GD3の概略図である。図26を参照して、接続点の影響を緩和する技術が説明される。

[0099] ゲート線GL1, GL2, GL3, GL4及びゲート引出線GD1, GD2, GD3は、交点IS01~IS12を規定する。交点IS01, IS06, IS08は、接続点として選択されている。交点IS01において、ゲート線GL1は、ゲート引出線GD1に電氣的に接続される。交点IS06において、ゲート線GL1に隣り合うゲート線GL2は、ゲート引出線GD3に電氣的に接続される。交点IS08において、ゲート線GL2に隣り合うゲート線GL3は、ゲート引出線GD1, GD3の間のゲート引出線GD2に電氣的に接続される。

[0100] 図26は、交点ISO1と交点ISO6とを結ぶ線分LS1と、交点ISO1と交点ISO8とを結ぶ線分LS2と、を示す。線分LS1, LS2との間の角度 θ が、「0°」よりも大きく設定されるならば、接続点は直線上に整列しない。したがって、表示面を観察する観察者は、接続点において生ずる特異的な輝度変化（過度に高い又は低い輝度）を知覚しにくくなる。本実施形態において、交点ISO1は、第1接続点として例示されてもよい。交点ISO6は、第2接続点として例示されてもよい。交点ISO8は、第3接続点として例示されてもよい。線分LS1は、第1線分として例示されてもよい。線分LS2は、第2線分として例示されてもよい。

[0101] 図26に示される幾何学的な関係は、表示面の全体に亘って適用されてもよい。理想的には、接続点は、表示面の全体に亘って、ランダムに分散される。この結果、観察者は、表示面に写し出される映像を快適に観察することができる。

[0102] <第7実施形態>

第1実施形態に関して説明された如く、ソース線は、ゲート線にゲート信号を伝達するためのゲート引出線に沿って形成される。ゲート引出線に沿って伝搬されるゲート信号は、ソース線にノイズを生じさせることもある。第7実施形態に関して、ゲート引出線とソース線との間の干渉を緩和するための技術が説明される。

[0103] 図27は、ゲート引出線、ゲート線及びソース線の配置を表す概略図である。図8及び図27を参照して、ゲート引出線、ゲート線及びソース線の配置が説明される。

[0104] 図27は、ゲート引出線GD0~GD4と、ソース線SL0~SL4と、を示す。ソース線SL0は、ゲート引出線GD0に沿って垂直に延びる。ソース線SL1は、ゲート引出線GD1に沿って垂直に延びる。ソース線SL2は、ゲート引出線GD2に沿って垂直に延びる。ソース線SL3は、ゲート引出線GD3に沿って垂直に延びる。ソース線SL4は、ゲート引出線GD4に沿って垂直に延びる。

[0105] ソース線S L 0～S L 4は、図8を参照して説明されたステップS 1 5 0において形成される。したがって、ソース線S L 0～S L 4は、同一層上に形成されることになる。後述される如く、ソース線S L 1乃至S L 4には、ソース信号が送り出される。一方、ソース線S L 0には、ソース信号は出力されない。ソース線S L 0は、一定の電位に保たれる。本実施形態において、ソース線S L 0は、ダミーソース線として例示される。

[0106] 図27は、ゲート線G L 1～G L 5を示す。ゲート線G L 1とゲート引出線G D 0との交点において接点部C P 0 1が形成される。ゲート線G L 2とゲート引出線G D 1との間で接点部C P 1 2が形成される。ゲート線G L 3とゲート引出線G D 2との間で接点部C P 2 3が形成される。ゲート線G L 4とゲート引出線G D 3との間で接点部C P 3 4が形成される。ゲート線G L 5とゲート引出線G D 4との間で接点部C P 4 5が形成される。ゲート線G L 1は、接点部C P 0 1を通じて、ゲート引出線G D 0からゲート信号を受ける。ゲート線G L 2は、接点部C P 1 2を通じて、ゲート引出線G D 1からゲート信号を受ける。ゲート線G L 3は、接点部C P 2 3を通じて、ゲート引出線G D 2からゲート信号を受ける。ゲート線G L 4は、接点部C P 3 4を通じて、ゲート引出線G D 3からゲート信号を受ける。ゲート線G L 5は、接点部C P 4 5を通じて、ゲート引出線G D 4からゲート信号を受ける。

[0107] 上述のソース線S L 0は、ゲート線G L 1に対する容量負荷と、他のゲート線G L 2～G L 5それぞれの容量負荷と、の間の差異を低減させる。この結果、ゲート線G L 1に沿って形成される画素の発光表示特性と他の画素との間での顕著な差異は生じにくくなる。

[0108] 図28は、ゲート信号の出力とソース線上のノイズの発生との間の関係を表す概略的なタイミングチャートである。図27及び図28を参照して、ゲート信号の出力とソース線上のノイズの発生との間の関係が説明される。

[0109] ゲート線G L 1は、ゲート引出線G D 0からゲート信号を受ける。ゲート引出線G D 0は、ソース線S L 1から離れているので、ゲート線G L 1へ入

力されるゲート信号は、ソース線SL1にほとんど影響を与えない。ゲート線GL2は、ゲート引出線GD1からゲート信号を受ける。ゲート引出線GD1は、ソース線SL1に沿うので、ゲート線GL2へ入力されるゲート信号は、ソース線SL1を流れるソース信号にノイズを生じさせる。ゲート線GL3は、ゲート引出線GD2からゲート信号を受ける。ゲート引出線GD2は、ソース線SL2に沿うので、ゲート線GL3へ入力されるゲート信号は、ソース線SL2を流れるソース信号にノイズを生じさせる。ゲート線GL4は、ゲート引出線GD3からゲート信号を受ける。ゲート引出線GD3は、ソース線SL3に沿うので、ゲート線GL4へ入力されるゲート信号は、ソース線SL3を流れるソース信号にノイズを生じさせる。ゲート線GL5は、ゲート引出線GD4からゲート信号を受ける。ゲート引出線GD4は、ソース線SL4に沿うので、ゲート線GL5へ入力されるゲート信号は、ソース線SL4を流れるソース信号にノイズを生じさせる。

[0110] 図27は、ゲート線GL1に沿って、水平方向に配列されたトランジスタTR11、TR12、TR13、TR14と、トランジスタTR11、TR12、TR13、TR14にそれぞれ接続された画素電極PE11、PE12、PE13、PE14と、を示す。トランジスタTR11は、ゲート線GL1、ソース線SL1及び画素電極PE11の間の電気的な接続を担う。トランジスタTR11は、ゲート線GL1へ入力されたゲート信号に応じて、ソース線SL1から画素電極PE11へのソース信号の入力を許容する。トランジスタTR12は、ゲート線GL1、ソース線SL2及び画素電極PE12の間の電気的な接続を担う。トランジスタTR12は、ゲート線GL1へ入力されたゲート信号に応じて、ソース線SL2から画素電極PE12へのソース信号の入力を許容する。トランジスタTR13は、ゲート線GL1、ソース線SL3及び画素電極PE13の間の電気的な接続を担う。トランジスタTR13は、ゲート線GL1へ入力されたゲート信号に応じて、ソース線SL3から画素電極PE13へのソース信号の入力を許容する。トランジスタTR14は、ゲート線GL1、ソース線SL4及び画素電極PE14

の間の電氣的な接続を担う。トランジスタTR14は、ゲート線GL1へ入力されたゲート信号に応じて、ソース線SL4から画素電極PE14へのソース信号の入力を許容する。上述の如く、ゲート線GL1へのゲート信号の入力は、ソース線SL1～SL4から十分に離間したゲート引出線GDOに依存するので、画素電極PE11～PE14は、ソース信号を適切に受けることができる。

[0111] 図27は、ゲート線GL2とゲート線GL3との間で水平方向に配列された画素電極PE31, PE22, PE23, PE24と、画素電極PE31, PE22, PE23, PE24にそれぞれ対応するトランジスタTR31, TR22, TR23, TR24と、を示す。トランジスタTR31は、ゲート線GL3、ソース線SL1及び画素電極PE31の間の電氣的な接続を担う。トランジスタTR31は、ゲート線GL3へ入力されたゲート信号に応じて、ソース線SL1から画素電極PE31へのソース信号の入力を許容する。図28に示される如く、ソース線SL1を流れるソース信号は、ゲート線GL2へ供給されるゲート信号に影響される一方で、ゲート線GL3に供給されるゲート信号にはほとんど影響を受けない。したがって、画素電極PE31は、ソース信号を適切に受けることができる。

[0112] トランジスタTR22は、ゲート線GL2、ソース線SL2及び画素電極PE22の間の電氣的な接続を担う。トランジスタTR22は、ゲート線GL2へ入力されたゲート信号に応じて、ソース線SL2から画素電極PE22へのソース信号の入力を許容する。トランジスタTR23は、ゲート線GL2、ソース線SL3及び画素電極PE23の間の電氣的な接続を担う。トランジスタTR23は、ゲート線GL2へ入力されたゲート信号に応じて、ソース線SL3から画素電極PE23へのソース信号の入力を許容する。トランジスタTR24は、ゲート線GL2、ソース線SL4及び画素電極PE24の間の電氣的な接続を担う。トランジスタTR24は、ゲート線GL2へ入力されたゲート信号に応じて、ソース線SL4から画素電極PE24へのソース信号の入力を許容する。上述の如く、ゲート線GL2へのゲート信

号の入力は、ソース線SL2～SL4から十分に離間したゲート引出線GD1に依存するので、画素電極PE22～PE24は、ソース信号を適切に受けることができる。

[0113] 図27は、ゲート線GL3とゲート線GL4との間で水平方向に配列された画素電極PE41、PE42、PE33、PE34と、画素電極PE41、PE42、PE33、PE34にそれぞれ対応するトランジスタTR41、TR42、TR33、TR34と、を示す。トランジスタTR41は、ゲート線GL4、ソース線SL1及び画素電極PE41の間の電氣的な接続を担う。トランジスタTR41は、ゲート線GL4へ入力されたゲート信号に応じて、ソース線SL1から画素電極PE41へのソース信号の入力を許容する。上述の如く、ゲート線GL4へのゲート信号の入力は、ソース線SL1から十分に離間したゲート引出線GD3に依存するので、画素電極PE41は、ソース信号を適切に受けることができる。

[0114] トランジスタTR42は、ゲート線GL4、ソース線SL2及び画素電極PE42の間の電氣的な接続を担う。トランジスタTR42は、ゲート線GL4へ入力されたゲート信号に応じて、ソース線SL2から画素電極PE42へのソース信号の入力を許容する。図28に示される如く、ソース線SL2を流れるソース信号は、ゲート線GL3へ供給されるゲート信号に影響される一方で、ゲート線GL4に供給されるゲート信号にはほとんど影響を受けない。したがって、画素電極PE42は、ソース信号を適切に受けることができる。

[0115] トランジスタTR33は、ゲート線GL3、ソース線SL3及び画素電極PE33の間の電氣的な接続を担う。トランジスタTR33は、ゲート線GL3へ入力されたゲート信号に応じて、ソース線SL3から画素電極PE33へのソース信号の入力を許容する。トランジスタTR34は、ゲート線GL3へ入力されたゲート信号に応じて、ソース線SL4から画素電極PE34へのソース信号の入力を許容する。上述の如く、ゲート線GL3へのゲート信号の入力は、ソース線SL3、SL4から十分に離間したゲート引出線

GD 2 に依存するので、画素電極 PE 3 3, 3 4 は、ソース信号を適切に受けることができる。

[0116] 図 2 7 は、ゲート線 GL 4 とゲート線 GL 5 との間で水平方向に配列された画素電極 PE 5 1, PE 5 2, PE 5 3, PE 4 4 と、画素電極 PE 5 1, PE 5 2, PE 5 3, PE 4 4 にそれぞれ対応するトランジスタ TR 5 1, TR 5 2, TR 5 3, TR 4 4 と、を示す。トランジスタ TR 5 1 は、ゲート線 GL 5、ソース線 SL 1 及び画素電極 PE 5 1 の間の電氣的な接続を担う。トランジスタ TR 5 1 は、ゲート線 GL 5 へ入力されたゲート信号に応じて、ソース線 SL 1 から画素電極 PE 5 1 へのソース信号の入力を許容する。トランジスタ TR 5 2 は、ゲート線 GL 5、ソース線 SL 2 及び画素電極 PE 5 2 の間の電氣的な接続を担う。トランジスタ TR 5 2 は、ゲート線 GL 5 へ入力されたゲート信号に応じて、ソース線 SL 2 から画素電極 PE 5 2 へのソース信号の入力を許容する。トランジスタ TR 5 3 は、ゲート線 GL 5、ソース線 SL 3 及び画素電極 PE 5 3 の間の電氣的な接続を担う。トランジスタ TR 5 3 は、ゲート線 GL 5 へ入力されたゲート信号に応じて、ソース線 SL 3 から画素電極 PE 5 3 へのソース信号の入力を許容する。図 2 8 に示される如く、ソース線 SL 1 ~ SL 3 を流れるソース信号は、ゲート線 GL 5 へ供給されるゲート信号にはほとんど影響を受けない。したがって、画素電極 PE 5 1 ~ PE 5 3 は、ソース信号を適切に受けることができる。

[0117] トランジスタ TR 4 4 は、ゲート線 GL 4、ソース線 SL 4 及び画素電極 PE 4 4 の間の電氣的な接続を担う。トランジスタ TR 4 4 は、ゲート線 GL 4 へ入力されたゲート信号に応じて、ソース線 SL 4 から画素電極 PE 4 4 へのソース信号の入力を許容する。上述の如く、ゲート線 GL 4 へのゲート信号の入力は、ソース線 SL 4 から十分に離間したゲート引出線 GD 3 に依存するので、画素電極 PE 4 4 は、ソース信号を適切に受けることができる。

[0118] 本実施形態において、画素電極 PE 4 2 が配置された領域は、第 1 画素領

域として例示されてもよい。画素電極 P E 3 3 が配置された領域は、第 2 画素領域として例示されてもよい。画素電極 P E 5 3 が配置された領域は、第 3 画素領域として例示されてもよい。画素電極 P E 5 2 が配置された領域は、第 4 画素領域として例示されてもよい。

[0119] 本実施形態において、ゲート引出線 G D 3 は、第 1 引出線として例示されてもよい。接点部 C P 3 4 は、第 1 接点部として例示されてもよい。

[0120] 本実施形態において、ゲート線 G L 4 は、第 1 ゲート線として例示されてもよい。ゲート線 G L 3 は、第 2 ゲート線として例示されてもよい。ゲート線 G L 5 は、第 3 ゲート線として例示されてもよい。

[0121] 本実施形態において、ソース線 S L 3 は、第 1 ソース線として例示されてもよい。ソース線 S L 2 は、第 2 ソース線として例示されてもよい。ソース線 S L 4 は、第 3 ソース線として例示されてもよい。

[0122] 本実施形態において、画素電極 P E 4 2 は、第 1 画素電極として例示されてもよい。画素電極 P E 3 3 は、第 2 画素電極として例示されてもよい。画素電極 P E 5 3 は、第 3 画素電極として例示されてもよい。画素電極 P E 5 2 は、第 4 画素電極として例示されてもよい。

[0123] 本実施形態において、トランジスタ T R 4 2 は、第 1 トランジスタとして例示されてもよい。トランジスタ T R 3 3 は、第 2 トランジスタとして例示されてもよい。トランジスタ T R 5 3 は、第 3 トランジスタとして例示されてもよい。トランジスタ T R 5 2 は、第 4 トランジスタとして例示されてもよい。

[0124] 本実施形態において、ゲート線 G L 4 とソース線 S L 2 とからなる組は、第 1 組として例示されてもよい。ゲート線 G L 3 とソース線 S L 2 とからなる組は、第 2 組として例示されてもよい。ゲート線 G L 3 とソース線 S L 3 とからなる組は、第 3 組として例示されてもよい。ゲート線 G L 3 とソース線 S L 4 とからなる組は、第 4 組として例示されてもよい。ゲート線 G L 4 とソース線 S L 4 とからなる組は、第 5 組として例示されてもよい。ゲート線 G L 5 とソース線 S L 4 とからなる組は、第 6 組として例示されてもよい。

。ゲート線GL 5とソース線SL 3とからなる組は、第7組として例示されてもよい。ゲート線GL 5とソース線SL 1とからなる組は、第8組として例示されてもよい。

[0125] 本実施形態において、第1トランジスタとして例示されるトランジスタTR 4 2は、ゲート線GL 4とソース線SL 2とからなる組に電氣的に接続される。代替的に、第1トランジスタは、ゲート線GL 3とソース線SL 3とからなる組に電氣的に接続されてもよい。

[0126] 本実施形態において、第2トランジスタとして例示されるトランジスタTR 3 3は、ゲート線GL 3とソース線SL 3とからなる組に電氣的に接続される。

[0127] 本実施形態において、第3トランジスタとして例示されるトランジスタTR 5 3は、ゲート線GL 5とソース線SL 3とからなる組に電氣的に接続される。

[0128] 本実施形態において、第4トランジスタとして例示されるトランジスタTR 5 2は、ゲート線GL 5とソース線SL 2とからなる組に電氣的に接続される。

[0129] 第1トランジスタがゲート線GL 3とソース線SL 3とからなる組に電氣的に接続されるならば、第2トランジスタは、ゲート線GL 3とソース線SL 4とからなる組又はゲート線GL 4とソース線SL 4とからなる組に電氣的に接続されればよい。

[0130] 上述のトランジスタの配置は、以下の条件に従って決定されてもよい。

[0131] ゲート線とゲート引出線との間に接点部が形成されるならば、当該ゲート引出線に沿って形成されるソース線からのソース信号がゲート線からのゲート信号に応じて画素電極に供給されないように、トランジスタは配置される。一方、接点部が形成されるゲート線に隣接するゲート線からのゲート信号に応じて画素電極にソース信号が供給されるように、トランジスタは配置されてもよい。代替的に、接点部が形成されるゲート引出線に沿うソース線に隣接するソース線からのソース信号が画素電極に供給されるように、トラン

ジスタは配置されてもよい。これらの条件が満たされるように、トランジスタが配置されるならば、ゲート引出線とソース線との間の干渉は適切に緩和される。

[0132] 画素電極は、ゲート線とソース線（ゲート引出線）とによって区画された矩形領域内に配置される。矩形領域の4つの角隅部のうち1つにおいて、ゲート線とゲート引出線との間の電氣的な接続のための接点部が形成される。上述の条件が満たされるならば、接点部を除く矩形領域の角隅部（ゲート線とソース線（ゲート引出線）との交点）のうち1つが、トランジスタとソース線との接続に用いられる接続交点として選択されることになる。すなわち、トランジスタは、接点部として選択された交点において、ソース線に接続されないので、ゲート引出線とソース線との間の干渉は適切に緩和される。

[0133] 図29は、ゲート引出線、ゲート線及びソース線の他の配置を表す概略図である。図29を参照して、ゲート引出線、ゲート線及びソース線の配置が説明される。尚、図29に示される配置は、図27及び図28を参照して説明された原理に基づいている。

[0134] 図29は、ゲート引出線GD1～GD5と、ソース線SL1～SL5を示す。ソース線SL1は、ゲート引出線GD1に沿って垂直に延びる。ソース線SL2は、ゲート引出線GD2に沿って垂直に延びる。ソース線SL3は、ゲート引出線GD3に沿って垂直に延びる。ソース線SL4は、ゲート引出線GD4に沿って垂直に延びる。ソース線SL5は、ゲート引出線GD5に沿って垂直に延びる。

[0135] 図29は、ゲート線GL1～GL4を示す。ゲート線GL1とゲート引出線GD1との交点において接点部CP11が形成される。ゲート線GL2とゲート引出線GD2との間で接点部CP22が形成される。ゲート線GL3とゲート引出線GD3との間で接点部CP33が形成される。ゲート線GL4とゲート引出線GD4との間で接点部CP44が形成される。ゲート線GL1は、接点部CP11を通じて、ゲート引出線GD1からゲート信号を受ける。ゲート線GL2は、接点部CP22を通じて、ゲート引出線GD2か

らゲート信号を受ける。ゲート線GL 3は、接点部CP 3 3を通じて、ゲート引出線GD 3からゲート信号を受ける。ゲート線GL 4は、接点部CP 4 4を通じて、ゲート引出線GD 4からゲート信号を受ける。

[0136] 図30は、ゲート信号の出力とソース線上のノイズの発生との間の関係を表す概略的なタイミングチャートである。図29及び図30を参照して、ゲート信号の出力とソース線上のノイズの発生との間の関係が説明される。

[0137] ゲート線GL 1は、ゲート引出線GD 1からゲート信号を受ける。ゲート引出線GD 1は、ソース線SL 1に沿うので、ゲート線GL 1へ入力されるゲート信号は、ソース線SL 1を流れるソース信号にノイズを生じさせる。ゲート線GL 2は、ゲート引出線GD 2からゲート信号を受ける。ゲート引出線GD 2は、ソース線SL 2に沿うので、ゲート線GL 2へ入力されるゲート信号は、ソース線SL 2を流れるソース信号にノイズを生じさせる。ゲート線GL 3は、ゲート引出線GD 3からゲート信号を受ける。ゲート引出線GD 3は、ソース線SL 3に沿うので、ゲート線GL 3へ入力されるゲート信号は、ソース線SL 3を流れるソース信号にノイズを生じさせる。ゲート線GL 4は、ゲート引出線GD 4からゲート信号を受ける。ゲート引出線GD 4は、ソース線SL 4に沿うので、ゲート線GL 4へ入力されるゲート信号は、ソース線SL 4を流れるソース信号にノイズを生じさせる。尚、ソース線SL 5に流れるゲート線GL 1～GL 4に供給されるゲート信号からの影響をほとんど受けない。

[0138] 図29は、ゲート線GL 1に沿って、水平方向に配列されたトランジスタTR 1 2, TR 1 3, TR 1 4, TR 1 5と、トランジスタTR 1 2, TR 1 3, TR 1 4, TR 1 5にそれぞれ接続された画素電極PE 1 2, PE 1 3, PE 1 4, PE 1 5と、を示す。トランジスタTR 1 2は、ゲート線GL 1、ソース線SL 2及び画素電極PE 1 2の間の電気的な接続を担う。トランジスタTR 1 2は、ゲート線GL 1へ入力されたゲート信号に応じて、ソース線SL 2から画素電極PE 1 2へのソース信号の入力を許容する。トランジスタTR 1 3は、ゲート線GL 1、ソース線SL 3及び画素電極PE

13の間の電氣的な接続を担う。トランジスタTR13は、ゲート線GL1へ入力されたゲート信号に応じて、ソース線SL3から画素電極PE13へのソース信号の入力を許容する。トランジスタTR14は、ゲート線GL1、ソース線SL4及び画素電極PE14の間の電氣的な接続を担う。トランジスタTR14は、ゲート線GL1へ入力されたゲート信号に応じて、ソース線SL4から画素電極PE14へのソース信号の入力を許容する。トランジスタTR15は、ゲート線GL1、ソース線SL5及び画素電極PE15の間の電氣的な接続を担う。トランジスタTR15は、ゲート線GL1へ入力されたゲート信号に応じて、ソース線SL5から画素電極PE15へのソース信号の入力を許容する。上述の如く、ゲート線GL1へのゲート信号の入力は、ソース線SL2～SL5から十分に離間したゲート引出線GD1に依存するので、画素電極PE12～PE15は、ソース信号を適切に受けることができる。

[0139] 図29は、ゲート線GL1とゲート線GL2との間で水平方向に配列された画素電極PE21、PE23、PE24、PE25と、画素電極PE21、PE23、PE24、PE25にそれぞれ対応するトランジスタTR21、TR23、TR24、TR25と、を示す。トランジスタTR21は、ゲート線GL2、ソース線SL1及び画素電極PE21の間の電氣的な接続を担う。トランジスタTR21は、ゲート線GL2へ入力されたゲート信号に応じて、ソース線SL1から画素電極PE21へのソース信号の入力を許容する。図30に示される如く、ソース線SL1を流れるソース信号は、ゲート線GL1へ供給されるゲート信号に影響される一方で、ゲート線GL2に供給されるゲート信号にはほとんど影響を受けない。したがって、画素電極PE21は、ソース信号を適切に受けることができる。

[0140] トランジスタTR23は、ゲート線GL2、ソース線SL3及び画素電極PE23の間の電氣的な接続を担う。トランジスタTR23は、ゲート線GL2へ入力されたゲート信号に応じて、ソース線SL3から画素電極PE23へのソース信号の入力を許容する。トランジスタTR24は、ゲート線G

L 2、ソース線 S L 4 及び画素電極 P E 2 4 の間の電氣的な接続を担う。トランジスタ T R 2 4 は、ゲート線 G L 2 へ入力されたゲート信号に応じて、ソース線 S L 4 から画素電極 P E 2 4 へのソース信号の入力を許容する。トランジスタ T R 2 5 は、ゲート線 G L 2、ソース線 S L 5 及び画素電極 P E 2 5 の間の電氣的な接続を担う。トランジスタ T R 2 5 は、ゲート線 G L 2 へ入力されたゲート信号に応じて、ソース線 S L 5 から画素電極 P E 2 5 へのソース信号の入力を許容する。上述の如く、ゲート線 G L 2 へのゲート信号の入力は、ソース線 S L 3 ~ S L 5 から十分に離間したゲート引出線 G D 2 に依存するので、画素電極 P E 2 3 ~ P E 2 5 は、ソース信号を適切に受けることができる。

[0141] 図 2 9 は、ゲート線 G L 2 とゲート線 G L 3 との間で水平方向に配列された画素電極 P E 3 1, P E 3 2, P E 3 4, P E 3 5 と、画素電極 P E 3 1, P E 3 2, P E 3 4, P E 3 5 にそれぞれ対応するトランジスタ T R 3 1, T R 3 2, T R 3 4, T R 3 5 と、を示す。トランジスタ T R 3 1 は、ゲート線 G L 3、ソース線 S L 1 及び画素電極 P E 3 1 の間の電氣的な接続を担う。トランジスタ T R 3 1 は、ゲート線 G L 3 へ入力されたゲート信号に応じて、ソース線 S L 1 から画素電極 P E 3 1 へのソース信号の入力を許容する。上述の如く、ゲート線 G L 3 へのゲート信号の入力は、ソース線 S L 1 から十分に離間したゲート引出線 G D 3 に依存するので、画素電極 P E 3 1 は、ソース信号を適切に受けることができる。

[0142] トランジスタ T R 3 2 は、ゲート線 G L 3、ソース線 S L 2 及び画素電極 P E 3 2 の間の電氣的な接続を担う。トランジスタ T R 3 2 は、ゲート線 G L 3 へ入力されたゲート信号に応じて、ソース線 S L 2 から画素電極 P E 3 2 へのソース信号の入力を許容する。図 3 0 に示される如く、ソース線 S L 2 を流れるソース信号は、ゲート線 G L 3 へ供給されるゲート信号にはほとんど影響を受けない。したがって、画素電極 P E 3 2 は、ソース信号を適切に受けることができる。

[0143] トランジスタ T R 3 4 は、ゲート線 G L 3、ソース線 S L 4 及び画素電極

PE 3 4 の間の電氣的な接続を担う。トランジスタ TR 3 4 は、ゲート線 GL 3 へ入力されたゲート信号に応じて、ソース線 SL 4 から画素電極 PE 3 4 へのソース信号の入力を許容する。トランジスタ TR 3 5 は、ゲート線 GL 3 へ入力されたゲート信号に応じて、ソース線 SL 5 から画素電極 PE 3 5 へのソース信号の入力を許容する。上述の如く、ゲート線 GL 3 へのゲート信号の入力は、ソース線 SL 4, SL 5 から十分に離間したゲート引出線 GD 3 に依存するので、画素電極 PE 3 4, 3 5 は、ソース信号を適切に受けることができる。

[0144] 図 2 9 は、ゲート線 GL 3 とゲート線 GL 4 との間で水平方向に配列された画素電極 PE 4 1, PE 4 2, PE 4 3, PE 4 5 と、画素電極 PE 4 1, PE 4 2, PE 4 3, PE 4 5 にそれぞれ対応するトランジスタ TR 4 1, TR 4 2, TR 4 3, TR 4 5 と、を示す。トランジスタ TR 4 1 は、ゲート線 GL 4、ソース線 SL 1 及び画素電極 PE 4 1 の間の電氣的な接続を担う。トランジスタ TR 4 1 は、ゲート線 GL 4 へ入力されたゲート信号に応じて、ソース線 SL 1 から画素電極 PE 4 1 へのソース信号の入力を許容する。トランジスタ TR 4 2 は、ゲート線 GL 4、ソース線 SL 2 及び画素電極 PE 4 2 の間の電氣的な接続を担う。トランジスタ TR 4 2 は、ゲート線 GL 4 へ入力されたゲート信号に応じて、ソース線 SL 2 から画素電極 PE 4 2 へのソース信号の入力を許容する。トランジスタ TR 4 3 は、ゲート線 GL 4、ソース線 SL 3 及び画素電極 PE 4 3 の間の電氣的な接続を担う。トランジスタ TR 4 3 は、ゲート線 GL 4 へ入力されたゲート信号に応じて、ソース線 SL 3 から画素電極 PE 4 3 へのソース信号の入力を許容する。図 3 0 に示される如く、ソース線 SL 1 ~ SL 3 を流れるソース信号は、ゲート線 GL 4 へ供給されるゲート信号にはほとんど影響を受けない。したがって、画素電極 PE 4 1 ~ PE 4 3 は、ソース信号を適切に受けることができる。

[0145] トランジスタ TR 4 5 は、ゲート線 GL 4、ソース線 SL 5 及び画素電極 PE 4 5 の間の電氣的な接続を担う。トランジスタ TR 4 5 は、ゲート線 G

L 4 へ入力されたゲート信号に応じて、ソース線 S L 5 から画素電極 P E 4 5 へのソース信号の入力を許容する。上述の如く、ゲート線 G L 4 へのゲート信号の入力は、ソース線 S L 5 から十分に離間したゲート引出線 G D 4 に依存するので、画素電極 P E 4 5 は、ソース信号を適切に受けることができる。

[0146] <第 8 実施形態>

第 1 実施形態に関連して説明された如く、ソース線は、ゲート線にゲート信号を伝達するためのゲート引出線に沿って形成される。ソース線とゲート引出線との重畳は、ゲート引出線に沿って伝搬されるゲート信号の遅延を引き起こすこともある。第 8 実施形態に関連して、ゲート引出線に沿って伝搬されるゲート信号の遅延を緩和するための技術が説明される。

[0147] 図 3 1 は、第 8 実施形態の表示装置 1 0 0 C の概略図である。図 2 7 及び図 3 1 を参照して、表示装置 1 0 0 C が説明される。

[0148] 表示装置 1 0 0 C は、ゲート線 G L 1 ~ G L 5、ゲート引出線 G D 0 ~ G D 4 及びソース線 S L 0 ~ S L 4 を備える。ゲート線 G L 1 ~ G L 5、ゲート引出線 G D 0 ~ G D 4 及びソース線 S L 0 ~ S L 4 の配置は、第 7 実施形態に基づいて設計される（図 2 7 を参照）。したがって、ゲート線 G L 1 ~ G L 5、ゲート引出線 G D 0 ~ G D 4 及びソース線 S L 0 ~ S L 4 に対して、第 7 実施形態の説明が援用される。

[0149] 表示装置 1 0 0 C は、ソースドライバ 2 0 1 と、ソースドライバ 2 0 1 とゲート引出線 G D 0 ~ G D 4 とを接続する中継回路 3 0 0 と、中継回路 3 0 0 を制御する切替制御回路 3 1 0 と、を更に備える。中継回路 3 0 0 は、ソース線 S L 1 とソースドライバ 2 0 1 とを接続する中継線 R L 1 と、ソース線 S L 2 とソースドライバ 2 0 1 とを接続する中継線 R L 2 と、ソース線 S L 3 とソースドライバ 2 0 1 とを接続する中継線 R L 3 と、ソース線 S L 4 とソースドライバ 2 0 1 とを接続する中継線 R L 4 と、を含む。中継回路 3 0 0 は、中継線 R L 1 に対応して配置されたスイッチ素子 S W 1 と、中継線 R L 2 に対応して配置されたスイッチ素子 S W 2 と、中継線 R L 3 に対応し

て配置されたスイッチ素子SW3と、中継線RL4に対応して配置されたスイッチ素子SW4と、を更に含む。

[0150] スwitch素子SW1は、切替制御回路310の制御下で、中継線RL1とソース線SL1とを連結させ、或いは、中継線RL1とソース線SL1との間の連結を解除する。スイッチ素子SW2は、切替制御回路310の制御下で、中継線RL2とソース線SL2とを連結させ、或いは、中継線RL2とソース線SL2との間の連結を解除する。スイッチ素子SW3は、切替制御回路310の制御下で、中継線RL3とソース線SL3とを連結させ、或いは、中継線RL3とソース線SL3との間の連結を解除する。スイッチ素子SW4は、切替制御回路310の制御下で、中継線RL4とソース線SL4とを連結させ、或いは、中継線RL4とソース線SL4との間の連結を解除する。

[0151] スwitch素子SW1が、中継線RL1とソース線SL1との間の連結を解除している間、ソースドライバ201からソース線SL1へ出力されるソース信号に対する高い抵抗値が達成される。スイッチ素子SW2が、中継線RL2とソース線SL2との間の連結を解除している間、ソースドライバ201からソース線SL2へ出力されるソース信号に対する高い抵抗値が達成される。スイッチ素子SW3が、中継線RL3とソース線SL3との間の連結を解除している間、ソースドライバ201からソース線SL3へ出力されるソース信号に対する高い抵抗値が達成される。スイッチ素子SW4が、中継線RL4とソース線SL4との間の連結を解除している間、ソースドライバ201からソース線SL1へ出力されるソース信号に対する高い抵抗値が達成される。本実施形態において、スイッチ素子SW1～SW4が、中継線RL1～RL4とソース線SL1～SL4との間の連結を解除している間の高い抵抗値は、第1抵抗値として例示される。中継回路300及び切替制御回路310は、調整部として例示される。

[0152] スwitch素子SW1が、中継線RL1とソース線SL1とを接続している間、ソースドライバ201からソース線SL1へ出力されるソース信号に対

する低い抵抗値が達成される。スイッチ素子SW2が、中継線RL2とソース線SL2とを接続している間、ソースドライバ201からソース線SL2へ出力されるソース信号に対する低い抵抗値が達成される。スイッチ素子SW3が、中継線RL3とソース線SL3とを接続している間、ソースドライバ201からソース線SL3へ出力されるソース信号に対する低い抵抗値が達成される。スイッチ素子SW4が、中継線RL4とソース線SL4とを接続している間、ソースドライバ201からソース線SL4へ出力されるソース信号に対する低い抵抗値が達成される。本実施形態において、スイッチ素子SW1～SW4が、中継線RL1～RL4とソース線SL1～SL4とを連結している間の低い抵抗値は、第2抵抗値として例示される。

[0153] ゲート引出線GD1にゲート信号が出力されている間、スイッチ素子SW1は、中継線RL1とソース線SL1との間の連結を解除する。この間、他のスイッチ素子SW2～SW4は、中継線RL2～RL4とソース線SL2～SL4とをそれぞれ接続する。この場合、ゲート引出線GD1は、第1引出線として例示される。ゲート引出線GD2～GD4のうち1つは、第2引出線として例示される。

[0154] ゲート引出線GD2にゲート信号が出力されている間、スイッチ素子SW2は、中継線RL2とソース線SL2との間の連結を解除する。この間、他のスイッチ素子SW1, SW3, SW4は、中継線RL1, RL3, RL4とソース線SL1, SL3, SL4とをそれぞれ接続する。この場合、ゲート引出線GD2は、第1引出線として例示される。ゲート引出線GD1, GD3, GD4のうち1つは、第2引出線として例示される。

[0155] ゲート引出線GD3にゲート信号が出力されている間、スイッチ素子SW3は、中継線RL3とソース線SL3との間の連結を解除する。この間、他のスイッチ素子SW1, SW2, SW4は、中継線RL1, RL2, RL4とソース線SL1, SL2, SL4とをそれぞれ接続する。この場合、ゲート引出線GD3は、第1引出線として例示される。ゲート引出線GD1, GD2, GD4のうち1つは、第2引出線として例示される。

[0156] ゲート引出線GD4にゲート信号が出力されている間、スイッチ素子SW4は、中継線RL4とソース線SL4との間の連結を解除する。この間、他のスイッチ素子SW1～SW3は、中継線RL1～RL3とソース線SL1～SL3とをそれぞれ接続する。この場合、ゲート引出線GD4は、第1引出線として例示される。ゲート引出線GD1～GD3のうち1つは、第2引出線として例示される。

[0157] 図32は、抵抗値の切替タイミングを表す概略的なタイミングチャートである。図31及び図32を参照して、抵抗値の切替タイミングが説明される。

[0158] ゲート線GL2へのゲート信号の出力に同期して、ソース線SL1へ供給されるソース信号に対する抵抗値が増大する。この結果、ゲート線GL2へのゲート信号に対応したパルス状のノイズが発生する。ノイズによって、ゲート線GL2に対応するゲート引出線GD1とソース線SL1との間の電位差の変動が低減される。この結果、ゲート線GL2へ供給されるゲート信号の遅延は小さくなる。

[0159] ゲート線GL3へのゲート信号の出力に同期して、ソース線SL2へ供給されるソース信号に対する抵抗値が増大する。この結果、ゲート線GL3へのゲート信号に対応したパルス状のノイズが発生する。ノイズによって、ゲート線GL3に対応するゲート引出線GD2とソース線SL2との間の電位差の変動が低減される。この結果、ゲート線GL3へ供給されるゲート信号の遅延は小さくなる。

[0160] ゲート線GL4へのゲート信号の出力に同期して、ソース線SL3へ供給されるソース信号に対する抵抗値が増大する。この結果、ゲート線GL4へのゲート信号に対応したパルス状のノイズが発生する。ノイズによって、ゲート線GL4に対応するゲート引出線GD3とソース線SL3との間の電位差の変動が低減される。この結果、ゲート線GL4へ供給されるゲート信号の遅延は小さくなる。

[0161] ゲート線GL5へのゲート信号の出力に同期して、ソース線SL4へ供給

されるソース信号に対する抵抗値が増大する。この結果、ゲート線GL5へのゲート信号に対応したパルス状のノイズが発生する。ノイズによって、ゲート線GL5に対応するゲート引出線GD4とソース線SL4との間の電位差の変動が低減される。この結果、ゲート線GL5へ供給されるゲート信号の遅延は小さくなる。

[0162] 上述の抵抗値の切替制御は、第7実施形態に関連して説明された原理の下では、ソース信号の書込にほとんど影響しない。したがって、本実施形態の原理は、第7実施形態の原理を伴って、好適に利用可能である。

[0163] 図33は、ソースドライバ201に代えて利用可能な他のソースドライバ201Cの概略図である。図32及び図33を参照して、代替的なソースドライバ201Cが説明される。

[0164] ソースドライバ201Cは、ソース信号を生成する信号生成部290と、ソース信号をソース線SL1～SL4それぞれに出力する複数の出力回路260と、を備える。各出力回路260は、第1抵抗素子261と、第2抵抗素子262と、スイッチ素子263と、を含む。第2抵抗素子262は、第1抵抗素子261よりも高い抵抗値を有する。スイッチ素子263は、第2抵抗素子262に直列に接続される。スイッチ素子263が、「オン」に設定されると、出力回路260は、第1抵抗素子261と第2抵抗素子262とを有する並列回路になる。スイッチ素子263が、「オフ」に設定されると、出力回路260は、第1抵抗素子261のみを有する回路になる。

[0165] ソースドライバ201Cは、スイッチ素子263を用いて、高い抵抗値と低い抵抗値とを設定してもよい。この結果、図32を参照して説明された抵抗値の切替制御が達成される。

[0166] <第9実施形態>

抵抗値の切替制御を用いることなく、ゲート信号の遅延は緩和され得る。第9実施形態に関連して、ゲート信号の遅延を緩和するための他の技術が説明される。

[0167] 図34は、第9実施形態の表示装置100Dの概略図である。図27及び

図34を参照して、表示装置100Dが説明される。

[0168] 表示装置100Dは、ゲート線GL1～GL5、ゲート引出線GD0～GD4及びソース線SL0～SL4を備える。ゲート線GL1～GL5、ゲート引出線GD0～GD4及びソース線SL0～SL4の配置は、第7実施形態に基づいて設計される（図27を参照）。したがって、ゲート線GL1～GL5、ゲート引出線GD0～GD4及びソース線SL0～SL4に対して、第7実施形態の説明が援用される。

[0169] 表示装置100Dは、ソースドライバ201Dを更に備える。ソースドライバ201Dは、ソース信号に加えて、パルス状のゲート信号に同期したパルス信号を出力する。本実施形態において、ゲート引出線GD0～GD4を通じてゲート線GL1～GL5へ出力されるパルス状のゲート信号は、ゲートパルス信号として例示される。

[0170] 図35は、ソースドライバ201Dからのパルス信号の出力タイミングを表す概略的なタイミングチャートである。図34及び図35を参照して、ソースドライバ201Dからのパルス信号の出力タイミングが説明される。

[0171] ゲート線GL2へのゲート信号の出力に同期して、ソースドライバ201Dは、ゲート信号と略等しい波形を有するパルス信号を出力する。パルス信号によって、ゲート線GL2に対応するゲート引出線GD1とソース線SL1との間の電位差が低減される。この結果、ゲート線GL2へ供給されるゲート信号の遅延は小さくなる。

[0172] ゲート線GL3へのゲート信号の出力に同期して、ソースドライバ201Dは、ゲート信号と略等しい波形を有するパルス信号を出力する。パルス信号によって、ゲート線GL3に対応するゲート引出線GD2とソース線SL2との間の電位差が低減される。この結果、ゲート線GL2へ供給されるゲート信号の遅延は小さくなる。

[0173] ゲート線GL4へのゲート信号の出力に同期して、ソースドライバ201Dは、ゲート信号と略等しい波形を有するパルス信号を出力する。パルス信号によって、ゲート線GL4に対応するゲート引出線GD3とソース線SL

3 との間の電位差が低減される。この結果、ゲート線 G L 3 へ供給されるゲート信号の遅延は小さくなる。

[0174] 上述のパルス信号の出力制御は、第 7 実施形態に関連して説明された原理の下では、ソース信号の書込にほとんど影響しない。したがって、本実施形態の原理は、第 7 実施形態の原理を伴って、好適に利用可能である。本実施形態において、ゲート引出線 G D 1 ~ G D 3 のうち 1 つは、第 1 引出線として例示される。ゲート引出線 G D 1 ~ G D 3 のうち他のもう 1 つは、第 2 引出線として例示される。

[0175] <第 10 実施形態>

第 3 実施形態に関連して説明された如く、ソース線は、ゲート線よりも多く形成されることがある（図 20 を参照）。ゲート線がソース線よりも少ないならば、ゲート線にゲート信号を伝達するためのゲート引出線もソース線より少なくなる。ゲート引出線が存在する領域において、ソース線は、ゲート引出線に沿って形成されるので、ゲート引出線の存在及び不存在の条件的な差異は、ソース線それぞれに対する容量負荷にばらつきを生じさせる。本実施形態は、ゲート引出線の存在及び不存在の条件的な差異に起因する容量負荷のばらつきを低減させる技術を提供する。

[0176] 図 36 は、ゲート引出線、ゲート線及びソース線の配置を表す概略図である。図 8、図 27 及び図 36 を参照して、ゲート引出線、ゲート線及びソース線の配置が説明される。

[0177] 図 36 には、領域 A と、領域 A の右に位置する領域 B が示されている。領域 A 内の構造は、図 27 に示される構造に一致している。尚、ゲート線 G L 1 ~ G L 5 は、領域 A だけでなく領域 B 内においても水平方向に延びている。図 27 を参照して説明された如く、ゲート線 G L 1 ~ G L 5 は、ゲート引出線 G D 0 ~ G D 4 を通じて、ゲート信号をそれぞれ受け取る。

[0178] 領域 B 内には、ソース線 S L 5 ~ S L 8 並びにゲート引出線 G D 5 ~ G D 8 が形成される。ソース線 S L 1 ~ S L 4 と同様に、ソース線 S L 5 ~ S L 8 には、ソース信号が出力される。ゲート引出線 G D 0 ~ G D 4 とは異なり

、ゲート引出線GD5～GD8には、ゲート信号は出力されない。尚、ゲート引出線GD0～GD8は、全て、図8を参照して説明されたステップS110において形成される。したがって、これらのゲート引出線GD0～GD8は、同一層に形成されることになる。本実施形態において、ゲート引出線GD5～GD8は、ダミー引出線として例示される。

[0179] 図8を参照して説明されたステップS150において、ソース線SL5は、ゲート引出線GD5に沿うように形成される。ソース線SL6は、ゲート引出線GD6に沿うように形成される。ソース線SL7は、ゲート引出線GD7に沿うように形成される。ソース線SL8は、ゲート引出線GD8に沿うように形成される。したがって、領域B内におけるゲート引出線GD5～GD8とソース線SL5～SL8との間の位置関係は、領域A内におけるゲート引出線GD0～GD4とソース線SL0～SL4との間の位置関係に略一致する。

[0180] 上述の如く、ゲート引出線GD5～GD8には、ゲート信号は出力されないで、ゲート引出線GD5～GD8の電位は略一定に保たれる。ゲート引出線GD5～GD8が、ソース線SL5～SL8の近傍にそれぞれ配置されるので、ソース線SL5～SL8の容量負荷とソース線SL0～SL4との容量負荷の間の差異は低減される。本実施形態の原理によれば、複数のソース線のうち少なくとも一部が、複数のゲート引出線と複数のダミー引出線（ゲート信号の出力に利用されない引出線）とのうちいずれか一方に形成されることによって、容量負荷のばらつきは小さくなる。

[0181] なお、上記実施形態においては、すべてのソース線が、ゲート引出線またはダミーゲート引出線のいずれか一方に沿って形成されているが、これに限られない。すなわち、複数のソース線の少なくとも一部が、ゲート引出線またはダミーゲート引出線のいずれか一方に沿って形成されていれば、本実施形態の効果を奏し得る。例えば、複数のソース線のうち、同じ色相（例えば、赤色）のカラーフィルターに対応する複数の画素に接続されるソース線について、ゲート引出線またはダミーゲート引出線のいずれか一方に沿って形

成されており、他の色相（例えば、青色および緑色）のカラーフィルターに対応する画素に接続されるソース線については、ゲート引出線またはダミーゲート引出線に沿って形成されていなくても良い。この場合、1の色相のカラーフィルターに対応する画素と接続するソース線と、他の色相のカラーフィルターに対応する画素と接続するソース線とで容量負荷の差異が生じ得る。しかし、いずれか一色のカラーフィルターに対応する画素と接続するソース線同士で容量負荷の差異が低減出来ていれば、ソース線に印加する電圧の補正を容易に行い得る。

[0182] <第11実施形態>

上述の様々な実施形態において、ゲート引出線の形成の後にゲート線が形成されている。しかしながら、ゲート線は、ゲート引出線の形成の前に形成されてもよい。

[0183] 図37は、ゲート引出線、ゲート線及びソース線の概略的な斜視図である。図8及び図37を参照して、ゲート引出線、ゲート線及びソース線の間の位置関係が説明される。

[0184] 図8を参照して説明されたステップS110及びステップS130が入れ替えられるならば、ゲート線とソース線との間にゲート引出線が形成されることになる。上述の様々な実施形態と同様に、ゲート引出線は、ソース線に沿って形成される。ゲート線の延出方向は、ゲート引出線及びソース線の延出方向に対して略直角である。

[0185] 第1実施形態と同様に、接点部は、ゲート線とゲート引出線との間に適所に形成される。接点部は、ゲート線とゲート引出線とを電氣的に接続するので、ゲート信号は、ゲート引出線を通じて、ゲート線へ適切に送り出される。

[0186] 第11実施形態の原理から明らかな如く、上述の様々な実施形態の原理は、ゲート引出線、ゲート線及びソース線の形成順序に何ら限定されない。よって、当業者は、上述の様々な開示に基づいて、様々な変更を行うことができる。変更された表示装置も、本実施形態の原理に包括される。

[0187] <第12実施形態>

第4実施形態に関連して、ゲート線の抵抗を低減する技術が説明されている。同様の抵抗低減技術は、ゲート引出線に適用されてもよい。本実施形態において、ゲート引出線の抵抗を低減するための技術が説明される。

[0188] 図38は、基板210の概略的な平面図である。図4及び図38を参照して、ゲート引出線の抵抗を低減するための技術が説明される。

[0189] 第11実施形態の原理に基づいて、基板210上にゲート線GL1、GL2、GL3が形成される。図38には、図4を参照して説明された交点IS01～IS09が示されている。交点IS01～IS03は、水平方向に整列している。交点IS04～IS06は、水平方向に整列している。交点IS07～IS09は、水平方向に整列している。交点IS01、IS04、IS07は、垂直方向に整列している。交点IS02、IS05、IS08は、垂直方向に整列している。交点IS03、IS06、IS09は、垂直方向に整列している。図4に示される如く、交点IS01、IS05、IS09は、接続点として選択される。

[0190] 図38は、ゲート線GL1、GL2、GL3の形成と同時に形成された6つの導電領域225を示す。6つの導電領域225のうち1つは、交点IS01と交点IS04との間で延びる。6つの導電領域225のうち他のもう1つは、交点IS04と交点IS07との間で延びる。6つの導電領域225のうち他のもう1つは、交点IS02と交点IS05との間で延びる。6つの導電領域225のうち他のもう1つは、交点IS05と交点IS08との間で延びる。6つの導電領域225のうち他のもう1つは、交点IS03と交点IS06との間で延びる。6つの導電領域225のうち残り1つは、交点IS06と交点IS09との間で延びる。各導電領域225は、ゲート引出線GD1、GD2、GD3の抵抗を低減するための補助引出線として機能する。

[0191] 図39は、ゲート線GL1、GL2、GL3及び導電領域225の形成の後に基板210上に積層された第1絶縁層220の概略的な平面図である。

図4、図38及び図39を参照して、ゲート引出線の抵抗を低減するための技術が更に説明される。

[0192] 接続点として選択された交点IS01, IS05, IS09に対応して、スルーホール221が形成される。各導電領域225に対応して、2つのスルーホール227が形成される。2つのスルーホール227は、垂直方向に整列する。

[0193] 図40は、スルーホール221, 227の形成の後の第1絶縁層220の概略的な平面図である。図4及び図40を参照して、ゲート引出線の抵抗を低減するための技術が更に説明される。

[0194] 第1絶縁層220上に垂直方向に延びるゲート引出線GD1, GD2, GD3が積層される。ゲート引出線GD1は、交点IS01に対応して形成されたスルーホール221を通じて、ゲート線GL1に電氣的に接続される。加えて、ゲート引出線GD1は、交点IS01に対応して形成されたスルーホール221に対して垂直方向に整列するスルーホール227を通じて、導電領域225に電氣的に接続される。ゲート引出線GD2は、交点IS05に対応して形成されたスルーホール221を通じて、ゲート線GL2に電氣的に接続される。加えて、ゲート引出線GD2は、交点IS05に対応して形成されたスルーホール221に対して垂直方向に整列するスルーホール227を通じて、導電領域225に電氣的に接続される。ゲート引出線GD3は、交点IS09に対応して形成されたスルーホール221を通じて、ゲート線GL3に電氣的に接続される。加えて、ゲート引出線GD3は、交点IS09に対応して形成されたスルーホール221に対して垂直方向に整列するスルーホール227を通じて、導電領域225に電氣的に接続される。

[0195] 導電領域225は、ゲート信号が通過する断面領域を増大させるので、ゲート信号に対する抵抗は低減される。

[0196] <第13実施形態>

第10実施形態において、ゲート引出線の形成工程において形成された複数の導電線の一部は、ゲート引出線として用いられ、他の一部は、ダミー引

出線として用いられている。同様に、ゲート引出線の形成工程において形成された複数の導電線の一部は、コモン線として利用されてもよい。

[0197] 図41は、基板210の概略的な平面図である。図41を参照して、ゲート引出線の形成工程において形成されたコモン線が説明される。

[0198] 基板210上に複数の導電線が形成される。導電線の一部は、ゲート引出線として利用される。導電線の他の一部は、コモン線として利用される。

[0199] 図42は、ゲート線に沿う位置における基板210の概略的な断面図である。図41及び42を参照して、ゲート引出線の形成工程において形成されたコモン線が説明される。

[0200] コモン線及びゲート引出線が基板210上で形成された後、第1絶縁層220が基板210、コモン線及びゲート引出線上に積層される。その後、ゲート引出線に対応する位置において、スルーホール221が第1絶縁層220に形成される。その後、スルーホール221を通過するように、ゲート線が第1絶縁層220上に積層される。この結果、ゲート引出線をゲート線に電氣的に接続する接点部222が形成される。

[0201] 図43は、ゲート線から外れた位置における基板210の概略的な断面図である。図42及び図43を用いて、コモン線とコモン電極との間の接続が説明される。

[0202] ゲート線の形成の後、第2絶縁層230がゲート線及び第1絶縁層220上に積層される。その後、複数のソース線が、第2絶縁層230上に積層される。ソース線の積層の後、第3絶縁層270が、ソース線及び第2絶縁層230上に積層される。この結果、ソース線は、第3絶縁層270によって覆われることになる。

[0203] 第3絶縁層270の形成の後、スルーホール271が形成される。スルーホール271は、第3絶縁層270、第2絶縁層230及び第1絶縁層220を貫き、コモン線に到達する。

[0204] スルーホール271の形成の後、コモン電極が第3絶縁層270に積層される。コモン電極の形成領域は、スルーホール271の形成位置に重なるよ

うに設定される。この結果、コモン電極の形成に用いられた導電材料は、スルーホール 271 に流入し、第 3 絶縁層 270、第 2 絶縁層 230 及び第 1 絶縁層 220 を貫くコモン接点部 272 を形成する。コモン接点部 272 は、コモン線をコモン電極に電氣的に接続する。図 43 は、1 つのスルーホール 271、1 つのコモン接点部 272 及び 1 つのコモン電極を示す。しかしながら、表示装置は、複数のスルーホール 271、複数のコモン接点部 272 及び複数のコモン電極を有してもよい。

[0205] 上述の様々な実施形態に関連して説明された例示的な表示装置は、以下の特徴を主に備える。

[0206] 上述の実施形態の一の局面に係る表示装置は、映像信号に応じて、表示面に映像を表示する。表示装置は、前記表示面に沿って、第 1 方向に延びる複数のゲート線と、前記表示面に沿って、前記第 1 方向とは異なる第 2 方向に延びる複数のソース線と、前記第 2 方向に延び、且つ、ゲート信号を前記複数のゲート線へそれぞれ伝達する複数の引出線と、前記複数の引出線と、前記複数のゲート線と、の間に形成された第 1 絶縁層と、前記複数の引出線と前記複数のゲート線とを電氣的に接続する複数の接点部と、を備える。前記複数の接点部は、前記第 1 方向と前記第 2 方向とによって規定される平面上における前記複数の引出線と前記複数のゲート線との複数の交点から選択された複数の接続点それぞれにおいて前記第 1 絶縁層を横切る。

[0207] 上記構成によれば、複数のゲート線は、表示面に沿って、第 1 方向に延びる一方で、複数のソース線は、表示面に沿って、第 1 方向とは異なる第 2 方向に延びる。複数の引出線は、表示面に映像を表示するためのゲート信号を複数のゲート線へ伝達する。複数のソース線と同様に、複数の引出線も第 2 方向に延びるので、ゲート線の端部の近くに配置される素子は少なくなる。したがって、表示面が第 1 方向に長くなるように設計されても、表示装置の全体の大きさは小さく設計され得る。

[0208] 第 1 絶縁層は、複数の引出線と、複数のゲート線と、を適切に絶縁することができる。したがって、ゲート信号は、複数のゲート線に不必要に伝達さ

れにくくなる。

- [0209] 複数の接続点は、第1方向と第2方向とによって規定される平面上における複数の引出線と複数のゲート線との複数の交点から選択される。複数の接続点にそれぞれ形成された複数の接点部は、第1絶縁層を横切り、複数の引出線と複数のゲート線とを電氣的に接続するので、ゲート信号は、複数の接点部を通じて、複数のゲート線に選択的に伝達されることになる。
- [0210] 上記構成において、表示装置は、第2絶縁層を更に備えてもよい。前記第1絶縁層は、前記複数の引出線上に積層されてもよい。前記複数のゲート線は、前記第1絶縁層上に積層されてもよい。前記第2絶縁層は、前記複数のゲート線上に積層されてもよい。前記複数のソース線は、前記第2絶縁層上に積層されてもよい。
- [0211] 上記構成によれば、複数のソース線は、複数の引出線から離間する。したがって、複数のソース線の容量負荷が低減される。
- [0212] 上記構成において、表示装置は、第2絶縁層を更に備えてもよい。前記第1絶縁層は、前記複数のゲート線上に積層されてもよい。前記複数の引出線は、前記第1絶縁層上に積層されてもよい。前記第2絶縁層は、前記複数のゲート線上に積層されてもよい。前記複数のソース線は、前記第2絶縁層上に積層されてもよい。
- [0213] 上記構成によれば、複数のソース線は、複数の引出線から離間する。したがって、複数のソース線の容量負荷が低減される。
- [0214] 上記構成において、表示装置は、前記複数のゲート線と、前記複数のソース線と、の間に形成された第2絶縁層を更に備えてもよい。前記複数の交点は、第1交点と、前記第2方向において前記第1交点と隣り合う第2交点と、を含んでもよい。前記第1交点における前記第1絶縁層の厚さと前記第2絶縁層の厚さとの和は、前記第1交点と前記第2交点との間の区間における前記第1絶縁層の厚さと前記第2絶縁層の厚さとの和よりも大きくてもよい。
- [0215] 上記構成によれば、複数の引出線が存在する領域は、他の領域に対して不

必要に隆起しにくくなる。したがって、表示装置は、容易に加工される。

[0216] 上記構成において、表示装置は、前記複数のゲート線と前記複数のソース線とによって区画された複数の画素領域に配置される複数の画素電極と、前記複数の画素電極に対向する複数のコモン電極と、前記複数のコモン電極に電力を供給する複数のコモン線と、を更に備えてもよい。前記複数のソース線は、前記複数の引出線よりも多くてもよい。前記複数のソース線の少なくとも一部は、前記複数の引出線と前記複数のコモン線とのうちいずれか一方に沿って形成されてもよい。

[0217] 上記構成によれば、複数のソース線は、複数の引出線よりも多いので、第1方向において離間した位置に形成された複数のコモン線は、複数の引出線に干渉しにくくなる。複数のソース線の少なくとも一部は、複数の引出線と複数のコモン線のうちいずれか一方に沿って形成されるので、過度に厚い領域は生じにくくなる。したがって、表示装置は、容易に加工される。

[0218] 上記構成において、前記表示面は、前記第1方向に整列した第1領域、第2領域及び第3領域に3等分されてもよい。前記複数の接点部は、前記第1領域と前記第3領域との間の前記第2領域において、前記第1領域又は前記第3領域よりも多く形成されてもよい。

[0219] 上記構成によれば、複数の接点部は、第1領域と第3領域との間の第2領域において、第1領域及び第3領域よりも、多く形成されるので、ゲート信号は、複数の引出線から複数のゲート線へ適切に伝達される。

[0220] 上記構成において、表示装置は、前記第1方向に延びる少なくとも1つの補助ゲート線を更に備えてもよい。前記複数の交点は、前記第1方向において、前記第1交点と隣り合う第3交点を含んでもよい。前記複数のゲート線は、前記第1交点と前記第3交点との間で前記少なくとも1つの補助ゲート線に電氣的に接続される少なくとも1つのゲート線を含んでもよい。

[0221] 上記構成によれば、少なくとも1つのゲート線は、第1交点と第3交点との間で、少なくとも1つの補助ゲート線に接続されるので、第1交点と第3交点との間でのゲート線の抵抗は低減される。

[0222] 上記構成において、前記複数の接点部は、第1接点部と、前記第1接点部とは異なる第2接点部と、前記第1接点部及び前記第2接点部とは異なる第3接点部を含んでもよい。前記第1接点部と前記第2接点部との間で延びる第1線分と、前記第1接点部と前記第3接点部との間で延びる第2線分と、の間の挟角は、 0° よりも大きくてもよい。

[0223] 上記構成によれば、第1線分と第2線分との間の挟角が、 0° よりも大きくなるように第1接点部、第2接点部及び第3接点部は選択されるので、第1接点部、第2接点部及び第3接点部は整列しない。したがって、表示面に表示された映像を観察する観察者は、第1接点部、第2接点部及び第3接点部が映像に与える影響を知覚しにくい。

[0224] 上記構成において、表示装置は、前記複数のゲート線と前記複数のソース線とによって区画された複数の画素領域に配置される複数の画素電極と、前記複数の画素電極それぞれに前記映像信号を伝達するための複数のトランジスタと、を更に備えてもよい。前記複数の画素領域は、第1画素領域と、前記第1方向において前記第1画素領域に隣り合う第2画素領域と、前記第2方向において前記第2画素領域に隣り合う第3画素領域と、前記第1画素領域と前記第3画素領域とに隣り合う第4画素領域と、を含んでもよい。前記複数の引出線は、前記第1画素領域と前記第2画素領域との間及び前記第3画素領域と前記第4画素領域との間で延びる第1引出線を含んでもよい。前記複数の接点部は、前記第1画素領域、前記第2画素領域、前記第3画素領域及び前記第4画素領域に囲まれた第1接点部を含んでもよい。前記複数のゲート線は、前記第1接点部によって前記第1引出線に接続される第1ゲート線と、前記第1画素領域及び前記第2画素領域に沿って延びる第2ゲート線と、前記第3画素領域及び前記第4画素領域に沿って延びる第3ゲート線と、を含んでもよい。前記複数のソース線は、前記第1引出線に沿って延びる第1ソース線と、前記第1画素領域及び前記第4画素領域に沿って延びる第2ソース線と、前記第2画素領域及び前記第3画素領域に沿って延びる第3ソース線と、を含んでもよい。前記複数の画素電極は、前記第1画素領域

に配置される第1画素電極と、前記第2画素領域に配置される第2画素電極と、前記第3画素領域に配置される第3画素電極と、前記第4画素領域に配置される第4画素電極と、を含んでもよい。前記複数のトランジスタは、前記第1画素電極に前記映像信号を出力する第1トランジスタと、前記第2画素電極に前記映像信号を出力する第2トランジスタと、前記第3画素電極に前記映像信号を出力する第3トランジスタと、前記第4画素電極に前記映像信号を出力する第4トランジスタと、を含んでもよい。前記第1トランジスタは、前記第1ゲート線と前記第2ソース線とからなる第1組、前記第2ゲート線と前記第2ソース線とからなる第2組及び前記第2ゲート線と前記第1ソース線とからなる第3組のうち1つに電氣的に接続されてもよい。前記第2トランジスタは、前記第3組、前記第2ゲート線と前記第3ソース線とからなる第4組及び前記前記第1ゲート線と前記第3ソース線とからなる第5組のうち1つに電氣的に接続されてもよい。前記第3トランジスタは、前記第5組、前記第3ゲート線と前記第3ソース線とからなる第6組及び前記第3ゲート線と前記第1ソース線とからなる第7組のうち1つに電氣的に接続されてもよい。前記第4トランジスタは、前記第1組、前記第7組及び前記第3ゲート線と前記第2ソース線とからなる第8組のうち1つに電氣的に接続されてもよい。

[0225] 上記構成によれば、第1組乃至第8組は、第1引出線に沿う第1ソース線と、第1引出線に接続される第1ゲート線と、からなる組を含まないので、第1画素電極乃至第4画素電極は、第1引出線から第1ゲート線へのゲート信号の出力の影響をほとんど受けることなく、映像信号を受け取ることができる。

[0226] 上記構成において、前記第1トランジスタが前記第3組に電氣的に接続されるならば、前記第2トランジスタは、前記第4組又は前記第5組に電氣的に接続されてもよい。前記第2トランジスタが前記第5組に電氣的に接続されるならば、前記第3トランジスタは、前記第6組又は前記第7組に電氣的に接続されてもよい。前記第1トランジスタが前記第1組に電氣的に接続さ

れるならば、前記第4トランジスタは、前記第7組又は前記第8組に接続されてもよい。前記第3トランジスタが前記第7組に電氣的に接続されるならば、前記第4トランジスタは、前記第1組又は前記第8組に接続されてもよい。

[0227] 上記構成によれば、第1画素電極乃至第4画素電極は、互いに異なる組に接続されるので、映像信号は、第1画素電極乃至第4画素電極に適切に入力される。

[0228] 上記構成において、表示装置は、前記複数のソース線に前記映像信号として出力されるソース信号に対する抵抗を、第1抵抗値と、前記第1抵抗値より小さな第2抵抗値と、の間でそれぞれ調整する調整部を更に備えてもよい。前記複数の引出線は、前記第1引出線とは異なる第2引出線を含んでもよい。前記第1引出線に前記ゲート信号が出力されるならば、前記調整部は、前記第1ソース線の前記抵抗を前記第1抵抗値に設定してもよい。前記第2引出線に前記ゲート信号が出力されるならば、前記調整部は、前記第1ソース線の前記抵抗を前記第2抵抗値に設定してもよい。

[0229] 上記構成によれば、調整部は、第1引出線へのゲート信号の出力の有無に応じて、ソース信号に対する抵抗を調整するので、ゲート信号の遅延は低減される。

[0230] 上記構成において、表示装置は、前記複数のソース線にソース信号を前記映像信号として出力するソースドライバを更に備えてもよい。前記ゲート信号は、前記第1引出線へ出力されるゲートパルス信号を含んでもよい。前記ソースドライバは、前記第1引出線への前記ゲートパルス信号の出力に同期して、パルス信号を前記第1ソース線へ出力し、前記第1引出線と前記第1ソース線との間の電位差の変動を低減してもよい。

[0231] 上記構成によれば、ゲートパルス信号の出力に同期して第1ソース線に出力されたパルス信号は、第1引出線と第1ソース線との間の電位差の変動を低減するので、パルス信号として出力されたゲート信号の遅延は低減される。

- [0232] 上記構成において、表示装置は、前記複数の引出線と同一層上に前記第2方向に延びる複数のダミー引出線を更に備えてもよい。前記複数のソース線の少なくとも一部は、前記複数の引出線及び前記複数のダミー引出線のいずれか一方に沿って形成されてもよい。前記複数のダミー引出線は、所定の電位に保たれてもよい。
- [0233] 上記構成によれば、ダミー引出線によって、容量負荷のばらつきが低減される。
- [0234] 上記構成において、表示装置は、前記複数のソース線と同一層上に前記第2方向に延びるダミーソース線を更に備えてもよい。前記ダミーソース線は、前記複数の引出線のいずれかに沿って形成され、且つ、所定の電位に保たれてもよい。
- [0235] 上記構成によれば、ダミーソース線によって、容量負荷のばらつきが低減される。
- [0236] 上記構成において、表示装置は、前記複数のソース線を覆う第3絶縁層と、前記第1絶縁層と前記第2絶縁層と前記第3絶縁層とを貫く複数のコモン接点部と、を更に備えてもよい。前記複数のコモン電極は、前記第3絶縁層に積層されてもよい。前記複数のコモン接点部は、前記複数のコモン電極と前記複数のコモン線とを電氣的に接続してもよい。
- [0237] 上記構成によれば、第3絶縁層上に積層された複数のコモン電極は、第1絶縁層と第2絶縁層と第3絶縁層とを貫く複数のコモン接点部によって、複数のコモン電極に電氣的に接続されるので、複数のコモン電極と複数のコモン接点部との電氣的な接続構造は、簡便に形成される。
- [0238] 上記構成において、表示装置は、前記第2方向に延びる少なくとも1つの補助引出線を更に備えてもよい。前記複数の交点は、第1交点と、前記第2方向において前記第1交点と隣り合う第2交点と、を含んでもよい。前記複数の引出線は、前記第1交点と前記第2交点との間で前記少なくとも1つの補助引出線に接続される少なくとも1つの引出線を含んでもよい。
- [0239] 上記構成によれば、少なくとも1つの引出線は、第1交点と第2交点との

間で、少なくとも1つの補助引出線に接続されるので、第1交点と第2交点との間での引出線の抵抗は低減される。

[0240] 上記構成において、表示装置は、前記複数のゲート線と前記複数のソース線とによって区画された複数の画素領域に配置される複数の画素電極と、前記複数の画素電極それぞれに前記映像信号を伝達するための複数のトランジスタと、を更に備えてもよい。前記複数のトランジスタは、前記複数のトランジスタは、前記複数の接続点において、前記複数のソース線に電氣的に接続されなくてもよい。

[0241] 上記構成によれば、複数のトランジスタは、複数の接続点において、前記複数のソース線に電氣的に接続されないので、複数の画素電極は、ゲート信号の出力の影響を不必要に受けることなく、映像信号を受け取ることができる。

産業上の利用可能性

[0242] 本実施形態の原理は、映像を表示する表示装置に好適に利用可能である。

請求の範囲

- [請求項1] 映像信号に応じて、表示面に映像を表示する表示装置であって、
前記表示面に沿って、第1方向に延びる複数のゲート線と、
前記表示面に沿って、前記第1方向とは異なる第2方向に延びる複数のソース線と、
前記第2方向に延び、且つ、ゲート信号を前記複数のゲート線へそれぞれ伝達する複数の引出線と、
前記複数の引出線と、前記複数のゲート線と、の間に形成された第1絶縁層と、
前記複数の引出線と前記複数のゲート線とを電氣的に接続する複数の接点部と、を備え、
前記複数の接点部は、前記第1方向と前記第2方向とによって規定される平面上における前記複数の引出線と前記複数のゲート線との複数の交点から選択された複数の接続点それぞれにおいて前記第1絶縁層を横切ることを特徴とする表示装置。
- [請求項2] 第2絶縁層を更に備え、
前記第1絶縁層は、前記複数の引出線上に積層され、
前記複数のゲート線は、前記第1絶縁層上に積層され、
前記第2絶縁層は、前記複数のゲート線上に積層され、
前記複数のソース線は、前記第2絶縁層上に積層されることを特徴とする請求項1に記載の表示装置。
- [請求項3] 第2絶縁層を更に備え、
前記第1絶縁層は、前記複数のゲート線上に積層され、
前記複数の引出線は、前記第1絶縁層上に積層され、
前記第2絶縁層は、前記複数のゲート線上に積層され、
前記複数のソース線は、前記第2絶縁層上に積層されることを特徴とする請求項1に記載の表示装置。
- [請求項4] 前記複数の交点は、第1交点と、前記第2方向において前記第1交

点と隣り合う第2交点と、を含み、

前記第1交点における前記第1絶縁層の厚さと前記第2絶縁層の厚さとの和は、前記第1交点と前記第2交点との間の区間における前記第1絶縁層の厚さと前記第2絶縁層の厚さとの和よりも大きいことを特徴とする請求項2に記載の表示装置。

[請求項5] 前記複数のゲート線と前記複数のソース線とによって区画された複数の画素領域に配置される複数の画素電極と、

前記複数の画素電極に対向する複数のコモン電極と、

前記複数のコモン電極に電力を供給する複数のコモン線と、を更に備え、

前記複数のソース線は、前記複数の引出線よりも多く、

前記複数のソース線の少なくとも一部は、前記複数の引出線と前記複数のコモン線とのうちいずれか一方に沿って形成されることを特徴とする請求項4に記載の表示装置。

[請求項6] 前記表示面は、前記第1方向に整列した第1領域、第2領域及び第3領域に3等分され、

前記複数の接点部は、前記第1領域と前記第3領域との間の前記第2領域において、前記第1領域又は前記第3領域よりも多く形成されることを特徴とする請求項1に記載の表示装置。

[請求項7] 前記第1方向に延びる少なくとも1つの補助ゲート線を更に備え、
前記複数の交点は、前記第1方向において、前記第1交点と隣り合う第3交点を含み、

前記複数のゲート線は、前記第1交点と前記第3交点との間で前記少なくとも1つの補助ゲート線に電氣的に接続される少なくとも1つのゲート線を含むことを特徴とする請求項4に記載の表示装置。

[請求項8] 前記複数の接点部は、第1接点部と、前記第1接点部とは異なる第2接点部と、前記第1接点部及び前記第2接点部とは異なる第3接点部を含み、

前記第1接点部と前記第2接点部との間で延びる第1線分と、前記第1接点部と前記第3接点部との間で延びる第2線分と、の間の挟角は、 0° よりも大きいことを特徴とする請求項1に記載の表示装置。

[請求項9]

前記複数のゲート線と前記複数のソース線とによって区画された複数の画素領域に配置される複数の画素電極と、前記複数の画素電極それぞれに前記映像信号を伝達するための複数のトランジスタと、を更に備え、

前記複数の画素領域は、第1画素領域と、前記第1方向において前記第1画素領域に隣り合う第2画素領域と、前記第2方向において前記第2画素領域に隣り合う第3画素領域と、前記第1画素領域と前記第3画素領域とに隣り合う第4画素領域と、を含み、

前記複数の引出線は、前記第1画素領域と前記第2画素領域との間及び前記第3画素領域と前記第4画素領域との間で延びる第1引出線を含み、

前記複数の接点部は、前記第1画素領域、前記第2画素領域、前記第3画素領域及び前記第4画素領域に囲まれた第1接点部を含み、

前記複数のゲート線は、前記第1接点部によって前記第1引出線に接続される第1ゲート線と、前記第1画素領域及び前記第2画素領域に沿って延びる第2ゲート線と、前記第3画素領域及び前記第4画素領域に沿って延びる第3ゲート線と、を含み、

前記複数のソース線は、前記第1引出線に沿って延びる第1ソース線と、前記第1画素領域及び前記第4画素領域に沿って延びる第2ソース線と、前記第2画素領域及び前記第3画素領域に沿って延びる第3ソース線と、を含み、

前記複数の画素電極は、前記第1画素領域に配置される第1画素電極と、前記第2画素領域に配置される第2画素電極と、前記第3画素領域に配置される第3画素電極と、前記第4画素領域に配置される第4画素電極と、を含み、

前記複数のトランジスタは、前記第1画素電極に前記映像信号を出力する第1トランジスタと、前記第2画素電極に前記映像信号を出力する第2トランジスタと、前記第3画素電極に前記映像信号を出力する第3トランジスタと、前記第4画素電極に前記映像信号を出力する第4トランジスタと、を含み、

前記第1トランジスタは、前記第1ゲート線と前記第2ソース線とからなる第1組、前記第2ゲート線と前記第2ソース線とからなる第2組及び前記第2ゲート線と前記第1ソース線とからなる第3組のうち1つに電氣的に接続され、

前記第2トランジスタは、前記第3組、前記第2ゲート線と前記第3ソース線とからなる第4組及び前記前記第1ゲート線と前記第3ソース線とからなる第5組のうち1つに電氣的に接続され、

前記第3トランジスタは、前記第5組、前記第3ゲート線と前記第3ソース線とからなる第6組及び前記第3ゲート線と前記第1ソース線とからなる第7組のうち1つに電氣的に接続され、

前記第4トランジスタは、前記第1組、前記第7組及び前記第3ゲート線と前記第2ソース線とからなる第8組のうち1つに電氣的に接続されることを特徴とする請求項4に記載の表示装置。

[請求項10]

前記第1トランジスタが前記第3組に電氣的に接続されるならば、前記第2トランジスタは、前記第4組又は前記第5組に電氣的に接続され、

前記第2トランジスタが前記第5組に電氣的に接続されるならば、前記第3トランジスタは、前記第6組又は前記第7組に電氣的に接続され、

前記第1トランジスタが前記第1組に電氣的に接続されるならば、前記第4トランジスタは、前記第7組又は前記第8組に接続され、

前記第3トランジスタが前記第7組に電氣的に接続されるならば、前記第4トランジスタは、前記第1組又は前記第8組に接続されるこ

とを特徴とする請求項 9 に記載の表示装置。

[請求項11]

前記複数のソース線に前記映像信号として出力されるソース信号に対する抵抗を、第 1 抵抗値と、前記第 1 抵抗値より小さな第 2 抵抗値と、の間でそれぞれ調整する調整部を更に備え、

前記複数の引出線は、前記第 1 引出線とは異なる第 2 引出線を含み、

前記第 1 引出線に前記ゲート信号が出力されるならば、前記調整部は、前記第 1 ソース線の前記抵抗を前記第 1 抵抗値に設定し、

前記第 2 引出線に前記ゲート信号が出力されるならば、前記調整部は、前記第 1 ソース線の前記抵抗を前記第 2 抵抗値に設定することを特徴とする請求項 9 又は 10 に記載の表示装置。

[請求項12]

前記複数のソース線にソース信号を前記映像信号として出力するソースドライバを更に備え、

前記ゲート信号は、前記第 1 引出線へ出力されるゲートパルス信号を含み、

前記ソースドライバは、前記第 1 引出線への前記ゲートパルス信号の出力に同期して、パルス信号を前記第 1 ソース線へ出力し、前記第 1 引出線と前記第 1 ソース線との間の電位差の変動を低減することを特徴とする請求項 9 又は 10 に記載の表示装置。

[請求項13]

前記複数の引出線と同一層上に前記第 2 方向に延びる複数のダミー引出線を更に備え、

前記複数のソース線の少なくとも一部は、前記複数の引出線及び前記複数のダミー引出線のいずれか一方に沿って形成され、

前記複数のダミー引出線は、所定の電位に保たれることを特徴とする請求項 1 乃至 12 のいずれか 1 項に記載の表示装置。

[請求項14]

前記複数のソース線と同一層上に前記第 2 方向に延びるダミーソース線を更に備え、

前記ダミーソース線は、前記複数の引出線のいずれかに沿って形成

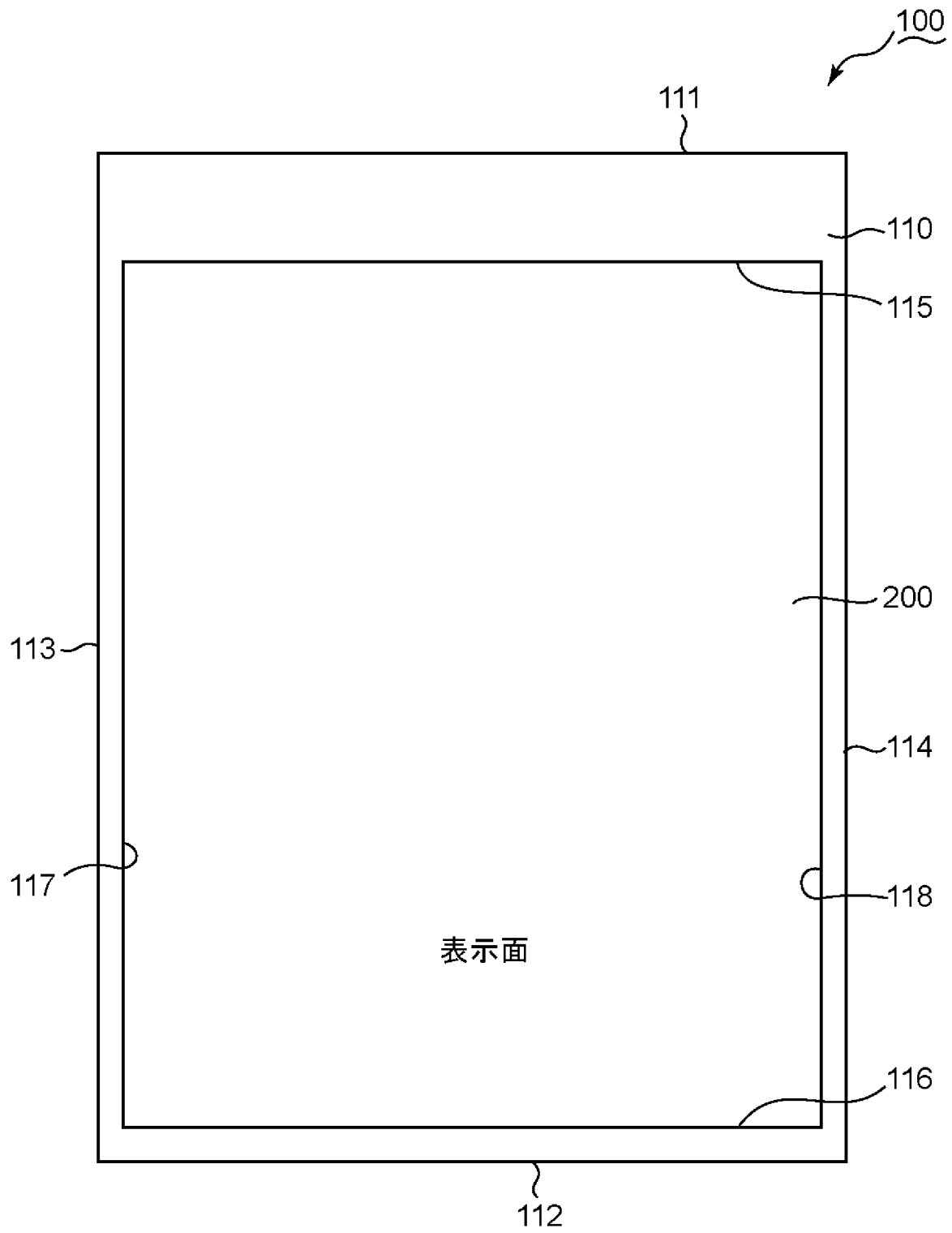
され、且つ、所定の電位に保たれることを特徴とする請求項 1 乃至 12 のいずれか 1 項に記載の表示装置。

[請求項15] 前記複数のソース線を覆う第 3 絶縁層と、
前記第 1 絶縁層と前記第 2 絶縁層と前記第 3 絶縁層とを貫く複数の
コモン接点部と、を更に備え、
前記複数のコモン電極は、前記第 3 絶縁層に積層され、
前記複数のコモン接点部は、前記複数のコモン電極と前記複数のコ
モン線とを電氣的に接続することを特徴とする請求項 5 に記載の表示
装置。

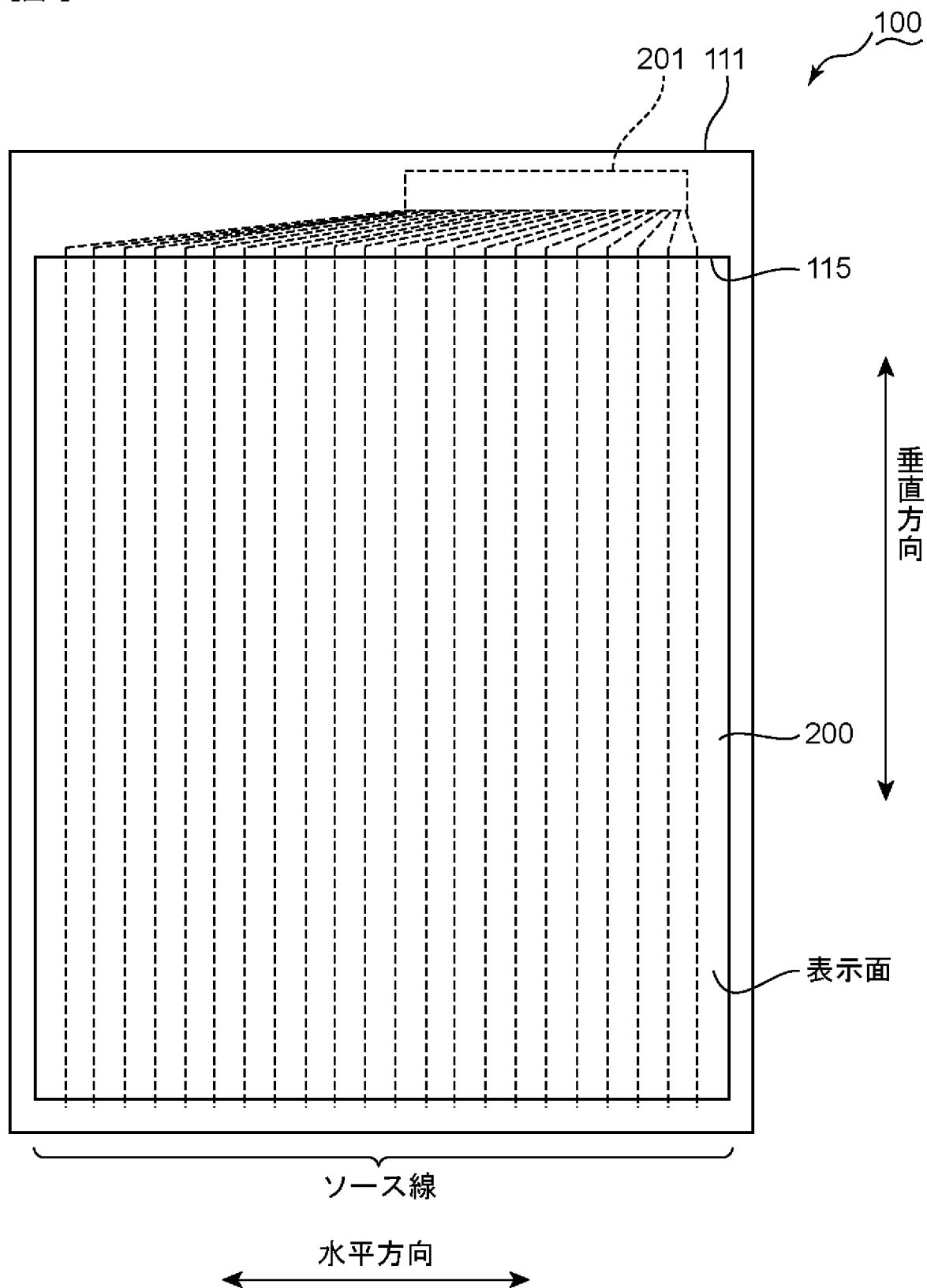
[請求項16] 前記第 2 方向に延びる少なくとも 1 つの補助引出線を更に備え、
前記複数の交点は、第 1 交点と、前記第 2 方向において前記第 1 交
点と隣り合う第 2 交点と、を含み、
前記複数の引出線は、前記第 1 交点と前記第 2 交点との間で前記少
なくとも 1 つの補助引出線に接続される少なくとも 1 つの引出線を含
むことを特徴とする請求項 1 に記載の表示装置。

[請求項17] 前記複数のゲート線と前記複数のソース線とによって区画された複
数の画素領域に配置される複数の画素電極と、前記複数の画素電極そ
れぞれに前記映像信号を伝達するための複数のトランジスタと、を更
に備え、
前記複数のトランジスタは、前記複数の接続点において、前記複数
のソース線に電氣的に接続されないことを特徴とする請求項 1 に記載
の表示装置。

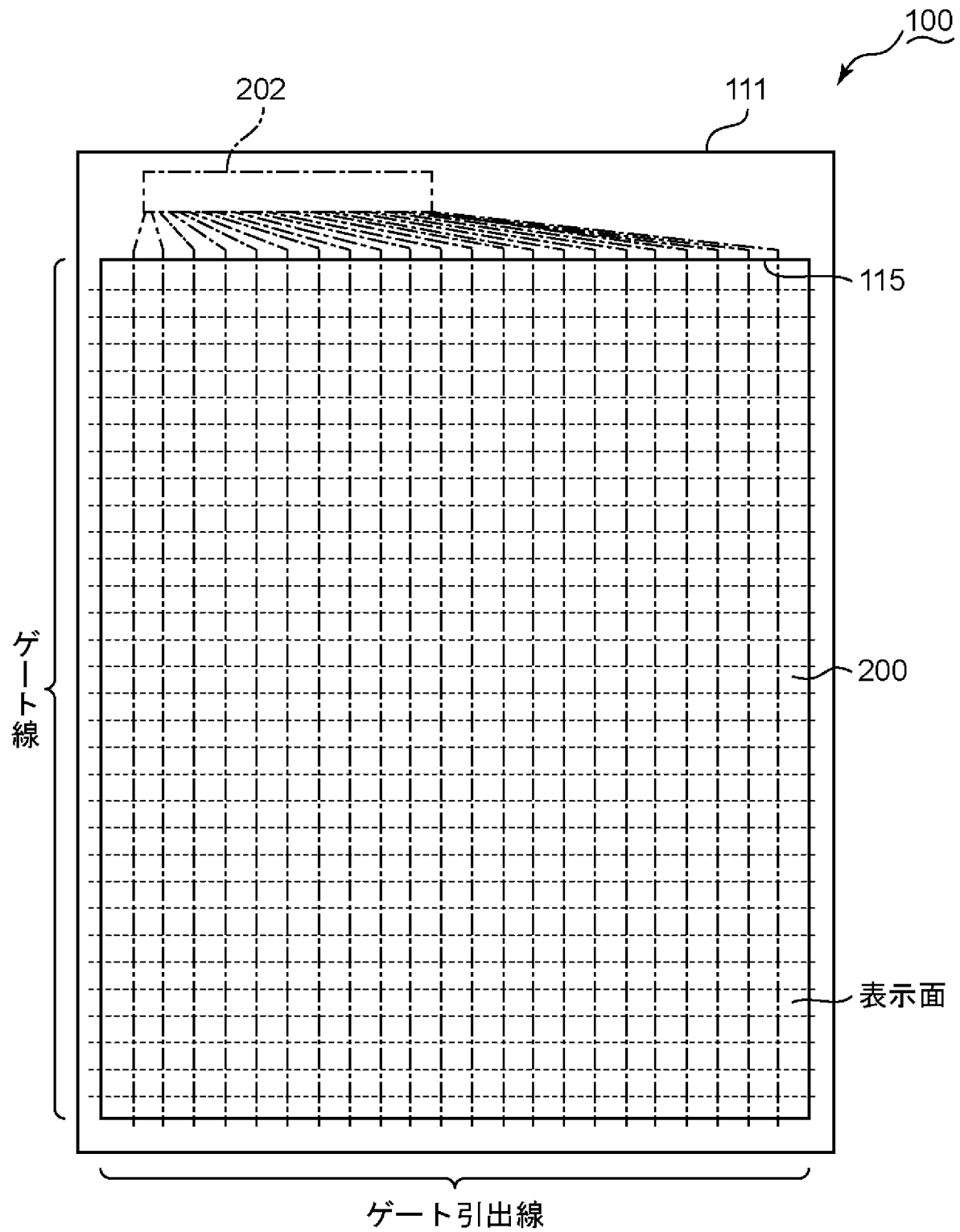
[図1]

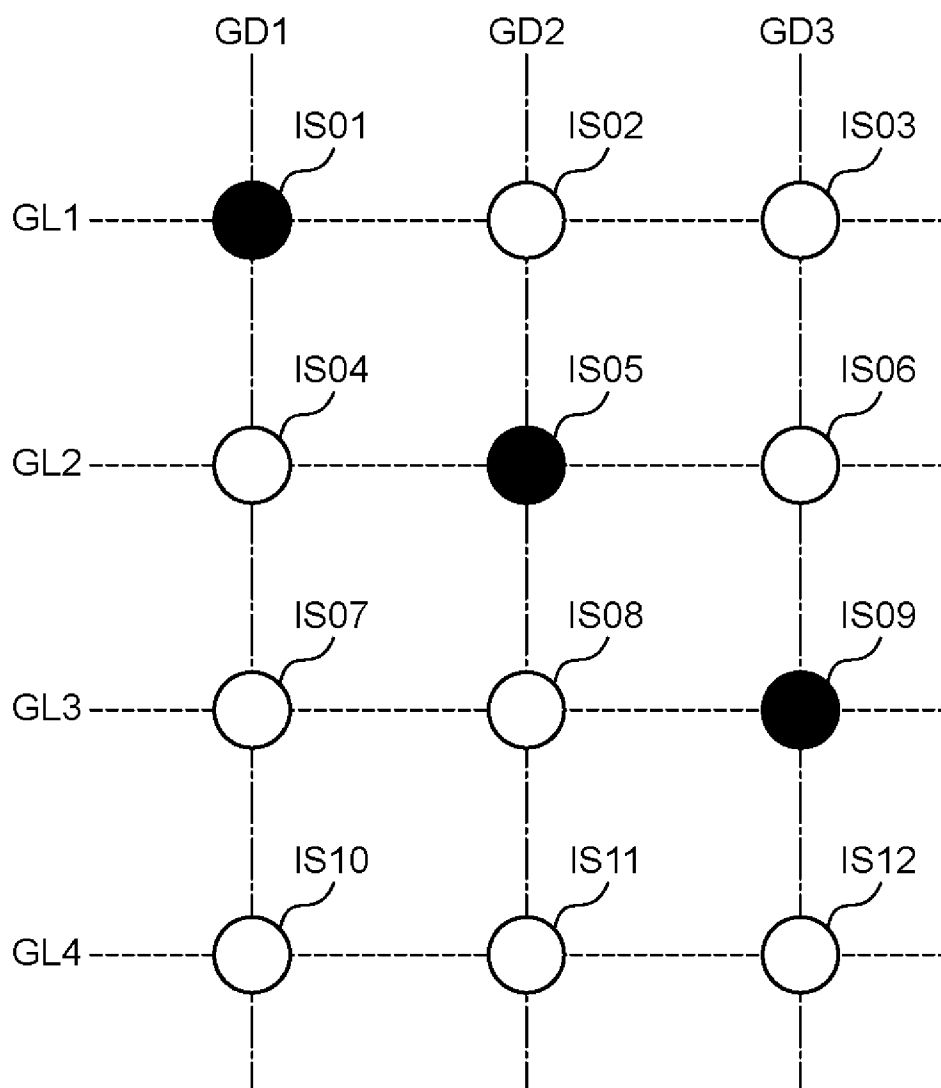


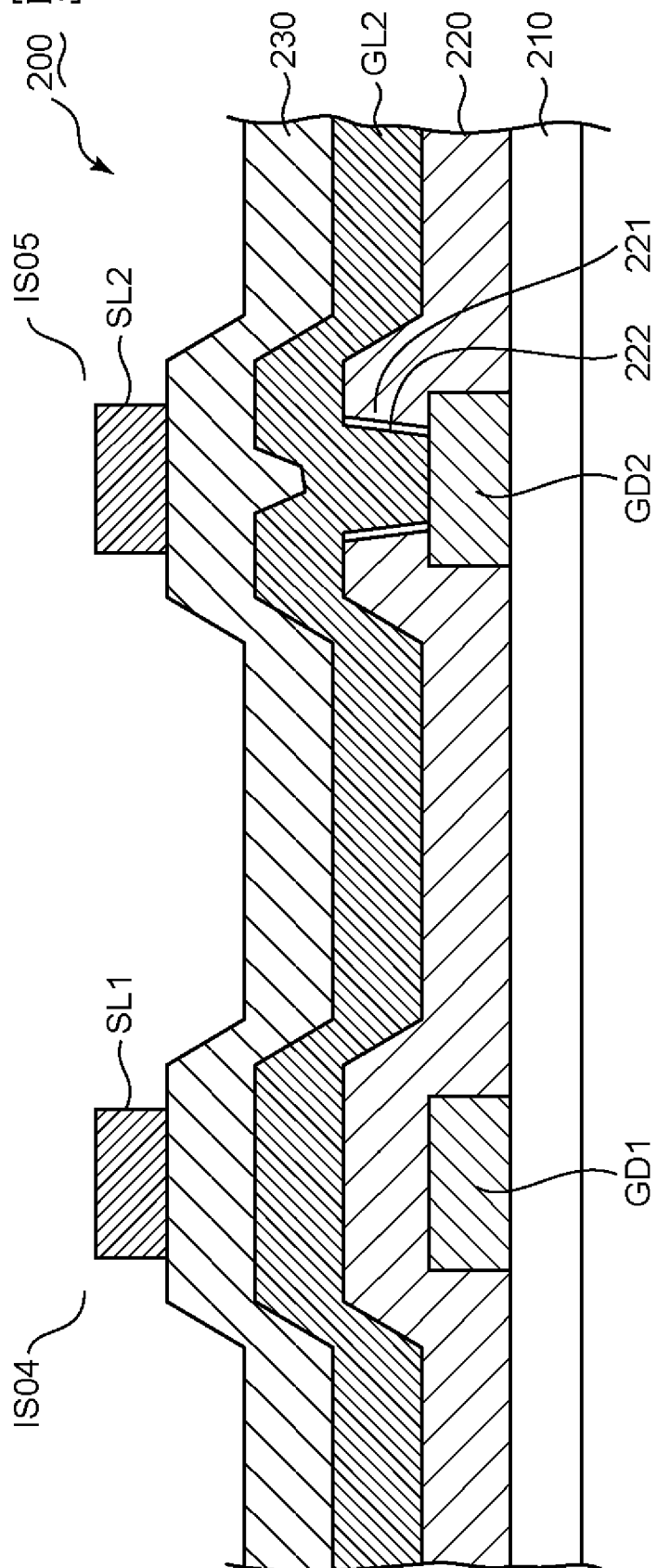
[図2]



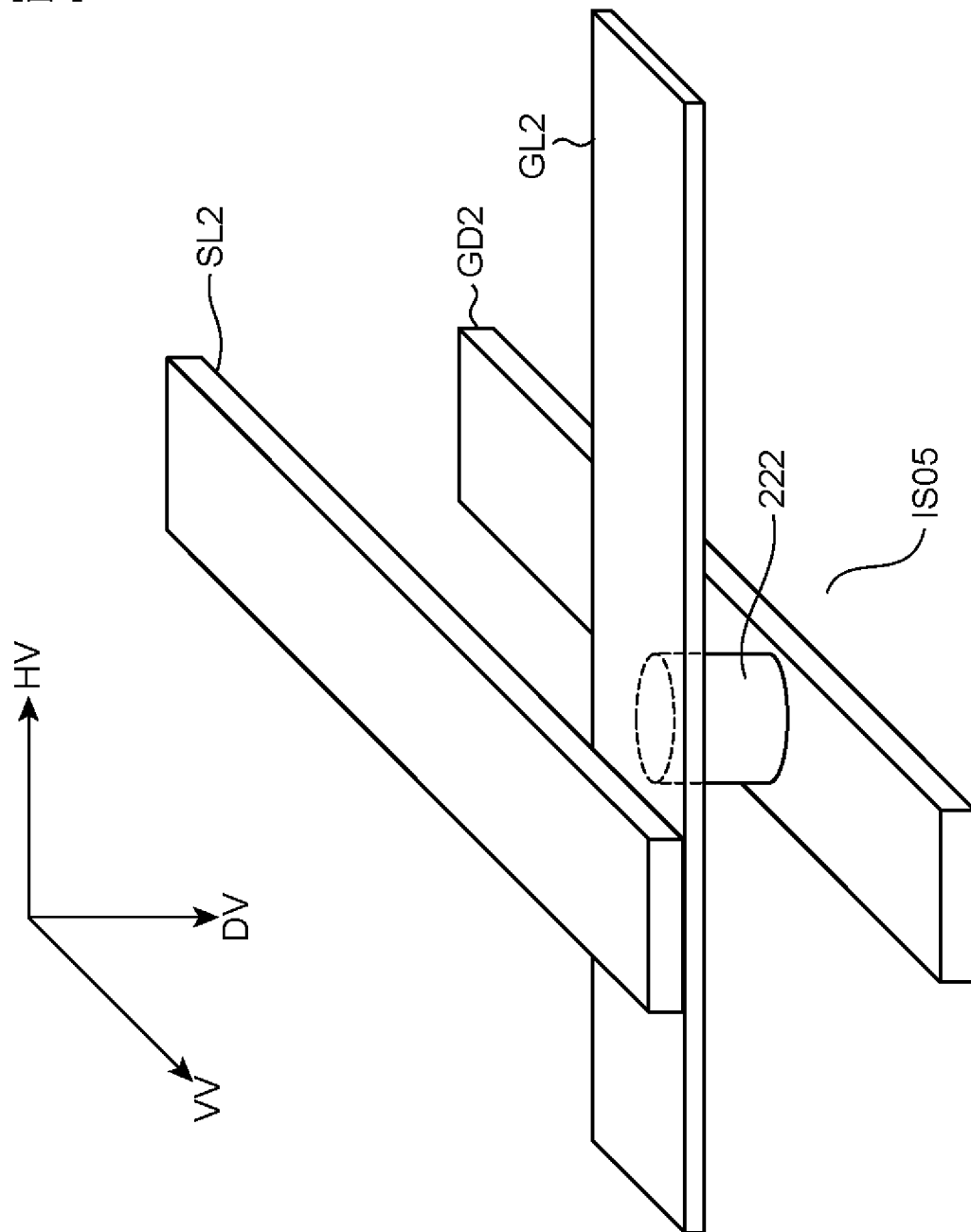
[図3]



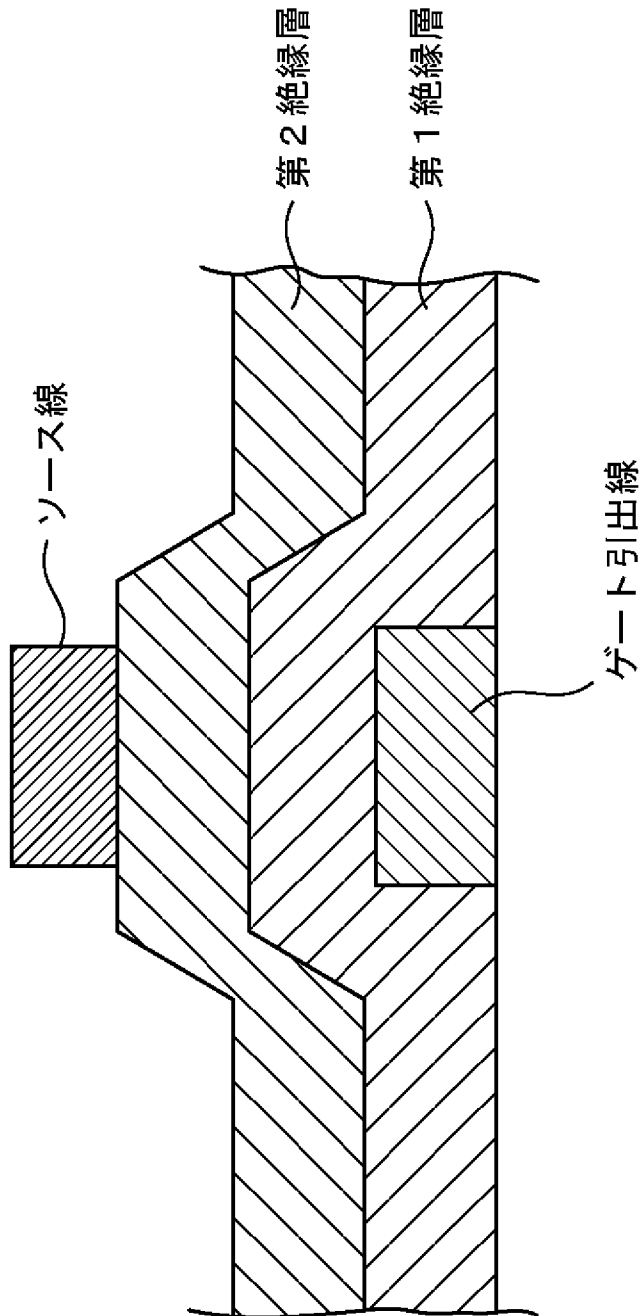




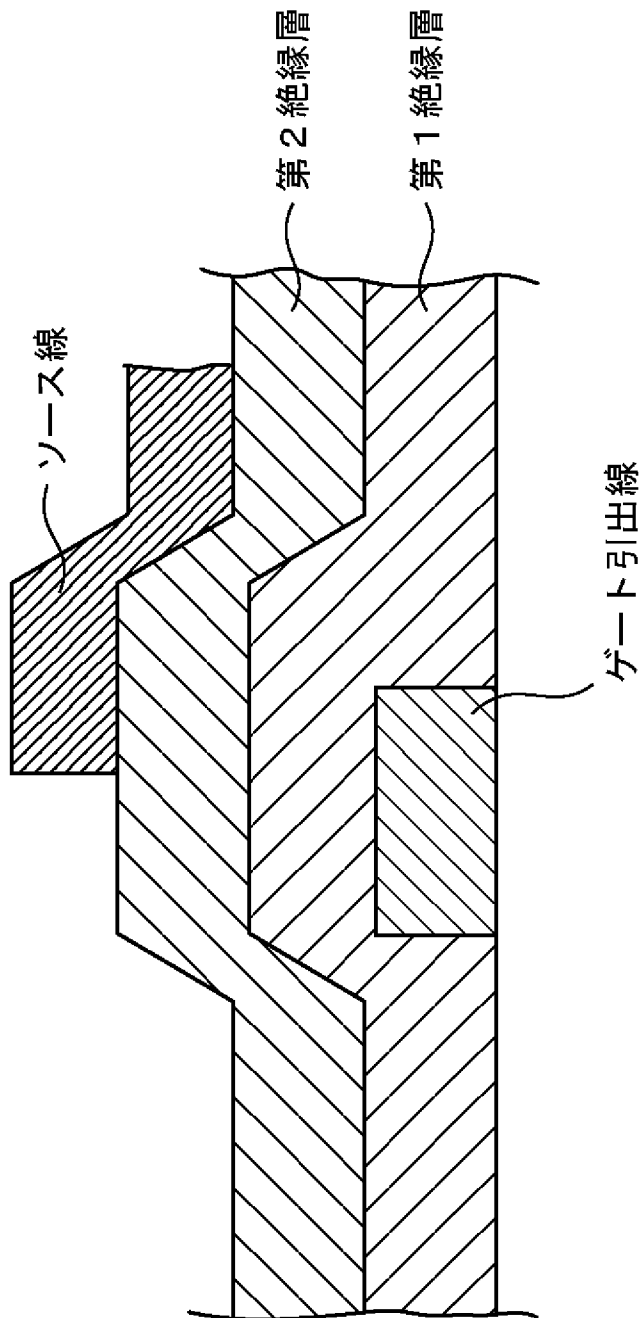
[図6]



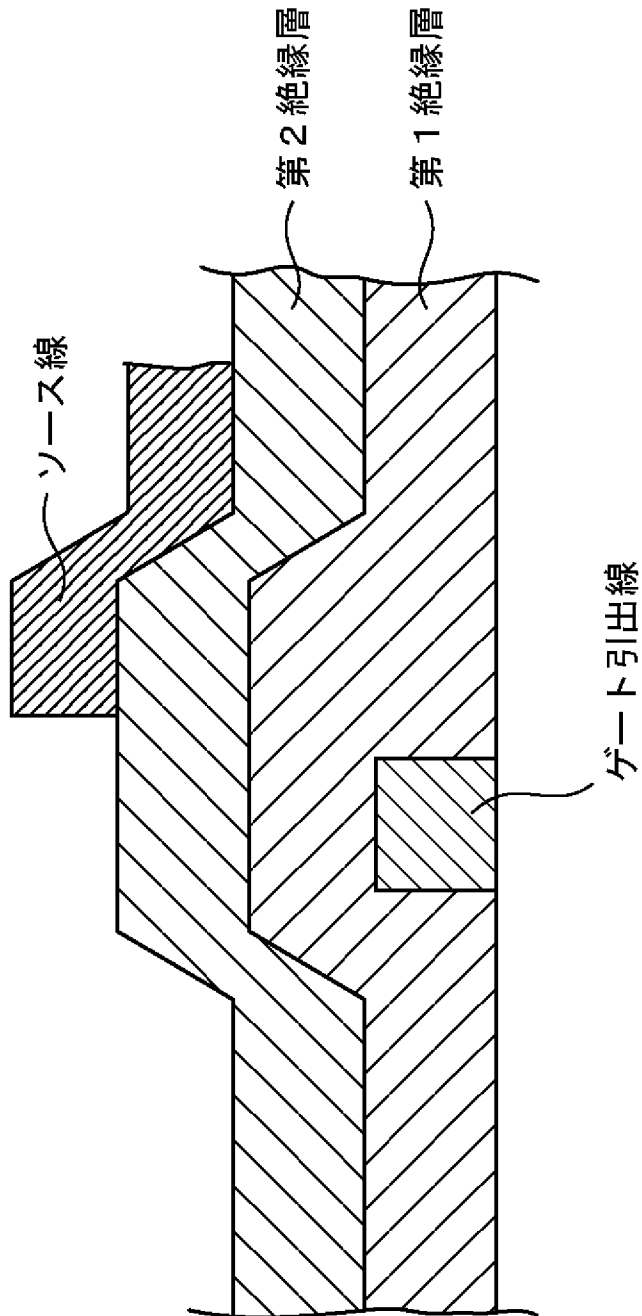
[図7A]



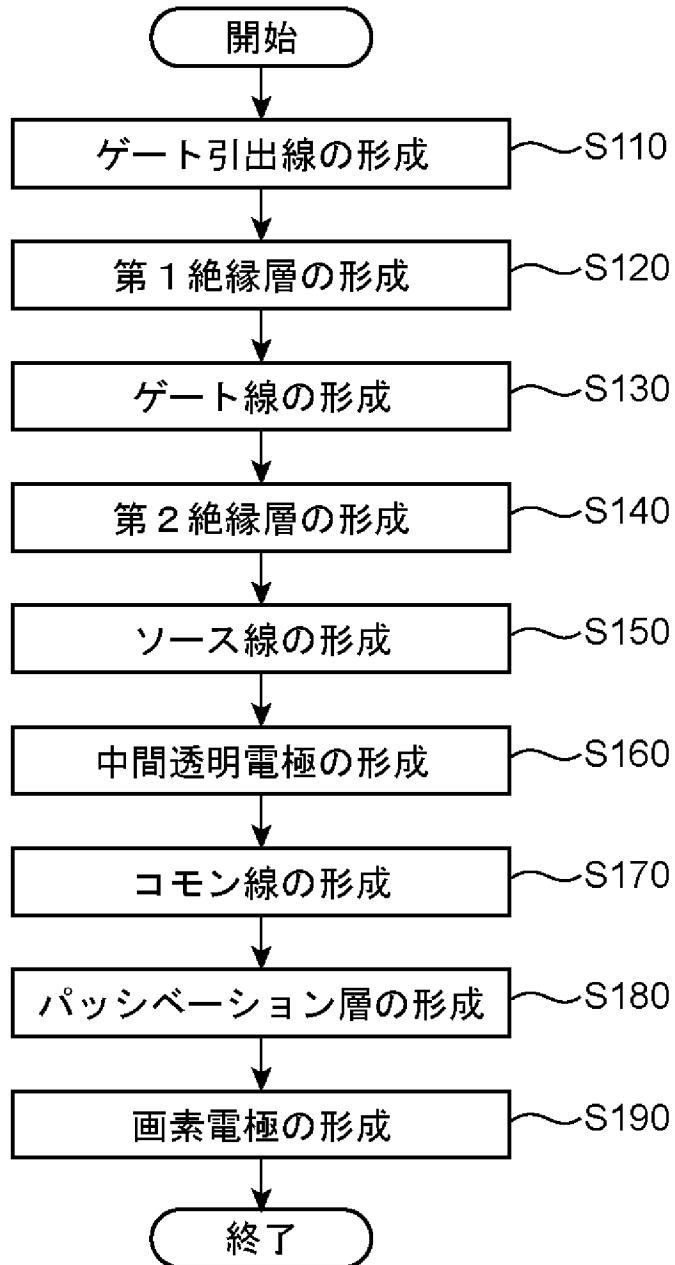
[図7B]



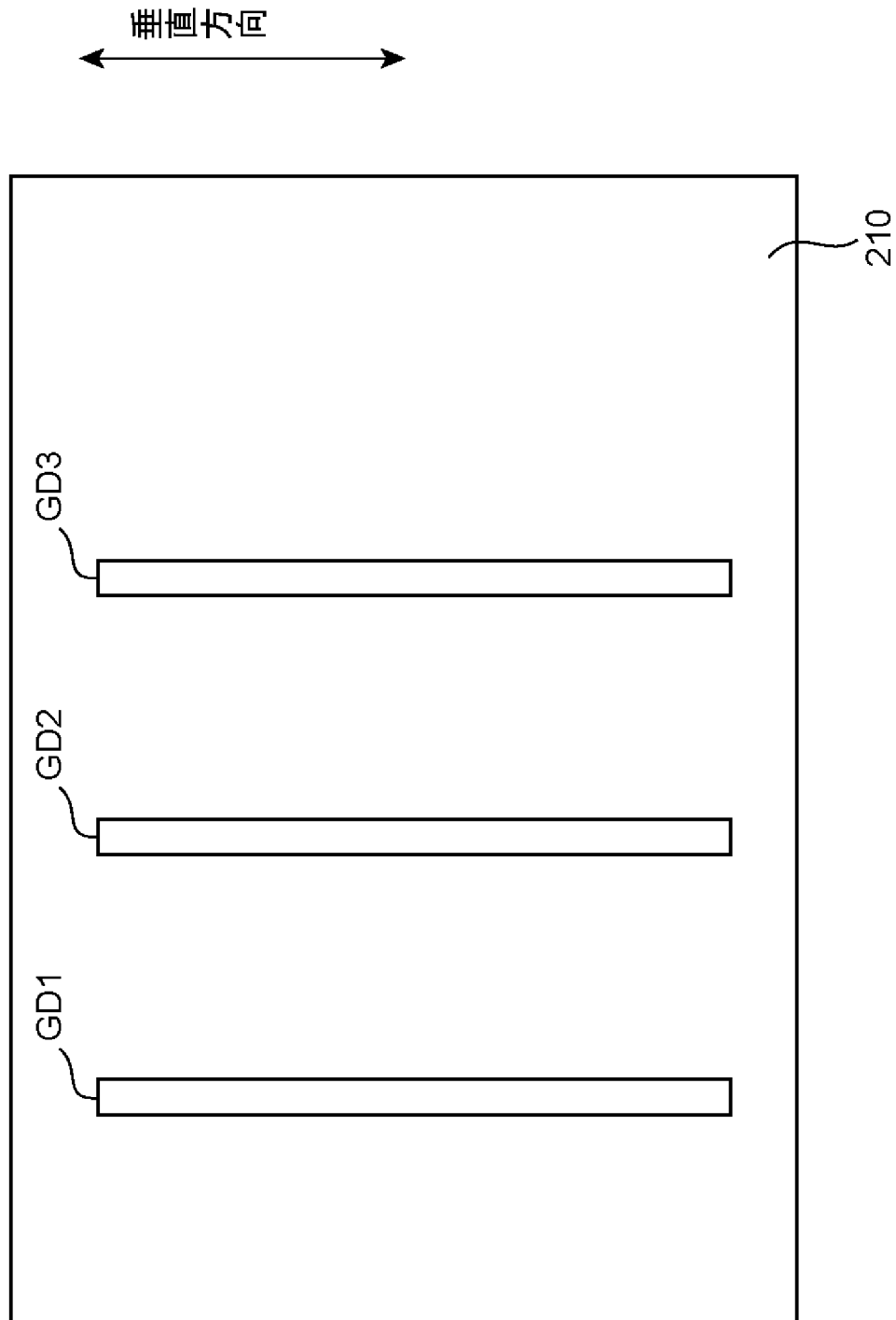
[図7C]



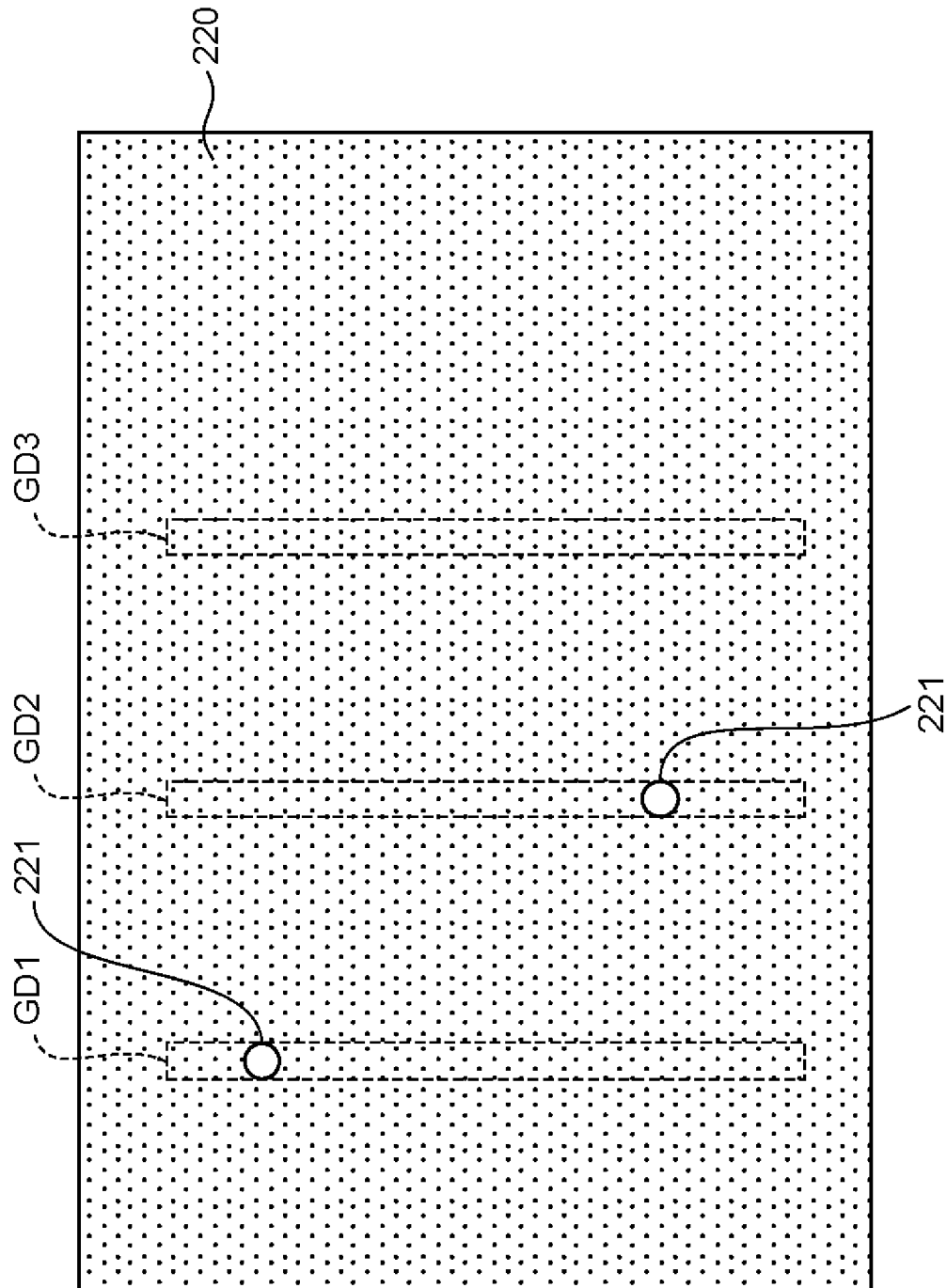
[図8]



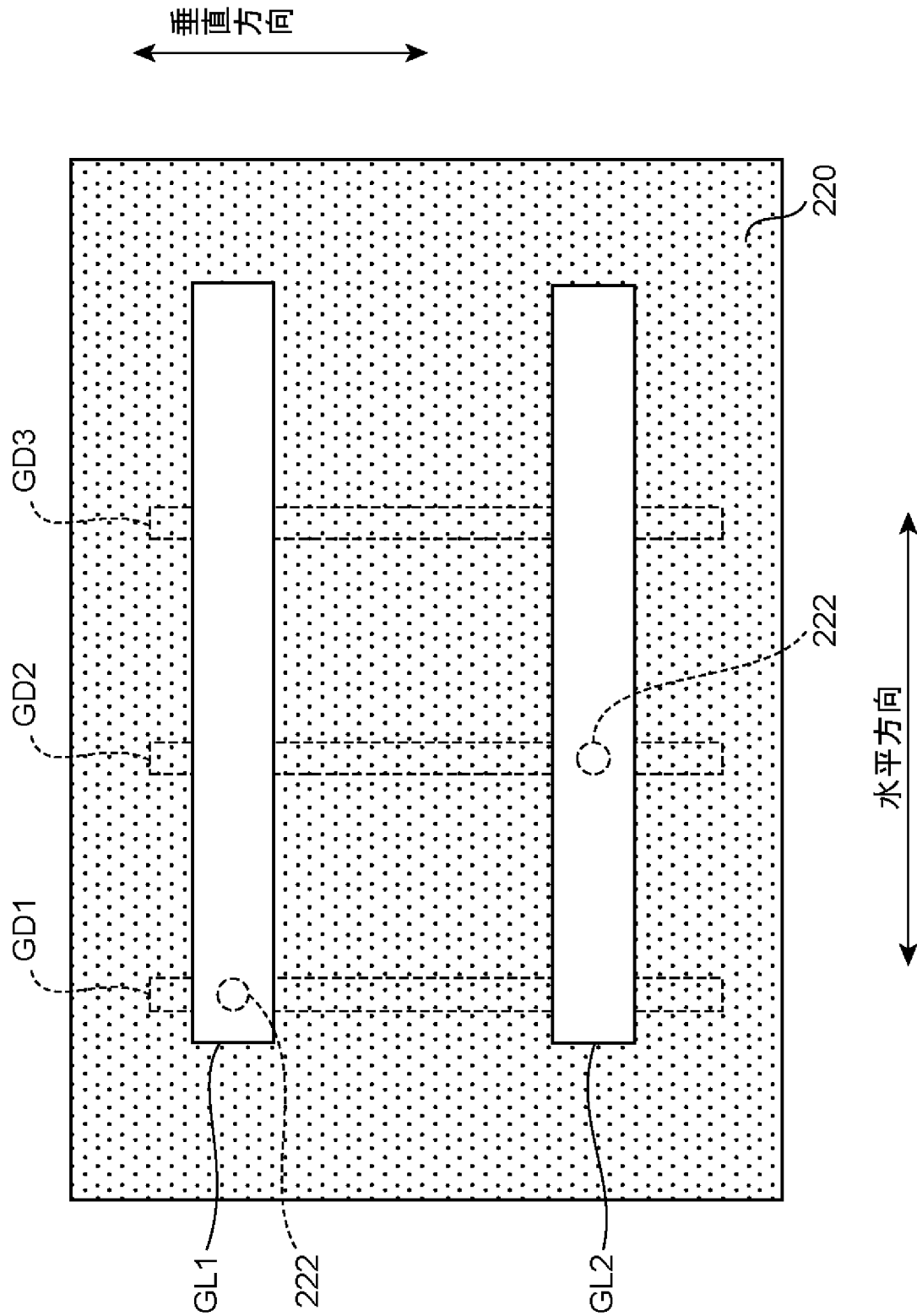
[図9]



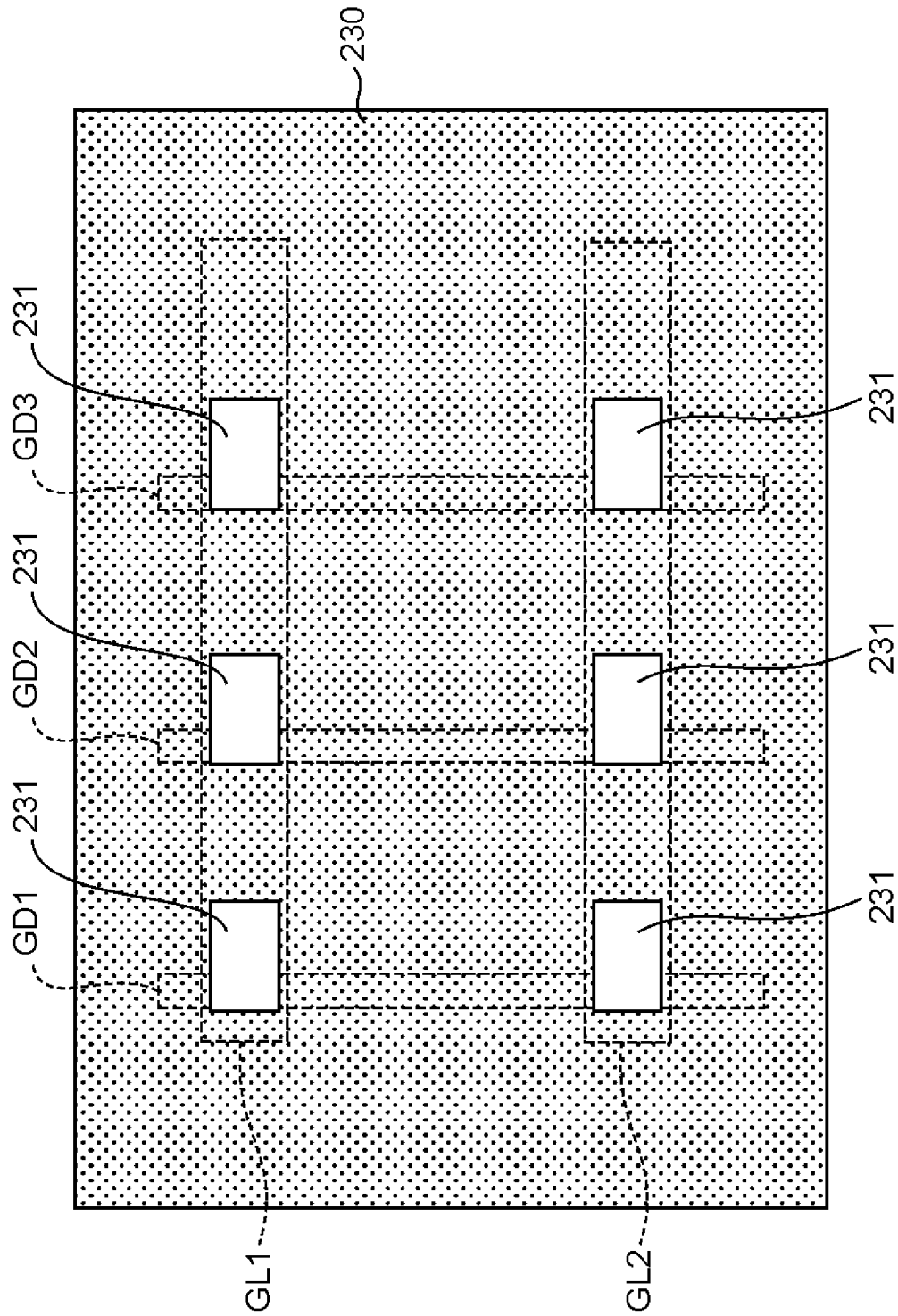
[図10]



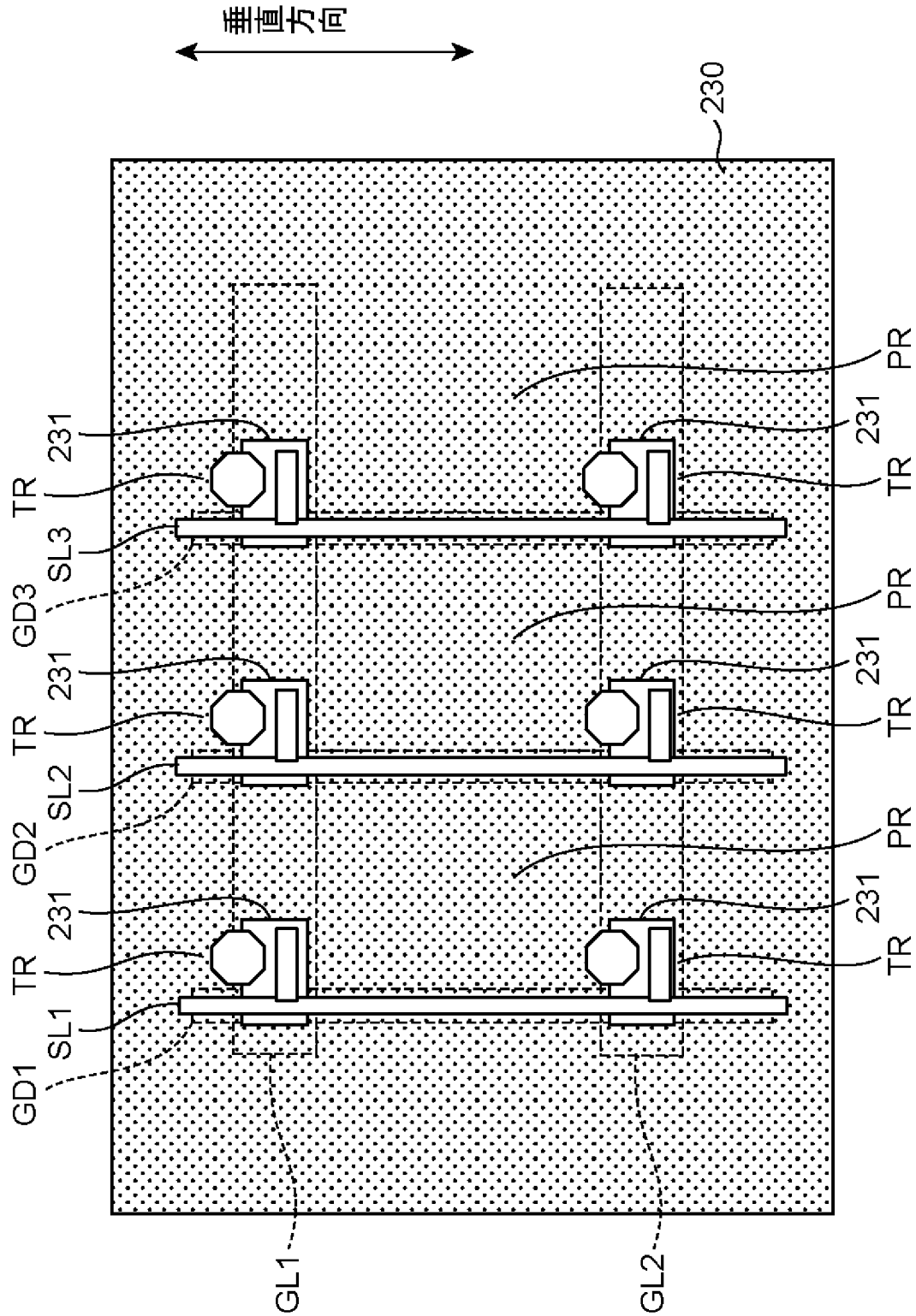
[図11]



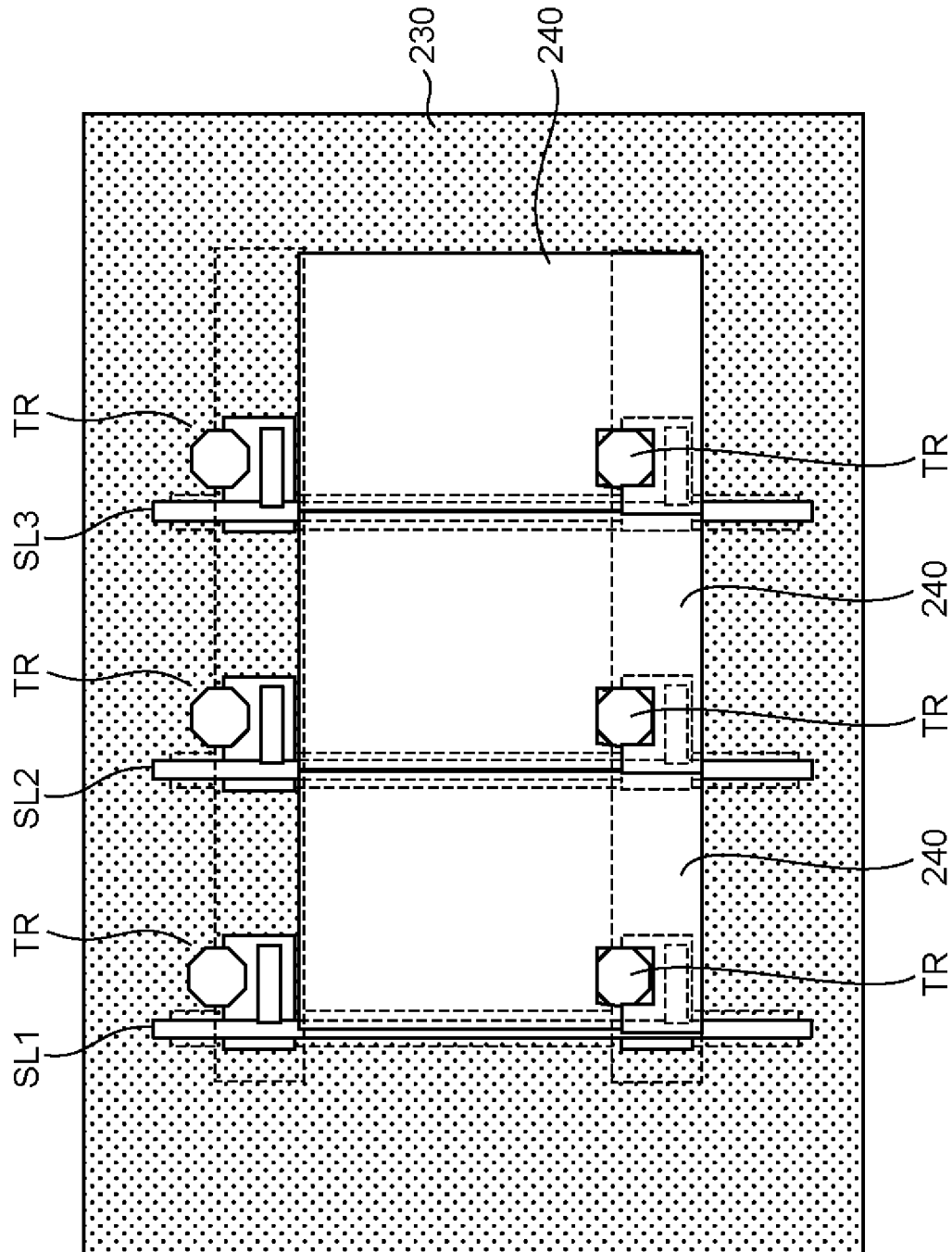
[図12]



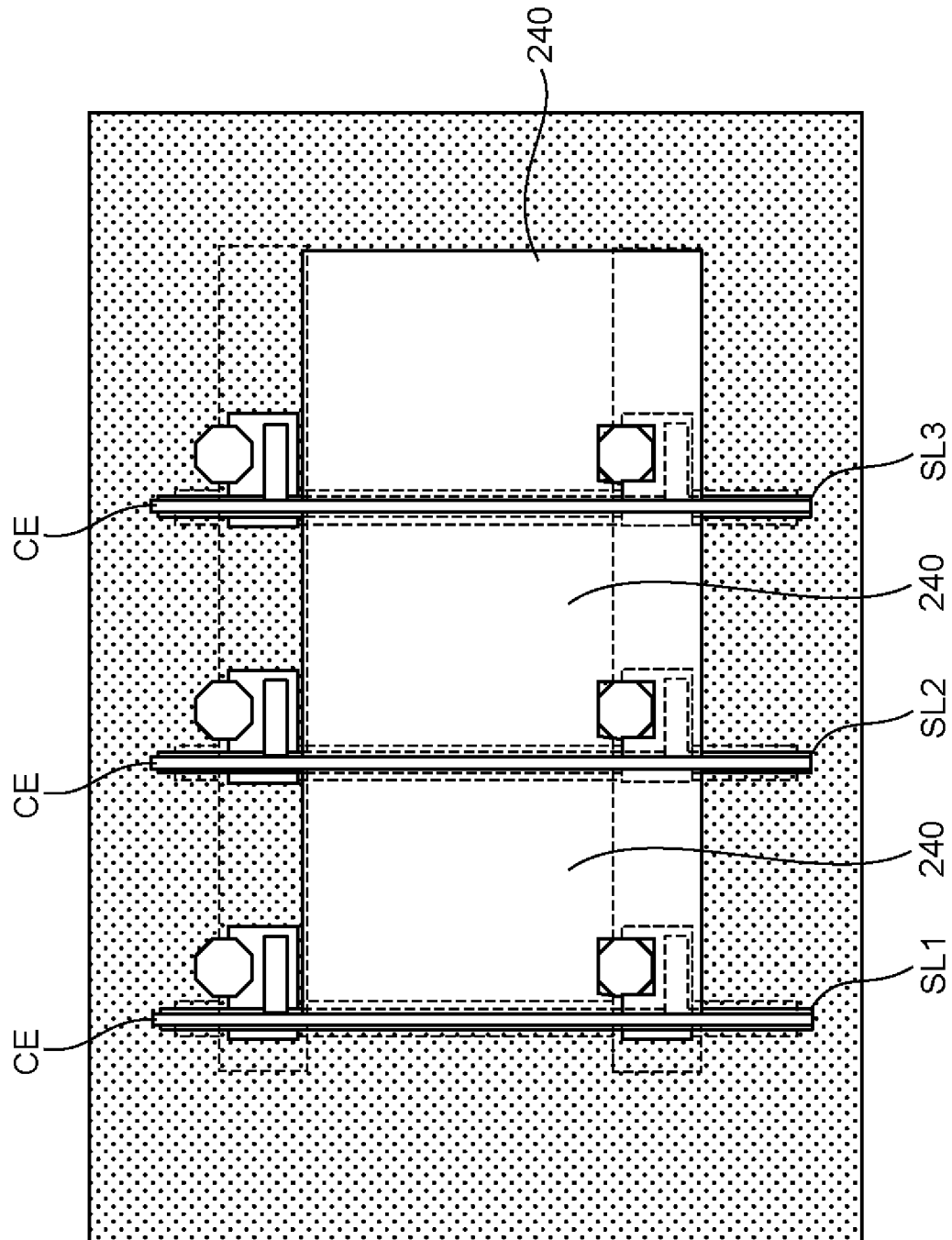
[図13]



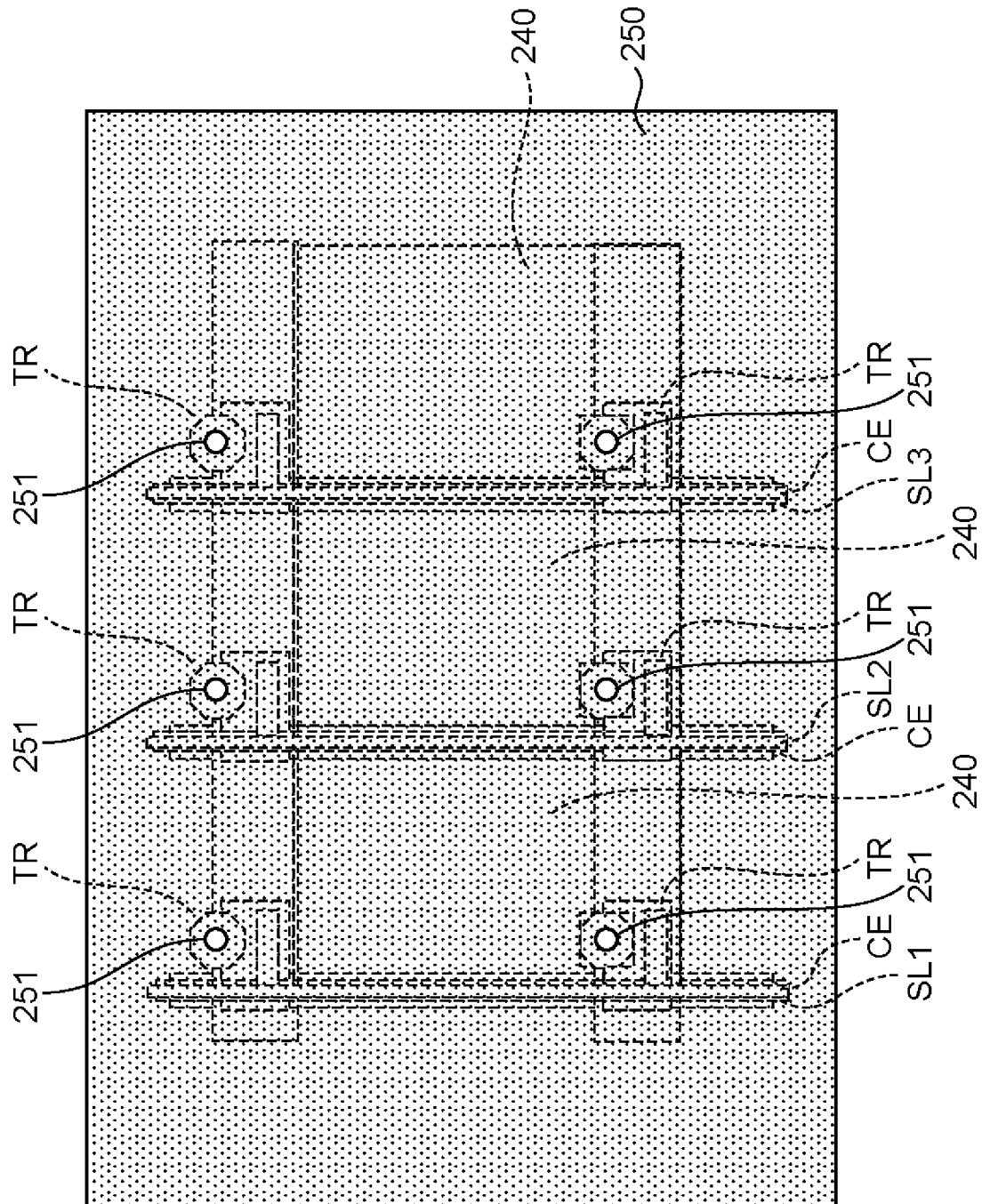
[図14]



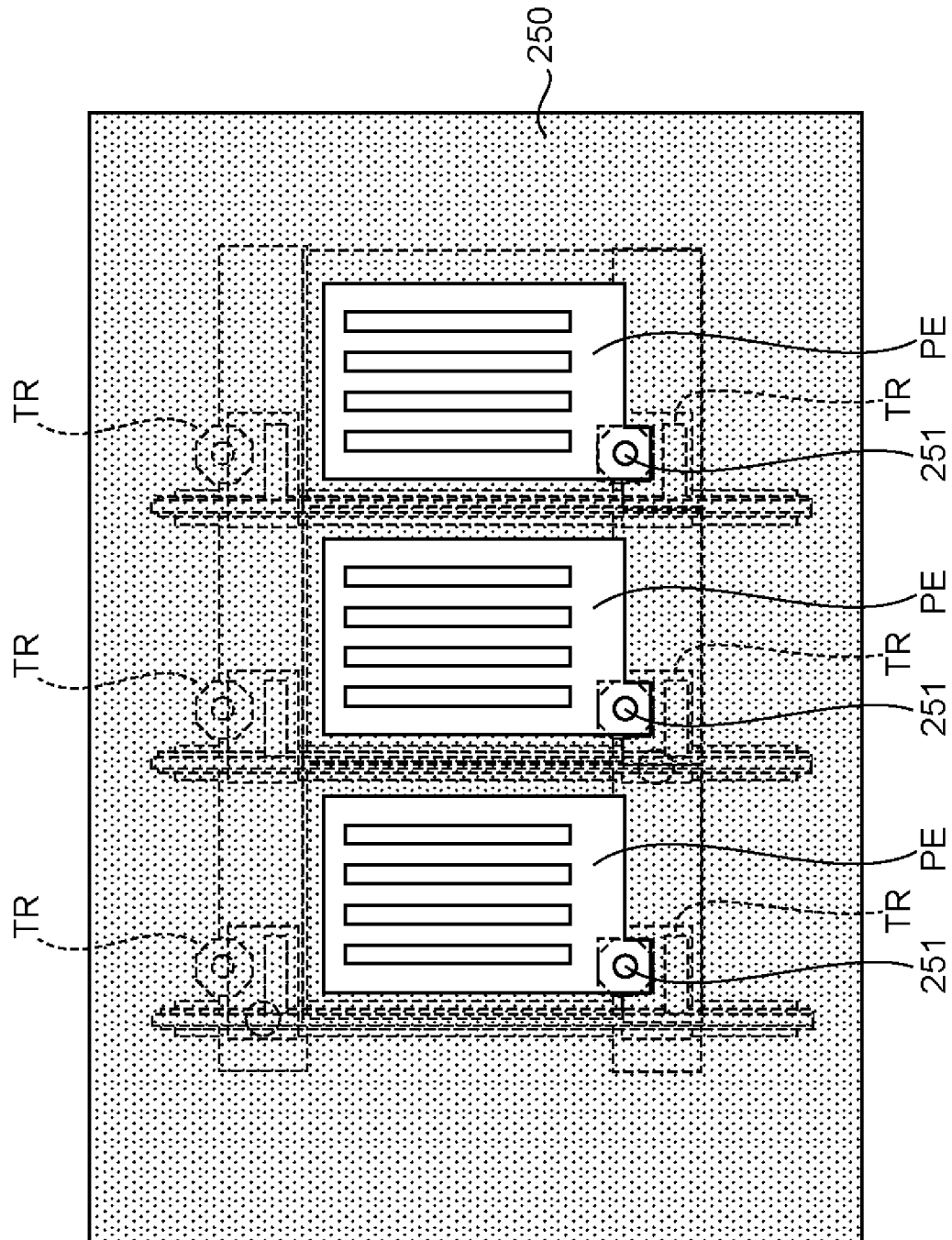
[図15]



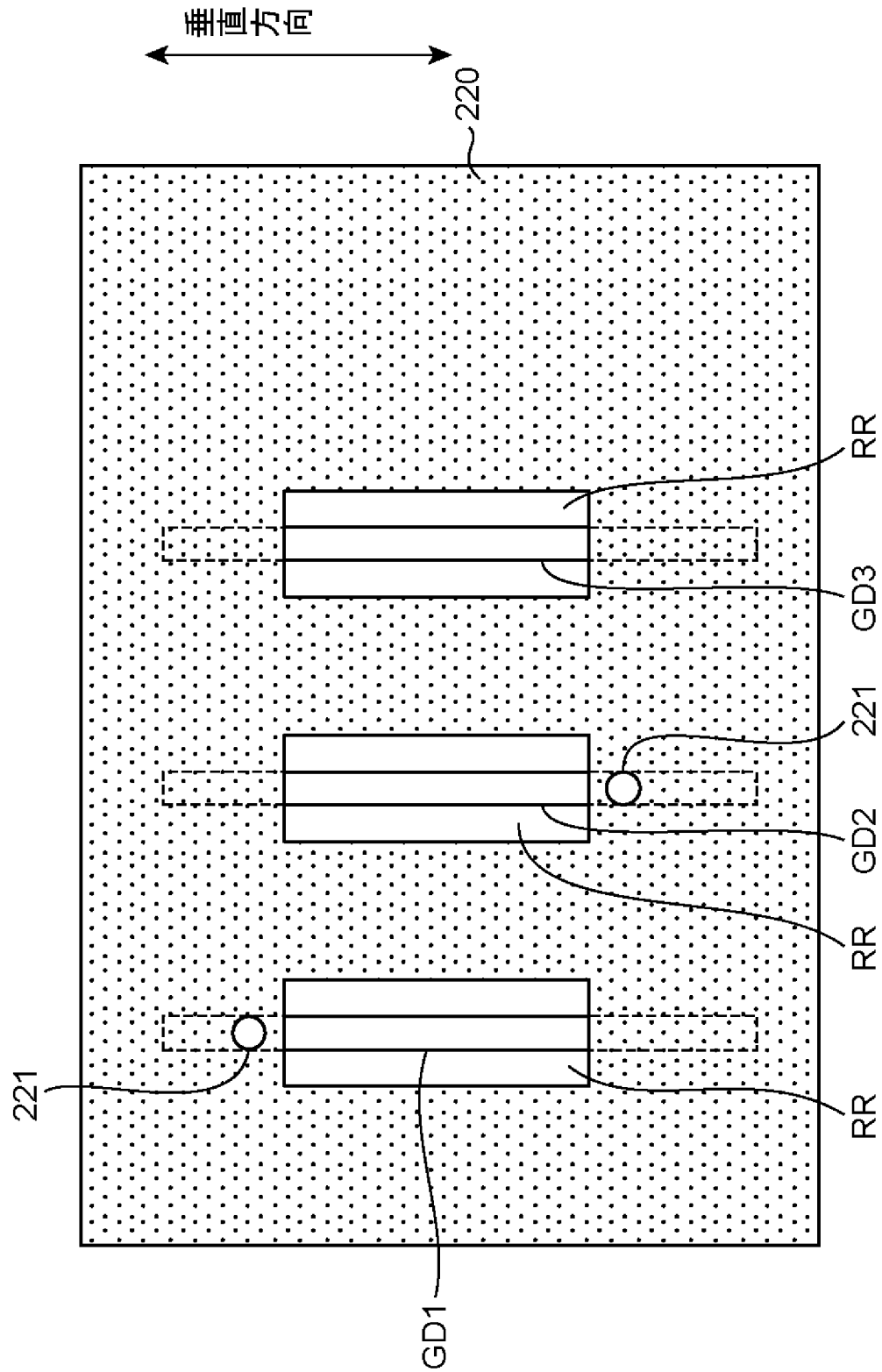
[図16]



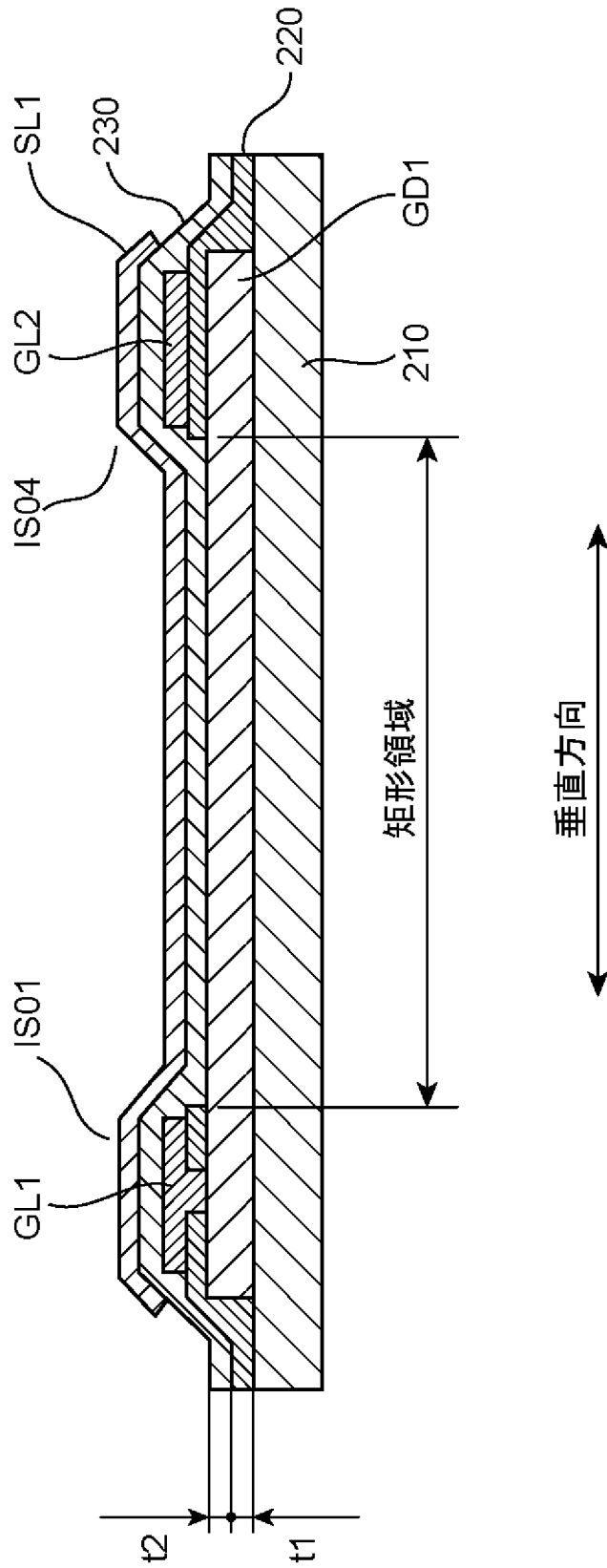
[図17]



[図18]

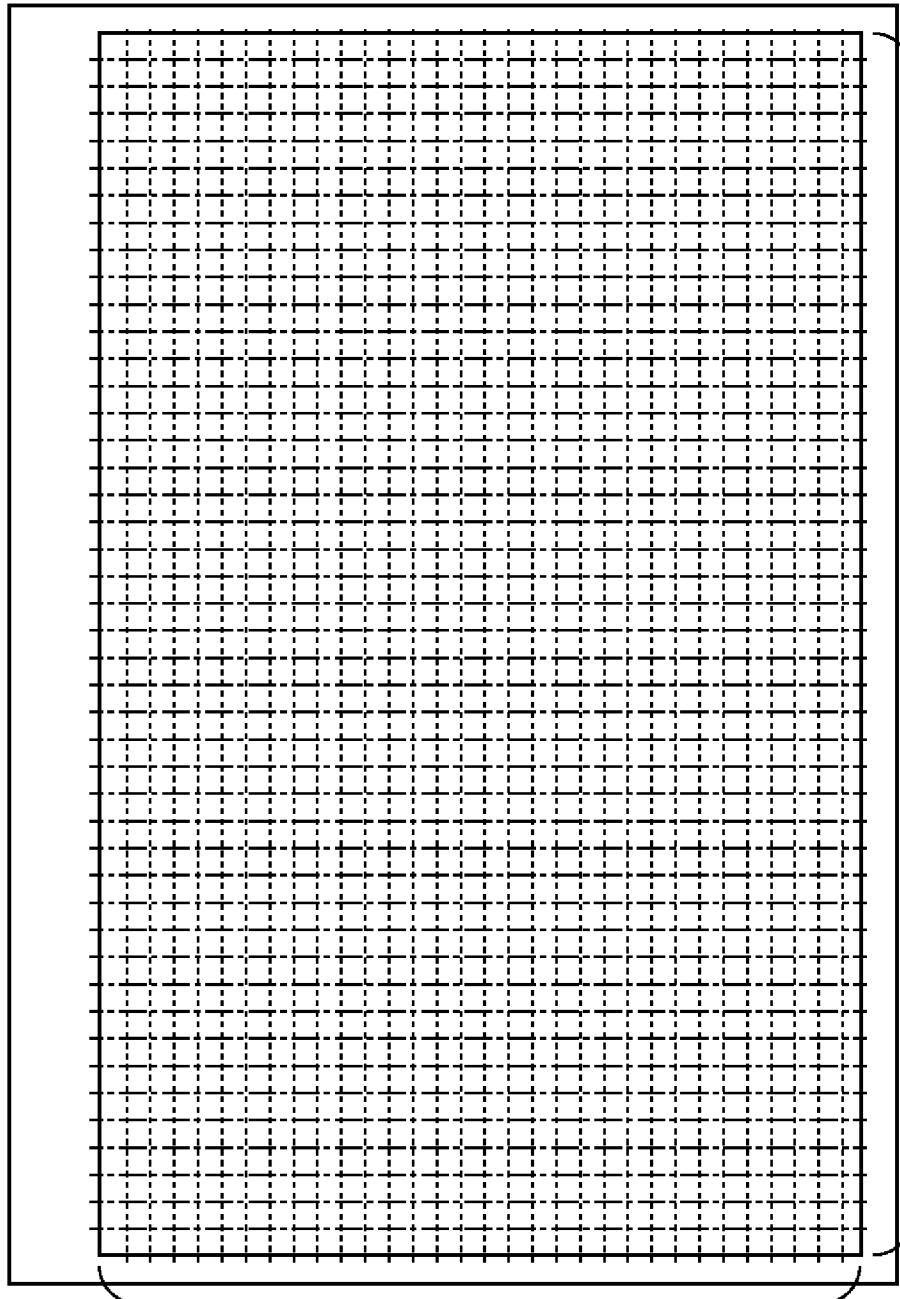


[図19]



[図20]

100A



ソース線

ゲート線

[図21A]

パッシベーション層
中間透明電極
ソース線
第2絶縁層
ゲート線
第1絶縁層
ゲート引出線
基板

交点A

(ゲート引出線：存在)

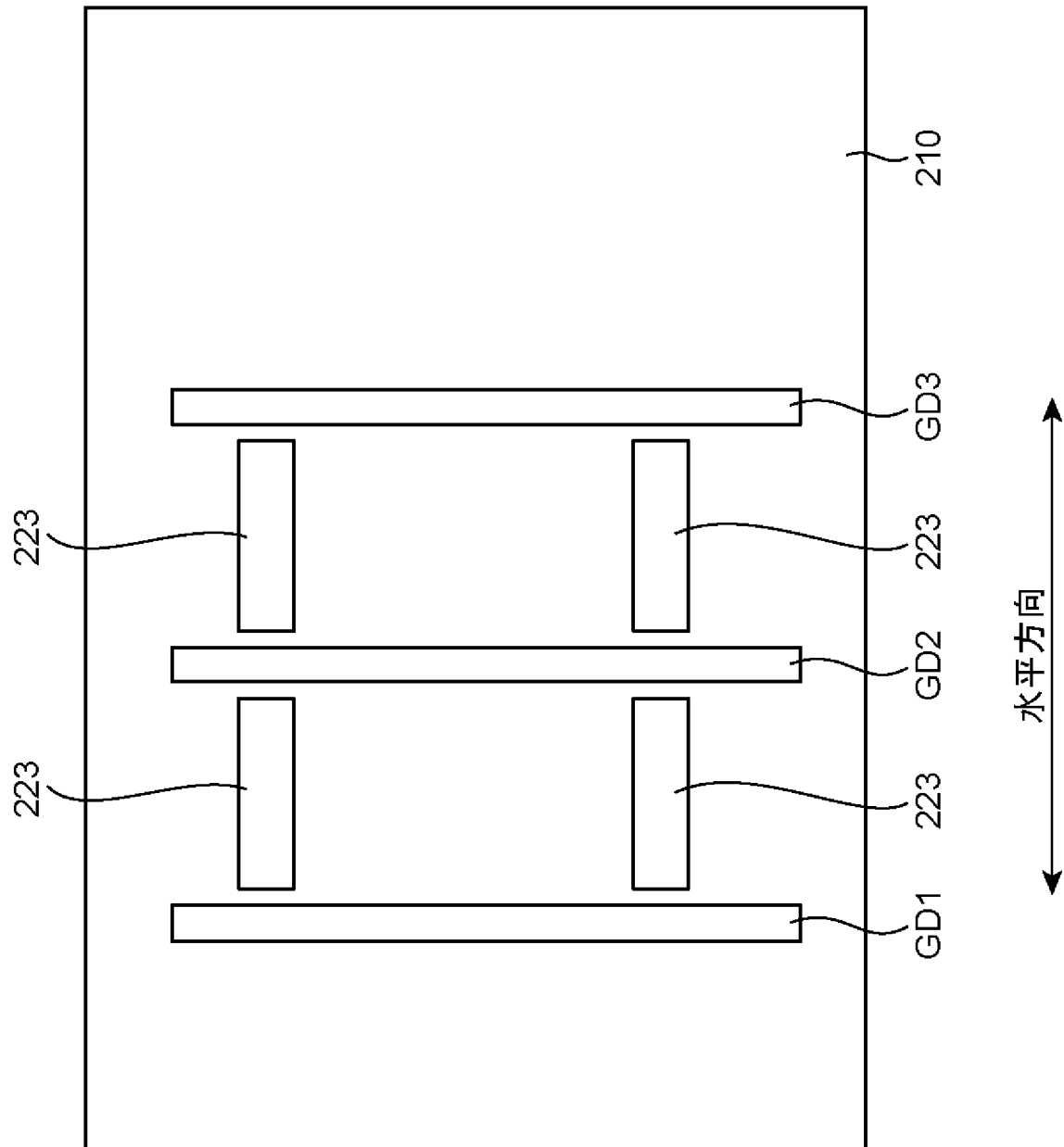
[図21B]

パッシベーション層
コモン線
中間透明電極
ソース線
第2絶縁層
ゲート線
第1絶縁層
基板

交点B

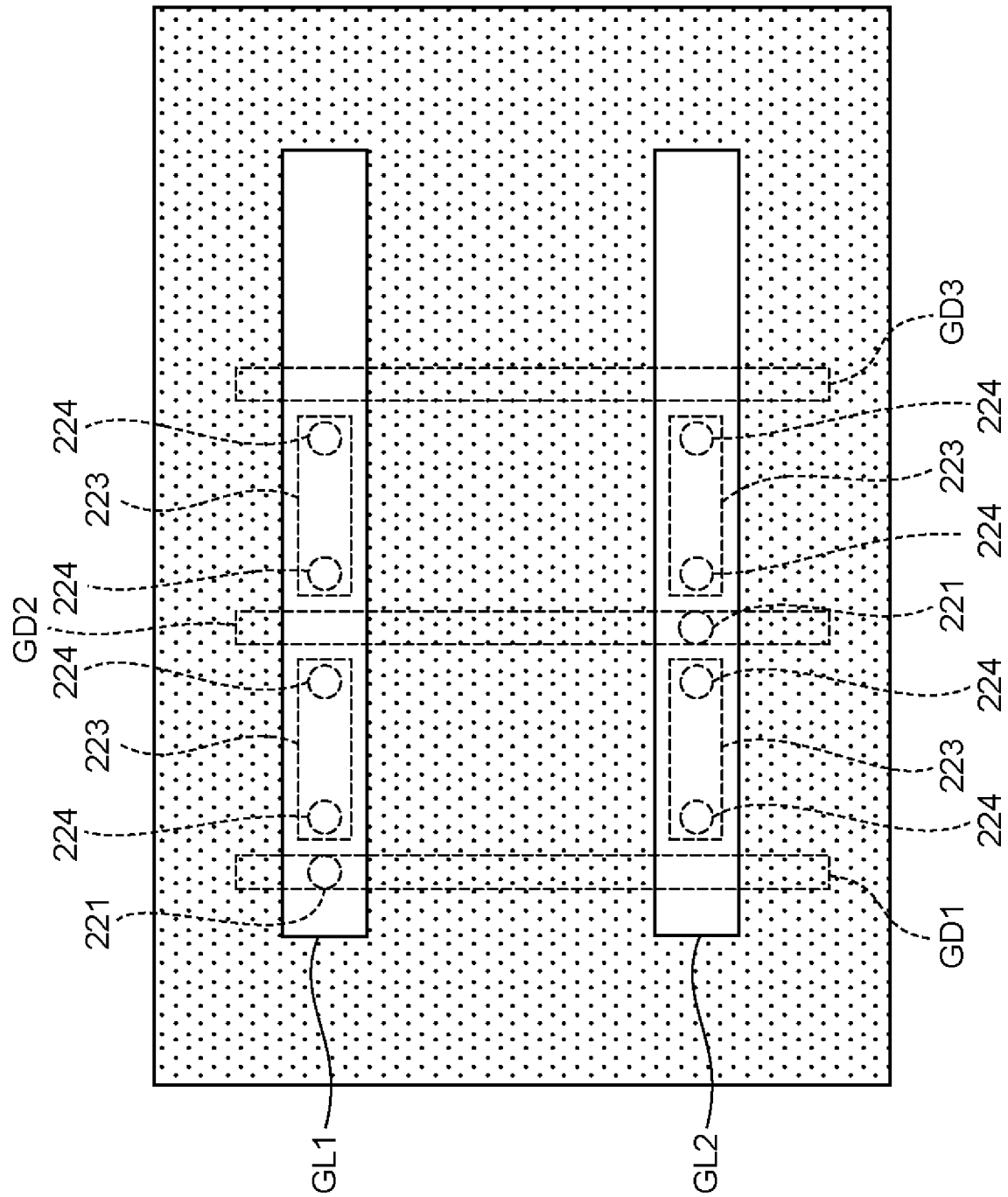
(ゲート引出線：不存在)

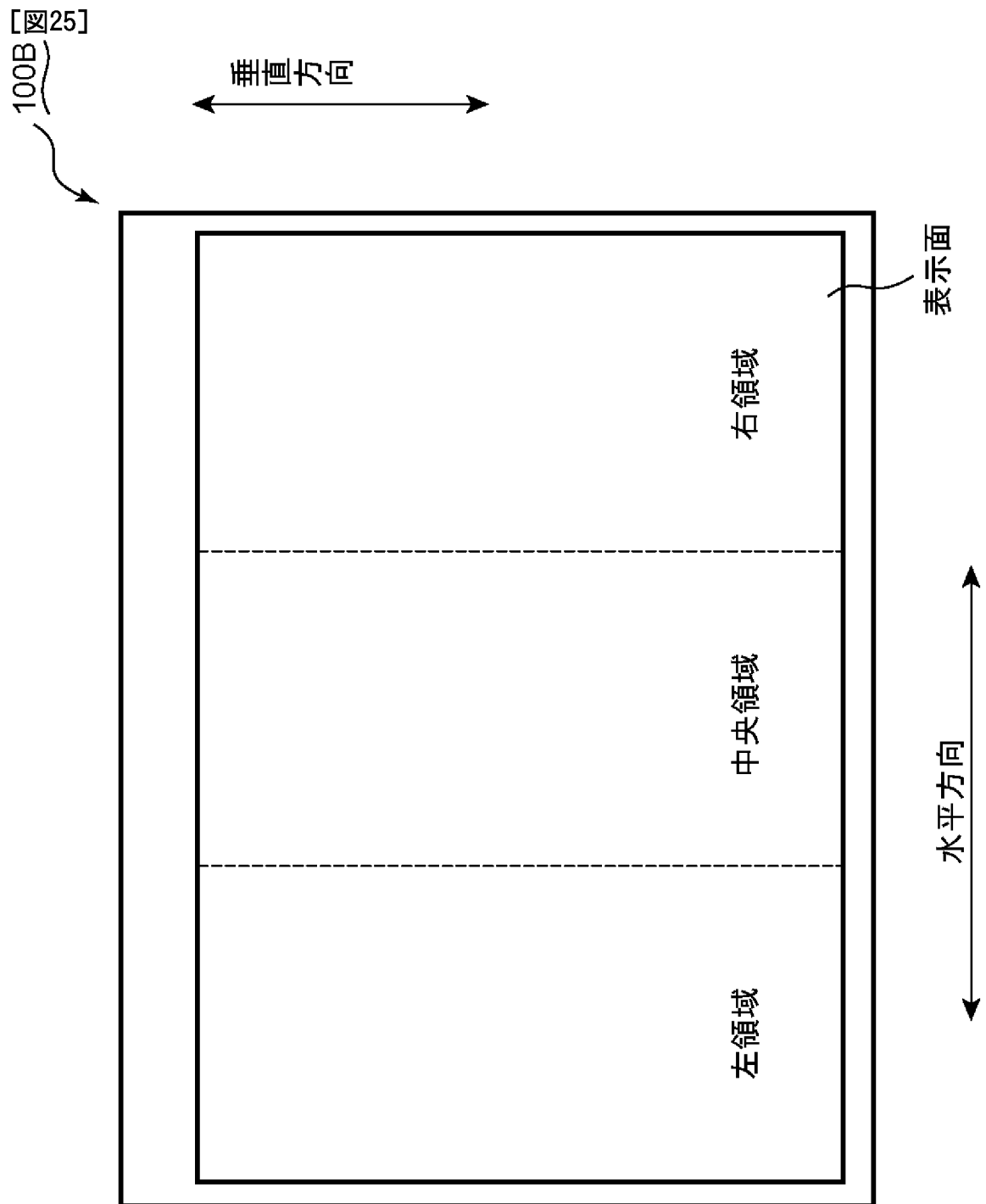
[図22]



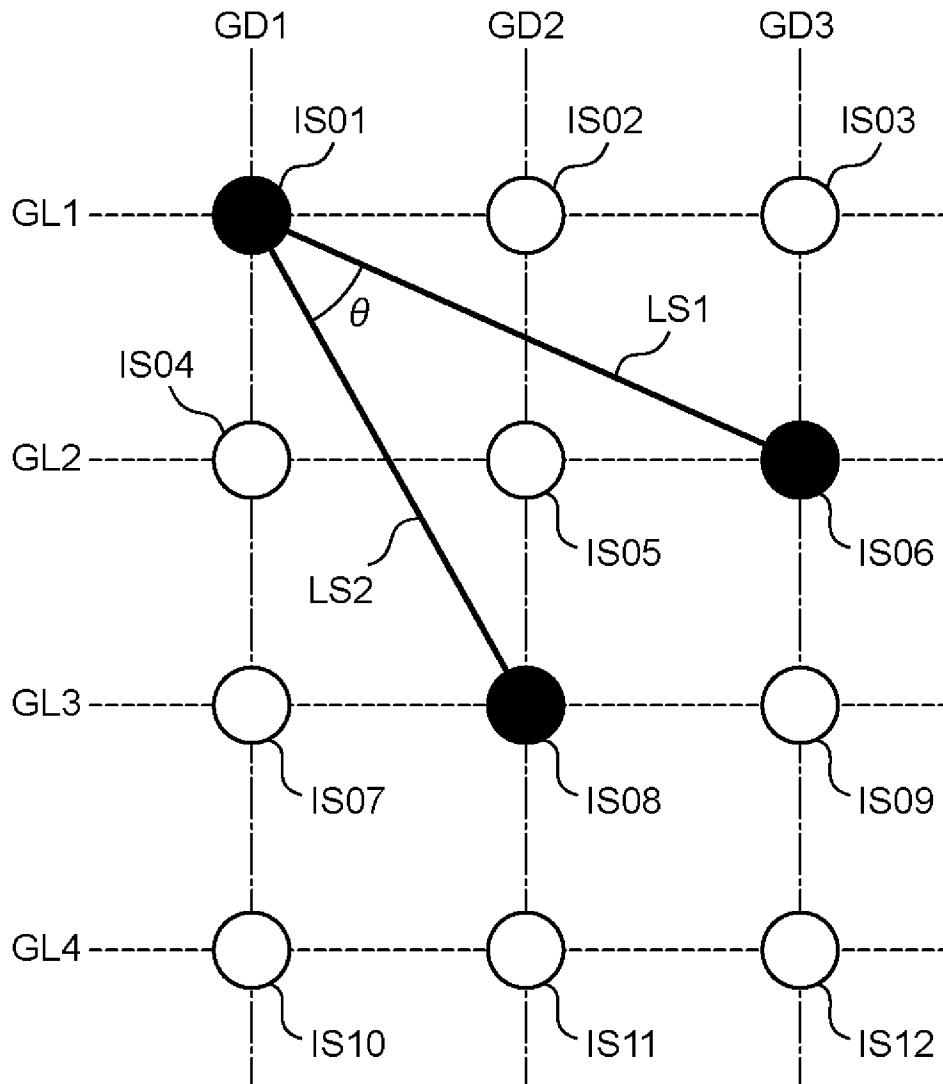
The diagram shows a rectangular substrate 220 filled with a stippled pattern. Within this substrate, there are several circular features 221. These features are organized into three main horizontal groups, each enclosed by a dashed rectangular box labeled GD1, GD2, and GD3 from left to right. Each group contains two vertical columns of circles. Individual circles are pointed to by labels 223 and 224. Specifically, label 223 points to the top circle in the first column of each group, while label 224 points to the bottom circle in the second column of each group.

[図24]

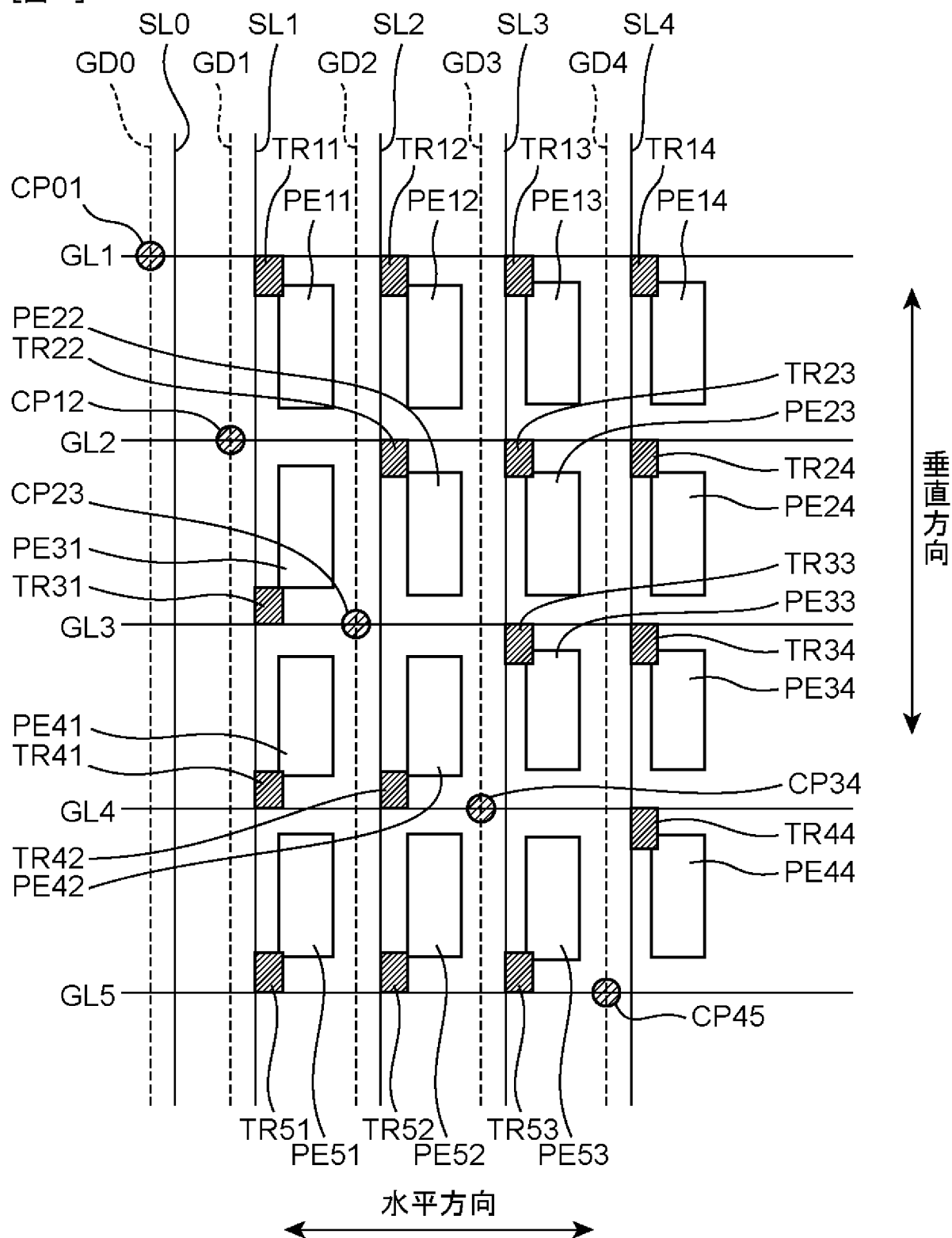




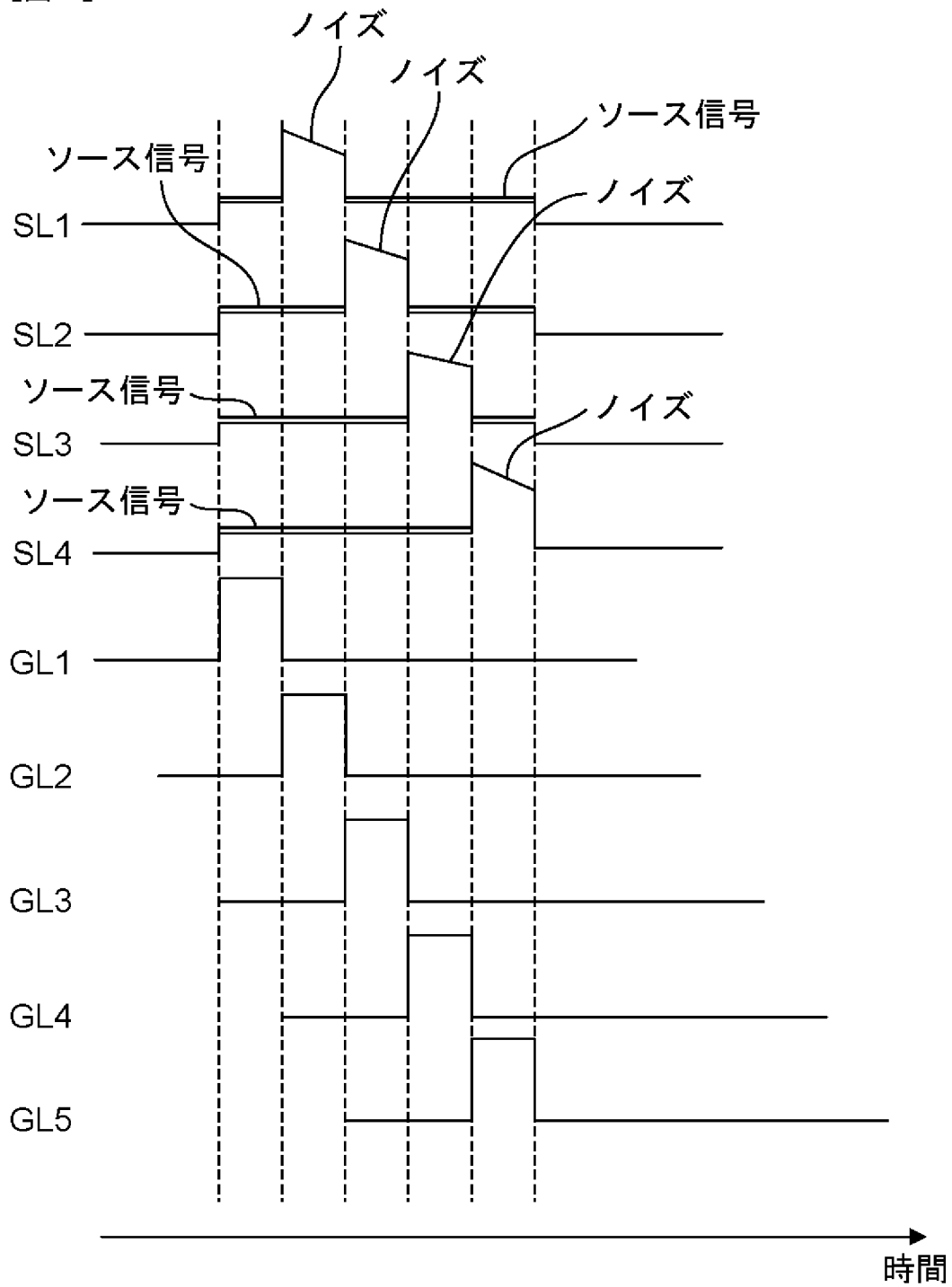
[図26]



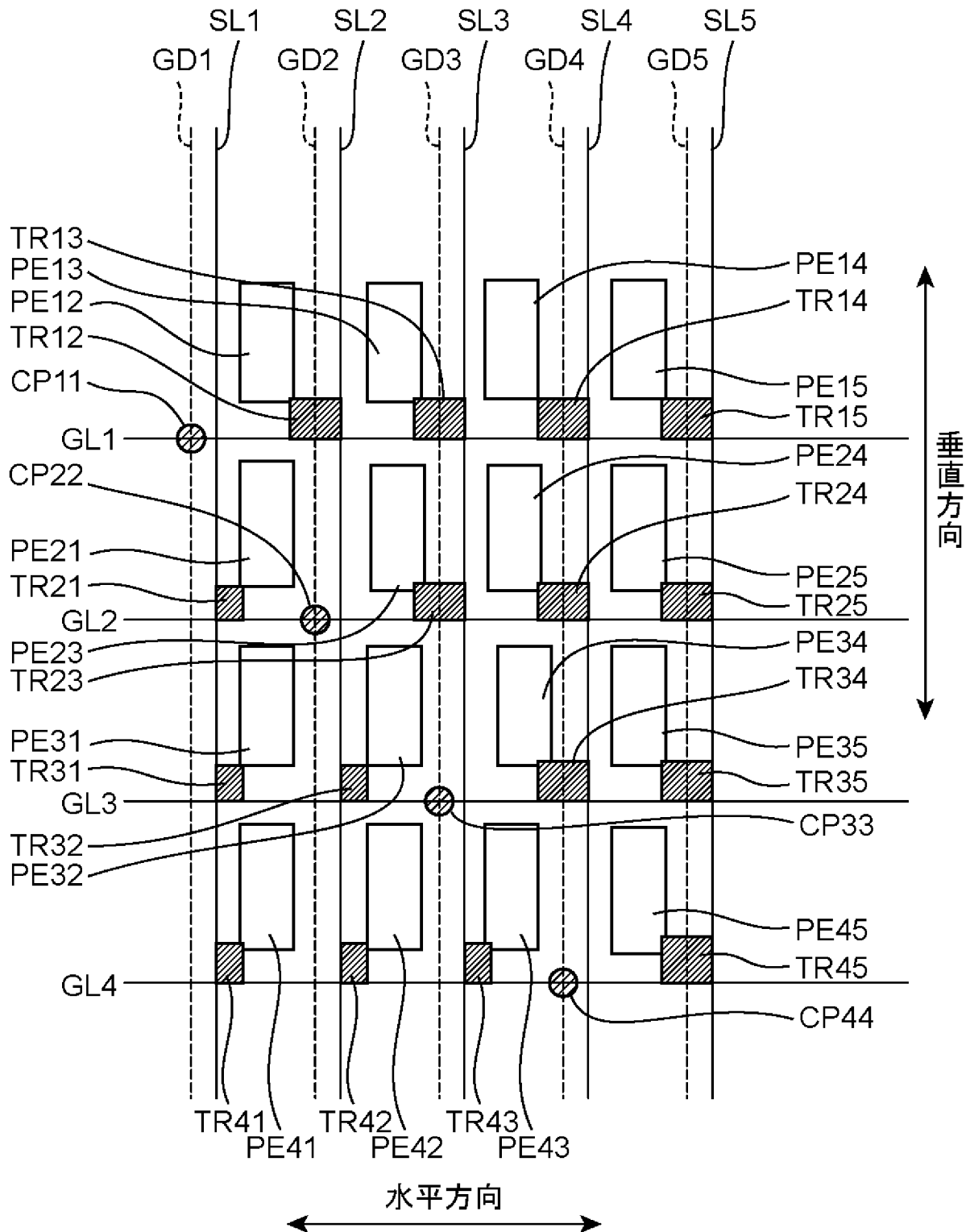
[図27]



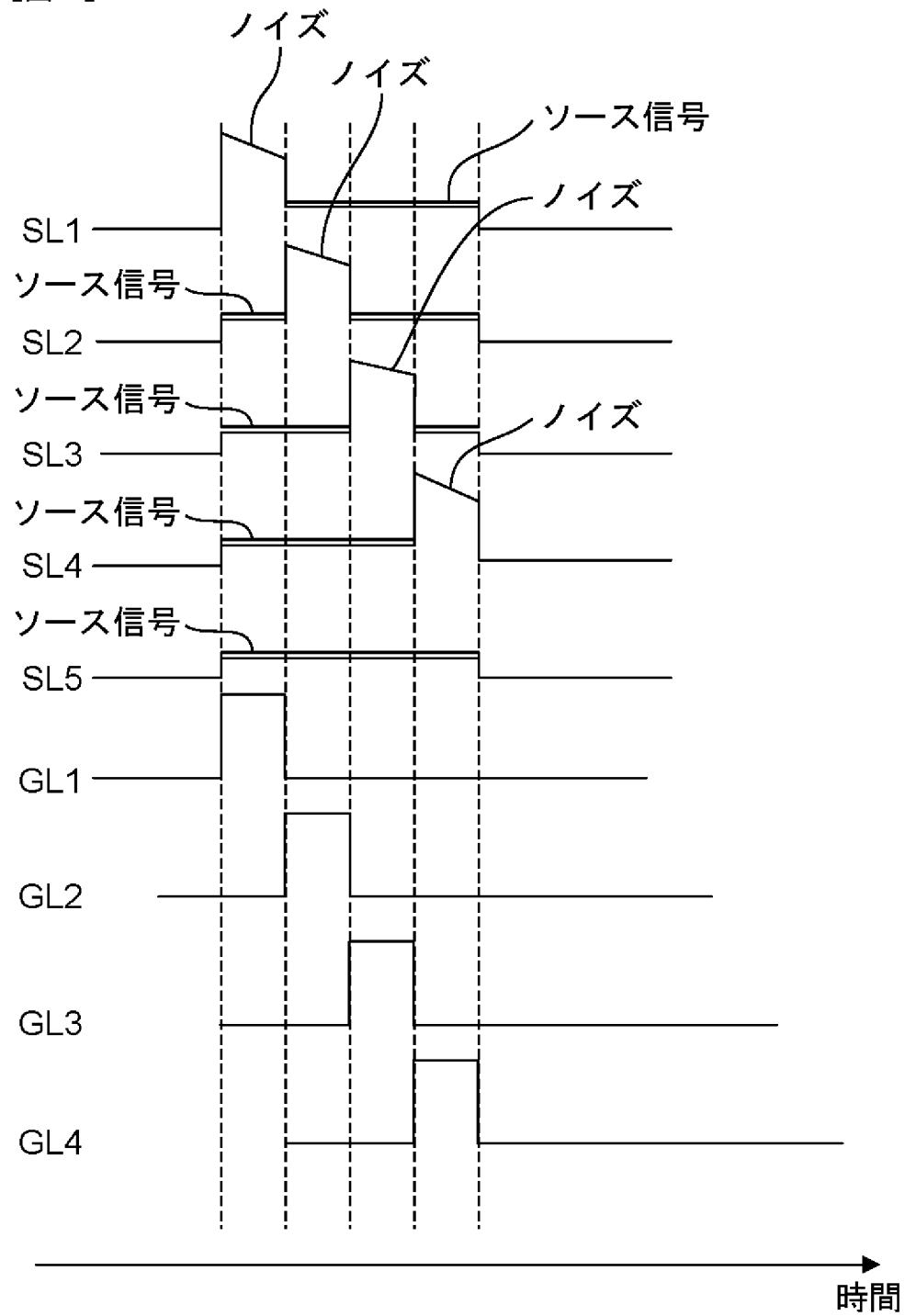
[図28]



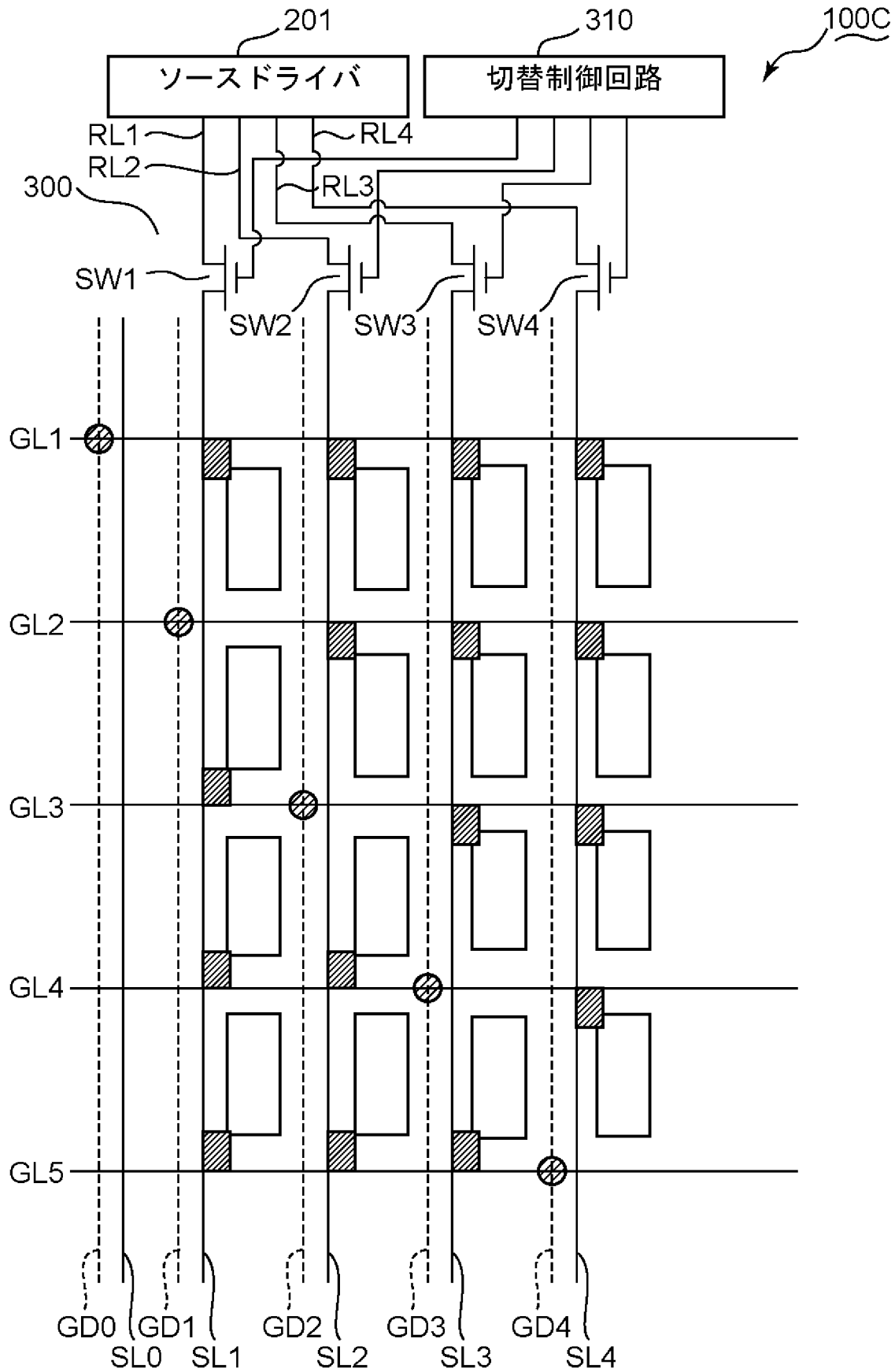
[図29]



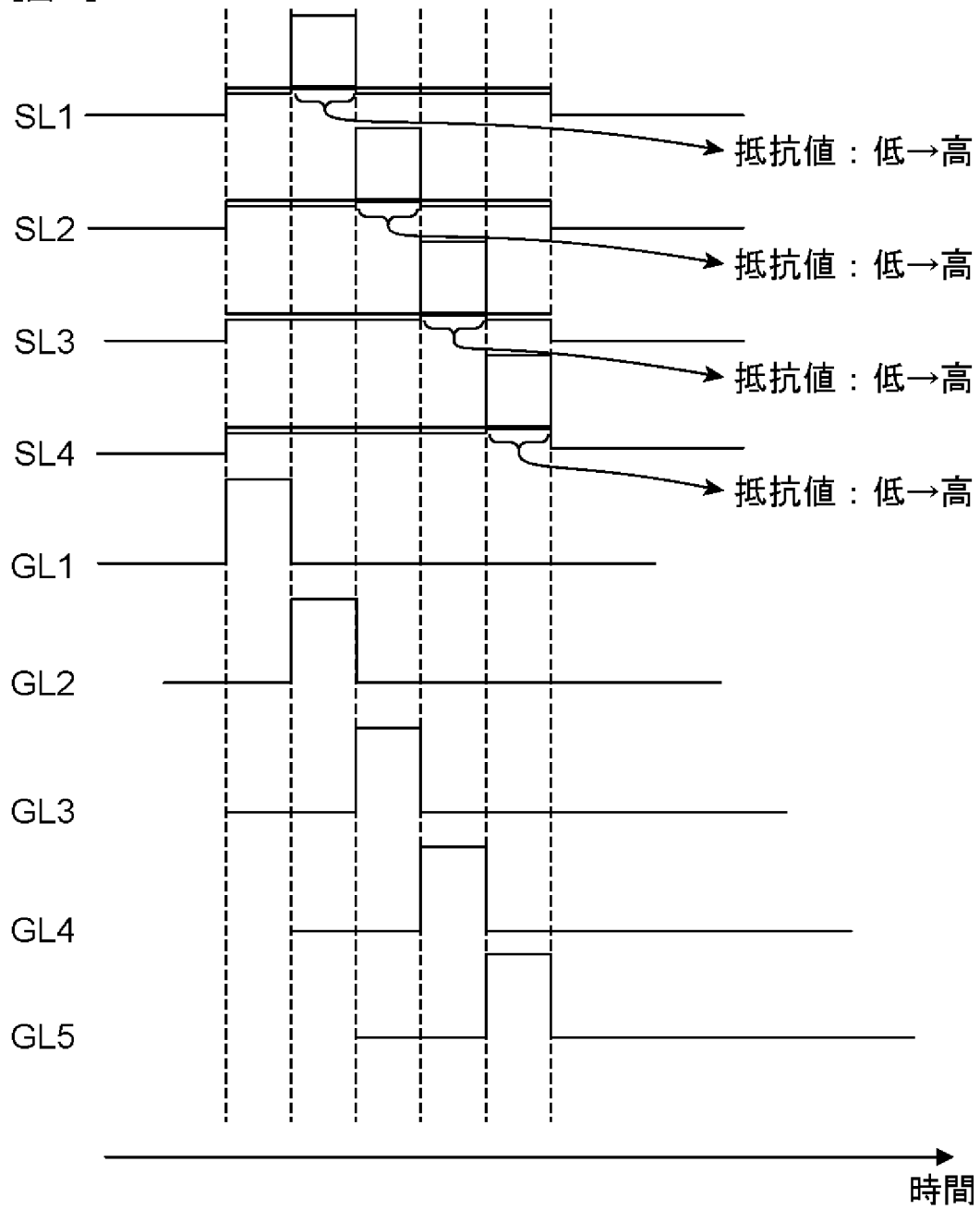
[図30]



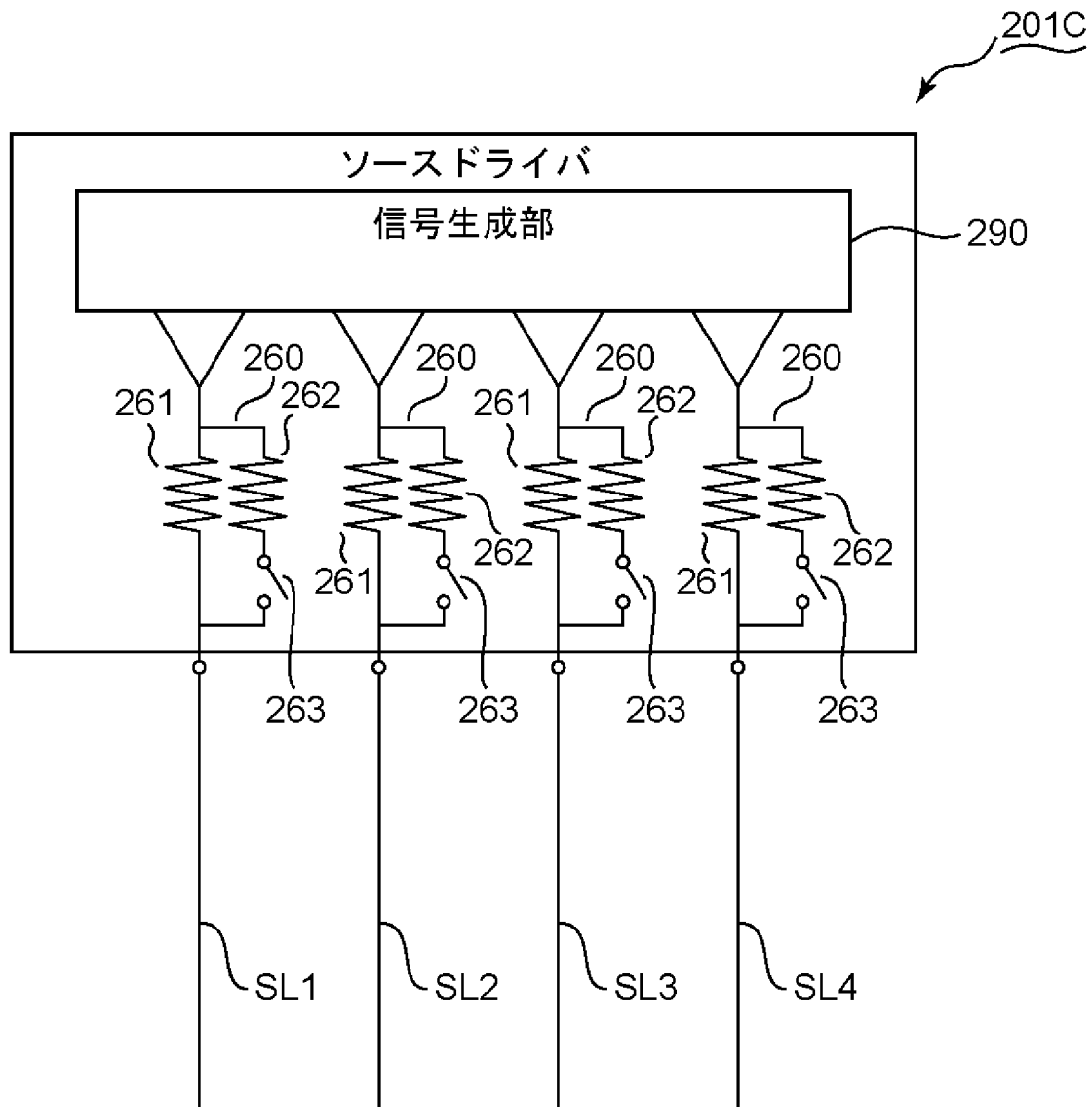
[図31]



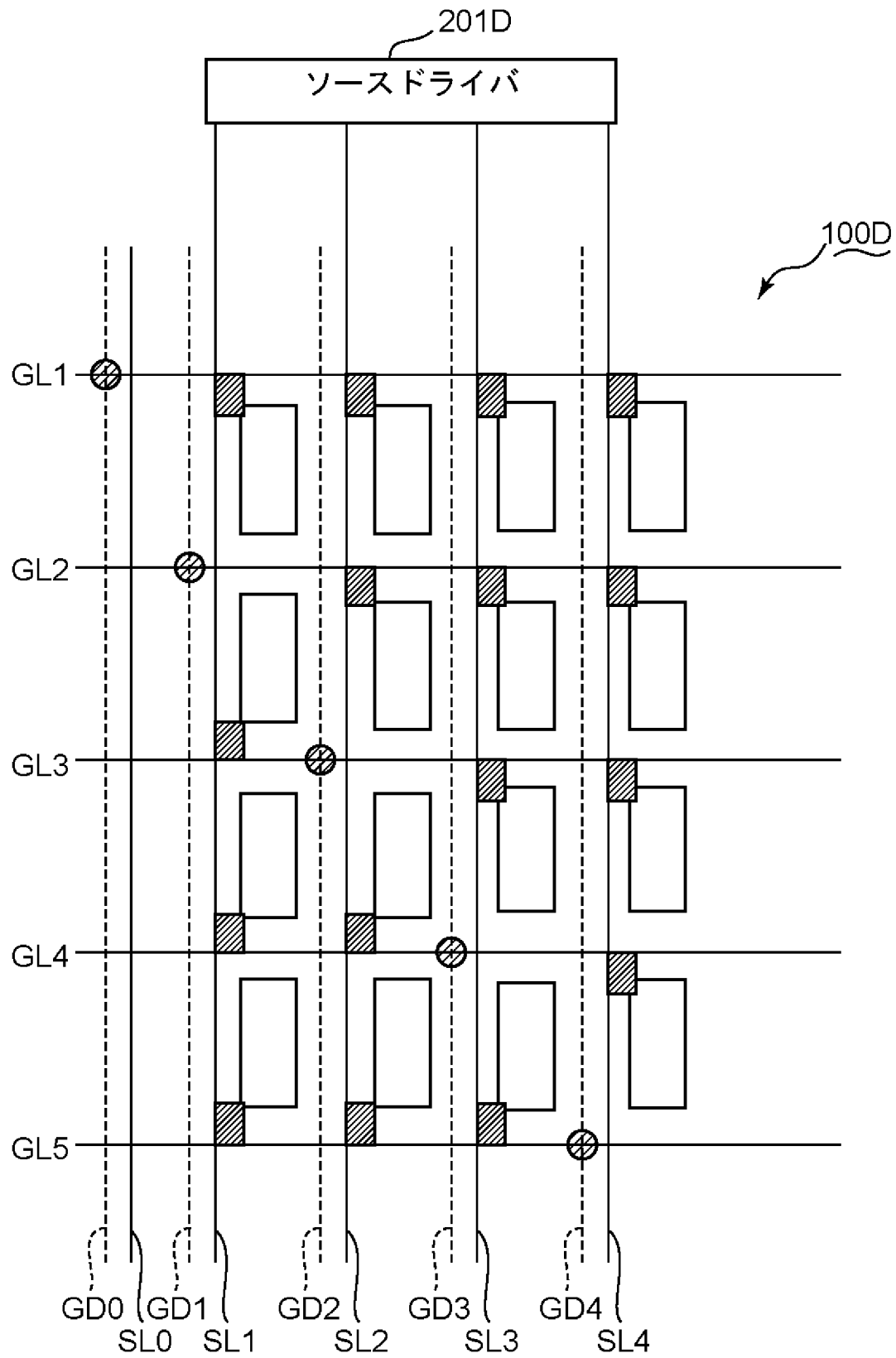
[図32]



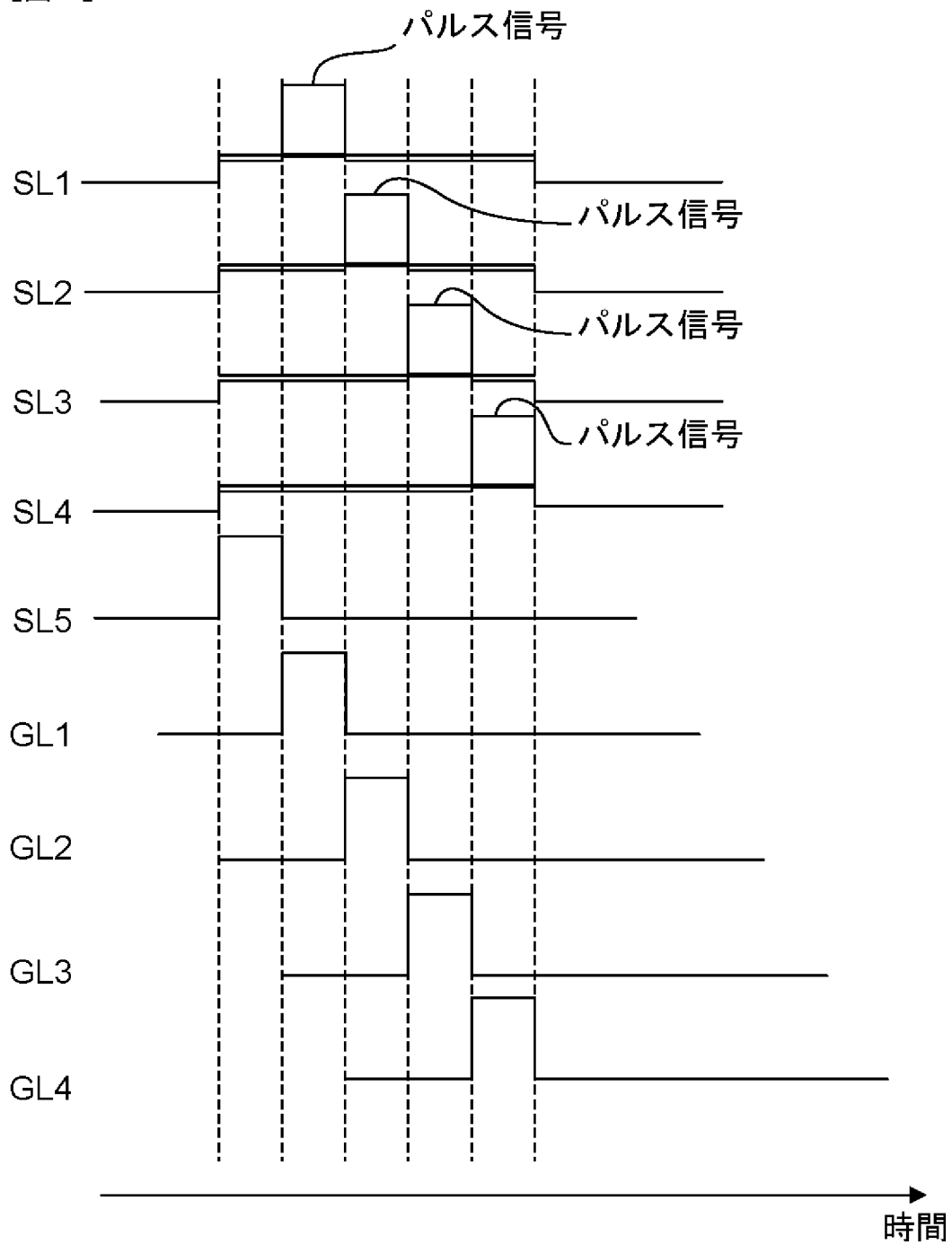
[図33]



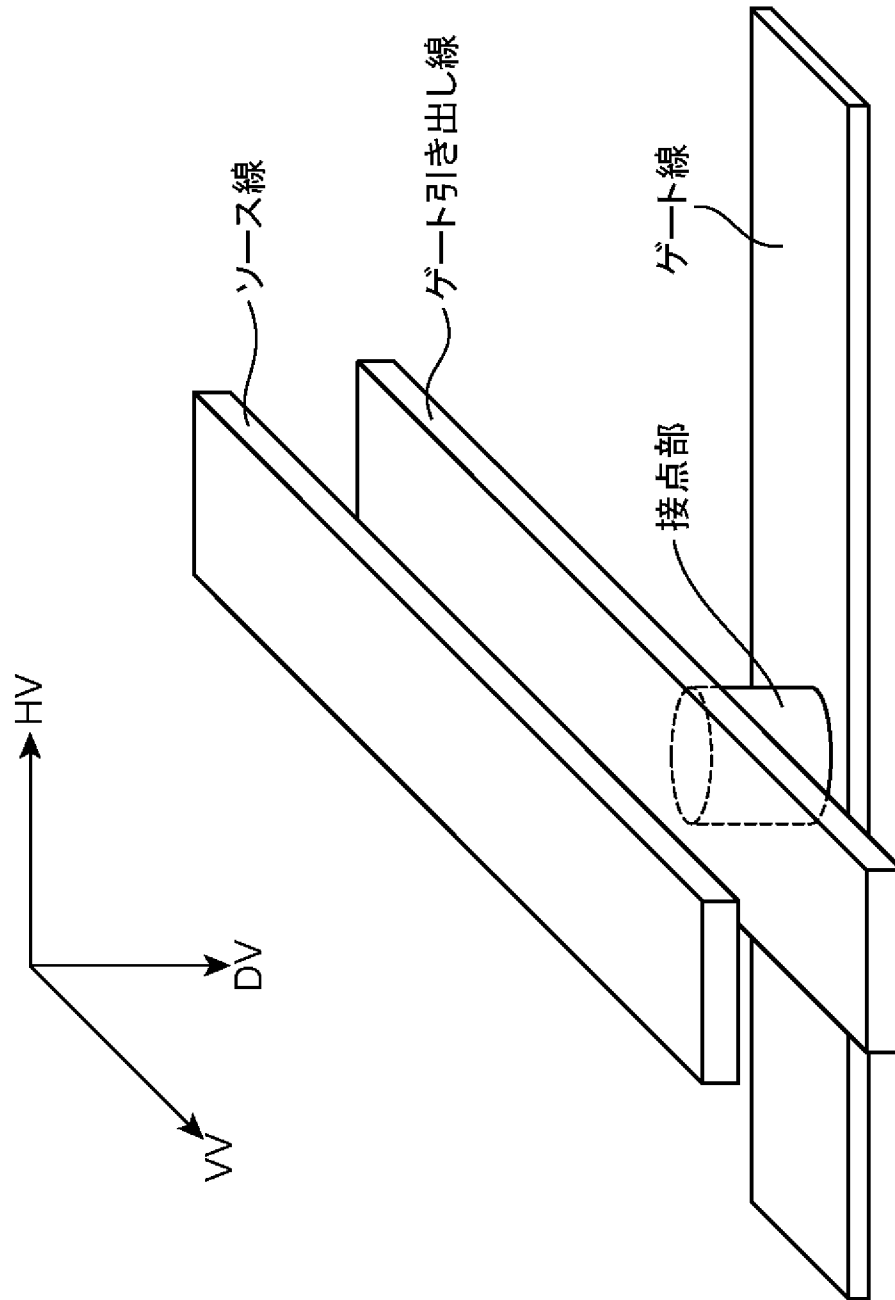
[図34]



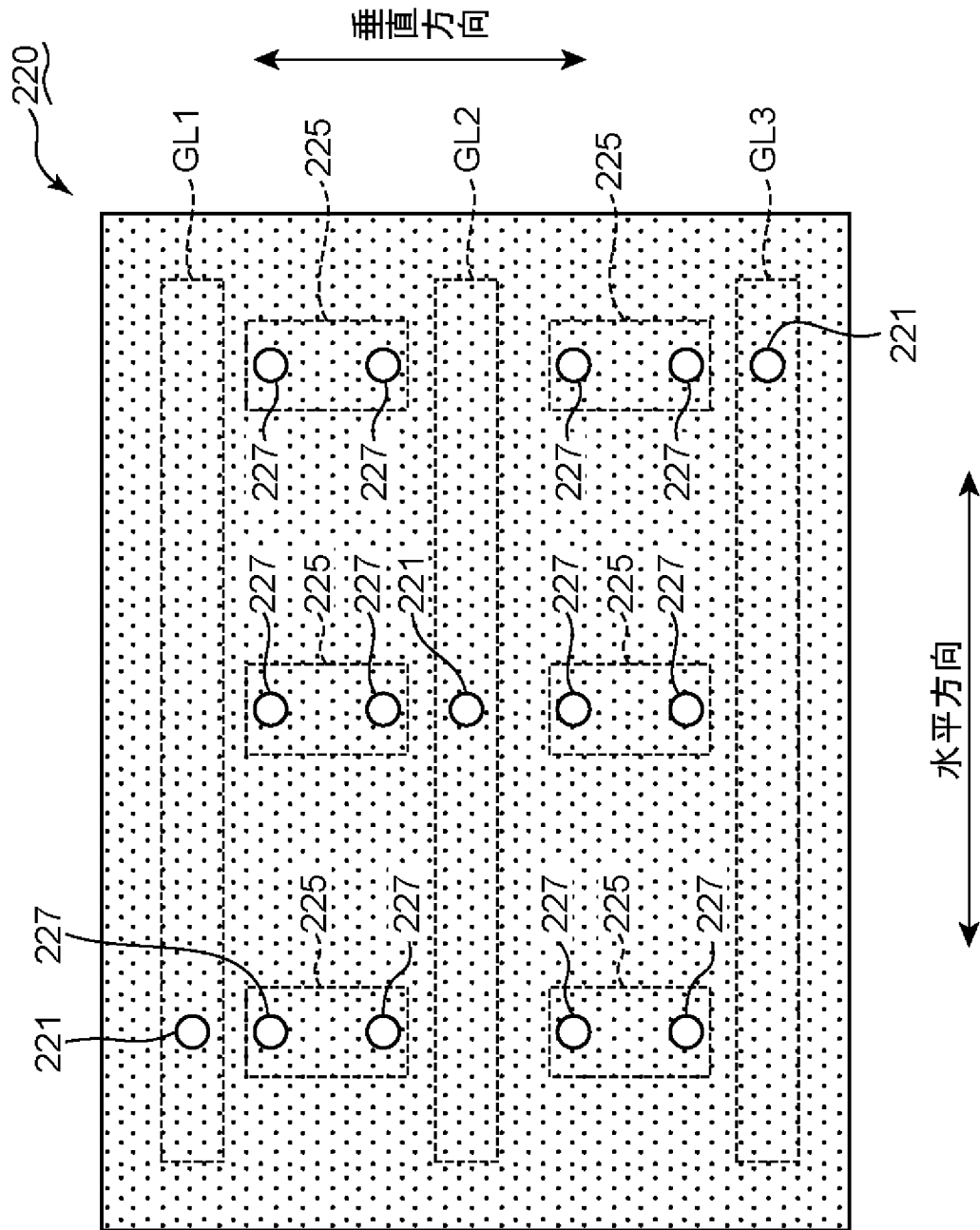
[図35]



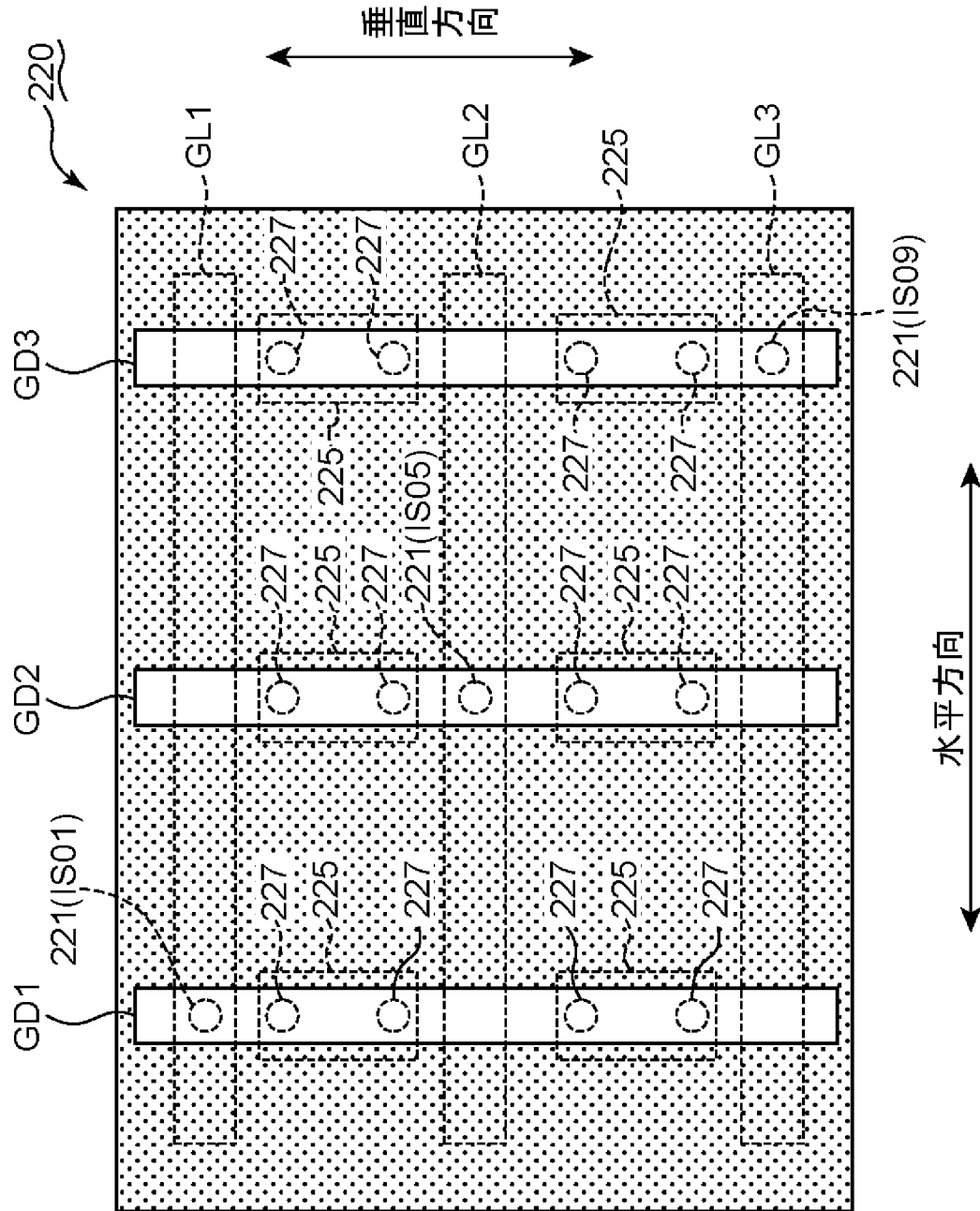
[図37]



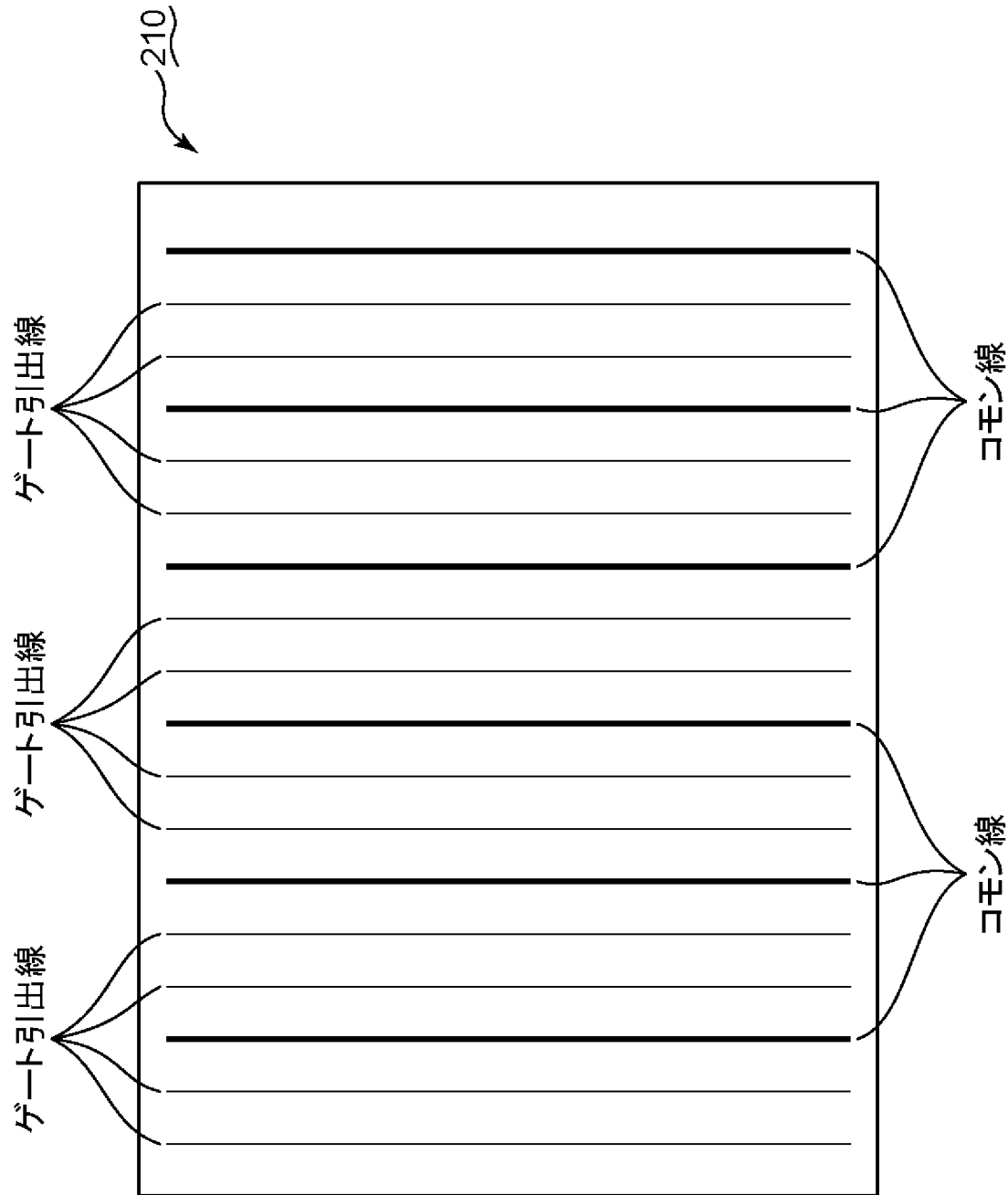
[図39]



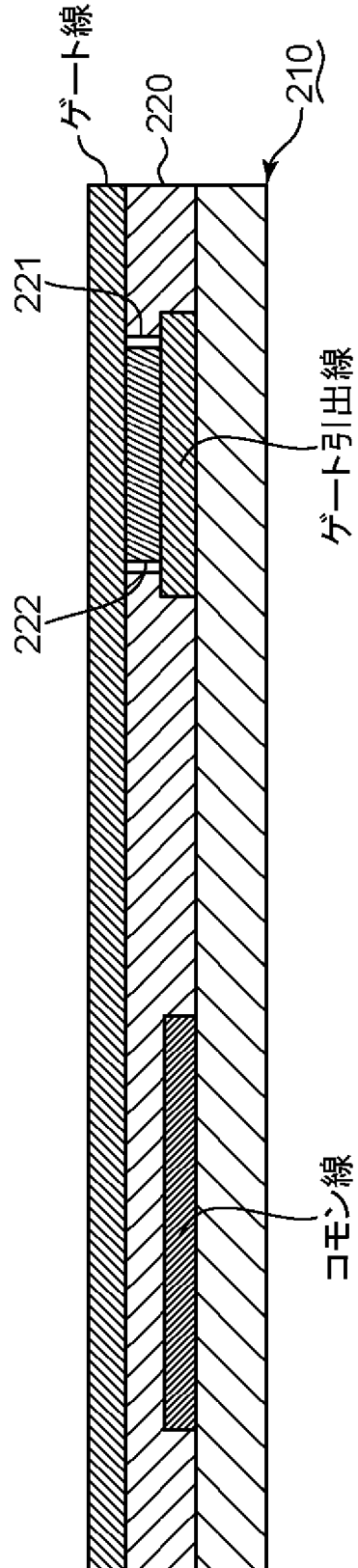
[図40]



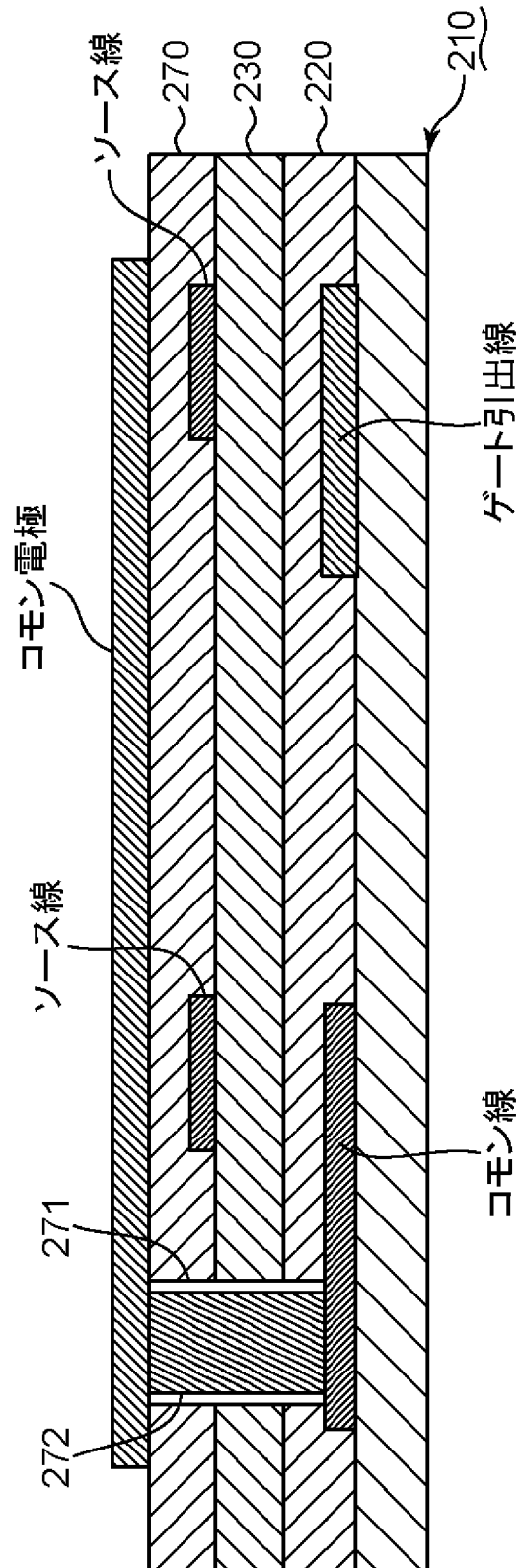
[図41]



[図42]



[図43]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/007602

A. CLASSIFICATION OF SUBJECT MATTER

G09F9/30(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/30, 9/307-9/46, H01L27/32, G02F1/1343-1/1345, 1/135-1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2012/070498 A1 (Sharp Corp.), 31 May 2012 (31.05.2012), paragraphs [0032] to [0035], [0116] to [0119]; fig. 31 & AU 2011332956 A	1, 17 16 2-15
Y A	JP 05-297404 A (Sharp Corp.), 12 November 1993 (12.11.1993), paragraph [0014]; fig. 1 (Family: none)	16 1-15, 17
A	JP 2006-215305 A (Seiko Epson Corp.), 17 August 2006 (17.08.2006), entire text; all drawings & US 2006/0176413 A1 & KR 10-2006-0089631 A & CN 1819146 A & TW I358007 B	1-17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 April, 2014 (01.04.14)

Date of mailing of the international search report
08 April, 2014 (08.04.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/007602

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-066537 A (Sharp Corp.), 21 March 2008 (21.03.2008), entire text; all drawings (Family: none)	1-17
A	JP 2000-164874 A (Frontec Inc.), 16 June 2000 (16.06.2000), entire text; all drawings (Family: none)	1-17
A	JP 06-160895 A (Toshiba Corp.), 07 June 1994 (07.06.1994), entire text; all drawings (Family: none)	1-17
A	JP 2000-276110 A (Fujitsu Ltd.), 06 October 2000 (06.10.2000), entire text; all drawings (Family: none)	1-17
A	WO 2010/134439 A1 (Sharp Corp.), 25 November 2010 (25.11.2010), entire text; all drawings & US 2012/0057091 A1 & EP 2434339 A1 & CN 102428404 A & RU 2486558 C1	1-17

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09F9/30(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09F9/30, 9/307-9/46, H01L27/32, G02F1/1343-1/1345, 1/135-1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	WO 2012/070498 A1（シャープ（株）） 2012.05.31, [0032]～[0035]、[0116]～[0119]、図31 & AU 2011332956 A	1, 17 16 2-15
Y A	JP 05-297404 A（シャープ（株）） 1993.11.12, 【0014】、図1 （ファミリーなし）	16 1-15, 17

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 0 4 . 2 0 1 4

国際調査報告の発送日

0 8 . 0 4 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

請園 信博

2 I

4 7 4 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-215305 A (セイコーエプソン (株)) 2006.08.17, 全文、全図 & US 2006/0176413 A1 & KR 10-2006-0089631 A & CN 1819146 A & TW I358007 B	1-17
A	JP 2008-066537 A (シャープ (株)) 2008.03.21, 全文、全図 (ファミリーなし)	1-17
A	JP 2000-164874 A ((株) フロンテック) 2000.06.16, 全文、全図 (ファミリーなし)	1-17
A	JP 06-160895 A ((株) 東芝) 1994.06.07, 全文、全図 (ファミリーなし)	1-17
A	JP 2000-276110 A (富士通 (株)) 2000.10.06, 全文、全図 (ファミリーなし)	1-17
A	WO 2010/134439 A1 (シャープ (株)) 2010.11.25, 全文、全図 & US 2012/0057091 A1 & EP 2434339 A1 & CN 102428404 A & RU 2486558 C1	1-17