



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년12월09일
(11) 등록번호 10-2189194
(24) 등록일자 2020년12월03일

(51) 국제특허분류(Int. Cl.)
H01F 17/00 (2006.01) H01F 27/28 (2006.01)
H01F 41/04 (2006.01) H03F 15/00 (2006.01)
(52) CPC특허분류
H01F 17/0013 (2018.08)
H01F 27/2847 (2013.01)
(21) 출원번호 10-2018-7010277
(22) 출원일자(국제) 2016년09월25일
심사청구일자 2020년04월10일
(85) 번역문제출일자 2018년04월11일
(65) 공개번호 10-2018-0070576
(43) 공개일자 2018년06월26일
(86) 국제출원번호 PCT/US2016/053620
(87) 국제공개번호 WO 2017/065960
국제공개일자 2017년04월20일
(30) 우선권주장
62/242,720 2015년10월16일 미국(US)
15/191,203 2016년06월23일 미국(US)
(56) 선행기술조사문헌
US7151298 A*
(뒷면에 계속)

(73) 특허권자
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
김, 대익 다니엘
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드
벨레스, 마리오 프란시스코
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드
(뒷면에 계속)
(74) 대리인
특허법인 남앤남

전체 청구항 수 : 총 14 항

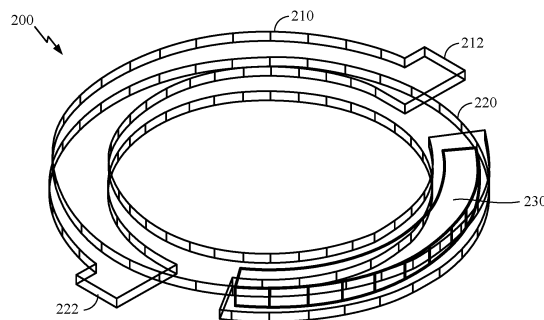
심사관 : 방인환

(54) 발명의 명칭 고성능 인덕터들

(57) 요약

제1 만곡 금속 플레이트, 제1 만곡 금속 플레이트 아래의 그리그 이와 실질적으로 수직 정렬된 제2 만곡 금속 플레이트, 및 제1 만곡 금속 플레이트와 제2 만곡 금속 플레이트 사이에 수직으로 정렬된 제1 세장형 비아를 포함하며, 제1 세장형 비아는 제1 만곡 금속 플레이트를 제2 만곡 금속 플레이트에 전도 결합하도록 구성되고, 적어도 약 2 대 1인 제1 세장형 비아의 폭 대 높이의 종횡비를 갖는 인덕터 디바이스가 개시된다.

대표도 - 도2a



(52) CPC특허분류

H01F 41/041 (2013.01)

H03F 15/00 (2013.01)

H03H 7/0138 (2013.01)

H01F 2017/002 (2013.01)

H01F 2017/004 (2013.01)

(72) 발명자

윤, 창한 호비

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 쉼컴 인코포레이티드

무다카테, 니란잔 수닐

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 쉼컴 인코포레이티드

김, 종해

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 쉼컴 인코포레이티드

주오, 쉼지에

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 쉼컴 인코포레이티드

버디, 데이비드 프란시스

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 쉼컴 인코포레이티드

(56) 선행기술조사문헌

JP2005528620 A*

W02015030976 A1*

US07151298 B1*

W02013108862 A1*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

인덕터 디바이스로서,

제1 만곡 금속 플레이트(curved metal plate);

상기 제1 만곡 금속 플레이트 아래에 위치하고 그리고 상기 제1 만곡 금속 플레이트와 수직으로 정렬된 제2 만곡 금속 플레이트 - 상기 제2 만곡 금속 플레이트는 상기 제1 만곡 금속 플레이트와 수직으로 정렬됨 -;

상기 제1 만곡 금속 플레이트와 상기 제2 만곡 금속 플레이트 사이에 수직으로 정렬된 제1 세장형 비아(elongated via) - 상기 제1 세장형 비아는 상기 제1 만곡 금속 플레이트를 상기 제2 만곡 금속 플레이트에 전도 커플링하도록 구성되고, 그리고 적어도 2 대 1인 상기 제1 세장형 비아의 폭 대 높이의 중형비를 가짐 -;

상기 제2 만곡 금속 플레이트 아래에 위치하고 그리고 상기 제2 만곡 금속 플레이트와 수직으로 정렬된 제3 만곡 금속 플레이트; 및

상기 제2 만곡 금속 플레이트와 상기 제3 만곡 금속 플레이트 사이에 수직으로 정렬된 제2 세장형 비아를 포함하고,

상기 제2 세장형 비아는 상기 제2 만곡 금속 플레이트를 상기 제3 만곡 금속 플레이트에 전도 커플링하도록 구성되고, 그리고 적어도 2 대 1인 폭 대 높이의 중형비를 갖고,

상기 인덕터 디바이스는 상기 제1 만곡 금속 플레이트, 상기 제2 만곡 금속 플레이트, 및 상기 제3 만곡 금속 플레이트 이외의 추가의 만곡 금속 플레이트들은 갖지 않고,

상기 제1 만곡 금속 플레이트, 상기 제2 만곡 금속 플레이트, 및 상기 제3 만곡 금속 플레이트 각각은 중간 금속 층에 의해 접속되는 상부 금속 층 및 하부 금속 층으로 구성되고, 그리고

상기 제1 만곡 금속 플레이트의 하부 금속 층은 상기 인덕터 디바이스의 제1 단자 단부를 형성하고 그리고 상기 제3 만곡 금속 플레이트의 하부 금속 층은 상기 인덕터 디바이스의 제2 단자 단부를 형성하는,

인덕터 디바이스.

청구항 2

제1 항에 있어서,

상기 제1 세장형 비아는 상기 제1 만곡 금속 플레이트의 내측 가장자리와 외측 가장자리에 의해 한정되는 수직 둘레(perimeter) 내에 완전히 있는,

인덕터 디바이스.

청구항 3

제1 항에 있어서,

상기 제1 만곡 금속 플레이트 및 상기 제2 만곡 금속 플레이트는 팔각형 형상인,

인덕터 디바이스.

청구항 4

제1 항에 있어서,

상기 인덕터 디바이스는 무선 주파수(RF: radio frequency) 프론트 엔드 모듈, 필터, 또는 전력 증폭기(PA: power amplifier) 중 하나를 포함하는,

인덕터 디바이스.

청구항 5

제1 항에 있어서,

상기 제1 만곡 금속 플레이트와 상기 제2 만곡 금속 플레이트 사이에 코어리스(coreless) 기판을 더 포함하는, 인덕터 디바이스.

청구항 6

제1 항에 있어서,

상기 제1 만곡 금속 플레이트 및 상기 제2 만곡 금속 플레이트는 동일한 길이를 갖는, 인덕터 디바이스.

청구항 7

제1 항에 있어서,

상기 인덕터 디바이스는 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 전화, 스마트폰, 개인용 디지털 보조기기, 고정 위치 단말, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, 자동차의 자동차 디바이스, RF 프론트 엔드 모듈, 필터, 또는 PA를 포함하는 그룹으로부터 선택된 디바이스에 통합되는,

인덕터 디바이스.

청구항 8

인덕터 디바이스로서,

제1 전도성 수단(conductive means);

상기 제1 전도성 수단 아래에 위치하고 그리고 상기 제1 전도성 수단과 수직으로 정렬된 제2 전도성 수단 — 상기 제2 전도성 수단은 상기 제1 전도성 수단과 수직으로 정렬됨 —;

상기 제1 전도성 수단과 상기 제2 전도성 수단 사이에 수직으로 정렬된 제1 세장형 비아 — 상기 제1 세장형 비아는 상기 제1 전도성 수단을 상기 제2 전도성 수단에 전도 커플링하도록 구성되고, 그리고 적어도 2 대 1인 상기 제1 세장형 비아의 폭 대 높이의 종횡비를 가짐 —;

상기 제2 전도성 수단 아래에 위치하고 그리고 상기 제2 전도성 수단과 수직으로 정렬된 제3 전도성 수단; 및

상기 제2 전도성 수단과 상기 제3 전도성 수단 사이에 수직으로 정렬된 제2 세장형 비아를 포함하고,

상기 제2 세장형 비아는 상기 제2 전도성 수단을 상기 제3 전도성 수단에 전도 커플링하도록 구성되고, 그리고 적어도 2 대 1인 폭 대 높이의 종횡비를 갖고,

상기 인덕터 디바이스는 상기 제1 전도성 수단, 상기 제2 전도성 수단, 및 상기 제3 전도성 수단 이외의 추가의 전도성 수단은 갖지 않고,

상기 제1 전도성 수단, 상기 제2 전도성 수단, 및 상기 제3 전도성 수단 각각은 중간 금속 층에 의해 접속되는 상부 금속 층 및 하부 금속 층으로 구성되고, 그리고

상기 제1 전도성 수단의 하부 금속 층은 상기 인덕터 디바이스의 제1 단자 단부를 형성하고 그리고 상기 제3 전도성 수단의 하부 금속 층은 상기 인덕터 디바이스의 제2 단자 단부를 형성하는,

인덕터 디바이스.

청구항 9

제8 항에 있어서,

상기 제1 세장형 비아는 상기 제1 전도성 수단의 내측 가장자리와 외측 가장자리에 의해 한정되는 수직 둘레 내에 완전히 있는,

인덕터 디바이스.

청구항 10

제8 항에 있어서,

상기 인덕터 디바이스는 무선 주파수(RF) 프론트 엔드 모듈, 필터, 또는 전력 증폭기(PA) 중 하나를 포함하는, 인덕터 디바이스.

청구항 11

제8 항에 있어서,

상기 제1 전도성 수단과 상기 제2 전도성 수단 사이에 코어리스 기판을 더 포함하는, 인덕터 디바이스.

청구항 12

제8 항에 있어서,

상기 제1 전도성 수단 및 상기 제2 전도성 수단은 동일한 길이를 갖는, 인덕터 디바이스.

청구항 13

제8 항에 있어서,

상기 인덕터 디바이스는 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 전화, 스마트폰, 개인용 디지털 보조기기, 고정 위치 단말, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, 자동차의 자동차 디바이스, RF 프론트 엔드 모듈, 필터, 또는 PA를 포함하는 그룹으로부터 선택된 디바이스에 통합되는,

인덕터 디바이스.

청구항 14

제1 항에 있어서,

상기 제1 세장형 비아 및 상기 제2 세장형 비아 각각은 사각형(squared) 단부들을 갖는, 인덕터 디바이스.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

발명의 설명

기술 분야

[0001] [0001] 본 특허출원은 "HIGH PERFORMANCE INDUCTORS"라는 명칭으로 2015년 10월 16일자 출원된 미국 가출원 제62/242,720호를 우선권으로 주장하며, 이 가출원은 본원의 양수인에게 양도되었고, 그 전체가 인용에 의해 본원에 명백히 포함된다.

[0002] [0002] 본 개시내용은 일반적으로 인덕터들에 관한 것으로, 보다 구체적으로는 나선형 인덕터들에 관한 것이지만, 이에 배타적인 것은 아니다.

배경 기술

[0003] [0003] 인덕터들은 개인용 컴퓨터들, 태블릿 컴퓨터들, 무선 모바일 핸드셋들 등을 포함하는 다양한 디바이스들의 무수한 전력 조절, 주파수 제어 및 신호 조정 애플리케이션들에 사용되는 유틸리티스 수동 아날로그 전자 컴포넌트들이다.

[0004] [0004] 종래의 나선형 인덕터들은 상부 금속층, 하부 금속층, 및 상부 금속층을 하부 금속층에 연결하는 비아를 포함한다. 비아는 유도 전류가 상부 금속층으로부터 하부 금속층으로 흐를 수 있게 한다. 이러한 비아는

일반적으로 원통형, 정사각형, 팔각형 또는 아래쪽으로 테이퍼링된 사다리꼴 형상이며, 비아의 유효 직경은 예를 들어, 인덕터의 저항을 증가시킴으로써 인덕터의 성능을 제한한다. 즉, 비아의 저항은 인덕터의 (Q-인자 또는 간단히 "Q"로도 또한 지칭되는) 품질 인자를 제한한다.

[0005] [0005] 인덕터들은 많은 애플리케이션들에 사용될 수 있는데, 하나는 반도체 디바이스용 전력 증폭(PA: power amplification) 회로에 존재한다. 이러한 구현에서, 상부 금속층은 기관(예를 들어, 유기 적층 기관)의 상부에 형성되고, 비아는 기관을 관통하여 기관 아래의 금속층(즉, 하부 금속층)까지 연장한다.

발명의 내용

[0006] [0006] 다음은 본 명세서에서 개시되는 장치 및 방법들과 연관된 하나 또는 그보다 많은 양상들 및/또는 예들에 관한 간단한 요약의 요약을 제시한다. 이에 따라, 다음의 요약은 고려되는 모든 양상들 및/또는 예들에 관한 광범위한 개요로 여겨지지 않아야 하고, 다음의 요약은 고려되는 모든 양상들 및/또는 예들에 관한 핵심 또는 중요 엘리먼트들을 식별하기 위한 것으로 또는 임의의 특정한 양상 및/또는 예와 연관된 범위를 기술하기 위한 것으로 간주되지 않아야 한다. 따라서 다음의 요약은 아래에 제시되는 상세한 설명에 선행하도록, 본 명세서에서 개시되는 장치 및 방법들에 관한 하나 또는 그보다 많은 양상들 및/또는 예들에 관한 특정 개념들을 단순화된 형태로 제시하는 유일한 목적을 갖는다.

[0007] [0007] 인덕터 디바이스는 제1 만곡 금속 플레이트, 제1 만곡 금속 플레이트 아래의 그리고 이와 실질적으로 수직 정렬된 제2 만곡 금속 플레이트, 및 제1 만곡 금속 플레이트와 제2 만곡 금속 플레이트 사이에 수직으로 정렬된 제1 세장형 비아를 포함하며, 제1 세장형 비아는 제1 만곡 금속 플레이트를 제2 만곡 금속 플레이트에 전도 결합하도록 구성되고, 적어도 약 2 대 1인 제1 세장형 비아의 폭 대 높이의 중형비를 갖는다.

[0008] [0008] 인덕터 디바이스를 형성하는 방법은 제1 만곡 금속 플레이트를 형성하는 단계, 제1 만곡 금속 플레이트 아래의 그리고 이와 실질적으로 수직 정렬된 제2 만곡 금속 플레이트를 형성하는 단계, 및 제1 만곡 금속 플레이트와 제2 만곡 금속 플레이트 사이에 수직으로 정렬된 제1 세장형 비아를 형성하는 단계를 포함하며, 제1 세장형 비아는 제1 만곡 금속 플레이트를 제2 만곡 금속 플레이트에 전도 결합하도록 구성되고, 적어도 약 2 대 1인 제1 세장형 비아의 폭 대 높이의 중형비를 갖는다.

[0009] [0009] 인덕터 디바이스는 제1 도전 수단, 제1 도전 수단 아래의 그리고 이와 실질적으로 수직 정렬된 제2 도전 수단, 및 제1 도전 수단과 제2 도전 수단 사이에 수직으로 정렬된 제1 세장형 비아를 포함하며, 제1 세장형 비아는 제1 도전 수단을 제2 도전 수단에 전도 결합하도록 구성되고, 적어도 약 2 대 1인 제1 세장형 비아의 폭 대 높이의 중형비를 갖는다.

[0010] [0010] 컴퓨터 실행 가능 코드를 저장하는 비-일시적 컴퓨터 판독 가능 매체는, 기계로 하여금 제1 만곡 금속 플레이트를 형성하게 하고, 기계로 하여금 제1 만곡 금속 플레이트 아래의 그리고 이와 실질적으로 수직 정렬된 제2 만곡 금속 플레이트를 형성하게 하고, 그리고 기계로 하여금 제1 만곡 금속 플레이트와 제2 만곡 금속 플레이트 사이에 수직으로 정렬된 제1 세장형 비아를 형성하게 하는 코드를 포함하며, 제1 세장형 비아는 제1 만곡 금속 플레이트를 제2 만곡 금속 플레이트에 전도 결합하도록 구성되고, 적어도 약 2 대 1인 제1 세장형 비아의 폭 대 높이의 중형비를 갖는다.

[0011] [0011] 본 명세서에서 개시되는 장치 및 방법들과 연관된 다른 특징들 및 이점들은 첨부 도면들 및 상세한 설명을 기초로, 당해 기술분야에서 통상의 지식을 가진 자들에게 명백할 것이다.

도면의 간단한 설명

[0012] [0012] 본 개시내용의 양상들 및 그에 수반되는 이점들 중 다수는 본 개시내용의 한정이 아니라 단지 예시를 위해 제시되는 첨부 도면들과 관련하여 고려될 때 다음의 상세한 설명을 참조함으로써 더 잘 이해될 수 있으므로, 이들의 보다 완전한 이해가 쉽게 얻어질 것이다.

[0013] 도 1a 및 도 1b는 예시적인 종래의 인덕터를 예시한다.

[0014] 도 2a 및 도 2b는 본 개시내용의 일부 예들에 따른 예시적인 인덕터를 예시한다.

[0015] 도 3은 예시적인 종래의 나선형 인덕터를 예시한다.

[0016] 도 4는 본 개시내용의 일부 예들에 따른 예시적인 적층식 공동 나선형(co-spiral) 인덕터를 예시한다.

[0017] 도 5는 본 개시내용의 일부 예들에 따른 다수의 인덕터들을 갖는 예시적인 전력 증폭(PA) 회로를 예시

한다.

[0018] 도 6은 본 개시내용의 일부 예들에 따른 적어도 하나의 인터랙터를 갖는 예시적인 사용자 장비(UE: user equipment)를 예시한다.

[0019] 도 7은 본 개시내용의 일부 예들에 따라 인터랙터 디바이스를 형성하기 위한 예시적인 흐름을 예시한다.

[0020] 일반적인 실시예에 따르면, 도면들에 도시된 피쳐들은 실측대로 도시되지 않을 수 있다. 이에 따라, 도시된 피쳐들의 치수들은 명확성을 위해 임의적으로 확장되거나 축소될 수 있다. 일반적인 실시예에 따르면, 명확성을 위해 도면들 중 일부는 단순화된다. 따라서 도면들은 특정 장치 또는 방법의 모든 컴포넌트들을 도시하는 것은 아닐 수 있다. 또한, 명세서 및 도면들 전반에 걸쳐 유사한 참조 번호들은 유사한 피쳐들을 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0013] [0021] 제1 만곡 금속 플레이트, 제1 만곡 금속 플레이트 아래의 그리고 이와 실질적으로 수직 정렬된 제2 만곡 금속 플레이트, 및 제1 만곡 금속 플레이트와 제2 만곡 금속 플레이트 사이에 수직으로 정렬된 제1 세장형 비아를 포함하며, 제1 세장형 비아는 제1 만곡 금속 플레이트를 제2 만곡 금속 플레이트에 전도 결합하도록 구성되고, 적어도 약 2 대 1인 제1 세장형 비아의 폭 대 높이의 중형비를 갖는 인터랙터 디바이스가 개시된다.
- [0014] [0022] 본 개시내용의 이러한 그리고 다른 양상들은 본 개시내용의 특정 실시예들에 관한 다음 설명 및 관련 도면들에서 개시된다. 본 개시내용의 범위를 벗어나지 않으면서 대체 실시예들이 안출될 수 있다. 추가로, 본 개시내용의 잘 알려진 엘리먼트들은 상세히 설명되지 않을 것이며 또는 본 개시내용의 관련 있는 세부사항들을 모호하게 하지 않도록 생략될 것이다.
- [0015] [0023] 본 명세서에서 "예시적인" 및/또는 "예"라는 단어들은 "일례, 실례 또는 예시로서의 역할"을 의미하는데 사용된다. 본 명세서에서 "예시적인" 및/또는 "예"로서 설명되는 어떠한 실시예도 반드시 다른 실시예들에 비해 선호되거나 유리한 것으로 해석되는 것은 아니다. 마찬가지로, "본 개시내용의 실시예들"이라는 용어는 본 개시내용의 모든 실시예들이 논의되는 특징, 이점 또는 동작 모드를 포함할 것을 요구하지 않는다.
- [0016] [0024] 또한, 특정 실시예들은 예를 들어, 컴퓨팅 디바이스의 엘리먼트들에 의해 수행될 동작들의 시퀀스들에 관해 설명된다. 본 명세서에서 설명되는 다양한 동작들은 특정 회로들(예를 들어, 주문형 집적 회로(ASIC: application specific integrated circuit)들)에 의해, 하나 또는 그보다 많은 프로세서들에 의해 실행되는 프로그램 명령들에 의해, 또는 이 둘의 결합에 의해 수행되거나 이들에 의해 수행되는 데 원인이 될 수 있다고 인식될 것이다. 추가로, 본 명세서에서 설명되는 동작들의 이러한 시퀀스는 실행시 연관된 프로세서로 하여금 본 명세서에서 설명되는 기능을 수행하게 할 또는 수행되는 데 원인이 될 대응하는 세트의 컴퓨터 명령들을 그에 저장한 임의의 형태의 컴퓨터 판독 가능 저장 매체 내에 완전히 구현되는 것으로 간주될 수 있다. 따라서 본 개시내용의 다양한 양상들은 다수의 서로 다른 형태들로 구현될 수 있는데, 이러한 형태들 모두가 청구 대상의 범위 내에 있는 것으로 고려되었다. 추가로, 본 명세서에서 설명되는 실시예들 각각에 대해, 임의의 이러한 실시예들의 대응하는 형태는 본 명세서에서 예를 들어, 설명되는 동작을 수행"하도록 구성된 로직"으로서 설명될 수 있다.
- [0017] [0025] 도 1a 및 도 1b는 예시적인 종래의 인터랙터(100)를 예시한다. 도 1a에 도시된 바와 같이, 인터랙터(100)는 제1 만곡 금속 플레이트(110)(예를 들어, "트레이스"로도 또한 지칭되는 상부 금속층), 제1 만곡 금속 플레이트(110) 아래에서 실질적으로 같은 위치에 배치된 제2 만곡 금속 플레이트(120)(예를 들어, "트레이스"로도 또한 지칭되는 하부 금속층), 및 제1 만곡 금속 플레이트(110)와 제2 만곡 금속 플레이트(120) 사이의 원통형 비아(130)를 포함한다. 비아(130)는 (도 1a에 도시되지 않은) 절연 층을 통해 제1 만곡 금속 플레이트(110)를 제2 만곡 금속 플레이트(120)에 전도 결합시킨다. 제1 만곡 금속 플레이트(110)는 일 단부에 제1 단자(112)를 포함할 수 있고, 제2 만곡 금속 플레이트(120)는 일 단부에 제2 단자(122)를 포함할 수 있다. 제1 단자(112) 및 제2 단자(122)는 인터랙터(100)를 통한 전류의 입력 및 출력을 위해 외부 컴포넌트에 접속되도록 구성될 수 있다.
- [0018] [0026] 도 1b는 도 1a의 인터랙터(100)의 측면도(100A) 및 평면도(100B)를 도시한다. 도 1b에 도시된 바와 같이, 유도 전류(132)가 제1 만곡 금속 플레이트(110)로부터 비아(130)를 거쳐 제2 만곡 금속 플레이트(120)까지 그리고 그 반대로도 인터랙터(100)를 가로지를 수 있다. 비아(130)는 반도체 디바이스의 코어리스(coreless) 기관의 절연 층(140)을 관통하여 천공되거나 절삭될 수 있으며, 따라서 약 40 μ m의 높이를 가질 수 있다. 제1 만곡 금속 플레이트(110)는 절연 층(140)의 "상부"에 있을 수 있고, 제2 만곡 금속 플레이트(120)는 절연 층

(140)의 "하부"에 있을 수 있다. 반도체 디바이스용 "코어리스" 기판은 반도체 디바이스가 반도체 디바이스의 강성을 증가시키는 "코어" 절연 층들을 포함하지 않음을 의미한다. 이것은 코어리스 기판이 이러한 코어 절연 층들을 포함하는 "빌드업(buildup)" 기판보다 훨씬 더 얇은 것을 가능하게 한다. 예를 들어, 코어리스 기판을 이용하는 반도체 디바이스는 약 $430\mu\text{m}$ 의 두께일 수 있지만, 빌드업 기판을 이용하는 반도체 디바이스는 추가 코어 층들로 인해 약 $1,150\mu\text{m}$ 일 수 있다.

[0019] [0027] 도 1b는 실린더 형상의 비아(130)를 예시하지만, 비아(130)는 당해 기술분야에 공지된 바와 같이, 정사각형, 팔각형 또는 아래쪽으로 테이퍼링된 사다리꼴로서 형성될 수 있다. 비아(130)의 저항이 비아(130)의 면적에 반비례하는 한, 비아(130)의 유효 직경이 인덕터(100)의 성능을 제한한다. 따라서 비아(130)의 저항은 인덕터(100)의 저항에 부가되고, 이로써 인덕터(100)의 Q-인자를 제한한다.

[0020] [0028] 이에 따라, 본 개시내용은 인덕터의 상부 금속층과 하부 금속층 사이에 세장형 비아를 포함하는 2층 인덕터를 제공한다. 이 구성은 제조 프로세스 변경 없이 그리고 최소 면적 증가(예컨대, 2.3%)와 함께, 인덕터에서의 손실을 약 7.25% 또는 10%만큼 감소시킴으로써 전력 증폭(PA) 성능을 향상시키는, 코어리스 기판에서와 같은 고성능 무선 주파수(RF: radio frequency) 인덕터 구현을 야기할 수 있다. 다른 예들에서, 나선형 인덕터는 기판 상에서 같은 위치에 배치된 제1 금속층, 제2 금속층 및 제3 금속층을 포함할 수 있으며, 여기서 제2 금속층은 제1 금속층과 제3 금속층 사이의 천이 비아로서 작용한다. 이 구성은 낮은 주파수들 및 무선 주파수들에서 더 적은 열 소산 및 더 높은 Q-인자 성능을 위해 직류(DC: direct current)에 대해 낮은 저항을 야기할 수 있다. 이러한 이점들은 인덕터를 통해 더 높은 열 전도성을 제공하는 제2 금속층의 증가된 금속과 함께, 코어리스 기판 내에 그러한 고성능 인덕터를 집적함으로써 달성된다.

[0021] [0029] 도 2a 및 도 2b는 본 개시내용의 일부 예들에 따른 예시적인 인덕터(200)를 예시한다. 도 2a에 도시된 바와 같이, 인덕터(200)는 제1 만곡 금속 플레이트(210)(예를 들어, "트레이스"로도 또한 지칭되는 "상부" 금속층), 제1 만곡 금속 플레이트(210)에 평행하게 그리고 그 아래에서 실질적으로 같은 위치에 배치된 제2 만곡 금속 플레이트(220)(예를 들어, "트레이스"로도 또한 지칭되는 "하부" 금속층), 및 제1 만곡 금속 플레이트(210)와 제2 만곡 금속 플레이트(220) 사이의 세장형 비아(230)를 포함한다. 세장형 비아(230)는 (도 2a에 도시되지 않은) 절연 층을 통해 제1 만곡 금속 플레이트(210)를 제2 만곡 금속 플레이트(220)에 전도 결합시킨다. 제1 만곡 금속 플레이트(210)는 일 단부에 제1 단자(212)를 포함할 수 있고, 제2 만곡 금속 플레이트(220)는 일 단부에 제2 단자(222)를 포함할 수 있다. 제1 단자(212) 및 제2 단자(222)는 인덕터(200)를 통한 전류의 입력 및 출력을 위해 외부 컴포넌트에 접속되도록 구성될 수 있다.

[0022] [0030] 도 2b는 인덕터(200)의 측면도(200A) 및 평면도(200B)를 도시한다. 도 2b에 도시된 바와 같이, 유도 전류(232)가 제1 만곡 금속 플레이트(210)로부터 세장형 비아(230)를 거쳐 제2 만곡 금속 플레이트(220)까지 그리고 그 반대로도 인덕터(200)를 가로지를 수 있다. 세장형 비아(230)는 반도체 디바이스의 코어리스 기판의 절연 층(240)을 관통하여 천공되거나 절삭될 수 있다. 제1 만곡 금속 플레이트(210)는 절연 층(240)의 "상부"에 있을 수 있고, 제2 만곡 금속 플레이트(220)는 절연 층(240)의 "하부"에 있을 수 있다.

[0023] [0031] 도 2a 및 도 2b에 예시된 바와 같이, 세장형 비아(230)는 실질적으로 제1 만곡 금속 플레이트(210) 및 제2 만곡 금속 플레이트(220)의 곡선을 따라가며 이들보다 더 좁을 수 있다. 세장형 비아(230)는 유도 전류(232)에 대해 제1 만곡 금속 플레이트(210)와 제2 만곡 금속 플레이트(220) 사이의 더 길고 더 평탄한 천이를 제공할 수 있다. 세장형 비아(230)는 대략 2 대 1(2:1) 또는 그보다 큰 폭 대 높이의 중형비를 가질 수 있다. 도 2b에 도시된 바와 같이, 세장형 비아(230)의 ("길이"로도 또한 지칭되는) "폭"은 제1 만곡 금속 플레이트(210) 및 제2 만곡 금속 플레이트(220)의 (내측 가장자리와 외측 가장자리에 실질적으로 평행한) 곡선을 따라가는 세장형 비아(230)의 치수이다. 세장형 비아(230)의 "높이"는 제1 만곡 금속 플레이트(210)와 제2 만곡 금속 플레이트(220) 사이의 세장형 비아(230)의 치수이다. 세장형 비아(230)의 깊이는 제1 만곡 금속 플레이트(210) 및 제2 만곡 금속 플레이트(220)의 내측 및 외측 가장자리들 사이의(실질적으로 이들에 수직인) 세장형 비아(230)의 치수이다.

[0024] [0032] 따라서 인덕터(100)에서와 같이 제1 만곡 금속 플레이트(110)로부터 제2 만곡 금속 플레이트(120)까지 비아(130)를 가로지르도록 고 저항의 90도 굽힘을 형성해야 하는 유도 전류(132)와는 달리, 유도 전류(232)는 제1 만곡 금속 플레이트(210)로부터 제2 만곡 금속 플레이트(220)까지 세장형 비아(230)를 가로지르므로 이는 더 길고 더 평탄하며 이에 따라 더 낮은 저항의 경로를 따라 간다. 일례로, 절연 층(240)의 두께가 약 $40\mu\text{m}$ 인 경우, 세장형 비아(230)의 높이는 약 $40\mu\text{m}$ 일 수 있고, 세장형 비아(230)의 폭은 약 $80\mu\text{m}$ 일 수 있다.

[0025] [0033] 도 2a 및 도 2b는 인덕터(200)가 원형 형상을 갖는 것으로 예시하고 있지만, 인덕터(200)는 팔각형 형

상과 같은 다른 형상들을 가질 수 있고 인식될 것이라는 점에 주목한다.

- [0026] [0034] 절연 층(240)은 실리콘 이산화물(SiO_2), 실리콘 질화물(Si_3N_4), 실리콘 산화질화물(SiON), 탄탈 오산화물(Ta_2O_5), 알루미늄 산화물(Al_2O_3), hafnium 산화물(HfO_2), 벤조사이클로부텐(BCB), 폴리이미드(PI), 폴리벤조옥사졸(PBO), 또는 당해 기술분야에 공지된 유사한 절연 및 구조적 특성들을 갖는 다른 재료들의 하나 또는 그보다 많은 층들일 수 있다. 제1 만곡 금속 플레이트(210), 제2 만곡 금속 플레이트(220) 및 세장형 비아(230)는 알루미늄(Al), 구리(Cu), 주석(Sn), 니켈(Ni), 금(Au), 은(Ag), 또는 당해 기술분야에 공지된 다른 적절한 전기 전도성 재료의 하나 또는 그보다 많은 층들일 수 있다.
- [0027] [0035] 인덕터(200)의 구성은 인덕터(200)에 대해 더 낮은 DC 저항 및 더 높은 Q-인자를 야기한다. 예를 들어, 인덕터(200)의 Q-인자는 1GHz에서 131.6일 수 있는 반면, 인덕터(100)의 Q-인자는 1GHz에서 122.7일 수 있다. 인덕터(200)의 구성은 제조 프로세스 변경 없이 그리고 절연 층(240)에 대한 최소 면적 증가(예컨대, 2.3%)와 함께, 인덕터(200)에서의 손실을 약 7.25% 또는 10%만큼 감소시킴으로써 PA 성능을 향상시키는 고성능 RF 인덕터 구현을 추가로 야기할 수 있다.
- [0028] [0036] 도 3은 예시적인 종래의 나선형 인덕터(300)를 예시한다. 도 3에 도시된 바와 같이, 나선형 인덕터(300)는 나선형 금속 플레이트(310)를 포함할 수 있다. 나선형 금속 플레이트(310)는 상호 접속부(320)에 전도 결합된 제1 단자(312)를 일 단부에 그리고 다른 단부에 제2 단자(322)를 포함한다. 상호 접속부(320)를 통한 제1 단자(312) 및 제2 단자(322)는 나선형 인덕터(300)를 통한 전류의 입력 및 출력을 위해 외부 컴포넌트에 접속되도록 구성될 수 있다. 예를 들어, 전류는 상호 접속부(320)를 통해 제1 단자(312)에서 나선형 인덕터(300)에 진입하고, 나선형 금속 플레이트(310)를 따라 이동하여, 제2 단자(322)에서 나선형 인덕터(300)를 빠져나갈 수 있다. 대안으로, 전류는 반대 방향으로 동일한 경로를 이동할 수 있다.
- [0029] [0037] 도 4는 본 개시내용의 일부 예들에 따른 예시적인 적층식 공동 나선형 인덕터(400)를 예시한다. 도 4에 도시된 바와 같이, 적층식 공동 나선형 인덕터(400)는 제1 만곡 금속 플레이트(410), 제1 만곡 금속 플레이트(410) 아래에서 실질적으로 같은 위치에 배치된 제3 만곡 금속 플레이트(420), 및 제1 만곡 금속 플레이트(410)와 제3 만곡 금속 플레이트(420) 사이에서 같은 위치에 배치된 제2 만곡 금속 플레이트(430)를 포함할 수 있다. 도 4에 예시된 바와 같이, 제1 만곡 금속 플레이트(410), 제3 만곡 금속 플레이트(420) 및 제2 만곡 금속 플레이트(430) 각각은 다수의 금속층들로 구성될 수 있다. 예를 들어, 각각의 만곡된 금속층은 중간 금속층에 의해 접속된 상부 금속층과 하부 금속층으로 이루어질 수 있다.
- [0030] [0038] 제2 만곡 금속 플레이트(430)는 제1 만곡 금속 플레이트(410)를 제3 만곡 금속 플레이트(420)에 전도 결합하도록 구성될 수 있다. 제1 만곡 금속 플레이트(410)는 일 단부에 제1 단자(412)를 그리고 다른 단부에 제1 비아(414)를 포함할 수 있다. 제3 만곡 금속 플레이트(420)는 일 단부에 제2 단자(422)를 그리고 다른 단부에 제2 비아(424)를 포함할 수 있다. 제1 단자(412) 및 제2 단자(422)는 적층식 공동 나선형 인덕터(400)를 통한 전류의 입력 및 출력을 위해 외부 컴포넌트에 접속되도록 구성될 수 있다.
- [0031] [0039] 제1 비아(414)는 제1 만곡 금속 플레이트(410)를 제2 만곡 금속 플레이트(430)에 직접 결합하도록 구성될 수 있다. 제2 비아(424)는 제3 만곡 금속 플레이트(420)를 제2 만곡 금속 플레이트(430)에 직접 결합하도록 구성될 수 있다. 예를 들어, 전류는 제1 단자(412)에서 적층식 공동 나선형 인덕터(400)에 진입하고, 제1 만곡 금속 플레이트(410)를 따라 제1 비아(414)로, 그 다음에 제1 비아(414)로부터 제2 만곡 금속 플레이트(430)를 거쳐 제2 비아(424)로, 그리고 제2 비아(424)로부터 제3 만곡 금속 플레이트(420)를 거쳐 제2 단자(422)로 이동하여, 적층식 공동 나선형 인덕터(400)를 빠져나갈 수 있다. 대안으로, 전류는 반대 방향으로 동일한 경로를 이동할 수 있다.
- [0032] [0040] 제1 비아(414) 및 제2 비아(424)는 비아(130)와 유사하게 원통형 비아들로서 예시되어 있지만, 제1 비아(414) 및 제2 비아(424)는 세장형 비아(230)와 유사한 세장형 비아들일 수 있으며, 동일한 이점들을 제공할 수 있다고 인식될 것이라는 점에 주목한다.
- [0033] [0041] 제2 만곡 금속 플레이트(430)의 존재는 나선형 인덕터(300)와 같은 종래의 나선형 인덕터와 비교하여 더 낮은 인덕터 전력 손실과 함께, 더 양호한(즉, 더 낮은) DC 저항 및 열 전도성을 제공할 수 있다. 예를 들어, 적층식 공동 나선형 인덕터(400)의 구성은 종래의 단일 층 나선형 인덕터(예컨대, 나선형 인덕터(300))보다 60% 더 낮은 전력 손실을 제공할 수 있다. 코어리스 기판과 집적될 때, 적층식 코-나선형 인덕터(400)는 또한 외부 컴포넌트들, 비용 및 기판 상의 면적을 감소시킬 수 있다. 예를 들어, 나선형 인덕터(300)에 대한 1.69mm^2 의 면적과 비교하여 적층식 공동 나선형 인덕터(400)는 기판 상에 1.41mm^2 의 면적을 차지할 수 있다. 적층식 공

동 나선형 인덕터(400)의 DC 저항은 7 나노헨리(nH)에 대해 약 23.1mOhm일 수 있는 한편, 나선형 인덕터(300)의 DC 저항은 7nH에 대해 약 67.4mOhm일 수 있다. 적층식 공동 나선형 인덕터(400)에 대한 2Amps에서의 전력 손실은 나선형 인덕터(300)에 대한 약 270mW와 비교하여 약 92.3mW일 수 있다. 마지막으로, 적층식 공동 나선형 인덕터(400)에 대한 RF 저항은, 나선형 인덕터(300)의 경우 7nH에 따라 1GHz에서 약 101인 Q-인자와 비교하여, 7nH에 따라 1GHz에서 약 103인 Q-인자일 수 있다.

[0034] [0042] 기판은 실리콘 이산화물(SiO₂), 실리콘 질화물(Si₃N₄), 실리콘 산화질화물(SiON), 탄탈 오산화물(Ta₂O₅), 알루미늄 산화물(Al₂O₃), hafnium 산화물(HfO₂), 벤조사이클로부텐(BCB), 폴리이미드(PI), 폴리벤조옥사졸(PBO), 또는 당해 기술분야에 공지된 유사한 절연 및 구조적 특성들을 갖는 다른 재료들의 하나 또는 그보다 많은 층들일 수 있다. 제1 만곡 금속 플레이트(410), 제3 만곡 금속 플레이트(420), 제2 만곡 금속 플레이트(430), 제1 비아(414) 및 제2 비아(424)는 알루미늄(Al), 구리(Cu), 주석(Sn), 니켈(Ni), 금(Au), 은(Ag), 또는 당해 기술분야에 공지된 다른 적절한 전기 전도성 재료의 하나 또는 그보다 많은 층들일 수 있다.

[0035] [0043] 본 명세서에 사용된 바와 같이, "실질적으로" 및 "대략"이라는 용어들은 정도의 상대적인 용어들이 아니라, 그보다는 제조 프로세스들에서의 허용 오차들로 인해 두 컴포넌트들이 정확히 동일한 크기가 아니거나 서로에 대해 정확한 배향을 갖지 않을 수 있다는, 또는 주어진 컴포넌트가 정확한 크기가 아닐 수 있다는 현실을 반영한다는 점에 주목한다. 그보다, "실질적으로" 및 "대략"이라는 용어들은 컴포넌트(들)의 크기, 배향 등이 설명된 크기, 배향 등의 어떤 허용 오차 임계치 이내일 필요가 있을 뿐임을 의미한다. 따라서 예를 들어, 하나의 컴포넌트가 다른 컴포넌트의 "실질적으로" 위 또는 아래에 있는 것으로 설명되는 경우, 이는 컴포넌트들이 어떤 허용 오차 임계치 내에서 수직으로 정렬된다는 것을 의미한다. 유사하게, 다른 예로서, 하나의 컴포넌트가 "대략" 주어진 크기인 것으로 설명되는 경우, 이는 컴포넌트가 주어진 크기의 주어진 허용 오차 임계치 내에 있음을 의미한다. 허용 오차 임계치는 제조 프로세스의 능력들, 제조되는 디바이스 및/또는 컴포넌트들의 요건들 등에 의해 결정될 수 있다.

[0036] [0044] "실질적으로" 또는 "대략"이라는 용어들이 컴포넌트(들)의 크기, 배향 등을 설명하는 데 사용되지 않는 경우에도, 이는 컴포넌트(들)의 크기, 배향 등이 정확히 설명된 크기, 배향 등이어야 함을 의미하는 것은 아니라고 인식될 것이다. 그보다, 설명된 크기, 배향 등은 설명된 크기, 배향 등의 어떤 허용 오차 임계치 이내일 필요가 있을 뿐이다.

[0037] [0045] 도 5는 본 개시내용의 일부 예들에 따른 다수의 인덕터들을 갖는 예시적인 전력 증폭(PA) 회로(500)를 예시한다. 도 5에 도시된 바와 같이, PA 회로(500)는 접지(510), 전원(520), 전원(520)에 결합된 제1 인덕터(530)(예를 들어, 인덕터(200) 또는 적층식 공동 나선형 인덕터(400)), PA 회로(500)를 게이팅하는 접지(510)와 제1 인덕터(530)와 사이에 결합된 입력(540), 이를테면 안테나 입력, 제1 인덕터(530)와 입력(540) 사이에 결합된 대역 통과 필터(550), 대역 통과 필터(550)와 접지(510) 사이에 결합된 RF 저항성 부하(560), 및 RF 저항성 부하(560)에 걸쳐 있는 출력 탭(570)을 포함할 수 있다. 대역 통과 필터(550)는 하나 또는 그보다 많은 인덕터들(예를 들어, 인덕터(200) 또는 적층식 공동 나선형 인덕터(400)) 및 음향 필터들을 포함할 수 있다.

[0038] [0046] 이 설명에서는, 특정한 특징들을 설명하기 위해 특정 용어가 사용된다. "모바일 디바이스"라는 용어는 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 전화, 스마트폰, 개인용 디지털 보조기기, 고정 위치 단말, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, 자동차의 자동차 디바이스, 및/또는 일반적으로 사람이 휴대하는 그리고/또는 통신 능력들(예컨대, 무선, 셀룰러, 적외선, 단거리 라디오 등)을 갖는 다른 타입들의 휴대용 전자 디바이스들을 설명할 수 있으며, 이에 한정되는 것은 아니다. 또한, "사용자 장비"(UE), "모바일 단말," "모바일 디바이스" 및 "무선 디바이스"라는 용어들은 상호 교환 가능할 수 있다.

[0039] [0047] 위의 예들에 따른 인덕터들 및 회로들(예를 들어, 인덕터(200), 적층식 공동 나선형 인덕터(400), 및 PA 회로(500))은 이를테면, 모바일 디바이스의 회로 컴포넌트들 내의 다수의 서로 다른 애플리케이션들에 사용될 수 있다. 일례로 도 6을 참조하면, 사용자 장비(UE)(600)(여기서는 무선 디바이스)는, 궁극적으로는 코어 네트워크, 인터넷 및/또는 다른 원격 서버들 및 네트워크들로부터 발생할 수 있는, 무선 액세스 네트워크(RAN: radio access network)로부터 송신된 소프트웨어 애플리케이션들, 데이터 및/또는 커맨드들을 수신하여 실행할 수 있는 플랫폼(602)을 갖는다. 플랫폼(602)은 주문형 집적 회로(ASIC)(608), 또는 다른 프로세서, 마이크로프로세서, 로직 회로, 또는 다른 데이터 처리 디바이스에 동작 가능하게 결합된 트랜시버(606)뿐만 아니라 인덕터들 및 PA 회로들도 포함할 수 있다. ASIC(608) 또는 다른 프로세서는 UE(600)의 메모리(612) 내의 임의의 상주 프로그램들과 인터페이스하는 애플리케이션 프로그래밍 인터페이스(API: application programming

interface)(610) 층을 실행한다. 메모리(612)는 판독 전용 메모리(ROM: read-only memory) 또는 랜덤 액세스 메모리(RAM: random-access memory), 전기적으로 소거 가능한 프로그래밍 가능 ROM(EEPROM: electrically erasable programmable ROM), 플래시 카드들, 또는 컴퓨터 플랫폼들에 공통인 임의의 메모리로 구성될 수 있다. 플랫폼(602)은 또한 메모리(612)에서 능동적으로 사용되지 않는 애플리케이션들을 보유할 수 있는 로컬 데이터 베이스(614)를 포함할 수 있다. 로컬 데이터베이스(614)는 일반적으로 플래시 메모리 셀이지만, 당해 기술분야에 공지된 임의의 보조 기억 장치, 이를테면 자기 매체, EEPROM, 광 매체, 테이프, 소프트 또는 하드 디스크 등일 수 있다. 플랫폼(602) 컴포넌트들은 또한, 당해 기술분야에 공지된 바와 같이, 다른 컴포넌트들 중에서도 안테나(622), 디스플레이(624), 푸시-투-토크(push-to-talk) 버튼(628) 및 키패드(626)와 같은 외부 디바이스들에 동작 가능하게 결합될 수 있다.

[0040] [0048] UE(600)와 RAN 사이의 무선 통신은 코드 분할 다중 액세스(CDMA: code division multiple access), 광대역 CDMA(W-CDMA: wideband CDMA), 시분할 다중 액세스(TDMA: time division multiple access), 주파수 분할 다중 액세스(FDMA: frequency division multiple access), 직교 주파수 분할 다중화(OFDM: Orthogonal Frequency Division Multiplexing), 글로벌 모바일 통신 시스템(GSM: Global System for Mobile Communications), 3GPP 롱 텀 에볼루션(LTE: Long Term Evolution), 또는 무선 통신 네트워크나 데이터 통신 네트워크에서 사용될 수 있는 다른 프로토콜들과 같은 서로 다른 기술들을 기반으로 할 수 있다.

[0041] [0049] 도 7은 본 개시내용의 일부 예들에 따라 인덕터(200)와 같은 인덕터 디바이스를 형성하기 위한 예시적인 흐름(700)을 예시한다. 도 7에 예시된 흐름은 인덕터 디바이스의 제조 프로세스 중에 수행될 수 있다. 일 실시 예에서, 인덕터 디바이스는 RF 프론트 엔드 모듈, 필터 또는 PA 중 하나일 수 있다. 인덕터 디바이스는 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 전화, 스마트폰, 개인용 디지털 보조기기, 고정 위치 단말, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, 자동차의 자동차 디바이스, RF 프론트 엔드 모듈, 필터 또는 PA를 포함하는 그룹으로부터 선택된 디바이스에 통합될 수 있다.

[0042] [0050] 702에서, 흐름(700)은 도 2a 및 도 2b의 제1 만곡 금속 플레이트(210)와 같은 제1 만곡 금속 플레이트를 형성하는 단계를 포함한다. 704에서, 흐름(700)은 제1 만곡 금속 플레이트 아래의 그리고 이와 실질적으로 수직 정렬된, 도 2a 및 도 2b의 제2 만곡 금속 플레이트(220)와 같은 제2 만곡 금속 플레이트를 형성하는 단계를 포함한다. 일 실시예에서, 제1 만곡 금속 플레이트 및 제2 만곡 금속 플레이트는 팔각형 형상일 수 있다. 제1 만곡 금속 플레이트와 제2 만곡 금속 플레이트는 대략 동일한 길이를 가질 수 있다.

[0043] [0051] 706에서, 흐름(700)은 제1 만곡 금속 플레이트와 제2 만곡 금속 플레이트 사이에 수직으로 정렬된, 도 2a 및 도 2b의 세장형 비아(230)와 같은 제1 세장형 비아를 형성하는 단계를 포함한다. 제1 세장형 비아는 제1 만곡 금속 플레이트를 제2 만곡 금속 플레이트에 전도 결합하도록 구성될 수 있으며, 적어도 약 2 대 1인 제1 세장형 비아의 폭 대 높이의 종횡비를 가질 수 있다. 제1 세장형 비아는 제1 만곡 금속 플레이트의 내측 가장자리와 외측 가장자리에 의해 한정된 수직 둘레 내에 완전히 있을 수 있다.

[0044] [0052] 708에서, 흐름(700)은 선택적으로, 제1 만곡 금속 플레이트와 제2 만곡 금속 플레이트 사이에 도 2b의 절연 층(240)과 같은 코어리스 기판을 제공하는 단계를 포함할 수 있다.

[0045] [0053] 710에서, 흐름(700)은 선택적으로, 제2 만곡 금속 플레이트 아래의 그리고 이와 실질적으로 수직 정렬된, 도 4의 제3 만곡 금속 플레이트(420)와 같은 제3 만곡 금속 플레이트를 형성하는 단계를 포함할 수 있다.

[0046] [0054] 712에서, 흐름(700)은 선택적으로, 제2 만곡 금속 플레이트와 제3 만곡 금속 플레이트 사이에 수직으로 정렬된, 도 4의 제2 비아(424)와 같은 제2 세장형 비아를 형성하는 단계를 포함할 수 있다. 제2 세장형 비아는 제2 만곡 금속 플레이트를 제3 만곡 금속 플레이트에 전도 결합하도록 구성될 수 있으며, 적어도 약 2 대 1인 폭 대 높이의 종횡비를 가질 수 있다.

[0047] [0055] 도 7은 특정 순서의 동작들을 예시하지만, 인덕터 디바이스를 형성하기 위해 사용되는 제조 프로세스에 따라 다른 순서로 동작들이 수행될 수 있다고 인식될 것이다.

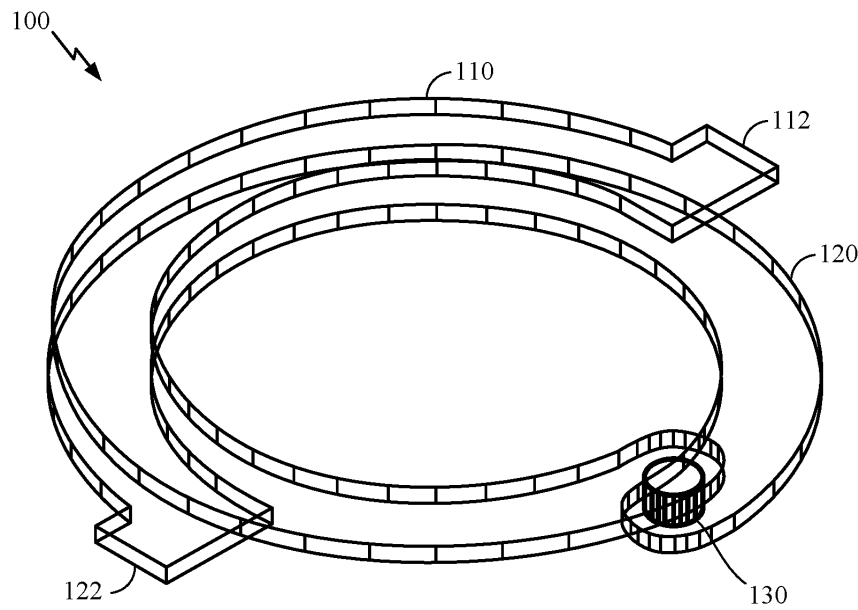
[0048] [0056] 본 명세서에서 사용된 용어는 특정 예들만을 설명하기 위한 것이며, 본 개시내용의 예들의 한정으로 의도되는 것은 아니다. 본 명세서에서 사용된 바와 같이, 단수 형태들은 맥락이 명확하게 달리 지시하지 않는 한, 복수 형태들도 포함하는 것으로 의도된다. 본 명세서에서 사용될 때, "포함한다," "포함하는," "포함시킨다" 및/또는 "포함시키는"이라는 용어들은 언급된 특징들, 정수들, 작동들, 동작들, 엘리먼트들 및/또는 컴포넌트들의 존재를 특정하지만, 하나 또는 그보다 많은 다른 특징들, 정수들, 작동들, 동작들, 엘리먼트들, 컴포넌

트들, 및/또는 이들의 그룹들의 존재 또는 추가를 배제하는 것은 아니라고 추가로 이해될 것이다.

- [0049] [0057] "접속된," "결합된"이라는 용어들, 또는 이들의 임의의 변형은 엘리먼트들 간의 직접적인 또는 간접적인 임의의 접속 또는 결합을 의미하며, 중간 엘리먼트를 통해 서로 "접속"되거나 "결합"되는 두 엘리먼트들 사이의 이러한 중간 엘리먼트의 존재를 포괄할 수 있다는 점이 주목되어야 한다.
- [0050] [0058] "제1," "제2" 등과 같은 표기를 사용하는 본 명세서의 엘리먼트에 대한 본 명세서에서의 어떠한 참조도 그러한 엘리먼트들의 양 및/또는 순서를 한정하는 것은 아니다. 그보다, 이러한 표기들은 2개 또는 그보다 많은 엘리먼트들 그리고/또는 엘리먼트의 인스턴스들 간에 구분하는 편리한 방법으로서 사용된다. 따라서 제1 엘리먼트 및 제2 엘리먼트에 대한 참조는 단 2개의 엘리먼트들만이 이용될 수 있거나 제1 엘리먼트가 반드시 제2 엘리먼트에 선행해야 한다는 것을 의미하는 것은 아니다. 또한, 달리 명시되지 않는 한, 엘리먼트들의 세트는 하나 또는 그보다 많은 엘리먼트들을 포함할 수 있다.
- [0051] [0059] 컴포넌트, 작동, 특징, 이익, 이점 또는 등가물이 청구항들에서 언급되는지 여부와 관계없이, 본 출원에서 언급되거나 예시된 어떤 것도 임의의 컴포넌트, 작동, 특징, 이익, 이점 또는 등가물을 대중에게 제공하는 것으로 의도되는 것은 아니다.
- [0052] [0060] 일부 양상들은 디바이스와 관련하여 설명되었지만, 이러한 양상들은 또한 대응하는 방법의 설명을 구성하고, 이에 따라 디바이스의 블록 또는 컴포넌트가 또한 대응하는 방법 작동으로서 또는 방법 작동의 특징으로서 이해되어야 한다는 것은 말할 필요도 없다. 이와 비슷하게, 방법 작동과 관련하여 또는 방법 작동으로서 설명된 양상들은 또한 대응하는 디바이스의 대응하는 블록, 세부사항 또는 특징의 설명을 구성한다. 방법 작동들의 일부 또는 전부가 예를 들어, 마이크로프로세서, 프로그래밍 가능한 컴퓨터 또는 전자 회로와 같은 하드웨어 장치에 의해(또는 하드웨어 장치를 사용하여) 수행될 수 있다. 일부 예들에서, 가장 중요한 방법 작동들 중 일부 또는 복수가 이러한 장치에 의해 수행될 수 있다.
- [0053] [0061] 위의 상세한 설명에서는, 서로 다른 특징들이 예들에서 함께 그룹화되는 것이 확인될 수 있다. 이러한 개시 방식은 청구된 예들이 각각의 청구항에 명백히 언급된 것보다 더 많은 특징들을 필요로 한다는 의도로서 이해되지는 않아야 한다. 그보다, 상황은 발명의 내용이 개시된 개개의 예의 모든 특징들보다 적은 특징들에 있을 수 있는 그러한 상황이다. 따라서 다음의 청구항들은 이로써 설명에 포함되는 것으로 여겨져야 하며, 여기서 각각의 청구항은 그 자체로 개별 예로서 유효할 수 있다. 각각의 청구항이 그 자체로 개별 예로서 유효할 수 있지만, 종속 청구항이 청구항들에서 하나의 또는 복수의 청구항들과의 특정 조합을 언급할 수 있다 하더라도, 다른 예들은 또한 상기 종속 청구항과 임의의 다른 종속 청구항의 요지의 결합 또는 임의의 특징과 다른 종속 및 독립 청구항들의 조합을 포괄하거나 포함할 수 있다는 점이 주목되어야 한다. 특정 조합이 의도된 것은 아니라고 명시적으로 표현되지 않는 한, 그러한 조합들이 본 명세서에서 제안된다. 더욱이, 청구항이 독립 청구항에 직접적으로 종속되지 않더라도, 상기 청구항의 특징들이 임의의 다른 독립 청구항에 포함될 수 있는 것으로 또한 의도된다.
- [0054] [0062] 더욱이, 설명에 또는 청구항들에 개시된 방법들은 이 방법의 각각의 작동을 수행하기 위한 수단을 포함하는 디바이스에 의해 구현될 수 있다는 점이 또한 주목되어야 한다.
- [0055] [0063] 더욱이, 일부 예들에서, 개개의 작동들은 복수의 하위 작동들로 세분되거나 복수의 하위 작동들을 포함할 수 있다. 이러한 하위 작동들은 개별 작동의 개시내용에 포함될 수 있으며 개별 작동의 개시내용의 일부가 될 수 있다.
- [0056] [0064] 앞서 말한 개시내용은 본 개시내용의 예시적인 예들을 보여주지만, 첨부된 청구항들에 의해 정의된 바와 같은, 본 개시내용의 범위를 벗어나지 않으면서 본 명세서에 다양한 변경들 및 수정들이 이루어질 수 있다는 점이 주목되어야 한다. 본 명세서에서 설명한 본 개시내용의 예들에 따른 방법 청구항들의 기능들 및/또는 작동들은 어떠한 특정 순서로 수행될 필요는 없다. 추가로, 잘 알려진 엘리먼트들은 상세히 설명되지 않을 것이며 또는 본 명세서에 개시된 양상들 및 예들의 관련 있는 세부사항들을 모호하게 하지 않도록 생략될 수 있다. 더욱이, 본 개시내용의 엘리먼트들은 단수로 설명 또는 청구될 수 있지만, 단수로의 한정지 명시적으로 언급되지 않는 한 복수가 고려된다.

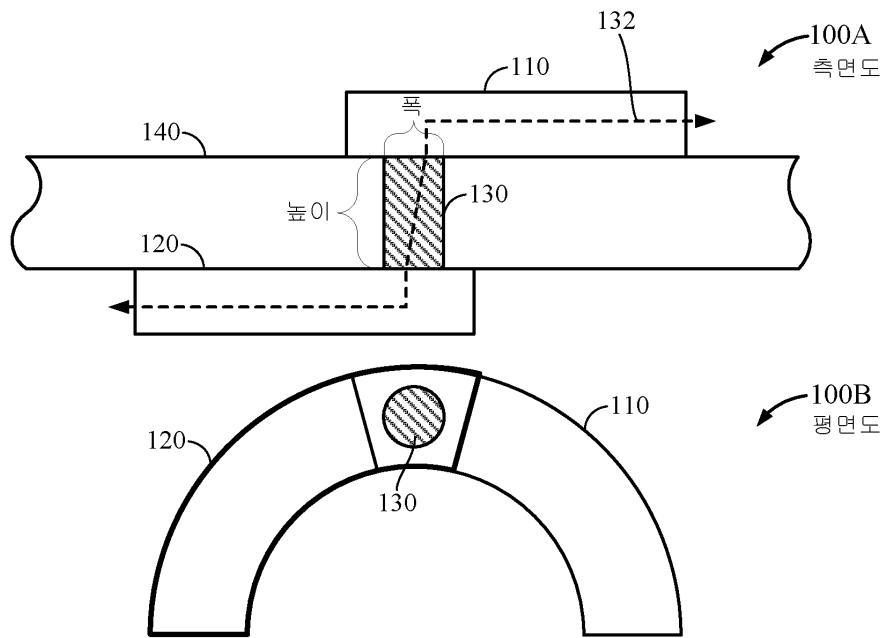
도면

도면1a



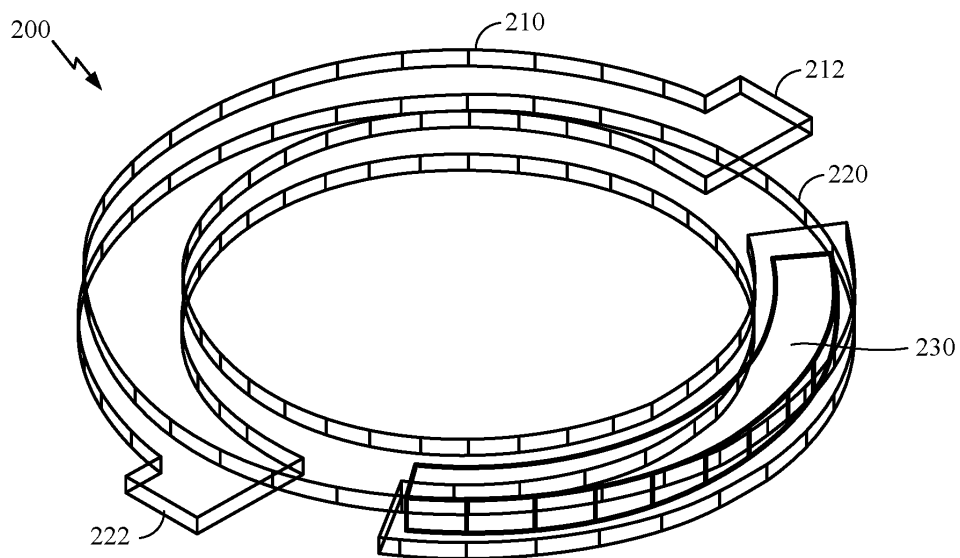
종래 기술

도면1b

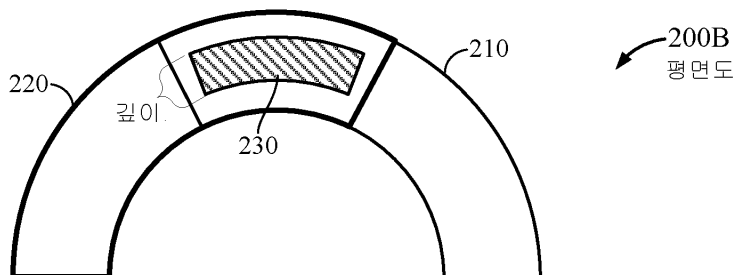
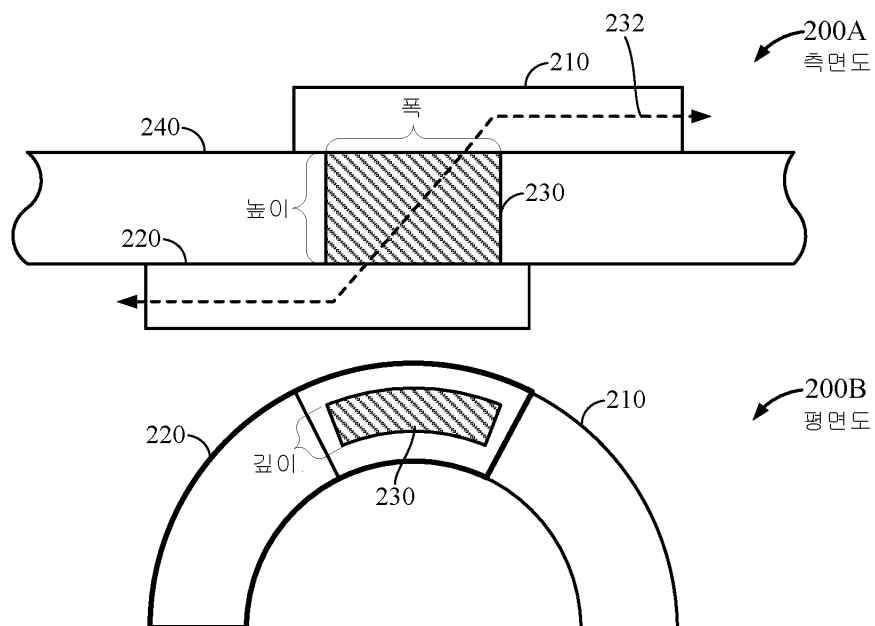


종래 기술

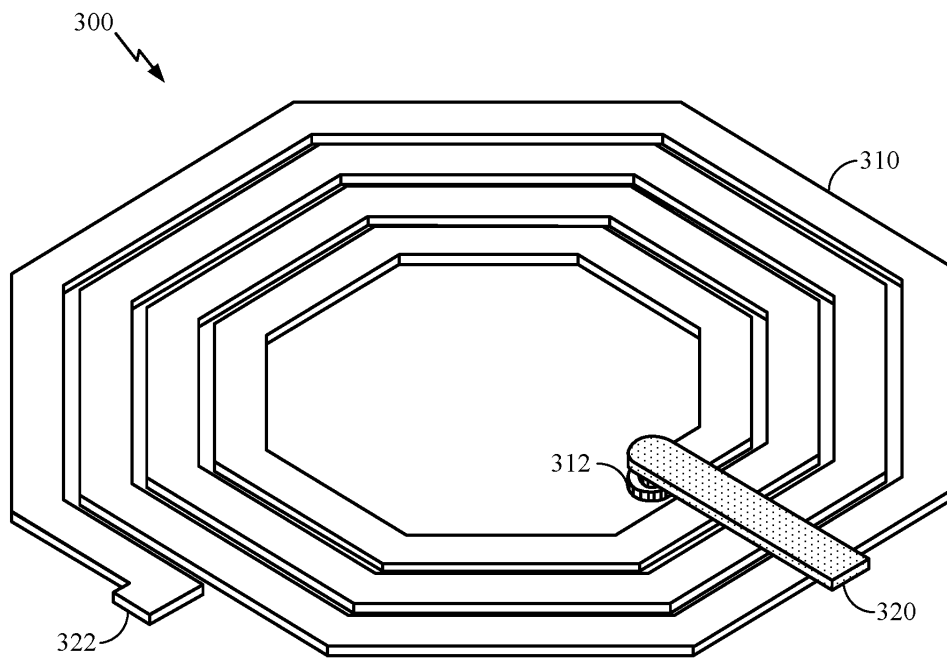
도면2a



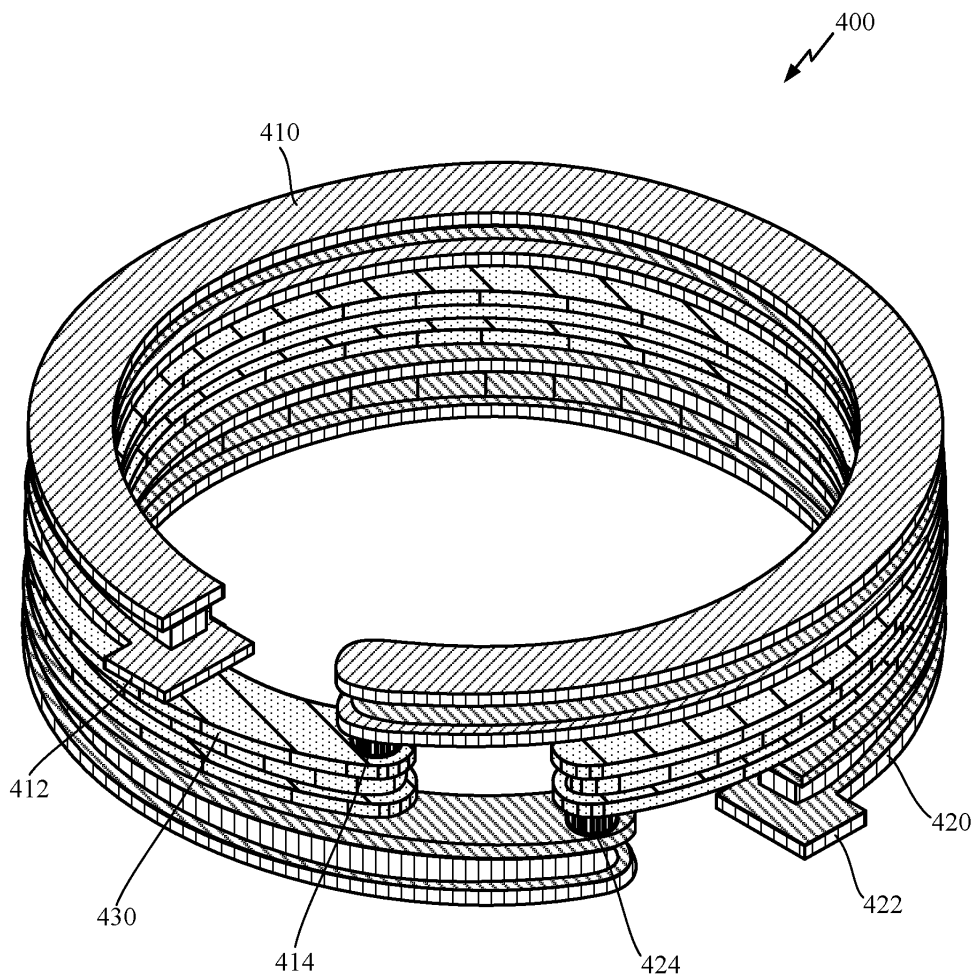
도면 2b



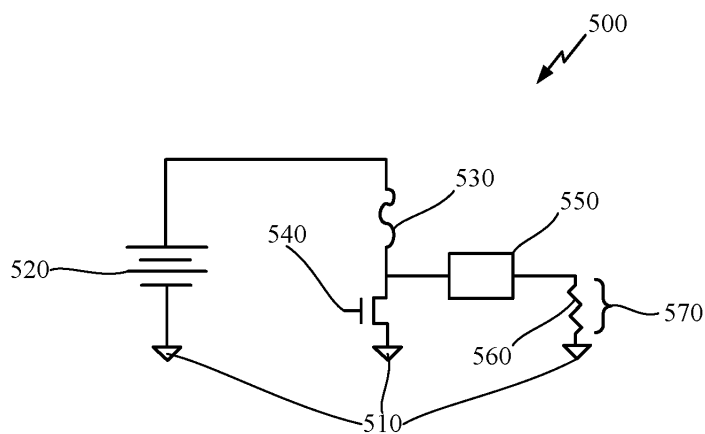
도면3



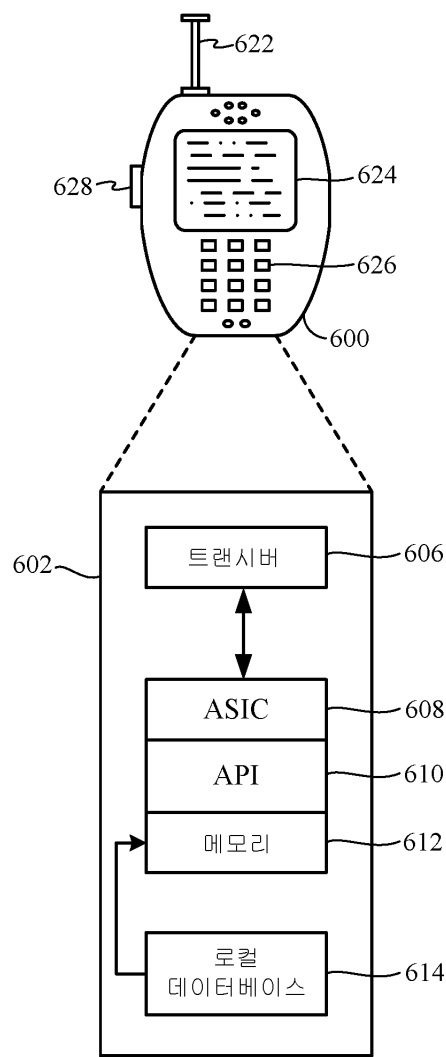
도면4



도면5



도면6



도면7

