



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년01월25일
(11) 등록번호 10-1010798
(24) 등록일자 2011년01월18일

(51) Int. Cl.

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2007-0071643

(22) 출원일자 2007년07월18일

심사청구일자 2008년07월23일

(65) 공개번호 10-2009-0008582

(43) 공개일자 2009년01월22일

(56) 선행기술조사문헌

JP18302950 A*

KR1020060133166 A*

JP2007088283 A

KR1020060017803 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

김은수

인천 부평구 부개3동 16-58 엘지타운 1-303

김정근

서울 구로구 구로5동 1267번지 태영타운A
105-1602

김석중

경기 이천시 고담동 고담기숙사 105-711

(74) 대리인

신영무

전체 청구항 수 : 총 20 항

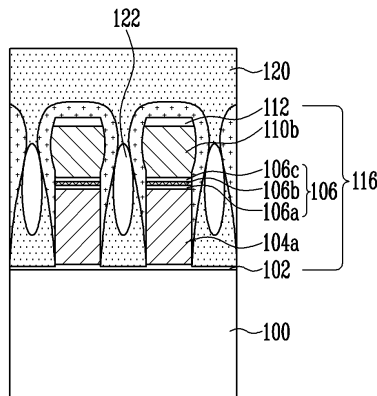
심사관 : 이우리

(54) 플래시 메모리 소자의 제조 방법

(57) 요약

본 발명은 플래시 메모리 소자의 제조 방법에 관한 것으로, 오버행 형상을 갖는 절연막을 이용하여 후속한 워드 라인 사이의 산화막 내부에 에어갭(air-gap)을 형성하여 인접한 워드라인 간에 간섭 효과를 개선하고, 컨트롤 게이트용 텅스텐막(W)의 측벽에 텅스텐 질화막(WN)을 형성하여 후속한 어닐링 공정 시 텅스텐막의 이상산화(abnormal oxidation)를 방지하면서 텅스텐막의 단면적을 증가시킴으로써, 로버스트(robust)한 하이 스피드(high speed) 소자를 구현할 수 있다.

대표도 - 도1g



특허청구의 범위

청구항 1

터널 절연막, 제1 도전막, 유전체막 및 제2 도전막이 형성된 반도체 기판이 제공되는 단계;

상기 제2 도전막 및 상기 유전체막을 패터닝하는 단계;

패터닝된 상기 제2 도전막 및 상기 유전체막을 포함한 상기 제1 도전막 상에 상기 제2 도전막의 질화막으로 이루어진 산화 방지막을 형성하는 단계;

상기 제1 도전막을 식각하면서 상기 산화 방지막도 함께 식각하여 상기 산화 방지막을 상기 제2 도전막의 측벽에 잔류시키는 단계;

잔류된 상기 산화 방지막을 감싸면서 상부에 오버행 형상을 갖는 제1 절연막을 형성하는 단계;

인접한 상기 제1 도전막 간 양측벽의 상기 제1 절연막 사이에 에어갭을 갖는 제2 절연막을 형성하는 단계; 및

상기 산화 방지막에 내재된 질소가 외부로 확산되어 상기 산화 방지막이 상기 제2 도전막으로 변경되도록 어닐링 공정을 실시하는 단계를 포함하는 플래시 메모리 소자의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 제2 도전막은 텅스텐(W)으로 형성되는 플래시 메모리 소자의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 산화 방지막은 텅스텐 질화막(WN)으로 형성되는 플래시 메모리 소자의 제조 방법.

청구항 4

제 3 항에 있어서,

상기 산화 방지막은 화학기상증착 방법 또는 물리기상증착 방법을 이용하여 형성되는 플래시 메모리 소자의 제조 방법.

청구항 5

제 4 항에 있어서,

상기 산화 방지막은 화학기상증착 방법을 이용하여 80 내지 100Å의 두께로 형성되는 플래시 메모리 소자의 제조 방법.

청구항 6

제 4 항에 있어서,

상기 산화 방지막은 물리기상증착 방법을 이용하여 200 내지 300Å의 두께로 형성되는 플래시 메모리 소자의 제조 방법.

청구항 7

제 1 항에 있어서,

상기 산화 방지막은 상기 제2 도전막의 측벽에 20 내지 50Å의 두께로 잔류되는 플래시 메모리 소자의 제조 방법.

청구항 8

제 1 항에 있어서,

상기 제1 절연막은 매립 특성이 좋지 않은 절연막으로 형성되는 플래시 메모리 소자의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 매립 특성이 좋지 않은 절연막은 O₃-TEOS(Tetra Ortho Silicate Glass)막 또는 USG(Undoped Silicate Glass)막이 이용되는 플래시 메모리 소자의 제조 방법.

청구항 10

제 8 항에 있어서,

상기 제1 절연막은 화학기상증착 방법을 이용하여 300 내지 500Å의 두께로 형성되는 플래시 메모리 소자의 제조 방법.

청구항 11

제 1 항에 있어서,

상기 제2 절연막은 HDP 산화막으로 형성되는 플래시 메모리 소자의 제조 방법.

청구항 12

제 1 항에 있어서,

상기 제1 절연막 형성 시 오버행 형상이 서로 맞닿을 경우 추가 식각 공정을 실시하여 상기 오버행 형상을 일부 제거하는 단계를 더욱 수행하는 플래시 메모리 소자의 제조 방법.

청구항 13

제 1 항에 있어서, 상기 제2 도전막 형성 전,

상기 유전체막 상에 배리어층을 형성하는 단계를 더욱 수행하는 플래시 메모리 소자의 제조 방법.

청구항 14

제 13 항에 있어서,

상기 배리어층은 텅스텐 질화막(WN)으로 형성되는 플래시 메모리 소자의 제조 방법.

청구항 15

제 1 항에 있어서, 상기 제2 도전막 패터닝 전,

상기 제2 도전막 상에 하드 마스크를 형성하는 단계를 더욱 수행하는 플래시 메모리 소자의 제조 방법.

청구항 16

제 15 항에 있어서,

상기 하드 마스크는 상기 어닐링 공정 시 상기 제2 도전막과 반응하지 않는 물질로 형성되는 플래시 메모리 소자의 제조 방법.

청구항 17

제 15 항에 있어서,

상기 제1 도전막 패터닝 시 상기 하드 마스크를 일부 잔류시키는 플래시 메모리 소자의 제조 방법.

청구항 18

삭제

청구항 19

제 1 항에 있어서,

상기 어닐링 공정 완료 후 상기 제2 도전막의 단면적이 증가되는 플래시 메모리 소자의 제조 방법.

청구항 20

제 1 항에 있어서,

상기 어닐링 공정은 700℃ 내지 1000℃로 실시되는 플래시 메모리 소자의 제조 방법.

청구항 21

제 14 항에 있어서,

상기 어닐링 공정에서 상기 배리어층에 내재된 질소가 외부로 확산되어 상기 배리어층이 텅스텐으로 변경되는 플래시 메모리 소자의 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 플래시 메모리 소자의 제조 방법에 관한 것으로, 인접한 워드라인 간 간섭 효과를 개선하고 컨트롤 게이트용 도전막의 이상산화(abnormal oxidation)를 방지할 수 있는 플래시 메모리 소자의 제조 방법에 관한 것이다.

배경기술

[0002] 플래시 메모리 소자는 전원의 공급을 중단하여도 데이터(data)를 보유하는 특성을 가지는 메모리 소자이다. 이러한 플래시 메모리 소자는 채널의 문턱 전압(Threshold Voltage; V_{th}) 차이를 구현하기 위해서 전하가 트랩되는 전하트랩층(charge trapping layer)을 게이트(gate)와 채널(channel) 사이에 구비하고 있다. 전하트랩층에 전하가 주입된 상태, 즉, 프로그램(program) 상태이거나, 또는 전하가 방출된 소거(erase) 상태에 따라 문턱 전압(V_{th})은 달라진다. 이에 따라, 채널을 턴온(turn-on)하기 위한 게이트 전압(V_g)이 달라지게 된다. 이와 같이 전하트랩층에 트랩 또는 저장되는 전하에 의해서 문턱 전압(V_{th})이 달라지는 개념을 이용하여 플래시 메모리 소자의 동작이 구현되고 있다.

[0003] 최근에는 소자의 고집적화와 동시에 고속화가 요구됨에 따라 비저항이 낮은 텅스텐막(W)을 이용하여 컨트롤 게이트를 형성하고 있다. 그러나 텅스텐막으로 컨트롤 게이트를 형성할 경우 후속한 어닐링 공정 시 텅스텐과 스페이서로 사용되는 산화막의 산소가 반응하여 텅스텐막이 산화되는 이상산화(abnormal oxidation)가 발생된다. 이러한 텅스텐막의 이상산화는 공정 완료 후 소자의 신뢰성 확보에 있어 큰 문제로 작용하고 있다.

[0004] 또한, 소자가 고집적화됨에 따라 소자 분리막의 폭이 줄어들어 인접한 워드라인 간 및 인접한 플로팅 게이트 간의 간격이 가까워져 워드라인 방향 및 비트라인 방향으로 간섭 커패시터(interference capacitor)에 의한 간섭 효과가 발생되어 셀 문턱전압(V_{th}) 쉬프트(shift)가 심화되고, 이로 인해 정상적인 셀 동작이 어려워지고 있다. 일반적으로, 플로팅 게이트 사이의 절연막은 산화막으로 형성하고 있는데, 산화막은 유전 상수 4.2로서 스페이서를 형성하는데 있어 커패시턴스 값을 낮추는데 어려움이 있다. 이로 인해, 플로팅 게이트 사이를 산화막 대신 저유전 물질로 형성하는 연구가 진행되고 있으나 근본적인 문제를 해결하기에는 어려움이 있다.

발명의 내용

해결하고자하는 과제

[0005] 본 발명은 인접한 워드라인 간에 간섭 효과를 개선하고, 컨트롤 게이트용 도전막의 이상산화(abnormal oxidation)를 방지하여 로버스트(robust)한 하이 스피드(high speed) 소자를 구현할 수 있는 플래시 메모리 소자의 제조 방법을 제공함에 있다.

과제 해결수단

- [0006] 본 발명의 일 실시예에 따른 플래시 메모리 소자의 제조 방법은, 터널 절연막, 제1 도전막, 유전체막 및 제2 도전막이 형성된 반도체 기판이 제공되는 단계, 제2 도전막 및 유전체막을 패터닝하는 단계, 패터닝된 제2 도전막 및 유전체막을 포함한 제1 도전막 상에 제2 도전막의 질화막으로 이루어진 산화 방지막을 형성하는 단계, 제1 도전막을 식각하면서 산화 방지막도 함께 식각하여 산화 방지막을 제2 도전막의 측벽에 잔류시키는 단계, 잔류된 산화 방지막을 감싸면서 상부에 오버행(overhang) 형상을 갖는 제1 절연막을 형성하는 단계, 인접한 제1 도전막 간 양측벽의 제1 절연막 사이에 에어갭(air-gap)을 갖는 제2 절연막을 형성하는 단계, 및 산화 방지막에 내재된 질소가 외부로 확산되어 산화 방지막이 제2 도전막으로 변경되도록 어닐링 공정을 실시하는 단계를 포함한다.
- [0007] 상기에서, 제2 도전막은 텅스텐막(W)으로 형성된다. 산화 방지막은 텅스텐 질화막(WN)으로 형성된다. 산화 방지막은 화학기상증착(Cheical Vapor Deposition; CVD) 방법 또는 물리기상증착(Physical Vapor Deposition; PVD) 방법을 이용하여 형성된다. 산화 방지막은 CVD 방법을 이용하여 80 내지 100Å의 두께로 형성되거나 PVD 방법을 이용하여 200 내지 300Å의 두께로 형성된다. 산화 방지막은 제2 도전막의 측벽에 20 내지 50Å의 두께로 잔류된다.
- [0008] 제1 절연막은 매립 특성이 좋지 않은 절연막으로 형성되며, O₃-TEOS(Tetra Ortho Silicate Glass)막 또는 USG(Undoped Silicate Glass)막이 이용된다. 제1 절연막은 CVD 방법을 이용하여 300 내지 500Å의 두께로 형성된다. 제2 절연막은 HDP(High Density Plasma) 산화막으로 형성된다.
- [0009] 제1 절연막 형성 시 오버행 형상이 서로 맞닿을 경우 추가 식각 공정을 실시하여 오버행 형상을 일부 제거하는 단계를 더욱 수행한다. 제2 도전막 형성 전, 유전체막 상에 배리어층을 형성하는 단계를 더욱 수행한다. 배리어층은 텅스텐 질화막(WN)으로 형성된다. 제2 도전막 패터닝 전, 제2 도전막 상에 하드 마스크를 형성하는 단계를 더욱 수행한다. 하드 마스크는 후속한 어닐링 공정 시 제2 도전막과 반응하지 않는 물질로 형성된다. 제1 도전막 패터닝 시 하드 마스크를 일부 잔류시킨다.
- [0010] 어닐링 공정 완료 후 잔류된 산화 방지막 및 배리어층의 텅스텐 질화막이 텅스텐막으로 변경되어 제2 도전막의 단면적이 증가된다.

효과

- [0011] 본 발명은 컨트롤 게이트용 텅스텐막(W)의 측벽에 텅스텐 질화막(WN)을 형성하여 후속한 어닐링 공정 시 텅스텐막의 이상산화(abnormal oxidation)를 방지하면서 최종적으로 형성되는 컨트롤 게이트의 단면적을 증가시킴으로써, 로버스트(robust)한 하이 스피드(high speed) 소자를 구현할 수 있다.
- [0012] 본 발명은 컨트롤 게이트용 텅스텐막(W) 하부에 텅스텐 질화막(WN)으로 배리어층 형성 시 후속한 어닐링 공정에서 텅스텐 질화막이 텅스텐막으로 변경되어 최종적으로 형성되는 컨트롤 게이트의 단면적을 더욱 증가시킴으로써, 더욱 하이 스피드한 소자를 구현할 수 있다.
- [0013] 또한, 본 발명은 인접한 워드라인 및 플로팅 게이트 사이에 에어갭(air-gap)을 형성함으로써, 인접한 워드라인 간 간섭 커패시턴스를 감소시켜 인접한 워드라인 간 간섭 효과를 개선함에 따라 하이 스피드(high speed) 소자를 구현할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0014] 이하, 첨부된 도면들을 참조하여 본 발명의 일 실시예를 보다 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안되며, 당업계에서 보편적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것으로 해석되는 것이 바람직하다.
- [0015] 도 1a 내지 도 1g는 본 발명의 일 실시예에 따른 플래시 메모리 소자의 제조 방법을 설명하기 위하여 공정 순서대로 도시한 단면도들이다.
- [0016] 도 1a를 참조하면, 반도체 기판(100) 상에 터널 절연막(102) 및 제1 도전막(104)을 형성한다. 터널 절연막(102)은 실리콘 산화막(SiO₂)으로 형성할 수 있으며, 이 경우 산화(oxidation) 공정으로 형성할 수 있다. 제1 도전막(104)은 플로팅 게이트로 사용하기 위한 것으로, 폴리실리콘막, 금속막 또는 이들의 적층막으로 형성할 수 있

으며, 바람직하게 폴리실리콘막으로 형성할 수 있다. 이후, 마스크(미도시)를 이용한 식각 공정으로 소자 분리 영역의 제1 도전막(104) 및 터널 절연막(102)을 식각하여 일 방향(비트라인 방향)으로 패터닝한다. 이로써, 소자 분리 영역의 반도체 기관(100)이 노출된다. 그런 다음, 소자 분리 영역에 노출된 반도체 기관(100)을 일정 깊이로 식각한다. 이로써, 반도체 기관(100)의 소자 분리 영역에 트렌치(미도시)가 형성된다. 계속해서, 트렌치가 채워지도록 트렌치를 포함한 반도체 기관(100) 상에 절연 물질을 증착하여 절연막을 형성한 후 평탄화 공정을 실시하여 트렌치 영역에 소자 분리막(미도시)을 형성한다. 그리고 나서, 소자 분리막의 유효 필드 산화막 높이(Effective Field oxide Height; EFH)를 제어하기 위하여 추가 식각 공정을 실시할 수 있다.

[0017] 이어서, 제1 도전막(104) 및 소자 분리막을 포함한 반도체 기관(100) 상에 유전체막(106), 배리어층(Barrier layer; 108), 제2 도전막(110) 및 하드 마스크(112)를 순차적으로 형성한다. 여기서, 유전체막(106)은 제1 산화막(106a), 질화막(106b) 및 제2 산화막(106c)의 ONO(Oxide-Nitride-Oxide) 적층막으로 형성할 수 있다. 제2 도전막(110)은 컨트롤 게이트로 사용하기 위한 것으로, 하이 스피드(high speed) 소자를 구현하고 인접한 셀 간 간섭(interference) 현상을 개선하기 위하여 텅스텐막(W)으로 형성할 수 있다. 한편, 배리어층(108)은 제2 도전막(110) 형성을 위한 배리어로 사용하기 위한 것으로, 텅스텐 질화막(WN)으로 형성할 수 있다. 이때, 배리어층(108) 및 제2 도전막(110)은 물리기상증착(Physical Vapor Deposition; PVD) 방법을 이용하여 형성하며, 배리어층(108)을 형성한 후 인-시투(in-situ) 공정으로 제2 도전막(110)을 형성한다.

[0018] 하드 마스크(112)는 후속한 게이트 식각 공정 시 제2 도전막(110)의 식각 손상을 방지하기 위한 것으로, 후속한 어닐링 공정 시 텅스텐막으로 형성된 컨트롤 게이트용 제2 도전막(110)과 반응하지 않는 물질을 이용하여 형성할 수 있으며, 실리콘 산화질화막(SiON)으로 형성할 수 있다.

[0019] 도 1b를 참조하면, 마스크(미도시)를 이용한 식각 공정으로 하드 마스크(112), 제2 도전막(110) 및 배리어층(108)을 식각하여 소자 분리막과 교차하는 방향으로 패터닝한다. 이로써, 제2 도전막(110)으로 이루어진 컨트롤 게이트(110a)가 형성되며, 서로 다른 스트링에 형성된 셀의 컨트롤 게이트(110a)가 연결되어 워드라인이 형성된다. 그리고, 유전체막(106)이 노출된다. 한편, 식각 과정에서 하드 마스크(112)도 일부 두께만큼 식각될 수 있다.

[0020] 도 1c를 참조하면, 노출된 유전체막(106)을 식각 공정으로 패터닝한다. 이로써, 제1 도전막(104)이 노출된다. 한편, 식각 과정에서 제1 도전막(104)이 일부 식각될 수도 있다.

[0021] 이어서, 컨트롤 게이트(110a) 및 하드 마스크(112)를 포함한 제1 도전막(104) 상에 산화 방지막(114)을 형성한다. 산화 방지막(114)은 후속한 어닐링(annealing) 공정 시 텅스텐막(W)으로 형성된 컨트롤 게이트(110a)의 텅스텐(W)이 후속 형성되는 스페이서용 산화막의 산소(oxide)와 반응하는 이상산화(abnormal oxidation) 현상을 방지하기 위하여 형성하는 것으로, 바람직하게 텅스텐 질화막(WN)으로 형성할 수 있다.

[0022] 이때, 텅스텐 질화막(WN)은 화학기상증착(Chemical Vapor Deposition; CVD) 방법 또는 PVD 방법을 이용하여 형성할 수 있으며, 후속 진행될 게이트 식각 공정을 완료한 후 컨트롤 게이트(110a)의 측벽에 산화 방지막(114)이 잔류되어 컨트롤 게이트(110a)의 측벽이 보호될 수 있을 정도의 두께로 형성한다. 바람직하게, 산화 방지막(114)은 CVD 방법을 이용하여 증착할 경우 80 내지 100Å의 두께로 형성하고, PVD 방법을 이용하여 증착할 경우 200 내지 300Å의 두께로 형성할 수 있다.

[0023] 도 1d를 참조하면, 산화 방지막(114)을 식각 마스크로 하는 식각 공정으로 제1 도전막(104)을 패터닝한다. 이때, 식각 공정은 제1 도전막(104)을 패터닝하면서 컨트롤 게이트(110a)의 측벽에 산화 방지막(114)을 잔류시키는 조건으로 실시한다. 바람직하게, 산화 방지막(114)은 컨트롤 게이트(110a)의 측벽에 20 내지 50Å의 두께로 잔류되도록 한다.

[0024] 이로써, 게이트 식각 공정이 완료되어 제1 도전막(104)으로 이루어지는 플로팅 게이트(104a)가 형성되며, 이를 통해 터널 절연막(102), 플로팅 게이트(104a), 유전체막(106), 배리어층(108), 컨트롤 게이트(110a) 및 하드 마스크(112)를 포함하는 게이트 패턴(116)이 형성된다. 그리고, 터널 절연막(102)의 표면이 노출된다.

[0025] 특히, 게이트 식각 공정이 완료된 후 컨트롤 게이트(110a)의 측벽에 스페이서 형태로 산화 방지막(114)이 잔류된다. 이 경우, 후속한 어닐링 공정 시 컨트롤 게이트(110a)의 이상산화를 방지할 수 있다.

[0026] 한편, 제1 도전막(104)을 패터닝하는 과정에서 하드 마스크(112)도 함께 식각될 수 있으며, 이때, 하드 마스크(112)는 일부 두께로 잔류시켜 후속한 어닐링 공정 시 컨트롤 게이트(110a)의 텅스텐(W)과 후속 형성될 스페이서용 산화막의 산소와 반응하는 이상산화를 억제시키도록 한다.

- [0027] 도 1e를 참조하면, 게이트 패턴(116)의 상부를 감싸면서 오버행(overhang) 형상을 갖는 스페이서용 제1 절연막(118)을 형성한다. 제1 절연막(118)은 후속한 절연막 증착 시 인접한 워드라인 간 절연막 내에 에어갭(air-gap)을 형성하기 위하여 매립 특성이 좋지 않은 절연막으로 형성하며, 바람직하게 O₃-TEOS(Tetra Ortho Silicate Glass)막 또는 USG(Undoped Silicate Glass)막으로 형성할 수 있다. 이때, O₃-TEOS막 또는 USG막으로 이루어지는 제1 절연막(118)은 CVD 방법을 이용하여 형성할 수 있다.
- [0028] 이로써, 매립 특성이 좋지 않은 물질로 인해 게이트 패턴(116)의 상부가 반도체 기판(100)에 비해 증착 속도가 빠르므로 제1 절연막(118) 증착이 진행되면서 제1 절연막(118)의 상부에 오버행(overhang) 형상이 발생하게 된다. 이렇게 제1 절연막(118)이 오버행 형상을 갖을 경우 네거티브 슬로프(negative slope)를 갖게 되어 후속한 갭 필(gap-fill) 특성을 저하시킬 수 있다.
- [0029] 한편, 후속으로 스페이서용 절연막을 추가 증착해야 하므로, 증착 입구를 확보하기 위하여 제1 절연막(118)은 오버행 형상이 서로 맞닿지 않도록 형성함이 바람직하다. 이를 위하여, 제1 절연막(118)은 300 내지 500Å의 두께로 형성할 수 있다. 그러나, 오버행 형상이 맞닿을 경우에는 추가 식각 공정을 실시하여 제1 절연막(118)을 일부 식각하여 오버행 형상을 일부 제거하여 증착 입구를 열어줄 수도 있다.
- [0030] 도 1f를 참조하면, 오버행 형상을 갖는 제1 절연막(118)을 포함한 반도체 기판(100) 상에 절연 물질을 증착하여 스페이서용 제2 절연막(120)을 형성한다. 제2 절연막(120)은 산화막으로 형성할 수 있으며, 바람직하게 고밀도 플라즈마(High Density Plasma) 방식을 이용한 HDP 산화막으로 형성할 수 있다.
- [0031] 도 1e에서와 같이 오버행 발생으로 갭 필 특성을 저하시킴으로써 좁아진 증착 입구를 통해 게이트 패턴(116) 사이에 제2 절연막(120)을 형성할 경우 게이트 패턴(116) 사이의 제2 절연막(120) 내부에는 에어갭(air-gap; 122)이 형성된다. 즉, 인접한 플로팅 게이트(104a) 간 양측벽의 제1 절연막(118) 사이에 에어갭(122)이 형성된다.
- [0032] 일반적으로, 산화막의 유전 상수가 4.2인데 반해 공기(air)의 유전 상수는 1.0으로 아주 낮다. 따라서, 상기한 바와 같이 게이트 패턴(116) 사이, 즉 플로팅 게이트(104a) 및 워드라인 사이에 낮은 유전 상수를 갖는 에어갭(122)이 형성될 경우 인접한 워드라인 사이의 간섭 커패시턴스(interference capacitance)를 감소시켜 인접한 워드라인 간 간섭 효과(interference effect)를 개선할 수 있다.
- [0033] 이후, 후속한 공정을 실시한다. 후속한 플래시 메모리 소자의 제조 공정은 일반적으로 고온에서 실시되는 어닐링 공정을 포함한다. 이때, 어닐링 공정은 제2 절연막(118)을 형성한 이후에 실시될 수 있으며, 후속한 다른 공정을 진행한 후 실시될 수도 있다. 어닐링 공정 완료 후의 플래시 메모리 소자를 첨부한 도면을 참조하여 설명하기로 한다.
- [0034] 도 1g를 참조하면, 도 1f와 같은 구조로 형성된 플래시 메모리 소자는 700 내지 1000℃의 고온에서 어닐링 공정을 실시할 경우 산화 방지막(114)에 내재해 있는 질소(N₂)가 외부로 확산되는 것을 통해 어닐 공정 진행 중에 컨트롤 게이트(110a)의 텅스텐(W)과 제1 절연막(118)의 산소가 반응하는 것을 막을 수 있다. 따라서, 공정 완료 후 컨트롤 게이트(110a)의 이상산화를 방지하여 소자의 신뢰성을 향상시킴에 따라 로버스트(robust)한 소자를 구현할 수 있다.
- [0035] 또한, 어닐 공정 중 산화 방지막(114) 및 배리어층(108)에 내재해 있는 질소(N₂)가 외부로 확산되어 산화 방지막(114) 및 배리어층(108)이 텅스텐막(W)으로 변경됨에 따라 어닐 공정 후 형성되는 최종적인 컨트롤 게이트(110b)는 텅스텐막(W)이 차지하는 단면적이 증가되게 되어 하이 스피드(high speed) 소자를 구현할 수 있다.
- [0036] 상기한 바와 같이, 본 발명의 일 실시예에 따르면 워드라인 및 플로팅 게이트 사이의 스페이서용 산화막 내부에 낮은 유전 상수를 갖는 에어갭을 형성하여 인접한 워드라인 간 간섭 효과를 개선하고, 컨트롤 게이트용 텅스텐막의 측벽에 텅스텐 질화막(WN) 형성하여 컨트롤 게이트의 이상산화를 방지하면서 컨트롤 게이트가 차지하는 단면적을 증가시켜 소자의 신뢰성을 향상시킴에 따라 로버스트(robust)한 하이 스피드(high speed) 소자를 구현할 수 있다.
- [0037] 본 발명은 상기에서 서술한 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 상기의 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 따라서, 본 발명의 범위는 본원의 특허 청구 범위에 의해서 이해되어야 한다.

도면의 간단한 설명

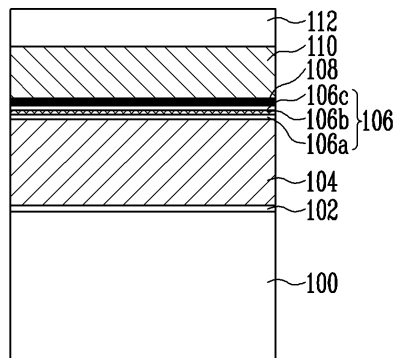
[0038] 도 1a 내지 도 1g는 본 발명의 일 실시예에 따른 플래시 메모리 소자의 제조 방법을 설명하기 위하여 공정 순서대로 도시한 단면도들이다.

[0039] <도면의 주요부분에 대한 부호의 설명>

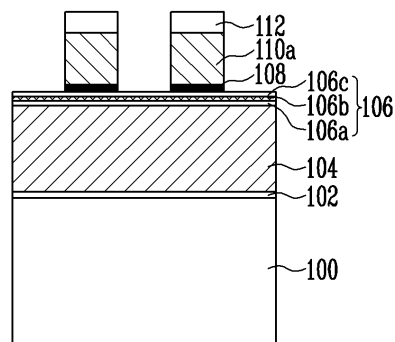
- [0040] 100 : 반도체 기판 102 : 터널 절연막
- [0041] 104 : 제1 도전막 104a : 플로팅 게이트
- [0042] 106 : 유전체막 106a : 제1 산화막
- [0043] 106b : 질화막 106c : 제2 산화막
- [0044] 108 : 배리어층 110 : 제2 도전막
- [0045] 110a, 110b : 컨트롤 게이트
- [0046] 112 : 하드 마스크 114 : 산화 방지막
- [0047] 116 : 게이트 패턴 118 : 제1 절연막
- [0048] 120 : 제2 절연막 122 : 에어갭

도면

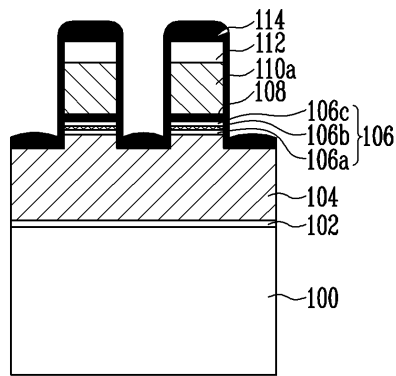
도면1a



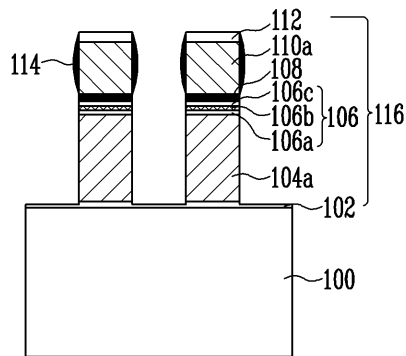
도면1b



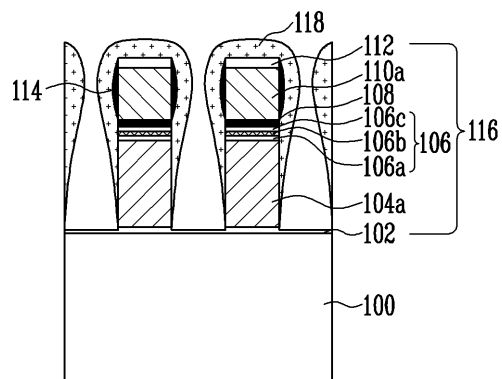
도면1c



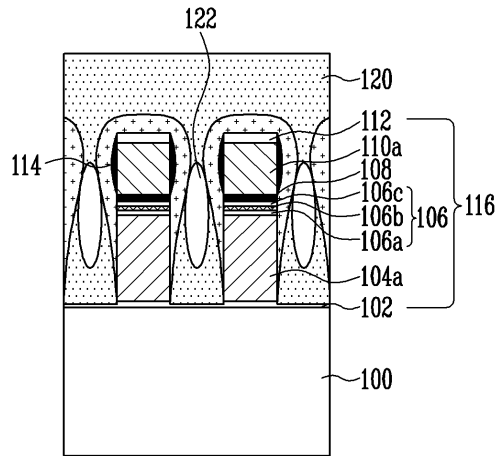
도면1d



도면1e



도면1f



도면1g

