

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
6. März 2014 (06.03.2014)



(10) Internationale Veröffentlichungsnummer
WO 2014/032940 A1

(51) Internationale Patentklassifikation:

H05K 3/22 (2006.01) H05K 3/24 (2006.01)
H05K 3/34 (2006.01) H01L 23/498 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2013/066731

(22) Internationales Anmeldedatum:
9. August 2013 (09.08.2013)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2012 107 876.9
27. August 2012 (27.08.2012) DE

(71) Anmelder: EPCOS AG [DE/DE]; St.-Martin-Straße 53,
81669 München (DE).

(72) Erfinder: BRUNNER, Sebastian; Autaler Str. 17a, A-
8042 Graz (AT). HATZL, Stefan Leopold; Steyrergasse
83/4, A-8010 Graz (AT).

(74) Anwalt: EPPING HERMANN FISCHER
PATENTANWALTSGESELLSCHAFT MBH,
ZUSAMMENSCHLUSS NR. 175; Schlossschmidstr. 5,
80639 Munich (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW,
BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK,
DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP,
KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD,
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,
NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU,
RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA,
ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ,
TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ,
RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE,
SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA,
GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

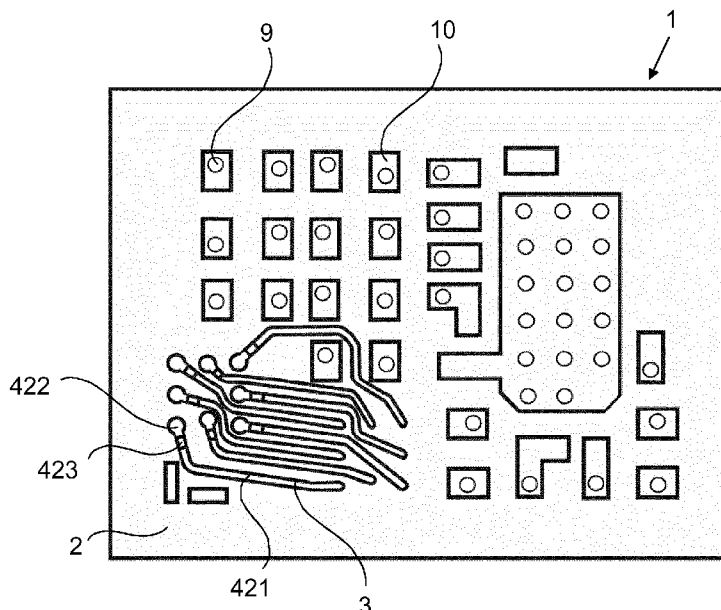
Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz
3)

(54) Title: CARRIER PLATE, DEVICE HAVING THE CARRIER PLATE AND METHOD FOR PRODUCING A CARRIER
PLATE

(54) Bezeichnung : TRÄGERPLATTE, VORRICHTUNG MIT TRÄGERPLATTE SOWIE VERFAHREN ZUR HERSTELLUNG
EINER TRÄGERPLATTE

Fig. 1



(57) Abstract: The invention relates to a carrier
plate (1) which has a substrate (2) and at least one
strip conductor (3). The strip conductor (3) has a
first layer (41), which is applied directly to the
substrate (2), and a second layer (42), which is
arranged on the first layer (41). The second layer
(42) has a supply region (421) and a solder region
(422). Furthermore, the second layer (42) is
completely disconnected between the supply
region (421) and the solder region (422). The
invention further relates to a device having a
carrier plate (1) and having an electrical
component (7) arranged on the carrier plate (1),
and to a method for producing a carrier plate (1).

(57) Zusammenfassung: Es wird eine Trägerplatte
(1) angegeben, die ein Substrat (2) und zumindest
eine Leiterbahn (3) aufweist. Die Leiterbahn (3)
weist eine erste Schicht (41) auf, die unmittelbar
auf dem Substrat (2) aufgebracht ist, sowie eine
zweite Schicht (42), die auf der ersten Schicht (41)
angeordnet ist. Die zweite Schicht (42) weist einen
Zuleitungsbereich (421) und einen Lötbereich
(422) auf. Des Weiteren ist die zweite Schicht (42)
zwischen dem Zuleitungsbereich (421) und dem

[Fortsetzung auf der nächsten Seite]



Beschreibung

Trägerplatte, Vorrichtung mit Trägerplatte sowie Verfahren zur Herstellung einer Trägerplatte

5

Es wird eine Trägerplatte angegeben. Weiterhin werden eine Vorrichtung mit einer Trägerplatte und einem auf der Trägerplatte angeordneten elektrischen Bauelement sowie ein Verfahren zur Herstellung einer Trägerplatte angegeben.

10

Bei der Anbindung von Halbleiterchips mit einer Vielzahl von Kontakten, so genannten Inputs und Outputs („IOs“), an ein Substrat wird ein sogenanntes „Fan-Out“ oder „Fan-In“ benötigt, um alle Inputs beziehungsweise Outputs anzubinden, weil Durchkontaktierungen, so genannte Vias, in Substraten nicht annähernd in der Dichte wie die Inputs beziehungsweise Outputs auf einem Halbleiterchip realisierbar sind. Beim „Fan-Out“ oder „Fan-In“ werden Leiterbahnzüge dabei auseinander gespreizt oder zusammengezogen, was auch als „Umverdrahten“ bezeichnet wird.

20

Üblicherweise benötigt jedes „Fan-In“ oder „Fan-Out“ einen so genannten Lötstopplack („solder stop“), da Lot beim Umschmelzen („reflow soldering“) ansonsten undefiniert über die Leiterbahn weglaufen würde. Beim Flip-Chip-Bonden würde dies zu einem Einfallen der Lotkugeln („solder bumps“) führen, was in der Fachsprache auch als „collapsing“ bezeichnet wird. Als Lötstopplack wird beispielsweise eine Schicht aus einem schlecht benetzbaren Polymer verwendet, über das das Lot nicht wegläuft. Aufgrund der erforderlichen Genauigkeit muss die Polymerschicht fotostrukturiert werden. Üblicherweise werden beim Einsatz von Lötstopplack sowohl so genannte SMD-Anordnungen (SMD: „solder mask defined“) als

25

30

auch so genannte NSMD-Anordnungen („non-solder mask defined“) verwendet, wobei Lötbereiche bei einer SMD-Anordnung durch eine Lötstoppmaske („solder mask“) vorgegeben werden, wohingegen bei der NSMD-Anordnung die Lötbereiche durch die
5 Leiterbahnzüge selbst bestimmt werden.

Es ist eine zu lösende Aufgabe zumindest einiger Ausführungsformen, eine Trägerplatte anzugeben, die im Vergleich zu bekannten Trägerplatten verbesserte
10 Eigenschaften aufweist und zudem kostengünstig herstellbar ist. Weitere Aufgaben zumindest einiger Ausführungsformen sind es, eine Vorrichtung mit einer Trägerplatte und einem auf der Trägerplatte angeordneten elektrischen Bauelement sowie ein Verfahren zur Herstellung einer Trägerplatte
15 anzugeben.

Diese Aufgaben werden durch Gegenstände und ein Verfahren gemäß den unabhängigen Patentansprüchen gelöst. Vorteilhafte Ausführungsformen und Weiterbildungen der Gegenstände
20 beziehungsweise des Verfahrens gehen weiterhin aus den abhängigen Patentansprüchen, der nachfolgenden Beschreibung und den Zeichnungen hervor.

Eine Trägerplatte gemäß zumindest einer Ausführungsform weist
25 ein Substrat und zumindest eine Leiterbahn auf. Das Substrat weist vorzugsweise ein organisches oder ein keramisches Material auf. Beispielsweise kann das Substrat eine Leiterplatte, wie zum Beispiel eine FR4-Leiterplatte, sein. Weiterhin ist es möglich, dass das Substrat eine LTCC-, eine
30 HTCC-, oder eine MLV-Keramik aufweist oder daraus besteht. Dabei steht LTCC für „low temperature cofired ceramics“, also für Keramiken, die typischerweise bei Temperaturen unter 1000°C gesintert werden, HTCC für „high temperature cofired

ceramics", das heißt für Keramiken, die typischerweise bei Temperaturen über 1000°C gesintert werden, und MLV für „multi-layer varistor“ (Vielschichtvaristor). Die zumindest eine Leiterbahn ist auf einer Oberfläche des Substrats
5 aufgebracht.

Gemäß einer weiteren Ausführungsform weist die Leiterbahn eine erste Schicht auf, die unmittelbar auf dem Substrat aufgebracht ist. Die erste Schicht kann hier und im Folgenden
10 auch als „Grundmetallisierung“ oder als „Grundmetallisierungsschicht“ bezeichnet werden.

Beispielsweise kann die erste Schicht Kupfer oder Silber oder eine Kombination daraus aufweisen oder aus einem dieser Materialien bestehen. Die Leiterbahn weist weiterhin eine
15 zweite Schicht auf, die auf der ersten Schicht angeordnet ist. Vorzugsweise handelt es sich bei der zweiten Schicht um die oberste, am weitesten vom Substrat der Trägerplatte entfernte Schicht der Leiterbahn. Die zweite Schicht kann hier und im Folgenden auch als „finale Metallisierung“, als
20 „finale Metallisierungsschicht“ oder als „Metallisierungsfinish“ bezeichnet werden.

Beispielsweise kann die zweite Schicht direkt auf der ersten Schicht aufgebracht sein. Des Weiteren ist es möglich, dass
25 zwischen der ersten und der zweiten Schicht eine oder mehrere weitere Schichten angeordnet sind. Vorzugsweise weist die zweite Schicht ein von der ersten Schicht verschiedenes Material auf. Die zweite Schicht kann zum Beispiel Gold aufweisen oder aus Gold bestehen. Beispielsweise kann es sich
30 dabei um so genanntes „Flashgold“ handeln, das heißt um eine dünne, zum Beispiel maximal 120 nm dicke, im Allgemeinen schnell aufgetragene Goldoberfläche, die insbesondere zum

Löten verwendet wird, wie zum Beispiel so genanntes „direct immersion gold“ (DIG).

Gemäß einer weiteren Ausführungsform weist die zweite Schicht
5 einen Zuleitungsbereich und einen Lötbereich auf, wobei die
zweite Schicht zwischen dem Zuleitungsbereich und dem
Lötbereich vollständig unterbrochen ist. Das kann
insbesondere bedeuten, dass in dem zwischen dem
Zuleitungsbereich und dem Lötbereich angeordneten
10 unterbrochenen Bereich keine zweite Schicht vorhanden ist.
Vorzugsweise ist die zweite Schicht im unterbrochenen Bereich
entfernt. Der Lötbereich kann insbesondere zum Aufbringen
eines Lots, beispielsweise in Form einer Lotkugel, vorgesehen
sein, mittels dessen ein Kontakt beispielsweise eines
15 Halbleiterchips kontaktiert werden kann, während der
Zuleitungsbereich einen so genannten „Fan-In“ oder „Fan-Out“
oder zumindest einen Teil davon bilden kann.

Vorzugsweise ist die erste Schicht unterhalb des
20 unterbrochenen Bereichs durchgängig. Beispielsweise kann die
zweite Schicht im unterbrochenen Bereich entfernt sein, wobei
die darunter gelegene erste Schicht in diesem Bereich
keinerlei Unterbrechung aufweist.

25 Bei einer hier beschriebenen Trägerplatte kann
vorteilhafterweise mittels des unterbrochenen Bereichs der
zweiten Schicht in diesem Bereich der Leiterbahn die
Benetzbarkeit der Leiterbahn verringert werden, so dass der
unterbrochene Bereich als Lötstopp wirkt. Beispielsweise ist
30 bei einer Metallisierung mit den Schichtenfolgen Ni/Pd/Au
oder Ni/Au gerade das in der obersten, das heißt in der
zweiten Schicht enthaltene Gold bzw. Flashgold für eine hohe
Benetzbarkeit verantwortlich. Durch Entfernen eines Bereichs

zumindest der zweiten Schicht, also der obersten,
beispielsweise Gold enthaltenden Schicht, im unterbrochenen
Bereich kann somit die hohe Benetzbarkeit der Leiterbahn, die
zu einem oben beschriebenen Einfallen der Lotkugel führen
5 kann, gesenkt werden.

Dadurch kann eine hier beschriebene Trägerplatte
kostengünstig hergestellt werden, da auf teuren Lötstopplack,
der verschiedene Anforderungen erfüllen muss, verzichtet
10 werden kann. Beispielsweise müsste ein solcher Lötstopplack
ausreichend Haftfestigkeit sowohl auf dem Substrat als auch
auf der Metallisierung aufweisen. Des Weiteren müsste der
Lötstopplack so dünn sein, dass Flip-Chips unterfüllt werden
können und sollte zusätzlich etwaige Galvanikbäder aushalten.
15

Darüber hinaus kann bei der hier beschriebenen Trägerplatte
auf zusätzliche, kostenintensive Fotoprozesse verzichtet
werden, bei denen insbesondere aufgrund unterschiedlicher
Reflexion von Substrat und Metallisierung ein sehr enges
20 Prozessfenster beim Belichten gegeben ist.

Gemäß einer weiteren Ausführungsform ist ein Teil der zweiten
Schicht in dem unterbrochenen Bereich mittels eines Lasers
abgetragen. Beispielsweise kann zur Abtragung ein CO₂-Laser
25 oder ein UV-Laser verwendet werden. Vorteilhafterweise kann
bei dem eingesetzten Laser durch die Wahl der Wellenlänge
eine Absorption in den verschiedenen Materialien
beziehungsweise in den verschiedenen Schichten sehr selektiv
gesteuert werden. Dadurch können ganz gezielt ausgewählte
30 Schichten abgetragen werden, ohne darunter liegende Schichten
und/oder das Substrat zu belasten.

Gemäß einer weiteren Ausführungsform ist unterhalb des unterbrochenen Bereichs zumindest ein Teilbereich der ersten Schicht oxidiert. Dies kann beispielsweise dadurch erreicht werden, dass bis zur ersten Schicht, also bis zur

5 Grundmetallisierung, durchgelasert wird, dass also die erste Schicht durch den Laser, der zu Herstellung der Unterbrechung der zweiten Schicht verwendet wird, zumindest oberflächlich beeinflusst, nicht aber durchtrennt wird. Durch die Einwirkung des Lasers kann sich eine Oxidierung zumindest in
10 einem Teilbereich der Oberfläche der ersten Schicht bilden. Durch den oxidierten Teilbereich der z.B. Kupfer enthaltenden Grundmetallisierung kann sich der Vorteil ergeben, dass dieser zusätzlich als Solder-Stop wirkt, da Lot den oxidierten Teilbereich schlecht benetzen kann. Weiterhin ist
15 es möglich, die erste Schicht chemisch zu oxidieren oder anderweitig chemisch zu behandeln, so dass die erste Schicht schlecht benetzend wird.

Gemäß einer weiteren Ausführungsform weist die Leiterbahn
20 eine dritte Schicht auf, die zwischen der ersten und der zweiten Schicht angeordnet ist. Die dritte Schicht grenzt vorzugsweise direkt an die erste Schicht der Leiterbahn an. Weiterhin kann die dritte Schicht direkt an die zweite Schicht der Leiterbahn angrenzen. Darüber hinaus ist es aber
25 auch möglich, dass eine oder mehrere weitere Schichten zwischen der dritten und der zweiten Schicht angeordnet sind. Die dritte Schicht weist beispielsweise Nickel auf oder besteht aus Nickel. Vorteilhafterweise kann Nickel als Diffusionssperre wirken und verhindern, dass die
30 Grundmetallisierung durch ein Lot, wie zum Beispiel ein bleifreies Zinn-, Silber- oder Kupferlot, aufgelöst wird (so genanntes „Bleaching“ oder „Ablegieren“).

Gemäß einer weiteren Ausführungsform ist die dritte Schicht unterhalb des unterbrochenen Bereichs durchgängig.

Beispielsweise kann mittels Wahl der geeigneten Wellenlänge des Lasers gezielt ein Teil der zweiten Schicht im

5 unterbrochenen Bereich entfernt werden, ohne jedoch auch die unter der zweiten Schicht liegende dritte Schicht zu entfernen.

Gemäß einer weiteren Ausführungsform ist die dritte Schicht

10 unterhalb des unterbrochenen Bereichs unterbrochen. Somit kann zum Beispiel mittels des Lasers gezielt im unterbrochenen Bereich ein Teil der zweiten Schicht entfernt sein und unterhalb des unterbrochenen Bereichs auch ein Teil der dritten Schicht entfernt sein, wobei die darunter
15 gelegene erste Schicht beispielsweise nicht beschädigt oder alternativ wie oben beschrieben oxidiert ist.

Gemäß einer weiteren Ausführungsform weist die Leiterbahn eine vierte Schicht auf, die zwischen der zweiten und der

20 dritten Schicht angeordnet ist. Vorzugsweise grenzt die vierte Schicht dabei sowohl an die zweite als auch an die dritte Schicht der Leiterbahn an. Die vierte Schicht kann beispielsweise Palladium aufweisen oder aus Palladium bestehen. Vorzugsweise ist die vierte Schicht unterhalb des
25 unterbrochenen Bereichs der zweiten Schicht unterbrochen.

Beispielsweise können die zweite Schicht im unterbrochenen Bereich und die vierte Schicht unterhalb des unterbrochenen Bereichs mittels eines Lasers entfernt sein, wobei die dritte Schicht unterhalb des unterbrochenen Bereichs durchgängig

30 oder ebenfalls unterbrochen sein kann. In einer alternativen Ausführungsform ist die vierte Schicht unterhalb des unterbrochenen Bereichs durchgängig, wobei die darunter liegende dritte Schicht ebenfalls durchgängig ist. Diese

Konstellation kann beispielsweise erreicht werden, indem nur die zweite Schicht im unterbrochenen Bereich entfernt ist.

5 Gemäß einer weiteren Ausführungsform weist eine durch eine
oder mehrere unterbrochene Schichten freigelegte Schicht der
Leiterbahn eine geringere Benetzbarkeit auf als die
unmittelbar darüber angeordnete Schicht. Beispielsweise
können mittels eines Lasers ganz gezielt diejenigen Schichten
im beziehungsweise unterhalb des unterbrochenen Bereichs
10 entfernt sein, die eine hohe Benetzbarkeit aufweisen. Dadurch
kann auch ohne den Einsatz eines teuren Lötstopplacks ein
effizienter Lötstopp erzielt werden.

15 Gemäß einer weiteren Ausführungsform ist der Lötbereich
zumindest teilweise von einem Lot bedeckt. Beispielsweise
kann der Lötbereich zumindest zu einem Teil von einer auf dem
Lötbereich angeordneten Lotkugel („solder bump“) bedeckt
sein. Mittels des unterbrochenen Bereichs einer oder mehrerer
Schichten der Leiterbahn kann verhindert werden, dass das auf
20 den Lötbereich aufgebrachte Lot wegfließt.

25 Gemäß einer weiteren Ausführungsform weist die Leiterbahn an
einem dem Lötbereich entgegen gesetzten Ende des
Zuleitungsbereichs einen weiteren Lötbereich auf.
Vorzugsweise ist der Zuleitungsbereich wiederum mittels eines
unterbrochenen Bereichs von dem weiteren Lötbereich getrennt.
Der weitere Lötbereich ist dabei vorzugsweise ebenfalls
zumindest teilweise von einem Lot bedeckt.

30 Gemäß einer weiteren Ausführungsform ist die Trägerplatte
frei von Lötstopplack. Vorteilhafterweise kann wie oben
ausgeführt bei einer hier beschriebenen Trägerplatte auf das
Aufbringen von Lötstopplack verzichtet werden, wodurch die

bei der Herstellung der Trägerplatte entstehenden Kosten verringert werden können.

5 Gemäß zumindest einer weiteren Ausführungsform weist eine Vorrichtung eine Trägerplatte sowie ein auf der Trägerplatte angeordnetes elektrisches Bauelement auf. Das elektrische Bauelement kann insbesondere ein Halbleiterbauelement, beispielsweise ein Halbleiterchip in Form eines oberflächenmontierbaren Bauelements oder eines Flip-Chips
10 sein. Weiterhin kann es sich bei dem elektrischen Bauelement um ein Bauelement handeln, das mittels einer so genannten „Under-Bump-Metallisierung“ (UBM), die zum Beispiel direkt mit einer oder mehreren Leiterbahnen verbunden ist, auf einem Träger befestigt ist.

15

Die Vorrichtung kann eine Trägerplatte mit einem oder mehreren Merkmalen der vorgenannten und der weiteren Ausführungsformen umfassen.

20 Gemäß einer Ausführungsform weist die Trägerplatte ein Substrat und eine Mehrzahl von Leiterbahnen auf. Vorzugsweise sind die Leiterbahnen jeweils auf dem Substrat aufgebracht. Vorzugsweise weisen die Leiterbahnen jeweils eine erste Schicht auf, die unmittelbar auf dem Substrat aufgebracht
25 sind, sowie jeweils eine auf der ersten Schicht angeordnete zweite Schicht. Insbesondere kann jede der Leiterbahnen gemäß den vorab beschriebenen Ausführungsformen für die zumindest eine Leiterbahn ausgebildet sein.

30 Gemäß einer weiteren Ausführungsform weisen die zweiten Schichten der Mehrzahl der Leiterbahnen insbesondere jeweils einen Zuleitungsbereich und einen Lötbereich auf, wobei die

zweiten Schichten jeweils zwischen dem Zuleitungsbereich und dem Lötbereich vollständig unterbrochen sind.

Gemäß einer weiteren Ausführungsform definieren die

- 5 Lötbereiche der Mehrzahl der Leiterbahnen eine Fläche, die einen Anschlussbereich für das elektrische Bauelement bildet. Beispielsweise kann eine Mehrzahl von Lötbereichen eine Fläche einer beliebigen Form, wie zum Beispiel ein Quadrat oder ein Rechteck, definieren, wobei das elektrische
10 Bauelement auf diese Fläche angeordnet und befestigt werden kann.

Gemäß einer weiteren Ausführungsform ist das elektrische Bauelement mittels Lot mit den Lötbereichen verbunden.

- 15 Dadurch kann das elektrische Bauelement sowohl mechanisch auf der Trägerplatte befestigt als auch elektrisch mit Leiterbahnen auf der Trägerplatte verbunden sein. Vorzugsweise sind die Zuleitungsbereiche außerhalb des Anschlussbereichs frei von Lot.

20

Gemäß zumindest einer weiteren Ausführungsform wird bei einem Verfahren eine Trägerplatte hergestellt. Die Trägerplatte kann eines oder mehrere Merkmale der vorgenannten Ausführungsformen aufweisen. Insbesondere gelten die vorher
25 und die im Folgenden beschriebenen Ausführungsformen gleichermaßen für die Trägerplatte und für das Verfahren zur Herstellung der Trägerplatte.

Gemäß einer weiteren Ausführungsform wird eine Trägerplatte
30 bereitgestellt, die ein Substrat und zumindest eine Leiterbahn aufweist. Die Leiterbahn weist vorzugsweise eine erste Schicht auf, die unmittelbar auf dem Substrat

aufgebracht ist, sowie eine zweite Schicht, die auf der ersten Schicht angeordnet ist.

In einem weiteren Verfahrensschritt wird ein Bereich der zweiten Schicht abgetragen, sodass die zweite Schicht zwischen dem Zuleitungsbereich und dem Lötbereich vollständig unterbrochen ist. Weiterhin ist es möglich, eine dritte und/oder eine vierte zwischen der ersten und der zweiten Schicht angeordnete Schicht im unterbrochenen Bereich abzutragen.

Gemäß einer weiteren Ausführungsform erfolgt das Abtragen mittels Laserablation. Vorzugsweise wird dabei, wie bereits oben beschrieben, ein Laser mit einer geeigneten Leistung und Wellenlänge verwendet. Dabei kann beispielsweise ein CO₂-Laser oder ein UV-Laser zum Einsatz kommen.

Mittels des Lasers können vorteilhafterweise ausgewählte Schichten sehr gezielt abgetragen werden, ohne darunter liegende Schichten und/oder das Substrat zu belasten. Weiterhin hat das hier beschriebene Verfahren den Vorteil, dass eine Umverdrahtung direkt auf dem Substrat gemacht werden kann, ohne diese in innere Lagen im Substrat zu vergraben, das heißt eine Lötstelle kann auf der Oberfläche des Substrats mit dem Leiterzug verbunden werden. Dadurch kann Platz innerhalb der Trägerplatte eingespart und die Integrationsdichte erhöht werden.

Vorzugsweise kann das hier beschriebene Verfahren insbesondere bei Trägerplatten, die eine Oberfläche mit hoch aufgelöst strukturierten Leiterbahnen benötigen, zum Einsatz kommen.

Weitere Vorteile und vorteilhafte Ausführungsformen der Trägerplatte sowie der die Trägerplatte umfassenden Vorrichtung ergeben sich aus den im Folgenden in Verbindung mit den Figuren 1 bis 6 beschriebenen Ausführungsformen.

5

Es zeigen:

- Figur 1 eine schematische Aufsicht auf eine Trägerplatte gemäß einem Ausführungsbeispiel,
- 10 Figur 2 einen schematischen Querschnitt einer Trägerplatte mit einer Leiterbahn gemäß einem weiteren Ausführungsbeispiel,
- Figur 3 einen Ausschnitt einer schematischen Aufsicht auf eine Leiterbahn einer Trägerplatte gemäß einem weiteren Ausführungsbeispiel,
- 15 Figur 4 eine Aufsicht auf eine Vorrichtung mit einer Trägerplatte und einem darauf angeordneten elektrischen Bauelement gemäß einem weiteren Ausführungsbeispiel, und
- 20 Figuren 5 und 6 schematische Darstellungen von Verfahren zur Herstellung einer Trägerplatte gemäß weiteren Ausführungsbeispielen.

In den Ausführungsbeispielen und Figuren können gleiche oder

25 gleich wirkende Bestandteile jeweils mit den gleichen Bezugszeichen versehen sein. Die dargestellten Elemente und deren Größenverhältnisse untereinander sind grundsätzlich nicht als maßstabsgerecht anzusehen. Vielmehr können einzelne Elemente wie zum Beispiel Schichten, Bauteile und Bereiche

30 zur besseren Darstellbarkeit und/oder zum besseren Verständnis übertrieben dick oder groß dimensioniert dargestellt sein.

In Figur 1 ist eine Trägerplatte 1 gemäß einem Ausführungsbeispiel dargestellt. Die Trägerplatte 1 weist ein Substrat 2 aus einer LTCC-Keramik und eine Mehrzahl von Leiterbahnen 3, die auf dem Substrat 2 angeordnet sind, auf.

5 Alternativ kann das Substrat 2 auch eine HTCC- oder MLV-Keramik oder eine Leiterplatte, zum Beispiel eine FR4-Leiterplatte, sein. Die einzelnen Leiterbahnen 3 weisen jeweils einen Lötbereich 422, einen unterbrochenen Bereich 423 sowie einen Zuleitungsbereich 421 auf, wie in Verbindung
10 mit den folgenden Ausführungsbeispielen beschrieben ist. Weiterhin weist die Trägerplatte 1 eine Mehrzahl von Metallisierungen 10 sowie Vias 9 auf, die dem Anschluss von elektrischen Bauteilen dienen können.

15 Die Lötbereiche 422 der Leiterbahnen bilden eine Fläche, die einen Anschlussbereich für ein elektrisches Bauelement bildet, während die Zuleitungsbereiche Umverdrahtungen bilden. Die Anzahl, die Form, die Anordnung und der Verlauf der Leiterbahnen 3 sowie der weiteren Komponenten der
20 gezeigten Trägerplatte 1 sind rein beispielhaft und nicht beschränkend zu verstehen.

In Figur 2 ist eine Trägerplatte 1 gemäß einem weiteren Ausführungsbeispiel gezeigt, die beispielsweise ein

25 Querschnitt eines Teilbereichs der Trägerplatte 1 aus Figur 1 entlang einer der dort gezeigten Leiterbahnen 3 sein kann. Die auf dem Substrat 2 angeordnete Leiterbahnen 3 weist eine erste Schicht 41 auf, die unmittelbar auf dem Substrat 2 aufgebracht ist. Die erste Schicht 41 enthält im gezeigten
30 Ausführungsbeispiel Kupfer. Alternativ kann die erste Schicht 41 auch Silber enthalten. Beispielsweise kann die erste Schicht eine Schichtdicke zwischen 15 µm und 20 µm aufweisen. Weiterhin weist die Leiterbahn 3 eine zweite, Gold

enthaltende Schicht 42 auf, die auf der ersten Schicht 41 angeordnet ist und die zuoberst liegende Schicht der Leiterbahn 3 bildet. Bei der zweiten, Gold enthaltenden Schicht 42 kann es sich beispielsweise um eine Schicht aus so genanntem „direct immersion gold“ (DIG) handeln. Die zweite Schicht 42 kann zum Beispiel eine Schichtdicke von in etwa 50 nm aufweisen.

Die zweite Schicht 42 weist einen Zuleitungsbereich 421 und einen Lötbereich 422 auf, wobei die zweite Schicht 42 zwischen dem Zuleitungsbereich 421 und dem Lötbereich 422 in einem unterbrochenen Bereich 423 unterbrochen ist. Die erste Schicht 41 der Leiterbahn 3 ist unterhalb des unterbrochenen Bereichs 423 durchgängig. Auf dem Lötbereich 422 ist ein Lot 6 in Form eines Lötballs angeordnet, das zur Kontaktierung eines elektrischen Bauelements dient. Des Weiteren weist die Trägerplatte 1 ein Via 9 auf, das mit einem elektrisch leitfähigen Material gefüllt ist und mit der Leiterbahn 3 elektrisch leitend verbunden ist. Alternativ zu einem Via kann sich an einem dem Lötbereich 422 entgegen gesetzten Ende des Zuleitungsbereichs 421 ein weiterer Lötbereich anschließen, wobei vorzugsweise wiederum ein unterbrochener Bereich zwischen dem Zuleitungsbereich 421 und dem weiteren Lötbereich vorhanden ist.

Weiterhin kann die Leiterbahn 3 auch eine dritte Schicht 43, die zwischen der ersten und der zweiten Schicht 41, 42 angeordnet ist, und optional auch eine vierte Schicht 44, die zwischen zweiten und der dritten Schicht 42, 43 angeordnet ist, aufweisen. Bei der auf der ersten Schicht 41, das heißt auf der Grundmetallisierung, aufgetragenen Metallisierung aus dritter und zweiter Schicht 43, 42 oder aus dritter, vierter und zweiter Schicht 43, 44, 42 kann es sich beispielsweise um

Ni/Au (electroless nickel / immersion gold, ENIG) oder um stromlos Ni/Pd/Au (electroless nickel / electroless palladium / immersion gold, ENEPIG) handeln. Die dritte Schicht 43 kann zum Beispiel eine Schichtdicke zwischen 2 μm und 4 μm aufweisen und die vierte Schicht 44 kann zum Beispiel eine Schichtdicke zwischen 0,3 μm und 0,5 μm aufweisen.

Figur 3 zeigt einen Ausschnitt einer Leiterbahn 3 auf einem Substrat 2 gemäß einem weiteren Ausführungsbeispiel, bei der es sich beispielsweise um eine Leiterbahn 3 der Trägerplatte 1 aus Figur 1 handeln kann. Die Leiterbahn 3 weist einen unterbrochenen Bereich 423 auf, der zwischen einem Lötbereich 422 und einem Zuleitungsbereich 421 angeordnet ist.

Bei der hier gezeigten Trägerplatte 1 kann vorteilhafterweise mittels des unterbrochenen Bereichs 423 der zweiten Schicht 42, also der Gold enthaltenden und für eine hohe Benetzbarkeit verantwortlichen Schicht, die Benetzbarkeit in diesem Bereich der Leiterbahn 3 verringert werden, so dass der unterbrochene Bereich 423 als Lötstopp wirkt. Dadurch kann die hier beschriebene Trägerplatte kostengünstig hergestellt werden, da auf teuren Lötstopplack verzichtet werden kann.

Figur 4 zeigt eine Aufsicht auf eine Vorrichtung 10, die eine Trägerplatte 1 sowie ein auf der Trägerplatte 1 angeordnetes elektrisches Bauelement 7 umfasst. Das elektrische Bauelement 7 ist nur angedeutet, um die darunter liegenden Strukturen darstellen zu können.

Die Trägerplatte 1 weist ein Substrat 2 und eine Mehrzahl von Leiterbahnen 3 auf, die jeweils auf dem Substrat 2 aufgebracht sind. Die Leiterbahnen 3 weisen jeweils eine

erste Schicht 41 auf, die unmittelbar auf dem Substrat 2 aufgebracht ist, sowie eine zweite Schicht 42, die auf der ersten Schicht 41 angeordnet ist. Dabei weisen die zweiten Schichten 42 jeweils einen Zuleitungsbereich 421 und einen Lötbereich 422 auf. Die zweiten Schichten 42 sind zwischen dem Zuleitungsbereich 421 und dem Lötbereich 422 vollständig durch einen unterbrochenen Bereich 423 unterbrochen. Die Lötbereiche 422 definieren eine Fläche, die einen Anschlussbereich 8 für das elektrische Bauelement 7 bildet. Das elektrische Bauelement 7 ist mittels Lot 6 mit den Lötbereichen 422 verbunden, wodurch das elektrische Bauelement auf der Trägerplatte 1 befestigt ist. Beispielsweise kann das elektrische Bauelement 7 eine oder mehrere Kontaktflächen aufweisen, mittels deren das elektrische Bauelement 7 durch das Lot 6 elektrisch leitend mit den Lötbereichen 422 verbunden ist. Die Zuleitungsbereiche 421 außerhalb des Anschlussbereichs 8 sind frei von Lot 6 und bilden eine Umverdrahtung. Mittels der unterbrochenen Bereiche 423 der ersten Schichten 41 der Leiterbahnen 3 kann ein Lötstopp für das auf die Lötbereiche 422 aufgebrachte Lot 6 erzeugt werden. Das elektrische Bauelement 7 kann beispielsweise ein Halbleiterbauelement, wie zum Beispiel ein Halbleiterchip in Form eines oberflächenmontierbaren Bauelements oder eines Flip-Chips sein.

Figur 5 zeigt eine schematische Ansicht eines Verfahrens zur Herstellung einer Trägerplatte 1, wie sie beispielsweise in den vorherigen Ausführungsbeispielen gezeigt ist. Dabei wird in einem ersten Verfahrensschritt 101 eine Trägerplatte 1 bereitgestellt, die ein Substrat 2 und zumindest eine Leiterbahn 3, die auf dem Substrat 2 aufgebracht ist, aufweist. Die Leiterbahn 3 weist eine erste Schicht 41 auf,

die unmittelbar auf dem Substrat aufgebracht ist sowie eine zweite Schicht 42, die auf der ersten Schicht 41 angeordnet ist und eine oberste Schicht der Leiterbahn 3 bildet. In einem weiteren Verfahrensschritt 102 wird ein Bereich der zweiten Schicht 42 abgetragen, sodass die zweite Schicht 42 zwischen dem Zuleitungsbereich 421 und dem Lötbereich 422 vollständig unterbrochen ist. Vorzugsweise erfolgt das Abtragen des Bereichs der zweiten Schicht 42 mittels Laserablation. Weiterhin ist es möglich, mittels eines Lasers auch Bereiche weiterer Schichten 43, 44 unterhalb des unterbrochenen Bereichs 423 der zweiten Schicht 42 zu entfernen. Darüber hinaus kann bis auf die erste Schicht 41 durchgelasert werden, so dass zumindest ein Teilbereich dieser oxidiert und aufgrund resultierender schlechter Benetzungseigenschaften ebenfalls als Lötstopp wirkt.

Figur 6 zeigt eine schematische Darstellung des Verfahrensschritts 102, bei dem Bereiche einer zweiten Schicht 42, einer dritten Schicht 43 und einer vierten Schicht 44 mittels eines Laserstrahls 5 abgetragen werden. Alternativ kann auch nur ein Bereich 423 der zweiten Schicht 42 abgetragen werden oder nur ein Bereich 423 der zweiten Schicht 42 und ein darunter liegender Bereich der vierten Schicht 44.

In durchgeführten Versuchen konnte gezeigt werden, dass sich mittels Laserablation sehr selektiv eine oder mehrere für eine Lotbenetzung verantwortliche Schichten im unterbrochenen Bereich 423 entfernen lassen.

Die in den gezeigten Ausführungsbeispielen beschriebenen Merkmale können gemäß weiteren Ausführungsbeispielen auch miteinander kombiniert sein, auch wenn solche Kombinationen

nicht explizit in den Figuren gezeigt sind. Alternativ oder zusätzlich können die in den Figuren gezeigten Ausführungsbeispiele weitere Merkmale gemäß den Ausführungsformen der allgemeinen Beschreibung aufweisen.

5

Die Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele auf diese beschränkt, sondern umfasst jedes neue Merkmal sowie jede Kombination von Merkmalen. Dies beinhaltet insbesondere jede Kombination von Merkmalen in den

10

Patentansprüchen, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben ist.

Bezugszeichenliste

	1	Trägerplatte
	2	Substrat
5	3	Leiterbahn
	41	erste Schicht
	42	zweite Schicht
	421	Zuleitungsbereich
	422	Lötbereich
10	423	unterbrochener Bereich
	43	dritte Schicht
	44	vierte Schicht
	5	Laserstrahl
	6	Lot
15	7	elektrisches Bauelement
	8	Anschlussbereich
	9	Via
	10	Metallisierung

Patentansprüche

1. Trägerplatte (1) aufweisend ein Substrat (2) und zumindest eine Leiterbahn (3),
 - 5 - wobei die Leiterbahn (3) eine erste Schicht (41) aufweist, die unmittelbar auf dem Substrat (2) aufgebracht ist,
 - wobei die Leiterbahn (3) eine zweite Schicht (42) aufweist, die auf der ersten Schicht (41) angeordnet ist,
 - 10 - wobei die zweite Schicht (42) einen Zuleitungsbereich (421) und einen Lötbereich (422) aufweist, und
 - wobei die zweite Schicht (42) zwischen dem Zuleitungsbereich (421) und dem Lötbereich (422) vollständig unterbrochen ist.
- 15 2. Trägerplatte nach Anspruch 1, wobei die erste Schicht unterhalb des unterbrochenen Bereichs (423) durchgängig ist.
3. Trägerplatte nach einem der vorhergehenden Ansprüche,
 - 20 wobei ein Teil der zweiten Schicht (42) in dem unterbrochenen Bereich (423) mittels eines Lasers (5) abgetragen ist.
4. Trägerplatte nach einem der vorhergehenden Ansprüche,
 - 25 wobei die Leiterbahn (3) eine dritte Schicht (43) aufweist, die zwischen der ersten und der zweiten Schicht (41, 42) angeordnet ist.
5. Trägerplatte nach Anspruch 4, wobei die dritte Schicht
 - 30 (43) unterhalb des unterbrochenen Bereichs (423) durchgängig ist.

6. Trägerplatte nach Anspruch 4, wobei die dritte Schicht (43) unterhalb des unterbrochenen Bereichs (423) unterbrochen ist.

5 7. Trägerplatte nach Anspruch 5, wobei die Leiterbahn (3) eine vierte Schicht (44) aufweist, die zwischen der zweiten und der dritten Schicht (42, 43) angeordnet ist, wobei die vierte Schicht (44) unterhalb des unterbrochenen Bereichs (423) durchgängig oder
10 unterbrochen ist.

8. Trägerplatte nach Anspruch 6, wobei die Leiterbahn (3) eine vierte Schicht (44) aufweist, die zwischen der ersten und der dritten Schicht (42, 43) angeordnet ist,
15 wobei die vierte Schicht (44) unterhalb des unterbrochenen Bereichs (423) unterbrochen ist.

9. Trägerplatte nach einem der vorhergehenden Ansprüche, wobei eine durch eine oder mehrere unterbrochene
20 Schichten freigelegte Schicht der Leiterbahn (3) eine geringere Benetzbarkeit aufweist als die unmittelbar darüber angeordnete Schicht.

10. Trägerplatte nach einem der vorhergehenden Ansprüche, wobei der Lötbereich (422) zumindest teilweise von einem
25 Lot (6) bedeckt ist.

11. Trägerplatte nach einem der vorhergehenden Ansprüche, wobei die Trägerplatte (1) frei von Lötstopplack ist.
30

12. Vorrichtung aufweisend eine Trägerplatte (1) sowie ein auf der Trägerplatte (1) angeordnetes elektrisches Bauelement (7),

- wobei die Trägerplatte (1) ein Substrat (2) und eine Mehrzahl von Leiterbahnen (3) aufweist, die jeweils auf dem Substrat (2) aufgebracht sind,
- wobei die Leiterbahnen (3) jeweils eine erste Schicht (41) aufweisen, die unmittelbar auf dem Substrat (2) aufgebracht sind,
- wobei die Leiterbahnen (3) jeweils eine zweite Schicht (42) aufweisen, die auf der ersten Schicht (41) angeordnet sind,
- wobei die zweiten Schichten (42) jeweils einen Zuleitungsbereich (421) und einen Lötbereich (422) aufweisen,
- wobei die zweiten Schichten (42) jeweils zwischen dem Zuleitungsbereich (421) und dem Lötbereich (422) vollständig unterbrochen sind,
- wobei die Lötbereiche (422) eine Fläche definieren, die einen Anschlussbereich (8) für das elektrische Bauelement (7) bildet,
- wobei das elektrische Bauelement (7) mittels Lot (6) mit den Lötbereichen (422) verbunden ist, und
- wobei die Zuleitungsbereiche (421) außerhalb des Anschlussbereichs (8) frei von Lot (6) sind.

13. Verfahren zur Herstellung einer Trägerplatte (1) nach einem der Ansprüche 1 bis 12 umfassend die folgenden Schritte:

- Bereitstellen der Trägerplatte (1) aufweisend das Substrat (2) und zumindest eine Leiterbahn (3), wobei die Leiterbahn (3) die erste Schicht (41) aufweist, die unmittelbar auf dem Substrat (2) aufgebracht ist, sowie eine zweite Schicht (42), die auf der ersten Schicht (41) angeordnet ist,

- Abtragen eines Bereiches der zweiten Schicht (42), so dass die zweite Schicht (42) zwischen dem Zuleitungsbereich (421) und dem Lötbereich (422) vollständig unterbrochen ist.

5

14. Verfahren nach Anspruch 13, wobei das Abtragen mittels Laserablation erfolgt.

Fig. 1

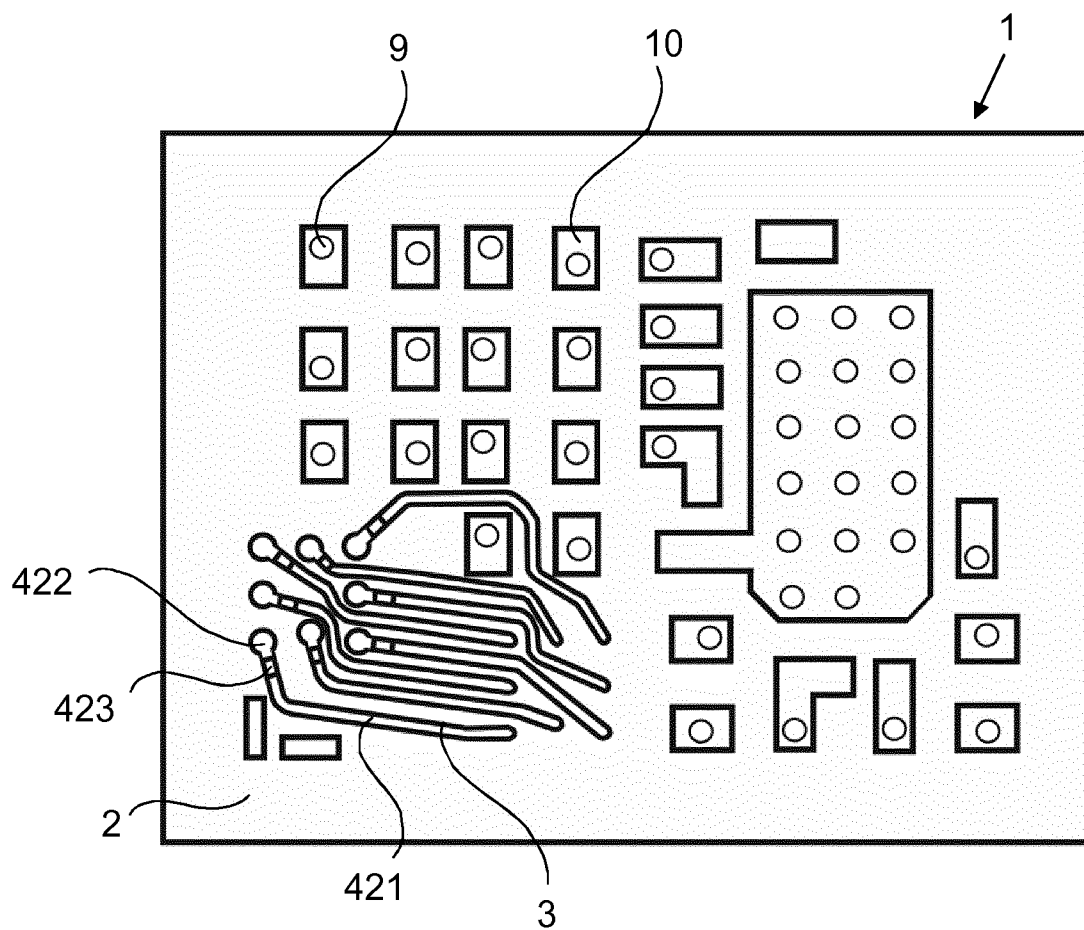
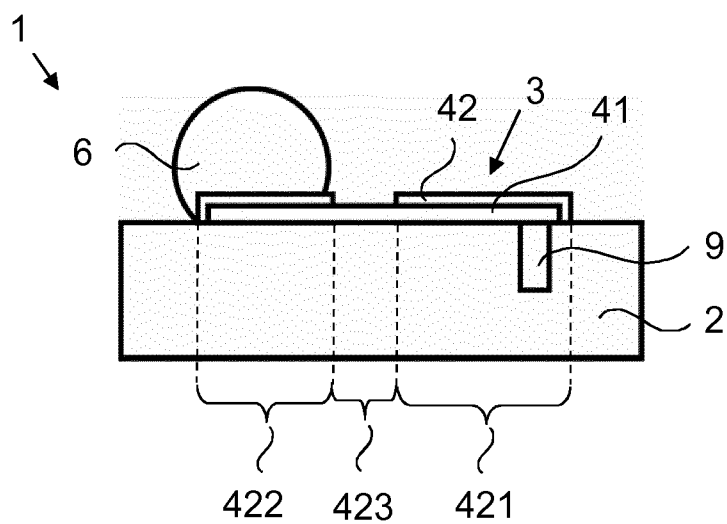


Fig. 2



2 / 3

Fig. 3

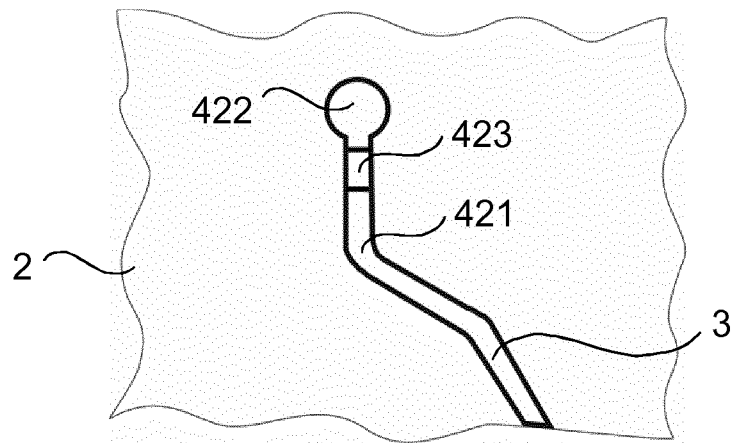


Fig. 4

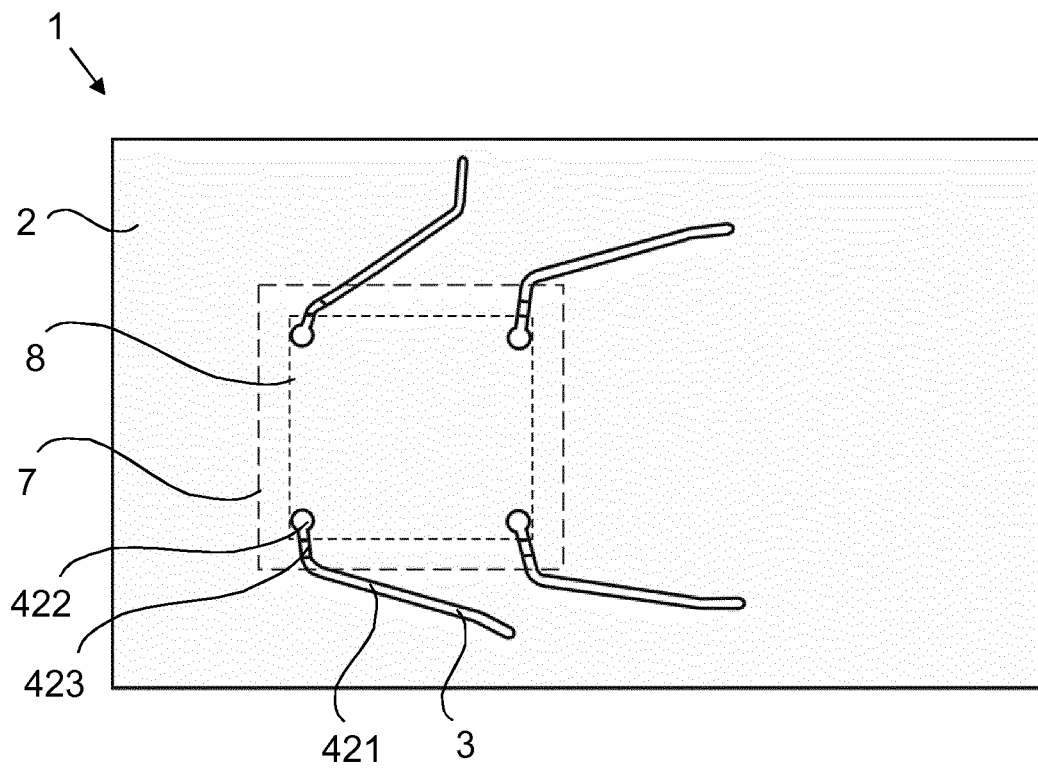


Fig. 5

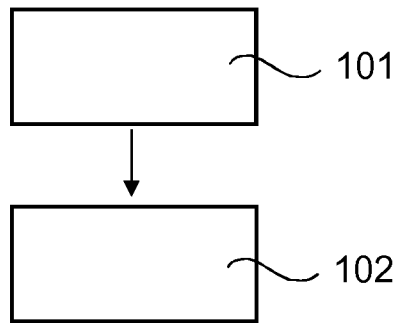
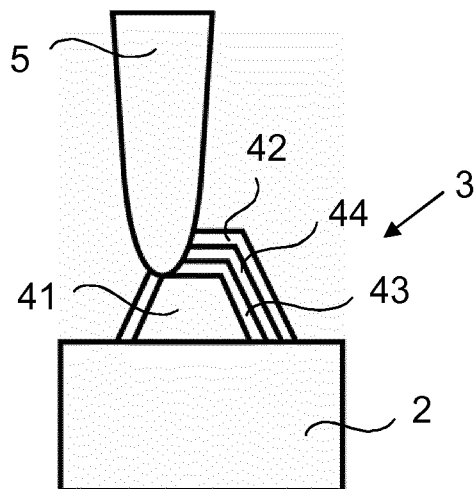


Fig. 6



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2013/066731

A. CLASSIFICATION OF SUBJECT MATTER INV. H05K3/22 H05K3/34 H05K3/24 H01L23/498 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H05K H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2009/236756 A1 (KIM OH HAN [KR] ET AL) 24 September 2009 (2009-09-24)	1-4,6-14
Y	abstract; figures 1-8 paragraphs [0016], [0044], [0045], [0047], [0059], [0062], [0069], [0084] - [0092] -----	5
Y	US 6 577 012 B1 (GREENWOOD JONATHON GERRIT [US] ET AL) 10 June 2003 (2003-06-10)	5
A	abstract; figures 2,4B column 6, lines 51-55 -----	1-4,6-14
A	US 2008/237814 A1 (BAYAN JAIME A [US]) 2 October 2008 (2008-10-02) abstract; figures 2,3 -----	1-14
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search	Date of mailing of the international search report	
18 October 2013	30/10/2013	
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Schweiger, Dietmar	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2013/066731

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2009236756	A1	24-09-2009	NONE
US 6577012	B1	10-06-2003	NONE
US 2008237814	A1	02-10-2008	CN 101276798 A 01-10-2008
			KR 20080087625 A 01-10-2008
			US 2008237814 A1 02-10-2008

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 INV. H05K3/22 H05K3/34 H05K3/24 H01L23/498
 ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 H05K H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2009/236756 A1 (KIM OH HAN [KR] ET AL) 24. September 2009 (2009-09-24)	1-4,6-14
Y	Zusammenfassung; Abbildungen 1-8 Absätze [0016], [0044], [0045], [0047], [0059], [0062], [0069], [0084] - [0092] -----	5
Y	US 6 577 012 B1 (GREENWOOD JONATHON GERRIT [US] ET AL) 10. Juni 2003 (2003-06-10)	5
A	Zusammenfassung; Abbildungen 2,4B Spalte 6, Zeilen 51-55 -----	1-4,6-14
A	US 2008/237814 A1 (BAYAN JAIME A [US]) 2. Oktober 2008 (2008-10-02) Zusammenfassung; Abbildungen 2,3 -----	1-14



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

18. Oktober 2013

Absendedatum des internationalen Recherchenberichts

30/10/2013

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Schweiger, Dietmar

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2013/066731

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2009236756	A1	24-09-2009	KEINE
US 6577012	B1	10-06-2003	KEINE
US 2008237814	A1	02-10-2008	CN 101276798 A 01-10-2008
			KR 20080087625 A 01-10-2008
			US 2008237814 A1 02-10-2008