

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6378721号
(P6378721)

(45) 発行日 平成30年8月22日(2018.8.22)

(24) 登録日 平成30年8月3日(2018.8.3)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 S
HO 1 L 21/8242 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 27/108 (2006.01)	HO 1 L 29/78 6 1 6 V
GO 2 F 1/1343 (2006.01)	HO 1 L 27/108 3 2 1
GO 2 F 1/1368 (2006.01)	HO 1 L 27/108 6 2 1 Z

請求項の数 1 (全 38 頁) 最終頁に続く

(21) 出願番号 特願2016-150971 (P2016-150971)
 (22) 出願日 平成28年8月1日(2016.8.1)
 (62) 分割の表示 特願2012-56797 (P2012-56797)
 の分割
 原出願日 平成24年3月14日(2012.3.14)
 (65) 公開番号 特開2016-225639 (P2016-225639A)
 (43) 公開日 平成28年12月28日(2016.12.28)
 審査請求日 平成28年8月4日(2016.8.4)
 (31) 優先権主張番号 特願2011-60152 (P2011-60152)
 (32) 優先日 平成23年3月18日(2011.3.18)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 肥塚 純一
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 佐藤 優一
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 大野 普司
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 高橋 宣博

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

酸化物半導体膜と、
 ゲート絶縁層を介して、前記酸化物半導体膜と重なる領域を有するゲート電極と、を有し、

前記酸化物半導体膜は、チャネル領域、ソース領域、及びドレイン領域を有し、
 前記ソース領域又は前記ドレイン領域の少なくとも一は、第1の領域と、前記第1の領域に隣接した第2の領域と、を有し、

前記第1の領域の密度は、前記第2の領域の密度よりも低く、
 前記ソース領域又は前記ドレイン領域の少なくとも一は、水素及び窒素を含み、
 前記ソース領域又は前記ドレイン領域の少なくとも一に含まれる水素の濃度は、前記チャネル形成領域に含まれる水素の濃度より高く、

前記ソース領域又は前記ドレイン領域の少なくとも一に含まれる窒素の濃度は、前記チャネル形成領域に含まれる窒素の濃度より高いことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

トランジスタなどの半導体素子を含む回路を有する半導体装置に関する。また、半導体装置に用いられる酸化物半導体膜に関する。例えば、電源回路に搭載されるパワーデバイス、メモリ、サイリスタ、コンバータ、イメージセンサなどを含む半導体集積回路、液晶表

示装置に代表される電気光学装置、発光素子を有する発光表示装置などを部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、発光表示装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

液晶表示装置に代表されるように、ガラス基板などに形成されるトランジスタの多くはアモルファスシリコン、多結晶シリコンなどによって構成されている。アモルファスシリコンを用いたトランジスタは電界効果移動度が低いもののガラス基板の大面积化に対応することができる。また、多結晶シリコンを用いたトランジスタの電界効果移動度は高いがガラス基板の大面积化には適していないという欠点を有している。

10

【0004】

シリコンを用いたトランジスタのほかに、近年は酸化物半導体を用いてトランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体として、酸化亜鉛、In-Ga-Zn-O系酸化物を用いてトランジスタを作製し、表示装置の画素のスイッチング素子などに用いる技術が特許文献1および特許文献2で開示されている。

【0005】

酸化物半導体において、水素の一部はドナーとなり、キャリアである電子を放出する。酸化物半導体のキャリア濃度が高まると、ゲートに電圧を印加しなくてもトランジスタにチャンネルが形成されてしまう。即ち、しきい値電圧がマイナス方向にシフトする。酸化物半導体の水素を完全に除去することは困難であるため、しきい値電圧の制御も困難となる。

20

【0006】

特許文献3には、酸化物半導体膜中に水素を添加すると、導電率が4から5桁程度高くなることが示されている。また、酸化物半導体膜に接する絶縁膜から酸化物半導体膜に、水素が拡散していくことが示されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【特許文献3】特開2008-141119号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

効率よく水素を捕獲できる酸化物半導体膜を提供することを課題の一とする。

【0009】

酸化物半導体膜を用いたトランジスタに安定した電気的特性を付与し、信頼性の高い半導体装置を作製することを課題の一とする。

40

【課題を解決するための手段】

【0010】

本発明の一態様は、酸化物半導体膜に微小な空洞を有することを技術的思想とする。

【0011】

また、酸化物半導体膜を用いたトランジスタにおいて、チャンネル領域と隣接する、ソース領域およびドレイン領域に微小な空洞を有することを技術的思想とする。

【0012】

酸化物半導体はn型の導電性を有することが多く、また酸化物半導体膜中で水素の一部はドナーとなりキャリアである電子を放出することが知られている。その結果、酸化物半導

50

体膜を用いたトランジスタは、しきい値電圧がマイナス方向にシフトしてしまうことがある。そこで、水素がなるべく含まれないように酸化物半導体膜を形成する必要があるが、微量の水素の混入を抑制することは困難である。

【0013】

本発明の一態様は、酸化物半導体膜に形成されるソース領域およびドレイン領域に微小な空洞を設けることによって、酸化物半導体膜のチャネル領域に含まれる水素を微小な空洞に捕獲させることができる。

【0014】

微小な空洞は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の窒素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の水素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の酸素イオンの少なくともいずれかをイオン注入またはイオンドーピングすることで設けることができる。

10

【発明の効果】

【0015】

微小な空洞を設けることで、効率よく水素を捕獲できる酸化物半導体膜を提供することができる。

【0016】

チャネル領域に含まれる水素をソース領域およびドレイン領域に捕獲することにより、酸化物半導体膜を用いるトランジスタに安定した電気的特性を付与し、信頼性の高い半導体装置を作製することができる。

20

【図面の簡単な説明】

【0017】

【図1】本発明の一態様に掛かるトランジスタの一例を示す上面図および断面図。

【図2】本発明の一態様に掛かるトランジスタの一例を示す上面図および断面図。

【図3】本発明の一態様に掛かるトランジスタの一例を示す上面図および断面図。

【図4】本発明の一態様に掛かるトランジスタの一例を示す上面図および断面図。

【図5】本発明の一態様に掛かるトランジスタの一例を示す上面図および断面図。

【図6】本発明の一態様に掛かるトランジスタの一例を示す上面図および断面図。

【図7】本発明の一態様に掛かるトランジスタの一例を示す上面図および断面図。

【図8】本発明の一態様に掛かるトランジスタを用いた液晶表示装置の一例を示す回路図

30

。

【図9】本発明の一態様に掛かるトランジスタを用いた半導体記憶装置の一例を示す回路図および電気的特性を示す図。

【図10】本発明の一態様に掛かるトランジスタを用いた半導体記憶装置の一例を示す回路図および電気的特性を示す図。

【図11】本発明の一態様に掛かるトランジスタを用いた半導体記憶装置の一例を示す回路図。

【図12】本発明の一態様に掛かるトランジスタを用いたCPUの具体例を示すブロック図およびその一部の回路図。

【図13】本発明の一態様である半導体装置を適用した電子機器の一例を示す斜視図。

40

【図14】本発明の一態様に掛かるトランジスタの作製方法の一例を示す断面図。

【図15】本発明の一態様に掛かるトランジスタの作製方法の一例を示す断面図。

【図16】本発明の一態様に掛かるトランジスタの作製方法の一例を示す断面図。

【図17】本発明の一態様に掛かるトランジスタの作製方法の一例を示す断面図。

【図18】本発明の一態様に掛かるトランジスタの作製方法の一例を示す断面図。

【図19】本発明の一態様に掛かるトランジスタの作製方法の一例を示す断面図。

【図20】本発明の一態様に掛かるトランジスタの作製方法の一例を示す断面図。

【図21】TEMによる断面観察像。

【図22】TEMによる断面観察像。

【図23】TEMによる断面観察像。

50

【図24】HAADF-STEMによる断面観察像およびEELSによる元素分布。

【図25】HAADF-STEMによる断面観察像およびEELSによる元素分布。

【図26】HAADF-STEMによる断面観察像およびEELSによる元素分布。

【図27】XPSスペクトル。

【図28】SIMSによる水素および窒素の深さ方向濃度分布。

【図29】SIMSによる水素および窒素の深さ方向濃度分布。

【図30】本発明の一態様である酸化物半導体膜の断面図。

【発明を実施するための形態】

【0018】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更しうることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

10

【0019】

以下に本発明の説明を行うが、本明細書で用いる用語について簡単に説明する。まず、トランジスタのソースとドレインについては、本明細書においては、一方をドレインと呼ぶとき他方をソースと呼ぶ。すなわち、電位の高低によって、それらを区別しない。従って、本明細書において、ソースとされている部分をドレインと読み替えることもできる。

20

【0020】

また、電圧は、ある電位と、基準の電位（例えばグラウンド電位）との電位差のことを示す場合が多い。よって、電圧と電位を言い換えることが可能である。

【0021】

本明細書においては、「接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在している場合だけのこともある。

【0022】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

30

【0023】

（実施の形態1）

本実施の形態では、本発明の一態様である酸化物半導体膜の一例について図30を用いて説明する。

【0024】

図30は酸化物半導体膜3006の断面図である。酸化物半導体膜3006は、微小な空洞3010を有し、微小な空洞3010は、窒素、水素および酸素の少なくともいずれかを含む。

【0025】

酸化物半導体膜3006は、例えば、In-Sn-Ga-Zn-O系の材料や、In-Ga-Zn-O系の材料、In-Sn-Zn-O系の材料、In-Al-Zn-O系の材料、Sn-Ga-Zn-O系の材料、Al-Ga-Zn-O系の材料、Sn-Al-Zn-O系の材料や、In-Zn-O系の材料、Sn-Zn-O系の材料、Al-Zn-O系の材料、Zn-Mg-O系の材料、Sn-Mg-O系の材料、In-Mg-O系の材料、In-Ga-O系の材料や、In-O系の材料、Sn-O系の材料、Zn-O系の材料などを用いればよい。ここで、例えば、In-Ga-Zn-O系の材料とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物、という意味であり、その原子数比は特に問わない。また、InとGaとZn以外の元素を含んでいてもよい。このとき、酸化物半導体膜3006の化学量論比に対し、Oを過剰にすると好ましい。Oを過剰にすることで酸化物半導体膜3006の酸素欠損に起因するキャリアの生成を抑制することが

40

50

できる。

【0026】

なお、酸化物半導体膜3006の一例としてIn-Zn-O系材料を用いる場合、原子数比で、In/Znが0.5~50、好ましくはIn/Znが1~20、さらに好ましくはIn/Znが3~15とする。Znの原子数比を前述の範囲とすることで、トランジスタの電界効果移動度を向上させることができる。ここで、化合物の原子数比がIn:Zn:O=X:Y:Zのとき、 $Z > 1.5X + Y$ とする。

【0027】

酸化物半導体膜3006として、化学式 $InMO_3(ZnO)_m$ ($m > 0$)で表記される材料を用いてもよい。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えば、Mとして、Ga、GaおよびAl、GaおよびMnまたはGaおよびCoなどを用いてもよい。

10

【0028】

酸化物半導体膜3006に設けられた微小な空洞は、周りと比較して低密度であるか、空隙であり、直径が0.1nm以上10nm以下、好ましくは2nm以上7nm以下の概略球形領域、または前述の概略球形領域が複数重なった領域である。直径が10nmの球形である微小な空洞は、例えば直径が0.375nmの窒素分子、および直径が0.364nmの酸素分子を1個から20000個程度、直径が0.29nmの水素分子を1個から40000個程度捕獲することが可能となる。酸化物半導体膜3006において、微小な空洞が設けられた領域は、微小な空洞が設けられていない領域と比べて低密度となる。

20

【0029】

酸化物半導体膜3006に設けられた微小な空洞中に、窒素、酸素、水素などのガス分子を捕獲することができる。窒素、酸素、水素などのガス分子をさらに捕獲するためには、例えば、微小な空洞形成後、200以上700以下、好ましくは300以上650以下で加熱処理を行えばよい。

【0030】

酸化物半導体膜3006は、単結晶、多結晶(ポリクリスタルともいう。)または非晶質などの状態をとる。

【0031】

好ましくは、酸化物半導体膜3006は、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜とする。

30

【0032】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM:Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

40

【0033】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、 85° 以上 95° 以下の範囲も含まれることとする。また、単に平行と記載する場合、 -5° 以上 5° 以下の範囲も含まれることとする。

【0034】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC

50

C - O S 膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、C A A C - O S 膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【 0 0 3 5 】

C A A C - O S 膜に含まれる結晶部の c 軸は、C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、C A A C - O S 膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部の c 軸の方向は、C A A C - O S 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または

10

【 0 0 3 6 】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【 0 0 3 7 】

なお、C A A C - O S 膜に含まれる結晶部は表面近傍ほど形成されやすい。本発明の一態様のように、微小な空洞を有する酸化物半導体膜は、膜内部に多くの表面を有するため、C A A C - O S 膜に見られるような結晶部が得られやすい。

【 0 0 3 8 】

なお、酸化物半導体膜をスパッタリング法、プラズマ C V D 法、P L D (P u l s e L a s e r D e p o s i t i o n) 法、M B E (M o l e c u l a r B e a m E p i t a x y) 法または蒸着法などを用いて成膜し、その後、イオンを添加することで微小な空洞 3 0 1 0 を設けることで、酸化物半導体膜 3 0 0 6 を形成することができる。イオンの添加は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の窒素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の水素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の酸素イオンの少なくともいずれかを用いる。なお、窒素イオンまたは酸素イオンを添加後、水素イオンを添加しても構わない。窒素イオン、水素イオン、酸素イオンの添加はイオン注入法またはイオンドーピング法を用いればよいが、イオンドーピング法を用いると好ましい。例えば、窒素イオンを添加する場合、イオンドーピング法により、 NH_x (X は自然数) イオンを添加しても構わない。イオンドーピング法を用いることで、イオン注入に比べ、時間を短縮することが可能となり好ましい。

20

30

【 0 0 3 9 】

次に、2 0 0 以上 7 0 0 以下で加熱処理を行うことで、酸化物半導体膜 3 0 0 6 内および酸化物半導体膜 3 0 0 6 外から、微小な空洞 3 0 1 0 に水素を捕獲させることができる。

【 0 0 4 0 】

本実施の形態より、水素を捕獲することが可能な微小な空洞を有する酸化物半導体膜を製作することができる。

【 0 0 4 1 】

本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

40

【 0 0 4 2 】

(実施の形態 2)

本実施の形態では、本発明の一態様の半導体装置であるトランジスタの一例について図 1 を用いて説明する。

【 0 0 4 3 】

図 1 (A) はトランジスタの上面図である。図 1 (A) に示した一点鎖線 A - B および一点鎖線 C - D における断面は、それぞれ図 1 (B) に示す A - B 断面および図 1 (C) に示す C - D 断面に対応する。

【 0 0 4 4 】

50

ここでは、図1(B)に示すA-B断面について詳細に説明する。

【0045】

トランジスタは、基板100と、基板100上のゲート電極104と、ゲート電極104を覆うゲート絶縁膜112と、ゲート絶縁膜112を介してゲート電極104上にあるチャネル領域105、ソース領域107aおよびドレイン領域107bを有する酸化物半導体膜106と、酸化物半導体膜106上にあり酸化物半導体膜106と一部が接する一対の電極116と、を有する。なお、酸化物半導体膜106上に層間絶縁膜118を有すると、酸化物半導体膜106のチャネル領域105が露出しないため好ましい。

【0046】

酸化物半導体膜106は、実施の形態1で示した酸化物半導体膜3006と同様の構成とすればよい。

10

【0047】

ここで、酸化物半導体膜106の一部に対し、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の窒素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の水素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の酸素イオンの少なくともいずれかを添加することで、酸化物半導体膜106中に微小な空洞を設ける。なお、選択的にイオンを添加するために、酸化物半導体膜106上にレジストマスクを設けてもよい。

【0048】

酸化物半導体膜106は、水素と結合し、キャリアである電子を生成することがある。そのため、微小な空洞中に水素が捕獲されると、微小な空洞近傍の領域のシート抵抗が 1×10^5 から $1 \times 10^7 \text{ } \Omega/\square$ 程度(好ましくは、 1×10^4 から $1 \times 10^6 \text{ } \Omega/\square$ 程度)まで下がり、ソース領域107aおよびドレイン領域107bとなる。また、微小な空洞の未形成領域は、チャネル領域105となる。

20

【0049】

このとき、チャネル領域105、ならびに酸化物半導体膜106と接する膜に含まれる水素が、ソース領域107aおよびドレイン領域107bにある微小な空洞に捕獲される。そのため、チャネル領域105や、その近傍の水素濃度を極めて小さくすることが可能となり、チャネル領域105は高純度化される。

【0050】

チャネル領域105の水素濃度は、 $5 \times 10^{18} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{18} \text{ cm}^{-3}$ 以下、より好ましくは $5 \times 10^{17} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{16} \text{ cm}^{-3}$ 以下とする。

30

【0051】

ここで、アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちナトリウム(Na)は、酸化物半導体膜に接する絶縁膜中で拡散して Na^+ となる。また、Naは、酸化物半導体膜内において、酸化物半導体を構成する金属と酸素の結合を分断する、または、その結合中に割り込む。その結果、例えば、しきい値電圧がマイナス方向にシフトすることによるノーマリオン化、電界効果移動度の低下などの、トランジスタ特性の劣化が起こり、加えて、特性のばらつきも生じる。この不純物によりもたらされるトランジスタ特性の劣化と、特性のばらつきは、酸化物半導体膜中の水素濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体膜中の水素濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下、または $1 \times 10^{17} \text{ cm}^{-3}$ 以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、Na濃度の測定値は、 $5 \times 10^{16} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{16} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下とするとよい。同様に、リチウム(Li)濃度の測定値は、 $5 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下とするとよい。同様に、カリウム(K)濃度の測定値は、 $5 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下とするとよい。

40

50

【0052】

以上に示したチャネル領域105の形成されるトランジスタは、オフ電流を極めて小さくできる。例えば、チャネル長が $3\ \mu\text{m}$ 、チャネル幅が $1\ \mu\text{m}$ のときのトランジスタのオフ電流は、 $1 \times 10^{-18}\ \text{A}$ 以下、または $1 \times 10^{-21}\ \text{A}$ 以下、または $1 \times 10^{-24}\ \text{A}$ 以下となる。

【0053】

酸化物半導体膜106は、例えば、In、Ga、ZnおよびSnから選ばれた二種以上を含む材料を用いればよい。

【0054】

酸化物半導体膜106は、トランジスタのオフ電流を低減するため、バンドギャップが $2.5\ \text{eV}$ 以上、好ましくは $3.0\ \text{eV}$ 以上の材料を選択する。ただし、酸化物半導体膜に代えて、バンドギャップが前述の範囲である半導体性を示す材料を用いても構わない。

10

【0055】

ゲート絶縁膜112および層間絶縁膜118は、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化イットリウムまたは酸化ジルコニウムなどを、単層で、または積層して用いればよい。例えば、プラズマCVD法およびスパッタリング法などで形成すればよい。また、ゲート絶縁膜112および層間絶縁膜118は、加熱処理により酸素を放出する膜を用いると好ましい。加熱処理により酸素を放出する膜を用いることで、チャネル領域105に生じる欠陥を修復することができ、トランジスタの電気特性の劣化を抑制できる。

20

【0056】

なお、本実施の形態では、ゲート絶縁膜112および層間絶縁膜118として、水素を $1 \times 10^{20}\ \text{cm}^{-3}$ 以上 $3 \times 10^{22}\ \text{cm}^{-3}$ 以下の濃度で含有する絶縁膜を用いてもよい。従来の酸化物半導体膜をチャネル領域に用いたトランジスタでは、酸化物半導体膜の近傍に含まれる水素濃度を極力小さくする必要性が指摘されてきた。しかしながら、本発明の一態様を適用することにより、水素は、微小な空洞を設けたソース領域107aおよびドレイン領域107bに捕獲することが可能となる。そのため、ゲート絶縁膜112および層間絶縁膜118として、水素を高濃度で含む絶縁膜を用いてもよく、同時に、ゲート絶縁膜112および層間絶縁膜118から供給される水素によって、ソース領域107aおよびドレイン領域107bの抵抗を低減することができる。水素を $1 \times 10^{20}\ \text{cm}^{-3}$ 以上 $3 \times 10^{22}\ \text{cm}^{-3}$ 以下の濃度で含有する絶縁膜は、例えば、プラズマCVD法によりシランおよび亜酸化窒素を混合した雰囲気にて成膜することができる。または、スパッタリング法によりアルゴン、酸素および水素を混合した雰囲気にて成膜することができる。

30

【0057】

「加熱処理により酸素を放出する」とは、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法) 分析にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{18}\ \text{cm}^{-3}$ 以上、または $1.0 \times 10^{20}\ \text{cm}^{-3}$ 以上であることをいう。

【0058】

ここで、TDS分析にて、酸素の放出量の測定方法について、以下に説明する。

40

【0059】

TDS分析したときの気体の放出量は、イオン強度の積分値に比例する。このため、測定したイオン強度の積分値と、標準試料との比により、気体の放出量を計算することができる。標準試料の基準値とは、所定の密度の原子を含む試料において、当該原子に相当するイオン強度の積分値に対する当該原子の密度の割合である。

【0060】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、および絶縁膜のTDS分析結果から、絶縁膜の酸素分子の放出量(N_{O_2})は、数式1で求めることができる。ここで、TDS分析で得られる質量数32で検出されるガスの全てが酸

50

素分子由来と仮定する。質量数 32 のものとしてほかに CH_3OH があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数 17 の酸素原子および質量数 18 の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【0061】

$$N_{\text{O}_2} = N_{\text{H}_2} / S_{\text{H}_2} \times S_{\text{O}_2} \times \quad (\text{数式 1})$$

【0062】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料を TDS 分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 $N_{\text{H}_2} / S_{\text{H}_2}$ とする。 S_{O_2} は、絶縁膜を TDS 分析したときのイオン強度の積分値である。は、TDS 分析におけるイオン強度に影響する係数である。数式 1 の詳細に関しては、特開平 6 - 275697 公報を参照する。なお、上記絶縁膜の酸素の放出量は、電子科学株式会社製の昇温脱離分析装置 EMD - WA1000S / W を用い、標準試料として $1 \times 10^{16} \text{ cm}^{-3}$ の水素原子を含むシリコンウェハを用いて測定した。

10

【0063】

また、TDS 分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量について見積もることができる。

【0064】

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の 2 倍となる。

20

【0065】

上記構成において、加熱処理により酸素を放出する膜は、酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) であってもよい。酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) とは、シリコン原子数の 2 倍より多い酸素原子を単位体積あたりに含むものである。単位体積当たりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法 (RBS: Rutherford Backscattering Spectrometry) により測定した値である。

【0066】

ゲート絶縁膜 112 または層間絶縁膜 118 からチャネル領域 105 に酸素が供給されることで、チャネル領域 105 とゲート絶縁膜 112 との界面準位密度、およびチャネル領域 105 と層間絶縁膜 118 との界面準位密度を低減できる。この結果、トランジスタの動作などに起因して、チャネル領域 105 とゲート絶縁膜 112 との界面、またはチャネル領域 105 と層間絶縁膜 118 との界面にキャリアが捕獲されることを抑制することができる、電気特性の劣化の少ないトランジスタを得ることができる。

30

【0067】

さらに、チャネル領域 105 の酸素欠損に起因して電荷が生じる場合がある。一般に酸化物半導体膜の酸素欠損は、一部がドナーとなりキャリアである電子を放出する。この結果、トランジスタのしきい値電圧がマイナス方向へシフトしてしまう。ゲート絶縁膜 112 または層間絶縁膜 118 からチャネル領域 105 に酸素が十分に供給されることにより、しきい値電圧がマイナス方向へシフトする要因である、チャネル領域 105 の酸素欠損を低減することができる。

40

【0068】

即ち、ゲート絶縁膜 112 または層間絶縁膜 118 に、加熱処理により酸素を放出する膜を設けることで、チャネル領域 105 とゲート絶縁膜 112 との界面の界面準位密度、またはチャネル領域 105 と層間絶縁膜 118 との界面の界面準位密度、ならびにチャネル領域 105 の酸素欠損を低減し、チャネル領域 105 とゲート絶縁膜 112 または層間絶縁膜 118 との界面におけるキャリア捕獲の影響を小さくすることができる。

【0069】

50

このように、様々な要因でトランジスタのしきい値電圧がマイナス方向へシフトすることがある。従って、酸素欠損を低減しつつ、チャンネル領域105に含まれる水素濃度を低減させることが好ましい。

【0070】

基板100に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などを、基板100として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI (Silicon On Insulator) 基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板100として用いてもよい。

10

【0071】

基板100として、可とう性基板を用いてもよい。その場合は、可とう性基板上に直接トランジスタを作製すればよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板100に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。

【0072】

ゲート電極104は、単層または積層構造とすればよく、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびW、それらの窒化物、酸化物ならびに合金から一以上選択し、単層でまたは積層で用いればよい。また、ゲート電極104として酸化物を用いる場合は、 $5 \times 10^{19} \text{ cm}^{-3}$ 以上20 atomic %以下、好ましくは $1 \times 10^{20} \text{ cm}^{-3}$ 以上7 atomic %以下の窒素を含んでいてもよい。例えば、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上7 atomic %以下の窒素を含み、かつIn、GaおよびZnを含む酸化物膜を用いるとよい。酸化物膜をゲート電極104に用いる場合、酸化物膜は金属膜と比べて抵抗が高いため、ゲート電極全体の抵抗を低減するために、シート抵抗が $10 \text{ } / \text{ sq}$ 以下の低抵抗膜を積層して設けると好ましい。なお、単位が cm^{-3} の濃度は二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)によって定量化でき、単位がatomic %の濃度はX線光電子分光法(XPS: X-ray Photoelectron Spectroscopy)分析によって定量化できる。

20

30

【0073】

なお、図1ではゲート電極104が酸化物半導体膜106よりも縦、横ともに大きい形状にすることで酸化物半導体膜106の光による劣化、電荷の発生を抑制しているが、これに限定されるものではない。例えば、酸化物半導体膜106がゲート電極104よりも、上面図において縦、横ともに大きい形状にしても構わない。

【0074】

一对の電極116は、ゲート電極104で示した金属膜、金属窒化物膜、金属酸化物膜または合金膜などを単層でまたは積層で用いればよい。

【0075】

一对の電極116にCuを含む膜を用いると、配線の抵抗を低減でき、大型表示装置などでも配線遅延などの発生を低減することができる。一对の電極116にCuを用いる場合、基板100の材質によっては密着性が悪くなるため、基板100と密着性のよい膜との積層構造にすることが好ましい。基板100と密着性のよい膜として、Ti、Mo、MnまたはAlなどを含む膜を用いればよい。例えば、Cu-Mn-Al合金を用いてもよい。

40

【0076】

次に、図1に示したトランジスタの作製方法について、図14を用いて説明する。

【0077】

まず、基板100上に導電膜をスパッタリング法、蒸着法などで成膜し、加工してゲート電極104を形成する。次に、ゲート電極104を覆うゲート絶縁膜112を形成する(

50

図14(A)参照。)

【0078】

次に、ゲート絶縁膜112を介してゲート電極104上に酸化物半導体膜を成膜し、加工して酸化物半導体膜106を形成する(図14(B)参照。)

【0079】

次に、酸化物半導体膜106上にレジストマスクなどを形成し、酸化物半導体膜106の一部に $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の窒素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の水素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の酸素イオンの少なくともいずれかを添加する。該添加により、酸化物半導体膜106の一部に微小な空洞を形成することができる。次に、200以上700以下、好ましくは300以上650以下で加熱処理を行うことで、微小な空洞に水素を捕獲させ、チャネル領域105、ソース領域107aおよびドレイン領域107bを形成する(図14(C)参照。)

10

【0080】

次に、導電膜をスパッタリング法、蒸着法などで成膜し、加工して酸化物半導体膜106と一部が接する一対の電極116を形成する。次に、酸化物半導体膜106、一対の電極116上に層間絶縁膜118を形成してもよい(図14(D)参照。)

【0081】

以上のように、酸化物半導体膜106の一部に添加することで微小な空洞を形成し、加熱処理によって該微小な空洞に水素が捕獲されると、微小な空洞の形成領域近傍の抵抗が下がってソース領域107aおよびドレイン領域107bが形成されると同時にソース領域107aおよびドレイン領域107b以外の酸化物半導体膜106の領域から水素が除去されることとなり、高純度化されたチャネル領域105を形成することができる。そのため、トランジスタのオフ電流が極めて小さく、安定した電気的特性を有する信頼性の高い半導体装置を作製することができる。

20

【0082】

以上の工程によって、図1に示したトランジスタを作製することができる。

【0083】

本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

【0084】

(実施の形態3)

本実施の形態では、実施の形態2に示したトランジスタとは異なる構造のトランジスタについて説明する。

30

【0085】

図2はトランジスタの上面図および断面図である。図2(A)に示した一点鎖線A-Bおよび一点鎖線C-Dにおける断面は、それぞれ図2(B)に示すA-B断面および図2(C)に示すC-D断面に対応する。

【0086】

以下に、図2(B)に示すA-B断面について詳細に説明する。

【0087】

トランジスタは、基板100と、基板100上のゲート電極104と、ゲート電極104を覆うゲート絶縁膜112と、ゲート絶縁膜112上の一対の電極216と、ゲート絶縁膜112を介してゲート電極104上にあり、一対の電極216と一部が接し、チャネル領域205、ソース領域207aおよびドレイン領域207bを有する酸化物半導体膜206と、を有する。なお、ゲート絶縁膜112、一対の電極216および酸化物半導体膜206上の層間絶縁膜218を有すると、酸化物半導体膜206が露出しないため好ましい。ここで、一対の電極216、酸化物半導体膜206および層間絶縁膜218は、実施の形態2で示した一対の電極116、酸化物半導体膜106および層間絶縁膜118を参照すればよい。

40

【0088】

50

ここで、ソース領域 207a およびドレイン領域 207b は、実施の形態 2 で示したソース領域 107a およびドレイン領域 107b を参照する。即ち、酸化物半導体膜 206 の一部に対し、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の窒素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の水素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の酸素イオンの少なくともいずれかを添加することで、酸化物半導体膜 206 中に微小な空洞を設け、該微小な空洞に水素を捕獲することでソース領域 207a およびドレイン領域 207b とする。同時に、ソース領域 207a およびドレイン領域 207b 以外の酸化物半導体膜 206 の領域から水素が除去されることによって、高純度化されたチャネル領域 205 を形成することができる。

【0089】

なお、図 2 ではゲート電極 104 が酸化物半導体膜 206 よりも縦、横ともに大きい形状にすることで酸化物半導体膜 206 の光による劣化、電荷の発生を抑制しているが、これに限定されるものではない。例えば、酸化物半導体膜 206 がゲート電極 104 よりも、上面図において縦、横ともに大きい形状としても構わない。

【0090】

次に、図 2 に示したトランジスタの作製方法について、図 15 を用いて説明する。

【0091】

まず、基板 100 上に導電膜をスパッタリング法、蒸着法などで成膜し、加工してゲート電極 104 を形成する。次に、ゲート電極 104 を覆うゲート絶縁膜 112 を形成する。次に、ゲート絶縁膜 112 上に導電膜をスパッタリング法、蒸着法などで成膜し、加工して

一对の電極 216 を形成する（図 15 (A) 参照。）。

【0092】

次に、ゲート絶縁膜 112 を介してゲート電極 104 上に酸化物半導体膜を成膜し、加工して一对の電極 216 と一部が接する酸化物半導体膜 206 を形成する（図 15 (B) 参照。）。

【0093】

次に、酸化物半導体膜 206 上にレジストマスクなどを形成し、酸化物半導体膜 206 の一部に $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の窒素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の水素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の酸素イオンの少なくともいずれかを添加する。

該添加により、酸化物半導体膜 206 の一部に微小な空洞を形成することができる。次に、200 以上 700 以下、好ましくは 300 以上 650 以下で加熱処理を行うことで、微小な空洞に水素を捕獲させ、チャネル領域 205、ソース領域 207a およびドレイン領域 207b を形成する（図 15 (C) 参照。）。

【0094】

次に、酸化物半導体膜 206、一对の電極 216 上に層間絶縁膜 218 を形成してもよい（図 15 (D) 参照。）。

【0095】

以上の工程によって、図 2 に示したトランジスタを作製することができる。

【0096】

本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

【0097】

（実施の形態 4）

本実施の形態では、実施の形態 2 および実施の形態 3 に示したトランジスタとは異なる構造のトランジスタについて説明する。

【0098】

図 3 はトランジスタの上面図および断面図である。図 3 (A) に示した一点鎖線 A - B および一点鎖線 C - D における断面は、それぞれ図 3 (B) に示す A - B 断面および図 3 (C) に示す C - D 断面に対応する。

【0099】

10

20

30

40

50

以下に、図3(B)に示すA-B断面について詳細に説明する。

【0100】

トランジスタは、基板100と、基板100上の下地絶縁膜302と、下地絶縁膜302上のチャネル領域305、ソース領域307aおよびドレイン領域307bを有する酸化物半導体膜306と、酸化物半導体膜306上にあり酸化物半導体膜306と一部が接する一対の電極316と、酸化物半導体膜306および一対の電極316上のゲート絶縁膜312と、ゲート絶縁膜312を介して酸化物半導体膜306上にあるゲート電極304と、を有する。なお、基板100の表面状態によっては、下地絶縁膜302を設けない構成としても構わない。ここで、一対の電極316、酸化物半導体膜306、ゲート電極304およびゲート絶縁膜312は、実施の形態2で示した一対の電極116、酸化物半導体膜106、ゲート電極104およびゲート絶縁膜112を参照すればよい。

10

【0101】

ここで、ソース領域307aおよびドレイン領域307bは、実施の形態2で示したソース領域107aおよびドレイン領域107bを参照する。即ち、酸化物半導体膜306の一部に対し、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の窒素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の水素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の酸素イオンの少なくともいずれかを添加することで、酸化物半導体膜306中に微小な空洞を設け、該微小な空洞に水素を捕獲することでソース領域307aおよびドレイン領域307bとする。同時に、ソース領域307aおよびドレイン領域307b以外の酸化物半導体膜306の領域から水素が除去されることによって、高純度化されたチャネル領域305を形成することができる。

20

【0102】

また、下地絶縁膜302は、ゲート絶縁膜312と同様の構成とすることができる。

【0103】

なお、図3ではゲート電極304が酸化物半導体膜306よりも縦、横ともに大きい形状にすることで酸化物半導体膜306の光による劣化、電荷の発生を抑制しているが、これに限定されるものではない。例えば、酸化物半導体膜306がゲート電極304よりも、上面図において縦、横ともに大きい形状としても構わない。

【0104】

次に、図3に示したトランジスタの作製方法について、図16を用いて説明する。

30

【0105】

まず、基板100上に下地絶縁膜302を形成する。次に、下地絶縁膜302上に酸化物半導体膜を成膜し、加工して酸化物半導体膜306を形成する(図16(A)参照)。なお、基板100の表面状態によっては、下地絶縁膜302を設けなくても構わない。

【0106】

次に、酸化物半導体膜306上にレジストマスクなどを形成し、酸化物半導体膜306の一部に $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の窒素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の水素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の酸素イオンの少なくともいずれかを添加する。該添加により、酸化物半導体膜306の一部に微小な空洞を形成することができる。次に、200以上700以下、好ましくは300以上650以下で加熱処理を行うことで、微小な空洞に水素を捕獲させ、チャネル領域305、ソース領域307aおよびドレイン領域307bを形成する(図16(B)参照)。

40

【0107】

次に、酸化物半導体膜306上に導電膜をスパッタリング法、蒸着法などで成膜し、加工して酸化物半導体膜306と一部が接する一対の電極316を形成する(図16(C)参照)。

【0108】

次に、酸化物半導体膜306および一対の電極316上にゲート絶縁膜312を形成する。次に、導電膜をスパッタリング法、蒸着法などで成膜し、加工して、ゲート絶縁膜31

50

2を介して酸化物半導体膜306に重畳するゲート電極304を形成する(図16(D)参照。)

【0109】

以上の工程によって、図3に示したトランジスタを作製することができる。

【0110】

本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

【0111】

(実施の形態5)

本実施の形態では、実施の形態4に示したトランジスタと一部構造の異なるトランジスタについて説明する。

10

【0112】

図4はトランジスタの上面図および断面図である。図4(A)に示した一点鎖線A-Bおよび一点鎖線C-Dにおける断面は、それぞれ図4(B)に示すA-B断面および図4(C)に示すC-D断面に対応する。

【0113】

以下に、図4(B)に示すA-B断面について詳細に説明する。

【0114】

トランジスタは、基板100と、基板100上の下地絶縁膜302と、下地絶縁膜302上の領域405a、領域405b、領域405c、領域407aおよび領域407bを有する酸化物半導体膜406と、酸化物半導体膜406上にあり酸化物半導体膜406と一部が接する一対の電極316と、酸化物半導体膜406および一対の電極316上のゲート絶縁膜312と、ゲート絶縁膜312を介して酸化物半導体膜406上にあり、一対の電極316と重畳しないゲート電極404と、を有する。なお、基板100の表面状態によっては、下地絶縁膜302を設けなくても構わない。ここで、酸化物半導体膜406およびゲート電極404は、実施の形態2で示した酸化物半導体膜106およびゲート電極104を参照すればよい。

20

【0115】

ここで、領域407aおよび領域407bは、シート抵抗値が、実施の形態2で示したソース領域107aおよびドレイン領域107b以上であり、領域405a、領域405bおよび領域405c以下である領域である。酸化物半導体膜406の一部に対し、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の窒素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の水素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の酸素イオンの少なくともいずれかを添加することで、酸化物半導体膜406中に微小な空洞を設け、該微小な空洞に水素を捕獲することで領域407aおよび領域407bとする。同時に、領域407aおよび領域407b以外の酸化物半導体膜406の領域(領域405a、領域405bおよび領域405c)から水素が除去されることによって、高純度化されたチャネル領域を形成することができる。

30

【0116】

領域407aおよび領域407bを、実施の形態2で示したソース領域107aおよびドレイン領域107bよりも抵抗が高く、領域405a、領域405bおよび領域405cよりも抵抗が低い領域とすることで、トランジスタを微細化してもホットキャリア劣化などの劣化を抑制し、短チャネル効果を低減することができる。

40

【0117】

次に、図4に示したトランジスタの作製方法について、図17を用いて説明する。

【0118】

まず、基板100上に下地絶縁膜302を形成する。次に、下地絶縁膜302上に酸化物半導体膜を成膜し、加工して酸化物半導体膜406を形成する(図17(A)参照。)。なお、基板100の表面状態によっては、下地絶縁膜302を設けなくても構わない。

【0119】

次に、酸化物半導体膜406上に導電膜をスパッタリング法、蒸着法などで成膜し、加工

50

して一对の電極 3 1 6 を形成する (図 1 7 (B) 参照。)。

【 0 1 2 0 】

次に、酸化物半導体膜 4 0 6 および一对の電極 3 1 6 上にゲート絶縁膜 3 1 2 を形成する。次に、導電膜をスパッタリング法、蒸着法などで成膜し、加工して、ゲート絶縁膜 3 1 2 を介して酸化物半導体膜 4 0 6 に重畳し、一对の電極 3 1 6 と重畳しないゲート電極 4 0 4 を形成する (図 1 7 (C) 参照。)。

【 0 1 2 1 】

次に、ゲート電極 4 0 4 および一对の電極 3 1 6 をマスクに、酸化物半導体膜 4 0 6 の一部に $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の窒素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の水素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の酸素イオンの少なくともいずれかを添加する。該添加により、酸化物半導体膜 4 0 6 の一部に微小な空洞を形成することができる。次に、200 以上 700 以下、好ましくは 300 以上 650 以下で加熱処理を行うことで、微小な空洞に水素を捕獲させ、領域 4 0 5 a、領域 4 0 5 b、領域 4 0 5 c、領域 4 0 7 a および領域 4 0 7 b を形成する (図 1 7 (D) 参照。)。

【 0 1 2 2 】

以上の工程によって、図 4 に示したトランジスタを作製することができる。

【 0 1 2 3 】

本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

【 0 1 2 4 】

(実施の形態 6)

本実施の形態では、実施の形態 2 乃至実施の形態 5 に示したトランジスタとは異なる構造のトランジスタについて説明する。

【 0 1 2 5 】

図 5 はトランジスタの上面図および断面図である。図 5 (A) に示した一点鎖線 A - B および一点鎖線 C - D における断面は、それぞれ図 5 (B) に示す A - B 断面および図 5 (C) に示す C - D 断面に対応する。

【 0 1 2 6 】

以下に、図 5 (B) に示す A - B 断面について詳細に説明する。

【 0 1 2 7 】

トランジスタは、基板 1 0 0 と、基板 1 0 0 上の下地絶縁膜 3 0 2 と、下地絶縁膜 3 0 2 上の一对の電極 5 1 6 と、一对の電極 5 1 6 上にあり一对の電極 5 1 6 と一部が接し、チャンネル領域 5 0 5、ソース領域 5 0 7 a およびドレイン領域 5 0 7 b を有する酸化物半導体膜 5 0 6 と、酸化物半導体膜 5 0 6 および一对の電極 5 1 6 上のゲート絶縁膜 5 1 2 と、ゲート絶縁膜 5 1 2 を介して酸化物半導体膜 5 0 6 上にあるゲート電極 5 0 4 と、を有する。なお、基板 1 0 0 の表面状態によっては、下地絶縁膜 3 0 2 を設けなくても構わない。ここで、一对の電極 5 1 6、酸化物半導体膜 5 0 6、ゲート電極 5 0 4 およびゲート絶縁膜 5 1 2 は、実施の形態 2 で示した一对の電極 1 1 6、酸化物半導体膜 1 0 6、ゲート電極 1 0 4 およびゲート絶縁膜 1 1 2 を参照すればよい。

【 0 1 2 8 】

ここで、ソース領域 5 0 7 a およびドレイン領域 5 0 7 b は、実施の形態 2 で示したソース領域 1 0 7 a およびドレイン領域 1 0 7 b を参照する。即ち、酸化物半導体膜 5 0 6 の一部に対し、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の窒素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の水素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の酸素イオンの少なくともいずれかを添加することで、酸化物半導体膜 5 0 6 中に微小な空洞を設け、該微小な空洞に水素を捕獲することでソース領域 5 0 7 a およびドレイン領域 5 0 7 b とする。同時に、ソース領域 5 0 7 a およびドレイン領域 5 0 7 b 以外の酸化物半導体膜 5 0 6 の領域から水素が除去されることによって、高純度化されたチャンネル領域 5 0 5 を形成することができる。

【 0 1 2 9 】

なお、図5ではゲート電極504が酸化物半導体膜506よりも縦、横ともに大きい形状にすることで酸化物半導体膜506の光による劣化、電荷の発生を抑制しているが、これに限定されるものではない。例えば、酸化物半導体膜506がゲート電極504よりも、上面図において縦、横ともに大きい形状としても構わない。

【0130】

次に、図5に示したトランジスタの作製方法について、図18を用いて説明する。

【0131】

まず、基板100上に下地絶縁膜302を形成する。次に、下地絶縁膜302上に導電膜をスパッタリング法、蒸着法などで成膜し、加工して一对の電極516を形成する(図18(A)参照)。なお、基板100の表面状態によっては、下地絶縁膜302を設けなくとも構わない。

10

【0132】

次に、酸化物半導体膜を成膜し、加工して一对の電極516と一部が接する酸化物半導体膜506を形成する(図18(B)参照)。

【0133】

次に、酸化物半導体膜506上にレジストマスクなどを形成し、酸化物半導体膜506の一部に $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の窒素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の水素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の酸素イオンの少なくともいずれかを添加する。該添加により、酸化物半導体膜506の一部に微小な空洞を形成することができる。次に、200以上700以下、好ましくは300以上650以下で加熱処理を行うことで、微小な空洞に水素を捕獲させ、チャンネル領域505、ソース領域507aおよびドレイン領域507bを形成する(図18(C)参照)。

20

【0134】

次に、酸化物半導体膜506、一对の電極516上にゲート絶縁膜512を形成する。次に、導電膜をスパッタリング法、蒸着法などで成膜し、加工して、ゲート絶縁膜512を介して酸化物半導体膜506に重畳するゲート電極504を形成する。(図18(D)参照)。

【0135】

以上の工程によって、図5に示したトランジスタを作製することができる。

30

【0136】

本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

【0137】

(実施の形態7)

本実施の形態では、実施の形態2乃至実施の形態6に示したトランジスタとは異なる構造のトランジスタについて説明する。

【0138】

図6は本発明の一態様の半導体装置であるトランジスタの上面図および断面図である。図6(A)に示した一点鎖線A-Bおよび一点鎖線C-Dにおける断面は、それぞれ図6(B)に示すA-B断面および図6(C)に示すC-D断面に対応する。

40

【0139】

以下に、図6(B)に示すA-B断面について詳細に説明する。

【0140】

トランジスタは、基板100と、基板100上の下地絶縁膜302と、下地絶縁膜302上のチャンネル領域605、ソース領域607aおよびドレイン領域607bを有する酸化物半導体膜606と、酸化物半導体膜606上のゲート絶縁膜612と、ゲート絶縁膜612を介してチャンネル領域605と重畳するゲート電極604と、酸化物半導体膜606およびゲート電極604上の層間絶縁膜618と、ゲート絶縁膜612および層間絶縁膜618に設けられた開口部を介して酸化物半導体膜606と接する一对の電極616と、を有する。なお、基板100の表面状態によっては、下地絶縁膜302を設けなくとも構

50

わない。ここで、一对の電極 6 1 6、酸化物半導体膜 6 0 6、ゲート電極 6 0 4、層間絶縁膜 6 1 8 およびゲート絶縁膜 6 1 2 は、実施の形態 2 で示した一对の電極 1 1 6、酸化物半導体膜 1 0 6、ゲート電極 1 0 4、層間絶縁膜 1 1 8 およびゲート絶縁膜 1 1 2 を参照すればよい。

【 0 1 4 1 】

ここで、図示しないが、ゲート絶縁膜 6 1 2 およびゲート電極 6 0 4 は概略同一の上面形状としてもよい。この形状は、ゲート電極 6 0 4 およびゲート絶縁膜 6 1 2 を同一のマスクを用いて加工することで得られる。または、ゲート電極 6 0 4 をマスクに用いてゲート絶縁膜 6 1 2 を加工することによって得られる。

【 0 1 4 2 】

なお、図 6 ではゲート絶縁膜 6 1 2 および層間絶縁膜 6 1 8 に設けられた開口部の上面形状は円形であるが、これに限定されるものではない。該開口部は、ソース領域 6 0 7 a およびドレイン領域 6 0 7 b を露出するものであれば、形状は問わない。

【 0 1 4 3 】

チャンネル領域 6 0 5 は、ゲート電極 6 0 4 と概略同一の上面形状としてもよい。この形状は、ゲート絶縁膜 6 1 2 またはゲート電極 6 0 4 をマスクに酸化物半導体膜 6 0 6 のソース領域 6 0 7 a およびドレイン領域 6 0 7 b を形成することで得られる。ここでは、ゲート電極 6 0 4 をマスクに、酸化物半導体膜 6 0 6 に $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の窒素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の水素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の酸素イオンの少なくともいずれかを添加することで、酸化物半導体膜 6 0 6 中に微小な空洞を設け、該微小な空洞に水素を捕獲することでソース領域 6 0 7 a およびドレイン領域 6 0 7 b とする。同時に、ソース領域 6 0 7 a およびドレイン領域 6 0 7 b 以外の酸化物半導体膜 6 0 6 の領域から水素が除去されることによって、高純度化されたチャンネル領域 6 0 5 を形成することができる。

【 0 1 4 4 】

次に、図 6 に示したトランジスタの作製方法について、図 1 9 を用いて説明する。

【 0 1 4 5 】

まず、基板 1 0 0 上に下地絶縁膜 3 0 2 を形成する。次に、下地絶縁膜 3 0 2 上に酸化物半導体膜を成膜し、加工して酸化物半導体膜 6 0 6 を形成する（図 1 9 (A) 参照。）。なお、基板 1 0 0 の表面状態によっては、下地絶縁膜 3 0 2 を設けなくても構わない。

【 0 1 4 6 】

次に、ゲート絶縁膜 6 1 2 をスパッタリング法、プラズマ C V D 法などで成膜する。次に、導電膜をスパッタリング法、蒸着法などで成膜する。導電膜上にレジストマスクなどを形成し、導電膜を加工することで、ゲート電極 6 0 4 を形成する（図 1 9 (B) 参照。）。なお、ゲート電極 6 0 4 を形成後、プラズマ処理または薬液処理によってゲート電極 6 0 4 の幅を細くしても構わない。

【 0 1 4 7 】

次に、ゲート電極 6 0 4 をマスクに、酸化物半導体膜 6 0 6 の一部に $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の窒素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の水素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の酸素イオンの少なくともいずれかを添加する。該添加により、酸化物半導体膜 6 0 6 の一部に微小な空洞を形成することができる。次に、200 以上 700 以下、好ましくは 300 以上 650 以下で加熱処理を行うことで、微小な空洞に水素を捕獲させ、チャンネル領域 6 0 5、ソース領域 6 0 7 a およびドレイン領域 6 0 7 b を形成する（図 1 9 (C) 参照。）。

【 0 1 4 8 】

次に、酸化物半導体膜 6 0 6 およびゲート電極 6 0 4 上に層間絶縁膜 6 1 8 を形成し、ソース領域 6 0 7 a およびドレイン領域 6 0 7 b をそれぞれ露出する開口部をゲート絶縁膜 6 1 2 および層間絶縁膜 6 1 8 に形成する。次に、導電膜をスパッタリング法、蒸着法な

10

20

30

40

50

どで成膜し、加工して、酸化物半導体膜 606 と接する一対の電極 616 を形成する。(図 19 (D) 参照。)

【0149】

なお、図 19 ではゲート絶縁膜 612 および層間絶縁膜 618 に設けられた開口部の上面形状は円形であるが、これに限定されるものではない。該開口部は、ソース領域 607a およびドレイン領域 607b を露出するものであれば、形状は問わない。

【0150】

以上の工程によって、図 6 に示したトランジスタを作製することができる。

【0151】

本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

10

【0152】

(実施の形態 8)

本実施の形態では、実施の形態 2 乃至実施の形態 7 に示したトランジスタとは異なる構造のトランジスタについて説明する。

【0153】

図 7 はトランジスタの上面図および断面図である。図 7 (A) に示した一点鎖線 A - B および一点鎖線 C - D における断面は、それぞれ図 7 (B) に示す A - B 断面および図 7 (C) に示す C - D 断面に対応する。

【0154】

以下に、図 7 (B) に示す A - B 断面について詳細に説明する。

20

【0155】

トランジスタは、基板 100 と、基板 100 上のゲート電極 704 と、ゲート電極 704 を覆うゲート絶縁膜 712 と、ゲート絶縁膜 712 を介してゲート電極 704 上にあり、チャンネル領域 705、ソース領域 707a およびドレイン領域 707b を有する酸化物半導体膜 706 と、該酸化物半導体膜 706 およびゲート絶縁膜 712 上の、ソース領域 707a およびドレイン領域 707b をそれぞれ露出する開口部を有する層間絶縁膜 718 と、層間絶縁膜 718 に設けられた開口部を介して酸化物半導体膜 706 と接する一対の電極 716 と、を有する。ここで、一対の電極 716、酸化物半導体膜 706、ゲート電極 704、層間絶縁膜 718 およびゲート絶縁膜 712 は、実施の形態 2 で示した一対の電極 116、酸化物半導体膜 106、ゲート電極 104、層間絶縁膜 118 およびゲート絶縁膜 112 を参照すればよい。

30

【0156】

図 7 は、ゲート電極 704 とチャンネル領域 705 が概略同一の上面形状として図示されているが、これに限定されない。ゲート電極 704 とチャンネル領域 705 の形状が異なっても構わない。

【0157】

ここでは、レジストマスクなどを用いて、酸化物半導体膜 706 に $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の窒素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の水素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の酸素イオンの少なくともいずれかを添加することで、酸化物半導体膜 706 中に微小な空洞を設け、加熱処理を行うことで微小な空洞に水素を捕獲させ、ソース領域 707a およびドレイン領域 707b とする。同時に、ソース領域 707a およびドレイン領域 707b 以外の酸化物半導体膜 706 の領域から水素が除去されることによって、高純度化されたチャンネル領域 705 を形成することができる。なお、レジストマスクなどは、ゲート電極 704 をマスクに裏面露光技術によって形成しても構わない。その場合、ソース領域 707a およびドレイン領域 707b と、ゲート電極 704 との重畳する面積が小さくできるため寄生容量が低減され、トランジスタの動作速度を高めることができる。また、レジストマスクを形成するためのフォトマスク数が低減できるため、トランジスタの作製コストを低減することができて好ましい。

40

【0158】

50

次に、図 7 に示したトランジスタの作製方法について、図 20 を用いて説明する。

【0159】

まず、基板 100 上に導電膜をスパッタリング法、蒸着法などで成膜し、加工してゲート電極 704 を形成する。次に、ゲート電極 704 を覆うゲート絶縁膜 712 を形成する（図 20 (A) 参照。）。

【0160】

次に、酸化物半導体膜を成膜し、加工して酸化物半導体膜 706 を形成する（図 20 (B) 参照。）。

【0161】

次に、レジストマスクなどを用いて、酸化物半導体膜 706 の一部に $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の窒素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の水素イオン、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{22} \text{ cm}^{-3}$ 以下の濃度の酸素イオンの少なくともいずれかを添加する。該添加により、酸化物半導体膜 706 の一部に微小な空洞を形成することができる。次に、200 以上 700 以下、好ましくは 300 以上 650 以下で加熱処理を行うことで、微小な空洞に水素を捕獲させ、チャンネル領域 705、ソース領域 707 a およびドレイン領域 707 b を形成する（図 20 (C) 参照。）。

【0162】

次に、酸化物半導体膜 706 およびゲート絶縁膜 712 上に、ソース領域 707 a およびドレイン領域 707 b をそれぞれ露出する開口部を有する層間絶縁膜 718 を形成する。次に、導電膜をスパッタリング法、蒸着法などで成膜し、加工して、酸化物半導体膜 706 と接する一対の電極 716 を形成する。（図 20 (D) 参照。）。

【0163】

以上の工程によって、図 7 に示したトランジスタを作製することができる。

【0164】

本実施の形態は、他の実施の形態と適宜組み合わせる用いることができる。

【0165】

（実施の形態 9）

本実施の形態では、実施の形態 2 乃至実施の形態 8 のいずれかに示したトランジスタを用いて作製した液晶表示装置について説明する。なお、本実施の形態では液晶表示装置に本発明の一形態を適用した例について説明するが、これに限定されるものではない。例えば、EL (Electro Luminescence) 表示装置に本発明の一形態を適用することも、当業者であれば容易に想到しうるものである。

【0166】

図 8 にアクティブマトリクス駆動方式の液晶表示装置の回路図を示す。液晶表示装置は、ソース線 SL_1 乃至 SL_a 、ゲート線 GL_1 乃至 GL_b および複数の画素 2200 を有する。画素 2200 は、トランジスタ 2230 と、キャパシタ 2220 と、液晶素子 2210 と、を含む。こうした画素 2200 が複数集まって液晶表示装置の画素部を構成する。なお、単にソース線またはゲート線を指す場合には、ソース線 SL またはゲート線 GL と記載する。

【0167】

トランジスタ 2230 は、実施の形態 2 乃至実施の形態 8 のいずれかで示したトランジスタを用いる。本発明の一態様であるトランジスタは酸化物半導体を用いることで、電気特性に優れたトランジスタであるため、表示品位の高い表示装置を得ることができる。

【0168】

ゲート線 GL はトランジスタ 2230 のゲートと接続し、ソース線 SL はトランジスタ 2230 のソースと接続し、トランジスタ 2230 のドレインは、キャパシタ 2220 の一方の容量電極および液晶素子 2210 の一方の画素電極と接続する。キャパシタ 2220 の他方の容量電極および液晶素子 2210 の他方の画素電極は、共通電極と接続する。なお、共通電極はゲート線 GL と同一層かつ同一材料で設けてもよい。

10

20

30

40

50

【0169】

また、ゲート線GLは、ゲート駆動回路と接続される。ゲート駆動回路は、実施の形態2乃至実施の形態8のいずれかで示したトランジスタを含んでもよい。

【0170】

また、ソース線SLは、ソース駆動回路と接続される。ソース駆動回路は、実施の形態2乃至実施の形態8のいずれかで示したトランジスタを含んでもよい。

【0171】

なお、ゲート駆動回路およびソース駆動回路のいずれかまたは両方を、別途形成し、COG (Chip On Glass)、ワイヤボンディング、またはTAB (Tape Automated Bonding) などの方法を用いて接続してもよい。

10

【0172】

また、トランジスタは静電気などにより破壊されやすいため、保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

【0173】

ゲート線GLにトランジスタ2230のしきい値電圧以上になるように電圧を印加すると、ソース線SLから供給された電荷がトランジスタ2230のドレイン電流となってキャパシタ2220に電荷が蓄積される。1行分の充電後、該行にあるトランジスタ2230はオフ状態となり、ソース線SLから電圧が掛からなくなるが、キャパシタ2220に蓄積された電荷によって必要な電圧を維持することができる。その後、次の行のキャパシタ2220の充電に移る。このようにして、1行からb行の充電を行う。

20

【0174】

なお、トランジスタ2230にオフ電流の小さなトランジスタを用いる場合、電圧を維持する期間を長くすることができる。この効果によって、動きの少ない画像(静止画を含む。)では、表示の書き換え周波数を低減でき、さらなる消費電力の低減が可能となる。また、キャパシタ2220の容量をさらに小さくすることが可能となるため、充電に必要な消費電力を低減することができる。

【0175】

以上のように、本発明の一態様によって、表示品位が高く、消費電力の小さい液晶表示装置を提供することができる。

【0176】

本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

30

【0177】

(実施の形態10)

本実施の形態では、実施の形態2乃至実施の形態8で示したトランジスタを用いて、半導体記憶装置を作製する例について説明する。

【0178】

揮発性半導体記憶装置の代表的な例としては、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶するDRAM (Dynamic Random Access Memory)、フリップフロップなどの回路を用いて記憶内容を保持するSRAM (Static Random Access Memory) がある。

40

【0179】

不揮発性半導体記憶装置の代表例としては、トランジスタのゲートとチャネル領域との間にノードを有し、当該ノードに電荷を保持することで記憶を行うフラッシュメモリがある。

【0180】

上述した半導体記憶装置に含まれるトランジスタの一部に実施の形態2乃至実施の形態8のいずれかで示したトランジスタを適用することができる。

【0181】

まずは、実施の形態2乃至実施の形態8で示したトランジスタを適用した半導体記憶装置

50

であるメモリセルについて図9を用いて説明する。

【0182】

メモリセルは、ビット線BLと、ワード線WLと、センスアンプSAmpと、トランジスタTrと、キャパシタCと、を有する(図9(A)参照。)

【0183】

キャパシタに保持された電位の時間変化は、トランジスタTrのオフ電流によって図9(B)に示すように徐々に低減していくことが知られている。当初V0からV1まで充電された電位は、時間が経過するとdata1を読み出す限界点であるVAまで低減する。この期間を保持期間T₁とする。即ち、2値メモリセルの場合、保持期間T₁の間にリフレッシュをする必要がある。

10

【0184】

ここで、トランジスタTrに実施の形態2乃至実施の形態8で示したトランジスタを適用すると、該トランジスタはオフ電流が小さいため、保持期間T₁を長くすることができる。即ち、リフレッシュの頻度を少なくすることが可能となるため、消費電力を低減することができる。例えば、オフ電流が 1×10^{-21} A以下、好ましくは 1×10^{-24} A以下となったトランジスタでメモリセルを構成すると、電力を供給せずに数日間から数十年間に渡ってデータを保持することが可能となる。

【0185】

以上のように、本発明の一態様によって、信頼性が高く、消費電力の小さい半導体記憶装置を得ることができる。

20

【0186】

次に、実施の形態2乃至実施の形態8のいずれかで示したトランジスタを適用した半導体記憶装置を構成するメモリセルについて図10を用いて説明する。

【0187】

図10(A)は、メモリセルの回路図である。メモリセルは、トランジスタTr₁と、トランジスタTr₁のゲートと接続するゲート配線GL₁と、トランジスタTr₁のソースと接続するソース配線SL₁と、トランジスタTr₂と、トランジスタTr₂のソースと接続するソース配線SL₂と、トランジスタTr₂のドレインと接続するドレイン配線DL₂と、キャパシタCと、キャパシタCの一端と接続する容量配線CLと、キャパシタCの他端、トランジスタTr₁のドレインおよびトランジスタTr₂のゲートと接続するノードNと、を有する。

30

【0188】

なお、本実施の形態に示す半導体記憶装置は、ノードNの電位に応じて、トランジスタTr₂の見かけ上のしきい値電圧が変動することを利用したものである。例えば、図10(B)は容量配線CLの電位V_{CL}と、トランジスタTr₂を流れるドレイン電流I_{ds₂}との関係を説明する図である。

【0189】

なお、トランジスタTr₁を介してノードNの電位を調整することができる。例えば、ソース配線SL₁の電位をVDDとする。このとき、ゲート配線GL₁の電圧をトランジスタTr₁のしきい値電圧V_{th}にVDDを加えた電位以上とすることで、ノードNの電位をHIGHにすることができる。また、ゲート配線GL₁の電位をトランジスタTr₁のしきい値電圧V_{th}以下とすることで、ノードNの電位をLOWにすることができる。

40

【0190】

そのため、N=LOWで示したV_{CL}-I_{ds₂}カーブと、N=HIGHで示したV_{CL}-I_{ds₂}カーブのいずれかを得ることができる。即ち、N=LOWでは、V_{CL}=0VにてI_{ds₂}が小さいため、データ0となる。また、N=HIGHでは、V_{CL}=0VにてI_{ds₂}が大きいため、データ1となる。このようにして、データを記憶することができる。

【0191】

50

ここで、トランジスタ Tr_1 に実施の形態2乃至実施の形態8のいずれかで示したトランジスタを適用すると、該トランジスタはオフ電流を極めて小さくすることができるため、ノードNに蓄積された電荷がトランジスタ Tr_1 のソースおよびドレイン間を意図せずにリークすることを抑制できる。そのため、長期間に渡ってデータを保持することができる。

【0192】

なお、トランジスタ Tr_2 に、実施の形態2乃至実施の形態8のいずれかで示したトランジスタを適用しても構わない。

【0193】

次に、図10に示した半導体記憶装置を構成するメモリセルにおいて、キャパシタを含まない構成について図11を用いて説明する。

10

【0194】

図11は、メモリセルの回路図である。メモリセルは、トランジスタ Tr_1 と、トランジスタ Tr_1 のゲートと接続するゲート配線 GL_1 と、トランジスタ Tr_1 のソースと接続するソース配線 SL_1 と、トランジスタ Tr_2 と、トランジスタ Tr_2 のソースと接続するソース配線 SL_2 と、トランジスタ Tr_2 のドレインと接続するドレイン配線 DL_2 と、トランジスタ Tr_1 のドレインと接続するトランジスタ Tr_2 のゲートと、トランジスタ Tr_1 のドレインおよびトランジスタ Tr_2 のゲートと接続するノードNと、を有する。

【0195】

20

トランジスタ Tr_1 がノーマリーオフであり、かつオフ電流の極めて小さなトランジスタを用いる場合、キャパシタを設けなくても Tr_1 のドレインと Tr_2 のゲートの間のノードNに電荷を保持できる。キャパシタを設けない構成であるため、小面積化が可能となり、キャパシタを設けた場合と比べ、前述のメモリセルを用いたメモリモジュールの集積度を高めることができる。ただし、トランジスタ Tr_1 がノーマリーオンである場合やオフ電流がやや大きい場合でも、トランジスタ Tr_1 にバックゲート、トランジスタまたはダイオードを設けることでしきい値電圧を制御して適用することができる。

【0196】

また、本実施の形態では、配線を4本または5本用いる半導体記憶装置を示したが、これに限定されるものではない。例えば、ソース配線 SL_1 とドレイン配線 DL_2 を共通にする構成としても構わない。

30

【0197】

以上のように、本発明の一態様によって、長期間の信頼性が高く、消費電力の小さく、集積度の高い半導体記憶装置を得ることができる。

【0198】

本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

【0199】

(実施の形態11)

酸化物半導体を活性層に用いたトランジスタを少なくとも一部に用いてCPU(Central Processing Unit)を構成することができる。

40

【0200】

図12(A)は、CPUの具体的な構成を示すブロック図である。図12(A)に示すCPUは、基板1190上に、演算回路(ALU: Arithmetic Logic Unit)1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース(Bus I/F)1198、書き換え可能なROM1199、およびROMインターフェース(ROM I/F)1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図12(A)に示すCPUは、その構成を簡略化して示した一例にすぎず

50

、実際のCPUはその用途によって多種多様な構成を有している。

【0201】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0202】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

10

【0203】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。

20

【0204】

図12(A)に示すCPUでは、レジスタ1196に、半導体記憶装置が設けられている。レジスタ1196の記憶素子には、実施の形態10に記載されている半導体記憶装置を用いることができる。

【0205】

図12(A)に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有する記憶素子において、位相反転素子によるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。位相反転素子によるデータの保持が選択されている場合、レジスタ1196内の記憶素子への、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内の記憶素子への電源電圧の供給を停止することができる。

30

【0206】

電源停止に関しては、図12(B)または図12(C)に示すように、記憶素子群と、電源電位VDDまたは電源電位VSSの与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図12(B)および図12(C)の回路の説明を行う。

【0207】

図12(B)および図12(C)では、記憶素子への電源電位の供給を制御するスイッチング素子に、酸化物半導体を活性層に用いたトランジスタを含む記憶回路の構成の一例を示す。

40

【0208】

図12(B)に示す記憶装置は、スイッチング素子1141と、記憶素子1142を複数有する記憶素子群1143とを有している。具体的に、各記憶素子1142には、実施の形態5に記載されている記憶素子を用いることができる。記憶素子群1143が有する各記憶素子1142には、スイッチング素子1141を介して、ハイレベルの電源電位VDDが供給されている。さらに、記憶素子群1143が有する各記憶素子1142には、信号INの電位と、ローレベルの電源電位VSSの電位が与えられている。

【0209】

50

図12(B)では、スイッチング素子1141として、実施の形態2乃至実施の形態8のいずれかで示したオフ電流の極めて小さいトランジスタを用いており、該トランジスタは、そのゲートに与えられる信号SigAによりスイッチングが制御される。

【0210】

なお、図12(B)では、スイッチング素子1141がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していてもよい。スイッチング素子1141が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わされて接続されていてもよい。

【0211】

また、図12(B)では、スイッチング素子1141により、記憶素子群1143が有する各記憶素子1142への、ハイレベルの電源電位VDDの供給が制御されているが、スイッチング素子1141により、ローレベルの電源電位VSSの供給が制御されていてもよい。

【0212】

また、図12(C)には、記憶素子群1143が有する各記憶素子1142に、スイッチング素子1141を介して、ローレベルの電源電位VSSが供給されている、記憶装置の一例を示す。スイッチング素子1141により、記憶素子群1143が有する各記憶素子1142への、ローレベルの電源電位VSSの供給を制御することができる。

【0213】

記憶素子群と、電源電位VDDまたは電源電位VSSの与えられているノード間に、スイッチング素子を設け、一時的にCPUの動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPUの動作を停止することができ、それにより消費電力を低減することができる。

【0214】

ここでは、CPUを例に挙げて説明したが、DSP(Digital Signal Processor)、カスタムLSI、FPGA(Field Programmable Gate Array)などのLSIにも応用可能である。

【0215】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【0216】

(実施の形態12)

本実施の形態では、実施の形態2乃至実施の形態11を適用した電子機器の例について説明する。

【0217】

図13(A)は携帯型情報端末である。筐体9300と、ボタン9301と、マイクロフォン9302と、表示部9303と、スピーカ9304と、カメラ9305と、を具備し、携帯型電話機としての機能を有する。本発明の一態様は、表示部9303およびカメラ9305に適用することができる。また、図示しないが、本体内部にある演算装置、無線回路または記憶回路に本発明の一態様を適用することもできる。

【0218】

図13(B)は、ディスプレイである。筐体9310と、表示部9311と、を具備する。本発明の一態様は、表示部9311に適用することができる。本発明の一態様を用いることで、表示部9311のサイズを大きくしたときにも表示品位の高いディスプレイとすることができる。

【0219】

図13(C)は、デジタルスチルカメラである。筐体9320と、ボタン9321と、マイクロフォン9322と、表示部9323と、を具備する。本発明の一態様は、表示部9

10

20

30

40

50

323に適用することができる。また、図示しないが、記憶回路またはイメージセンサに本発明の一態様を適用することもできる。

【0220】

本発明の一態様を用いることで、電子機器の性能を高め、かつ信頼性を高めることができる。

【0221】

本実施の形態は、他の実施の形態と適宜組み合わせる用いることができる。

【実施例1】

【0222】

本実施例では、本発明の一態様である微小な空洞を有する酸化物半導体膜について説明する。

10

【0223】

試料として、ガラス基板の上に酸化シリコン膜を成膜し、酸化シリコン膜上に酸化物半導体膜としてIn-Ga-Zn-O膜を成膜したものをを用いた。

【0224】

酸化シリコン膜は、プラズマCVD法によって300nmの厚さで成膜した。

【0225】

酸化物半導体膜は、スパッタリング法によって30nmの厚さで成膜した。そのほかの成膜条件は、ターゲットにIn-Ga-Zn-O(mol数比、 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$)を使用し、成膜電力を500W(DC)、成膜圧力を0.4Pa、成膜ガスをアルゴン30sccmおよび酸素15sccm、成膜時基板温度を400とした。

20

【0226】

図21(A)は酸化物半導体膜の成膜直後の試料、図21(B)は酸化物半導体膜の成膜後に窒素雰囲気中で650の加熱処理を1時間行った試料の透過型電子顕微鏡(TEM: Transmission Electron Microscope)による断面観察像(400万倍)である。なお、TEMは、日立H-9000NARを用い、加速電圧300kVにて観察した。

【0227】

成膜後に650の加熱処理を行った試料は、酸化物半導体膜の表面側において、表面に垂直な方向にc軸配向していることがわかる。

30

【0228】

図22(A)は酸化物半導体膜の成膜後に N^+ イオンを添加した試料、図22(B)は酸化物半導体膜の成膜後に N^+ イオンを添加し、その後窒素雰囲気中で650の加熱処理を1時間行った試料のTEMによる断面観察像(400万倍)である。なお、本実施例は、イオン注入法により、 N^+ イオン濃度を $5.0 \times 10^{16} \text{ cm}^{-2}$ 、加速電圧を10kV、チルト角を7°、ツイスト角を72°で N^+ イオンを添加している。

【0229】

いずれも、酸化物半導体膜中に概略球形の微小な空洞(TEMによる断面観察像において、明るく表示されている部分)を有することがわかる。特に、窒素雰囲気中で650の加熱処理を1時間行った試料は、空洞の輪郭がはっきりとしている。また、酸化物半導体膜の表面側において表面に垂直な方向にc軸配向しており、かつ酸化物半導体膜内部の微小な空洞近傍において結晶性の高い領域がみられる。微小な空洞の外周部に接する結晶部は、微小な空洞の輪郭に接する面の法線方向にc軸配向している。

40

【0230】

図23(A)は酸化物半導体膜の成膜後に N^+ イオンを添加し、その後酸素雰囲気中で650の加熱処理を1時間行った試料のTEMによる断面観察像(400万倍)、図23(B)は同試料のTEMによる断面観察像(800万倍)である。

【0231】

酸化物半導体膜中に概略球形の微小な空洞を有することがわかる。窒素雰囲気中で加熱処理

50

を行った試料よりもさらに空洞の輪郭がはっきりとしている。また、酸化物半導体膜の表面側において表面に垂直な方向にc軸配向しており、かつ酸化物半導体膜内部の微小な空洞近傍において結晶性の高い領域がみられる。微小な空洞の外周部に接する結晶部は、微小な空洞の輪郭に接する面の法線方向にc軸配向している。

【0232】

次に、高角散乱環状暗視野走査透過電子顕微鏡法(HAADF-STEM: High-Angle Annular Dark Field Scanning Transmission Electron Microscopy)を用い、さらに微小な空洞について詳細な分析を行った。HAADF-STEMは、日立走査透過電子顕微鏡HD-2700を用い、加速電圧200kVにて観察した。

10

【0233】

図24(A)は酸化物半導体膜の成膜後にN⁺イオンを添加し、その後酸素雰囲気中で650の加熱処理を1時間行った試料のHAADF-STEMによる断面観察像(150万倍)である。HAADF-STEMを用いることで、濃淡を強調して観察することができる。また、当該観察箇所におけるInの分布を電子線エネルギー損失分光法(EELS: Electron Energy Loss Spectroscopy)によって評価し、図24(B)に示す。

【0234】

同様に、図25(A)は酸化物半導体膜の成膜後にN⁺イオンを添加し、その後酸素雰囲気中で650の加熱処理を1時間行った試料のHAADF-STEMによる断面観察像(150万倍)である。また、当該観察箇所におけるOの分布をEELSによって評価し、図25(B)に示す。

20

【0235】

同様に、図26(A)は酸化物半導体膜の成膜後にN⁺イオンを添加し、その後酸素雰囲気中で650の加熱処理を1時間行った試料のHAADF-STEMによる断面観察像(150万倍)である。また、当該観察箇所におけるNの分布をEELSによって評価し、その結果を図26(B)に示す。

【0236】

図24および図25によると、酸化物半導体膜中の微小な空洞は、周りと比べて明るく、酸化物半導体膜の主成分であるInおよびOがほとんど含まれないとわかった。即ち、微小な空洞は、周りと比較して低密度であるか、空隙であることわかる。また、図26によると、微小な空洞は周りと比べて暗くなっており、Nが含まれるとわかった。

30

【0237】

次に、添加したN⁺がどのような状態で酸化物半導体膜中に含まれるかを評価するために、XPSを用いて評価した。

【0238】

図27は、XPSスペクトルである。XPSスペクトルは、酸化物半導体膜にN⁺イオンを添加した後、加熱処理なしのもの(スペクトル5001)、窒素雰囲気中で300の加熱処理を1時間行ったもの(スペクトル5002)、窒素雰囲気中で450の加熱処理を1時間行ったもの(スペクトル5003)、窒素雰囲気中で650の加熱処理を1時間行ったもの(スペクトル5004)を示す。

40

【0239】

図27のいずれのスペクトルにおいても、結合エネルギー(Binding Energy)が403eV近傍にN₂または-NO_xのピーク、および397eV近傍にmetal-Nのピークが現れた。即ち、N⁺イオンを添加した試料中でNはN₂、-NO_x、metal-Nの結合状態で存在することがわかる。ここで、図24(B)および図25(B)に示したInおよびOの分布から、微小な空洞において、-NO_xおよびmetal-Nの結合はほとんどなく、NはN₂として存在することがわかる。

【0240】

本実施例より、酸化物半導体膜にN⁺イオンを添加することで、酸化物半導体膜中に微小

50

な空洞を形成することがわかった。また、微小な空洞には N_2 が存在することがわかった。

【実施例 2】

【0241】

本実施例では、酸化物半導体膜に N^+ イオンを添加したときのHとNの関係について説明する。

【0242】

試料は、シリコンウェハ上に酸化物半導体膜としてIn-Ga-Zn-O膜を成膜したものをを用いた。

【0243】

酸化物半導体膜は、スパッタリング法によって300nmの厚さで成膜した。そのほかの成膜条件は、ターゲットにIn-Ga-Zn-O(mol数比、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$)を使用し、成膜電力を500W(DC)、成膜圧力を0.4Pa、成膜ガスをアルゴン30sccmおよび酸素15sccm、成膜時基板温度を200とした。

【0244】

図28(A)は、酸化物半導体膜に、 H^+ イオンを添加した後、 N^+ イオンを添加した試料において、加熱処理なしのもの(実線5011)、窒素雰囲気中で450の加熱処理を1時間行ったもの(実線5012)のSIMSによって測定した水素濃度の深さ方向の分布である。また、図28(B)は、同試料に添加した後、加熱処理なしのもの(実線5021)、窒素雰囲気中で450の加熱処理を1時間行ったもの(実線5022)のSIMSによって測定した窒素濃度の深さ方向の分布である。なお、イオン注入法により、 H^+ イオン濃度を $1.0 \times 10^{16} \text{ cm}^{-2}$ 、加速電圧を22kV、チルト角を7°、ツイスト角を72°で H^+ イオンを添加している。また、イオン注入法により、 N^+ イオン濃度を $1.0 \times 10^{16} \text{ cm}^{-2}$ 、加速電圧を35kV、チルト角を7°、ツイスト角を72°で N^+ イオンを添加している。

【0245】

図28(B)によれば、酸化物半導体膜に N^+ イオンおよび H^+ イオンを添加後、酸化物半導体膜における窒素濃度の深さ方向の分布は、後の窒素雰囲気中で450の加熱処理を1時間行っても変化がほとんどなかった。一方、図28(A)によれば、加熱処理なしのものでは、水素濃度は深さ200nm近傍にピークを有していたが、窒素雰囲気中で450の加熱処理を1時間行ったものでは、深さ70nm近傍にピークがシフトした。これは、図28(B)に示す、窒素濃度の深さ方向のピーク位置とおおよそ一致している。

【0246】

図29は、図28とは添加する N^+ イオンの濃度が異なる例である。図29(A)は、酸化物半導体膜に、 H^+ イオンを添加し、その後、 N^+ イオンを添加した後、加熱処理なしのもの(実線5013)、窒素雰囲気中で450の加熱処理を1時間行ったもの(実線5014)のSIMSによって測定した水素濃度の深さ方向の分布である。また、図29(B)は、同試料に N^+ イオンおよび H^+ イオンを添加後、加熱処理なしのもの(実線5023)、窒素雰囲気中で450の加熱処理を1時間行ったもの(実線5024)のSIMSによって測定した窒素濃度の深さ方向の分布である。なお、イオン注入法により、 H^+ イオン濃度を $1.0 \times 10^{16} \text{ cm}^{-2}$ 、 N^+ イオン濃度を $5.0 \times 10^{16} \text{ cm}^{-2}$ で添加している。そのほかの添加の条件は図28についての説明を参照する。

【0247】

図29(B)によれば、酸化物半導体膜に N^+ イオンおよび H^+ イオンを添加後、酸化物半導体膜における窒素濃度の深さ方向の分布は、後の窒素雰囲気中で450の加熱処理を1時間行ってもほとんど変化はみられなかった。一方、図29(A)によれば、加熱処理なしのものでは、水素濃度は深さ200nm近傍にピークを有していたが、窒素雰囲気中で450の加熱処理を1時間行ったものでは、深さ70nm近傍にピークがシフトした。なお、このピークにおける水素濃度は、図28に示した値よりも大きかった。

10

20

30

40

50

【 0 2 4 8 】

本実施例より、酸化物半導体膜にN⁺イオンを添加し、加熱処理を行うことで、酸化物半導体膜におけるN⁺イオンを注入した領域の水素濃度が高まることがわかった。

【 符号の説明 】

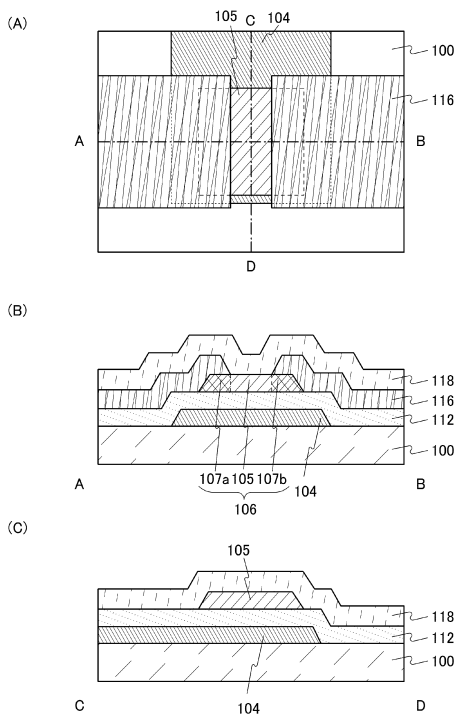
【 0 2 4 9 】

1 0 0	基板	
1 0 4	ゲート電極	
1 0 5	チャンネル領域	
1 0 6	酸化物半導体膜	
1 0 7 a	ソース領域	10
1 0 7 b	ドレイン領域	
1 1 2	ゲート絶縁膜	
1 1 6	一对の電極	
1 1 8	層間絶縁膜	
2 0 5	チャンネル領域	
2 0 6	酸化物半導体膜	
2 0 7 a	ソース領域	
2 0 7 b	ドレイン領域	
2 1 6	一对の電極	
2 1 8	層間絶縁膜	20
3 0 2	下地絶縁膜	
3 0 4	ゲート電極	
3 0 5	チャンネル領域	
3 0 6	酸化物半導体膜	
3 0 7 a	ソース領域	
3 0 7 b	ドレイン領域	
3 1 2	ゲート絶縁膜	
3 1 6	一对の電極	
4 0 4	ゲート電極	
4 0 5 a	領域	30
4 0 5 b	領域	
4 0 5 c	領域	
4 0 6	酸化物半導体膜	
4 0 7 a	領域	
4 0 7 b	領域	
5 0 4	ゲート電極	
5 0 5	チャンネル領域	
5 0 6	酸化物半導体膜	
5 0 7 a	ソース領域	
5 0 7 b	ドレイン領域	40
5 1 2	ゲート絶縁膜	
5 1 6	一对の電極	
6 0 4	ゲート電極	
6 0 5	チャンネル領域	
6 0 6	酸化物半導体膜	
6 0 7 a	ソース領域	
6 0 7 b	ドレイン領域	
6 1 2	ゲート絶縁膜	
6 1 6	一对の電極	
6 1 8	層間絶縁膜	50

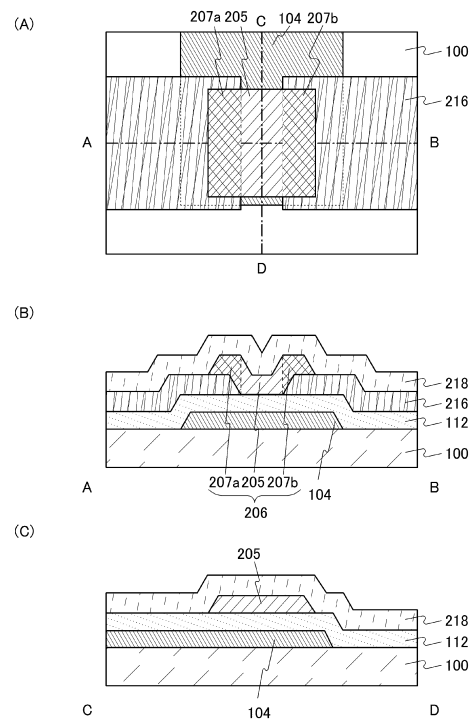
7 0 4	ゲート電極	
7 0 5	チャネル領域	
7 0 6	酸化物半導体膜	
7 0 7 a	ソース領域	
7 0 7 b	ドレイン領域	
7 1 2	ゲート絶縁膜	
7 1 6	一对の電極	
7 1 8	層間絶縁膜	
1 1 4 1	スイッチング素子	
1 1 4 2	記憶素子	10
1 1 4 3	記憶素子群	
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	
1 1 9 1	ALU	
1 1 9 2	ALUコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	20
1 1 9 8	バスインターフェース	
1 1 9 9	ROM	
2 2 0 0	画素	
2 2 1 0	液晶素子	
2 2 2 0	キャパシタ	
2 2 3 0	トランジスタ	
3 0 0 6	酸化物半導体膜	
3 0 1 0	微小な空洞	
5 0 0 1	スペクトル	
5 0 0 2	スペクトル	30
5 0 0 3	スペクトル	
5 0 0 4	スペクトル	
5 0 1 1	実線	
5 0 1 2	実線	
5 0 1 3	実線	
5 0 1 4	実線	
5 0 2 1	実線	
5 0 2 2	実線	
5 0 2 3	実線	
5 0 2 4	実線	40
9 3 0 0	筐体	
9 3 0 1	ボタン	
9 3 0 2	マイクロフォン	
9 3 0 3	表示部	
9 3 0 4	スピーカ	
9 3 0 5	カメラ	
9 3 1 0	筐体	
9 3 1 1	表示部	
9 3 2 0	筐体	
9 3 2 1	ボタン	50

9 3 2 2 マイクロフォン
9 3 2 3 表示部

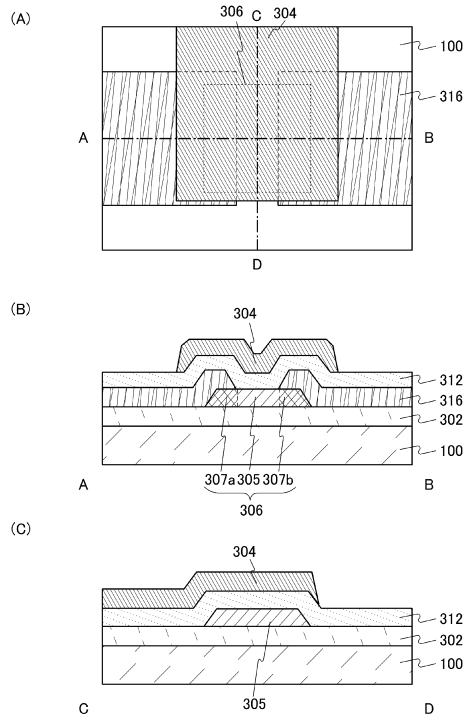
【図 1】



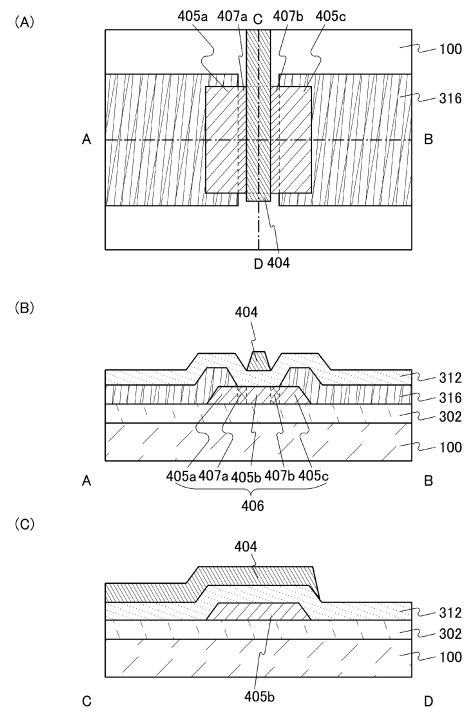
【図 2】



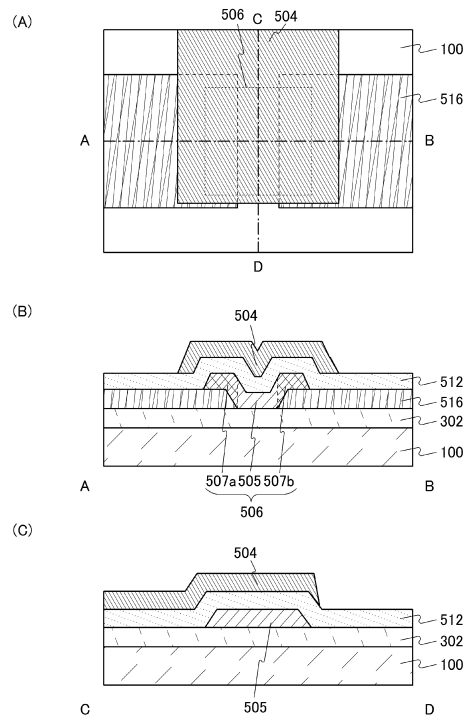
【 図 3 】



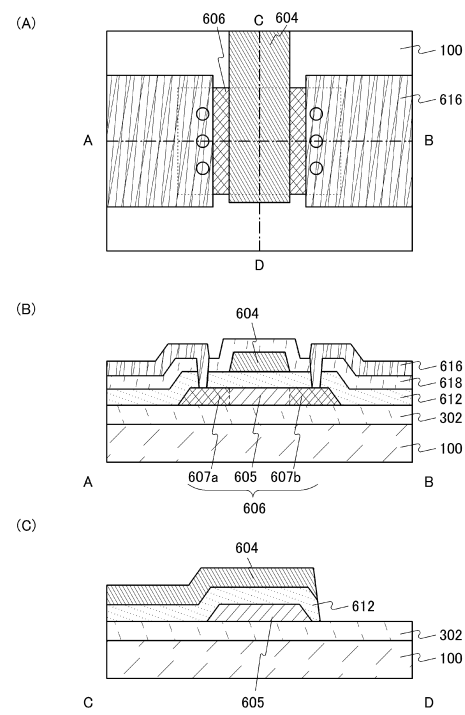
【 図 4 】



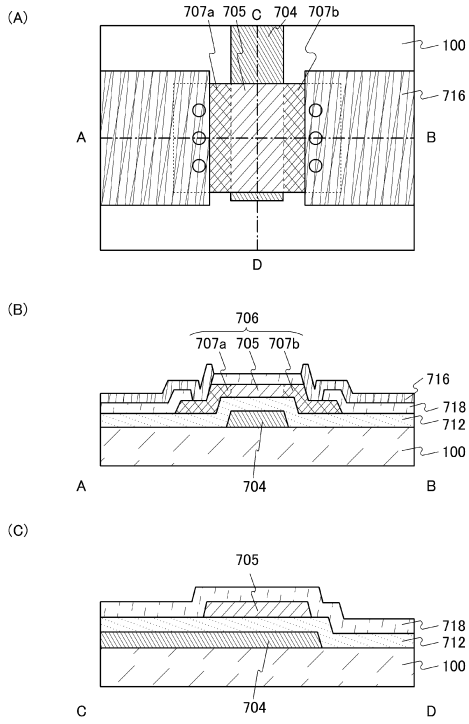
【 図 5 】



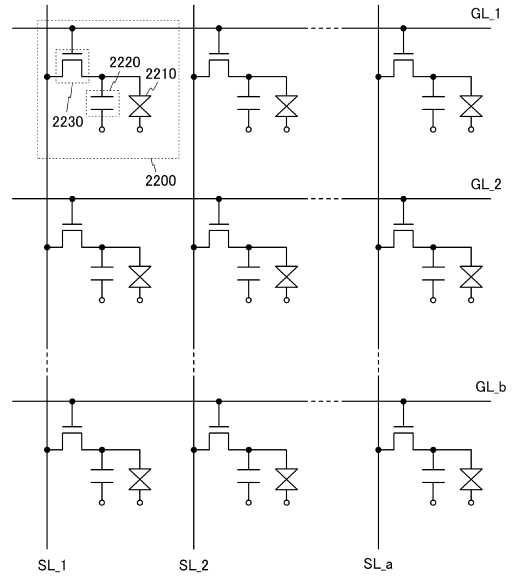
【 図 6 】



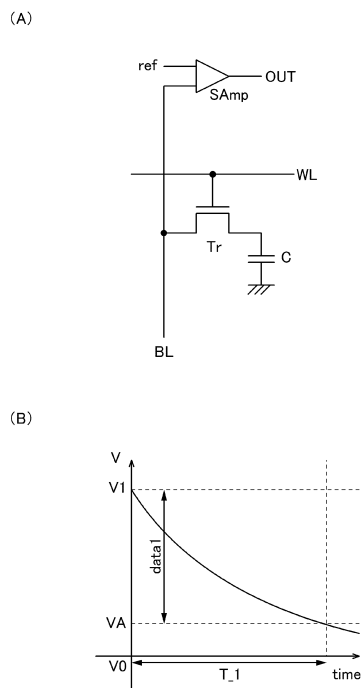
【 図 7 】



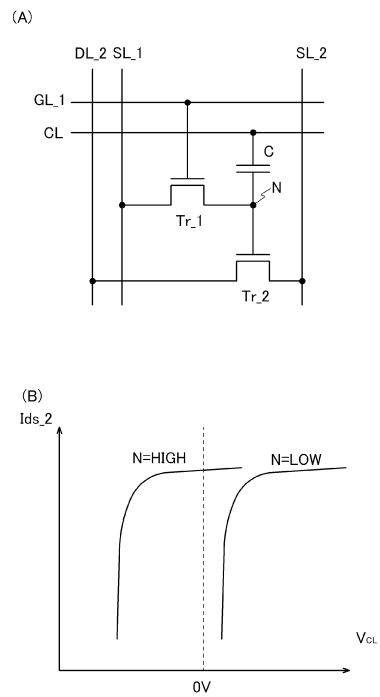
【 図 8 】



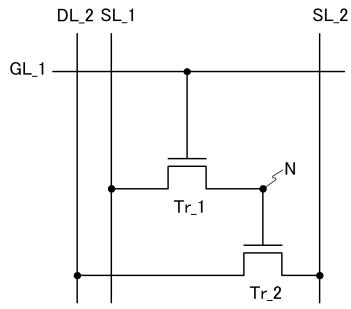
【 図 9 】



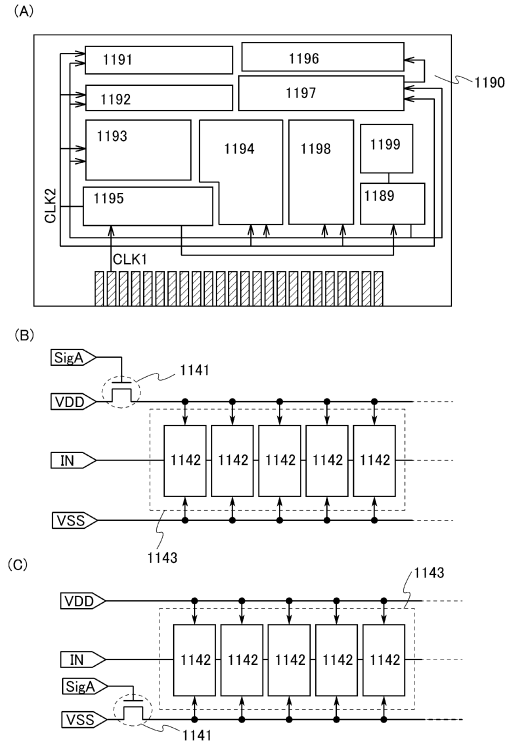
【 図 10 】



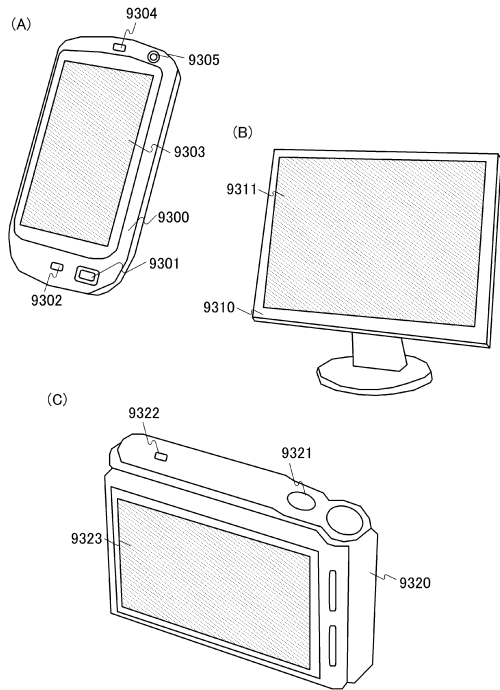
【 図 1 1 】



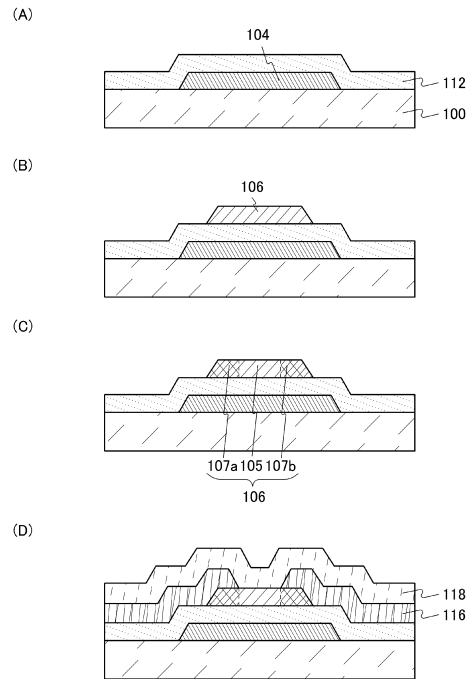
【 図 1 2 】



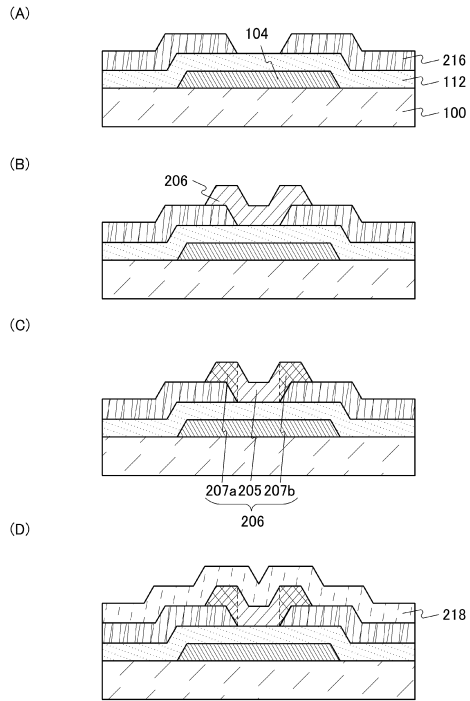
【 図 1 3 】



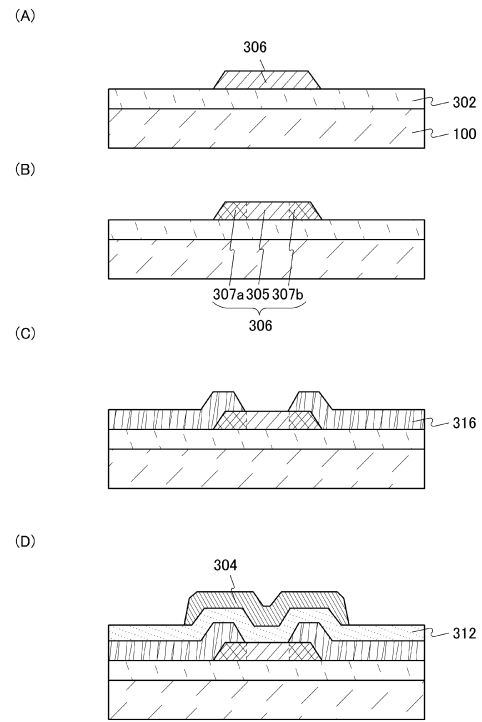
【 図 1 4 】



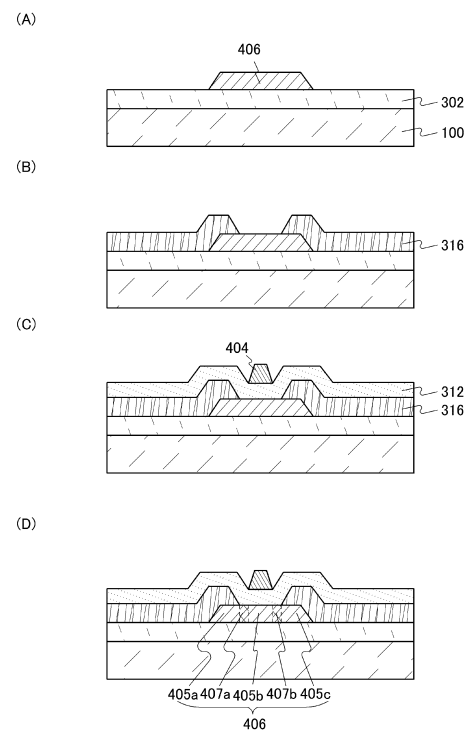
【 図 15 】



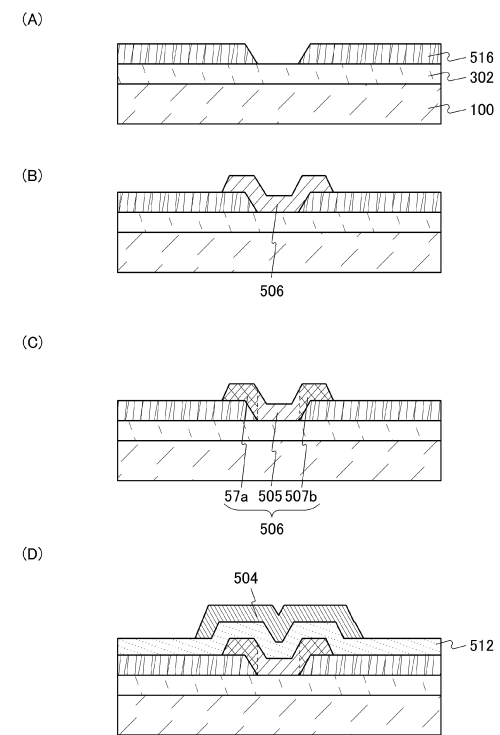
【 図 16 】



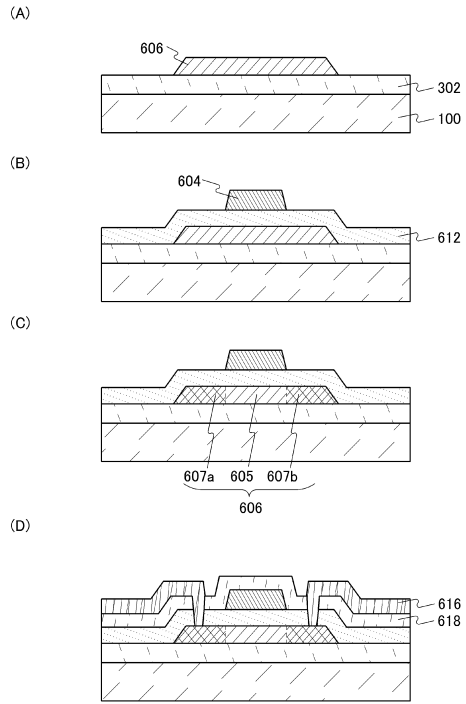
【 図 17 】



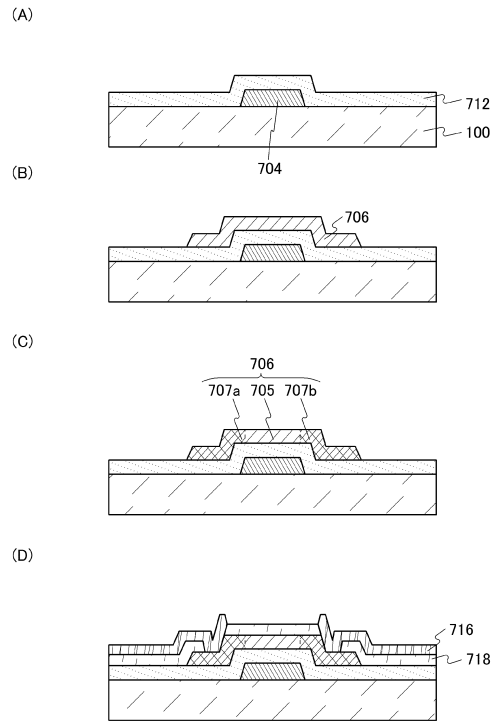
【 図 18 】



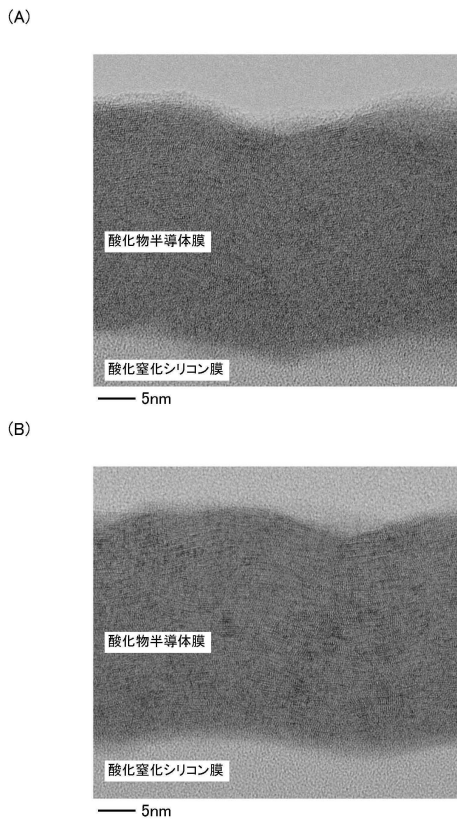
【図19】



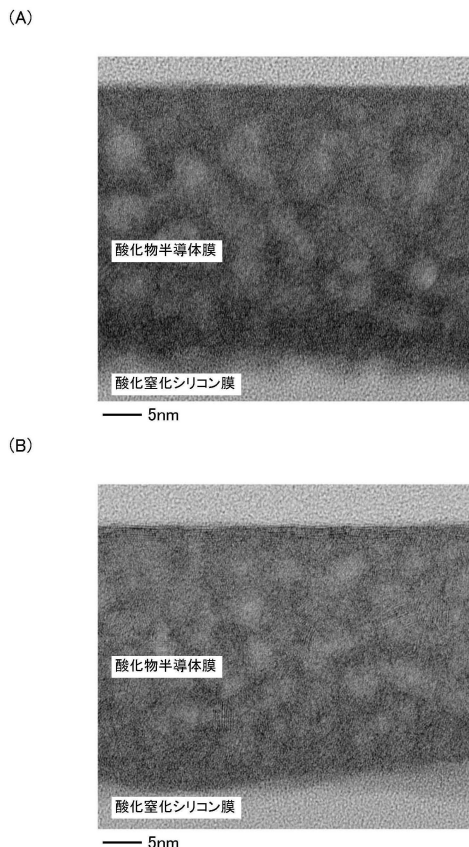
【図20】



【図21】

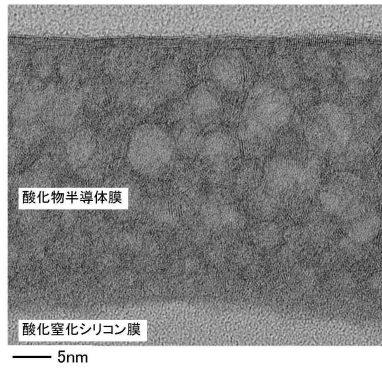


【図22】

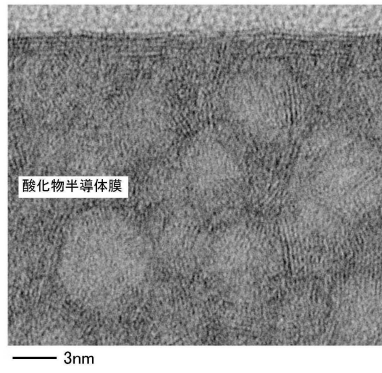


【図 2 3】

(A)

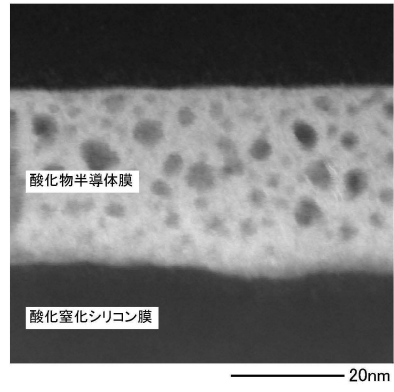


(B)

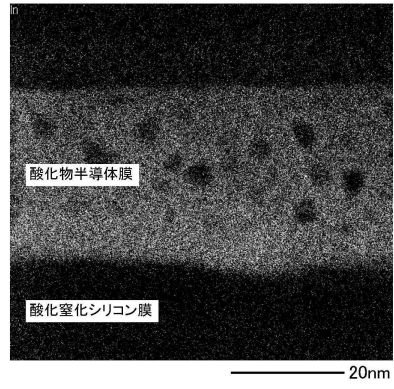


【図 2 4】

(A)

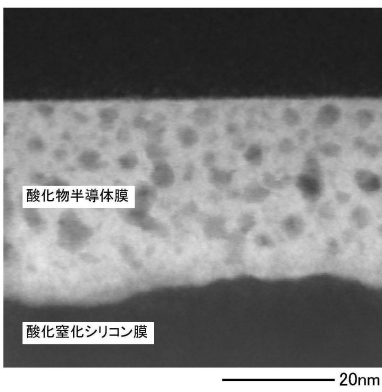


(B)

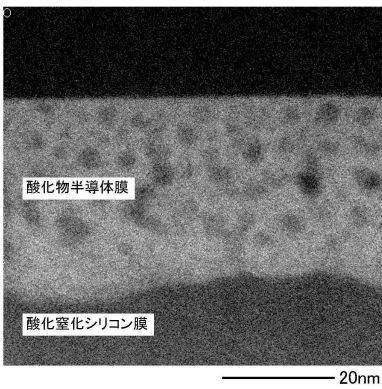


【図 2 5】

(A)

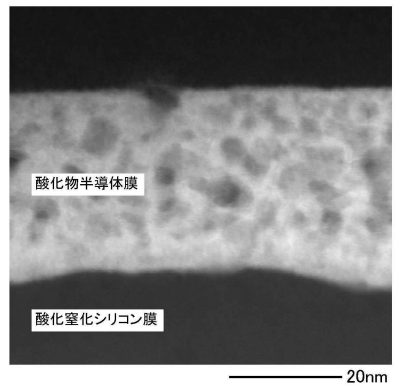


(B)

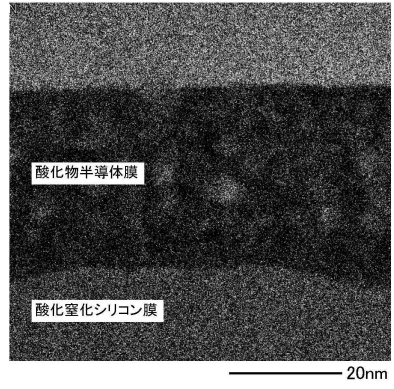


【図 2 6】

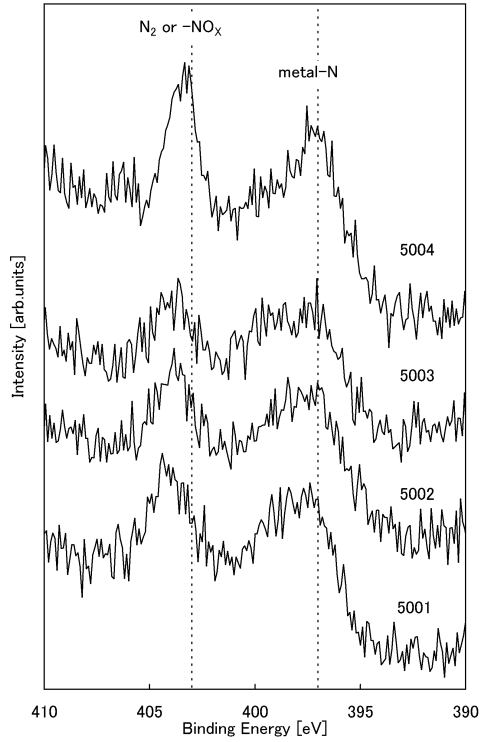
(A)



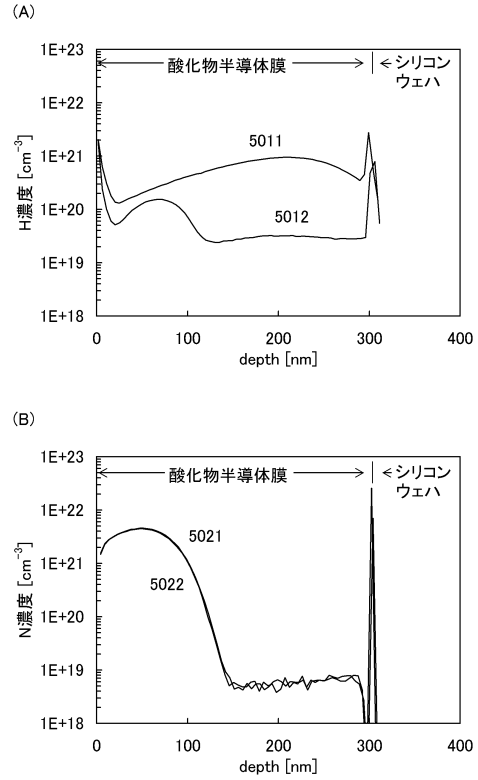
(B)



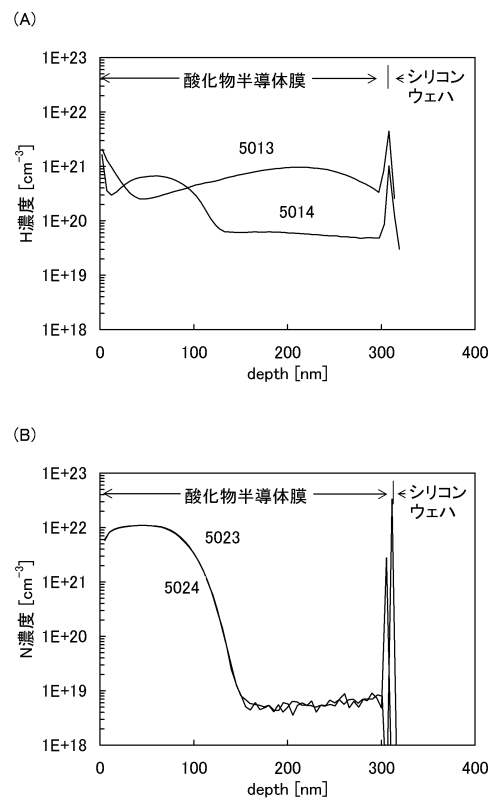
【図 27】



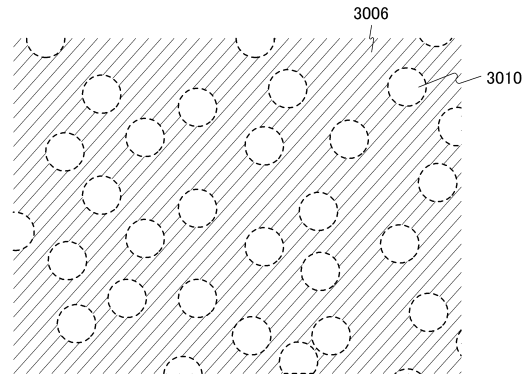
【図 28】



【図 29】



【図 30】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	27/108	6 7 1 C
H 0 1 L	27/108	6 7 1 Z
G 0 2 F	1/1343	
G 0 2 F	1/1368	

(56)参考文献 特開2007-250983(JP,A)
特開2010-093070(JP,A)
特開2009-141249(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L	2 9 / 7 8 6
G 0 2 F	1 / 1 3 4 3
G 0 2 F	1 / 1 3 6 8
H 0 1 L	2 1 / 8 2 4 2
H 0 1 L	2 7 / 1 0 8