



(19)

Europäisches Patentamt
European Patent Office
Office européen des brevets



(11)

EP 0 838 745 B1

(12)

FASCICULE DE BREVET EUROPEEN

(45) Date de publication et mention
de la délivrance du brevet:
12.12.2001 Bulletin 2001/50

(51) Int Cl.7: **G05F 1/59**

(21) Numéro de dépôt: **97410120.6**

(22) Date de dépôt: **24.10.1997**

(54) **Régulateur de tension à sélection automatique d'une tension d'alimentation la plus élevée**

Spannungsregler mit automatischer Auswahl der höchsten Versorgungsspannung

Voltage regulator with automatic selection of the highest supply voltage

(84) Etats contractants désignés:
DE FR GB IT

• **Van Zanten, François**
38240 Meylan (FR)

(30) Priorité: **25.10.1996 FR 9613280**

(74) Mandataire: **de Beaumont, Michel**
1bis, rue Champollion
38000 Grenoble (FR)

(43) Date de publication de la demande:
29.04.1998 Bulletin 1998/18

(73) Titulaire: **STMicroelectronics S.A.**
94250 Gentilly (FR)

(56) Documents cités:

EP-A- 0 287 863

EP-A- 0 316 781

EP-A- 0 442 688

EP-A- 0 465 933

US-A- 4 617 473

US-A- 5 341 034

(72) Inventeurs:

• **Gens, Marc**
38410 Saint Martin D'Uriage (FR)

EP 0 838 745 B1

Il est rappelé que: Dans un délai de neuf mois à compter de la date de publication de la mention de la délivrance du brevet européen, toute personne peut faire opposition au brevet européen délivré, auprès de l'Office européen des brevets. L'opposition doit être formée par écrit et motivée. Elle n'est réputée formée qu'après paiement de la taxe d'opposition. (Art. 99(1) Convention sur le brevet européen).

Description

[0001] La présente invention concerne un régulateur de tension destiné à fournir une tension d'alimentation régulée à une charge à partir d'une tension d'entrée.

[0002] Un exemple d'application de la présente invention concerne les circuits intégrés pour des postes téléphoniques télé-alimentés où l'alimentation est fournie par la ligne téléphonique, soit par le circuit de sonnerie quand le poste n'est pas décroché, soit par le circuit de parole quand le poste est décroché, voire par une alimentation propre au poste téléphonique (par exemple, une pile).

[0003] L'invention s'applique plus particulièrement à un régulateur propre à sélectionner automatiquement une tension d'entrée la plus élevée parmi plusieurs tensions d'alimentation non corrélées, c'est-à-dire provenant de circuits distincts et fournies sur plusieurs entrées indépendantes du régulateur.

[0004] La figure 1 représente un schéma classique d'un régulateur destiné à fournir une tension régulée à une valeur spécifiée à partir d'une seule tension d'alimentation.

[0005] Un tel régulateur reçoit, sur une borne d'entrée E, une tension d'alimentation à réguler V, et délivre, sur une borne de sortie S, une tension régulée V_R . Le régulateur comporte un circuit 1 fournissant une tension de référence, et un circuit 2 de commande d'un transistor MOS de puissance à canal P M10 dont la source est connectée à la borne E et dont le drain constitue la borne S. Le circuit 1 a pour rôle de fixer une tension de référence V_{BG} précise pour asservir, par l'intermédiaire du circuit de commande 2, la tension de sortie V_R . Le circuit 1 comporte deux transistors bipolaires de type PNP Q1 et Q2 dont les émetteurs respectifs sont reliés à la borne E et dont les collecteurs respectifs constituent deux bornes de sortie 3, 4 du circuit 1 destinées à commander le circuit 2 comme on le verra par la suite. Les bases des transistors Q1 et Q2 sont reliées au collecteur du transistor Q1. Les collecteurs des transistors Q1 et Q2 sont respectivement reliés aux collecteurs de transistors bipolaires de type NPN Q3 et Q4 dont les bases sont reliées et constituent une borne 5 au potentiel de référence V_{BG} . L'émetteur du transistor Q4 est relié à la masse par l'intermédiaire de deux résistances R1 et R2 montées en série. L'émetteur du transistor Q3 est relié au point-milieu de l'association en série des résistances R1 et R2. Les résistances R1 et R2 et le rapport de surface des transistors Q3 et Q4 sont choisis pour obtenir la tension V_{BG} souhaitée avec un courant donné dans les transistors Q1, Q2, Q3 et Q4. Le circuit 1 comporte un circuit de démarrage constitué d'une source de courant I dont la sortie est connectée à la masse par l'intermédiaire d'une diode D et à la base d'un transistor bipolaire de type NPN Q_D dont le collecteur est relié à la borne 4 et dont l'émetteur est relié au point-milieu de l'association en série des résistances R1 et R2.

[0006] Le circuit 1 représenté à la figure 1 est généralement

désigné par son appellation anglo-saxonne "band gap" et son fonctionnement est parfaitement connu.

[0007] Le circuit 2 de commande du transistor M10 est constitué de deux transistors bipolaires de type PNP Q5 et Q6 dont les émetteurs respectifs sont reliés à la borne E et dont les bases sont respectivement reliées aux bornes 4 et 3. Les collecteurs des transistors Q5 et Q6 sont reliés aux drains respectifs de deux transistors MOS à canal N M11 et M3 montés en miroir de courant, les sources des transistors M11 et M3 étant connectées à la masse et le transistor M11 étant monté en diode. Le collecteur du transistor Q6 constitue une borne de sortie du circuit 2 reliée à la grille du transistor M10. Un pont résistif constitué de résistances R3 et R4 est généralement connecté entre la borne S et la masse quand la tension V_R souhaitée est différente de la tension de référence V_{BG} . Le point-milieu de ce pont diviseur est relié à la borne 5 du circuit 1 pour constituer une boucle de contre-réaction permettant de maintenir la tension de référence V_{BG} sur les bases des transistors Q3 et Q4. Cette tension de référence assure l'égalité des courants dans les transistors Q3 et Q4. Lorsque se produit une dérive par rapport à cette tension de référence, les courants dans les transistors Q1 et Q2 se trouvent déséquilibrés. Ce déséquilibre de courant est amplifié par le circuit 2 et modifie le potentiel V_G de commande du transistor M10 pour rétablir, par l'intermédiaire du pont résistif R3-R4, la tension V_{BG} qui assure l'égalité des courants dans les transistors Q3 et Q4. La tension V_R est égale à $V_{BG}(R3 + R4)/R4$.

[0008] Un condensateur C est généralement prévu en sortie du régulateur et est raccordé entre la borne S et la masse. Le rôle de ce condensateur est, notamment, d'assurer la stabilité de la boucle de contre-réaction.

[0009] Un inconvénient d'un régulateur tel que représenté à la figure 1 est que, si la tension V devient inférieure à la tension régulée V_R , les bornes E et S se trouvent court-circuitées par le transistor M10. En effet, le substrat du transistor MOS M10 ou son caisson est généralement relié à sa source, c'est-à-dire au potentiel V. On désigne généralement le substrat d'un transistor MOS ou son caisson par le "corps" du transistor ("bulk" dans son appellation anglo-saxonne) pour le distinguer du substrat global du circuit intégré sur lequel sont réalisés les différents composants. Le corps d'un transistor MOS est généralement symbolisé par une flèche dont le sens indique le type P ou N du canal du transistor. Quand la tension V_R est supérieure à la tension V, la jonction PN entre le drain et le corps du transistor M10 se trouve polarisée en direct et le transistor est alors court-circuité par la diode drain/corps. De plus, le drain et la source du transistor M10 s'échangent (le courant étant inversé), ce qui transforme la contre-réaction opérée par le circuit 1 en réaction.

[0010] Ce court-circuit nuit à un second rôle du condensateur C qui est d'alimenter temporairement la charge en cas d'insuffisance ou de disparition de la tension

d'alimentation V . Par exemple, quand le régulateur sert à alimenter un microprocesseur, on cherche à pouvoir maintenir l'alimentation du microprocesseur le temps qu'il puisse sauvegarder les données, suite à une insuffisance ou à la disparition de la tension d'alimentation. On compare généralement la tension V_R par rapport à un seuil au moyen d'un circuit externe au régulateur pour détecter une diminution de la tension V_R et utiliser alors le condensateur C pour alimenter temporairement le microprocesseur avant la disparition de la tension V_R .

[0011] Une solution classique pour isoler la borne E du reste du régulateur, lorsque la tension d'alimentation devient inférieure à la tension V_R , est de placer une diode à l'entrée du régulateur. Toutefois, un inconvénient d'une telle solution est qu'elle introduit une chute de tension d'environ 0,7 volt entre les bornes d'entrée et de sortie du régulateur.

[0012] On a également recours à des diodes d'isolement quand on souhaite pouvoir alimenter le régulateur tel que représenté à la figure 1 à partir de différentes tensions en sélectionnant, comme tension à réguler, celle dont le potentiel est le plus élevé.

[0013] La figure 2 représente un exemple classique de régulateur de tension sélectionnant automatiquement, parmi deux tensions d'alimentation V_M et V_L arrivant sur deux bornes d'entrée E_M et E_L , la tension la plus élevée. Les circuits 1 et 2 représentés à la figure 1 ont été schématisés fonctionnellement à la figure 2 par une source de tension de référence 1 et par un amplificateur 2 recevant, en entrée, la tension de référence V_{BG} et le potentiel du point-milieu du pont diviseur résistif $R3-R4$. L'amplificateur 2 et le générateur 1 sont polarisés par la tension d'alimentation V_M ou V_L la plus élevée au moyen de diodes, respectivement $D1$, $D2$ et $D3$, $D4$ interposées en série entre chaque borne E_M ou E_L et la borne de polarisation du générateur 1 ou de l'amplificateur 2.

[0014] Si un tel circuit permet bien de sélectionner la tension d'alimentation la plus élevée, le recours à des diodes présente, comme précédemment, l'inconvénient d'introduire une chute de tension d'environ 0,7 volt en série avec le régulateur.

[0015] Une autre solution de l'art antérieur consiste à utiliser, à la place des diodes, des transistors MOS convenablement commandés et qui remplissent la même fonction de sélection de la tension la plus élevée et la fonction d'isolement de la tension la plus faible. Ces transistors, comme les diodes, introduisent une chute de tension supplémentaire.

[0016] Le document EP-A-0465933 décrit un régulateur de tension propre à être alimenté à partir de plusieurs tensions indépendantes les unes des autres. Un amplificateur d'une tension proportionnelle à une tension d'erreur entre la tension régulée et une tension de référence commande un transistor bipolaire multi-émetteurs dont chaque émetteur est connecté à une tension d'alimentation. Un premier inconvénient de ce régulateur est qu'il entraîne une forte consommation quand la

tension la plus élevée des tensions d'alimentation est inférieure à la tension de sortie régulée souhaitée. En effet, l'amplificateur cherche alors à maintenir la tension de sortie à la valeur souhaitée et le transistor bipolaire conduit fortement. Un autre inconvénient est que les bornes d'alimentation associées aux tensions les plus faibles ne sont pas isolées du reste du circuit si elles sont supérieures d'au moins 0,7 volts par rapport à la tension de commande du transistor multi-émetteurs. De plus, dans ce cas, plusieurs bornes d'alimentation peuvent être en court-circuit. En outre, le recours à des diodes pour alimenter l'amplificateur de commande conduit à une tension de déchet (tension minimale entre la tension d'alimentation la plus élevée et la tension de sortie) importante, même si le transistor bipolaire est remplacé par des transistors à effet de champ.

[0017] La présente invention vise à proposer un nouveau régulateur de tension propre à sélectionner une tension d'alimentation la plus élevée parmi au moins deux tensions indépendantes tout en minimisant la chute de tension aux bornes du régulateur.

[0018] La présente invention vise également à optimiser l'utilisation d'un condensateur de découplage placé en sortie du régulateur pour alimenter temporairement la charge quand aucune tension d'alimentation non régulée n'est supérieure à la tension de sortie régulée.

[0019] Pour atteindre ces objets, la présente invention prévoit un régulateur de tension destiné à asservir une tension de sortie délivrée par un transistor de puissance sur une tension de référence, et comportant au moins deux bornes d'entrée propres à recevoir, chacune, une tension d'alimentation indépendante ; un moyen pour sélectionner automatiquement la tension d'alimentation la plus élevée parmi les tensions présentes aux bornes d'entrée ; et un moyen pour isoler la borne d'alimentation associée à la tension la plus faible du reste du circuit, lesdits moyens introduisant une très faible chute de tension, correspondant à celle d'un seul transistor de puissance, entre la borne d'entrée à la tension la plus élevée et une borne de sortie du régulateur.

[0020] Selon un mode de réalisation de la présente invention, le régulateur comporte au moins deux premiers transistors de puissance ayant chacun une première électrode de puissance connectée directement à une desdites bornes d'entrée et une deuxième électrode de puissance connectée à la borne de sortie, et un circuit de commande propre à rendre conducteur celui desdits transistors de puissance qui est associé à la tension d'alimentation la plus élevée et à bloquer l'autre transistor de puissance.

[0021] Selon un mode de réalisation de la présente invention, au moins lesdits deux premiers transistors de puissance associés aux tensions d'alimentation présentes aux bornes d'entrée du régulateur sont des transistors MOS à canal P, le régulateur comportant un circuit de polarisation des corps d'au moins lesdits deux premiers transistors de puissance à la tension la plus éle-

vée.

[0022] Selon un mode de réalisation de la présente invention, où le régulateur comporte un condensateur entre la borne de sortie et la masse, ledit moyen de sélection sélectionne la tension d'alimentation des circuits du régulateur parmi les tensions d'alimentation présentes sur les bornes d'entrée et une tension de sortie régulée présente sur la borne de sortie.

[0023] Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

les figures 1 et 2 qui ont été décrites précédemment sont destinées à exposer l'état de la technique et le problème posé ;

la figure 3 représente un schéma fonctionnel d'un premier mode de réalisation d'un régulateur de tension selon la présente invention ;

la figure 4 représente un schéma fonctionnel d'un deuxième mode de réalisation d'un régulateur de tension selon la présente invention ;

les figures 5 et 6 représentent un schéma détaillé d'un mode de réalisation d'un régulateur tel que représenté à la figure 4 ;

la figure 7 est un schéma partiel simplifié du régulateur représenté aux figures 5 et 6 illustrant son fonctionnement quand une tension d'alimentation non régulée est supérieure à la tension de sortie régulée souhaitée ;

la figure 8 est un schéma partiel simplifié du régulateur représenté aux figures 5 et 6 illustrant son fonctionnement quand aucune des tensions d'alimentation n'est supérieure à la tension de sortie régulée souhaitée ;

la figure 9 représente partiellement un circuit de référence de tension selon un autre mode de réalisation de la présente invention ; et

la figure 10 représente partiellement un circuit de commande de transistors de puissance d'un régulateur selon un autre mode de réalisation de la présente invention.

[0024] Pour des raisons de clarté, les mêmes éléments ont été désignés par les mêmes références aux différentes figures.

[0025] La figure 3 représente un premier mode de réalisation d'un régulateur de tension selon l'invention. Ce régulateur comporte deux bornes d'entrée E_M et E_L , propres à recevoir respectivement des tensions d'alimentation V_M et V_L indépendantes l'une de l'autre, et une borne de sortie S, associée à un condensateur de découplage C et délivrant une tension régulée V_R . Selon ce mode de réalisation, le régulateur comporte deux transistors MOS de puissance à canal P M10M et M10L ayant respectivement une première électrode de puissance connectée à la borne E_M ou E_L et une deuxième

électrode de puissance reliée à la borne S. Un circuit 1' fournit une tension de référence V_{BG} sur laquelle doit être asservie la tension de sortie V_R , et est associé à un amplificateur 2'. Un pont diviseur résistif constitué de résistances R3 et R4 est monté en série entre la borne S et la masse. Le point-milieu de l'association des résistances R3 et R4 est relié à une première entrée de l'amplificateur 2' dont une deuxième entrée reçoit la tension V_{BG} . Selon l'invention, l'amplificateur 2' est associé à un circuit 10 de sélection du transistor de puissance M10M ou M10L à commander.

[0026] Une caractéristique de la présente invention est que les circuits 1', 2' et 10 sont alimentés par la tension la plus élevée parmi les tensions V_L , V_M et V_R au moyen d'un comparateur 11 dont trois entrées sont respectivement reliées aux bornes E_L , E_M et S.

[0027] Une autre caractéristique de la présente invention est que les corps (substrats ou caissons) des transistors MOS M10M et M10L sont reliés au potentiel le plus élevé parmi les tensions V_M , V_L et V_R . Cette liaison a été symbolisée à la figure 3 par une liaison entre les corps des transistors M10M et M10L et la sortie du comparateur 11. Ainsi, même si la tension V_R est supérieure aux tensions V_M et V_L , les transistors M10M et M10L ne sont pas conducteurs dans la mesure où leurs corps respectifs sont également à la tension V_R , ce qui interdit toute polarisation en direct des jonctions drain/corps et source/corps. De plus, si une des tensions V_M ou V_L est suffisante (supérieure à la tension V_R), le transistor M10L ou M10M associé à la tension d'alimentation V_L ou V_M la plus faible est bloqué par le circuit 10 et, même si cette tension la plus faible V_L ou V_M est inférieure à la tension V_R , ce transistor n'est pas conducteur dans la mesure où son corps est porté au potentiel le plus élevé. Ces caractéristiques seront mieux comprises en relation avec les figures 7 et 8.

[0028] Un avantage de la présente invention est que la tension V_M ou V_L la plus faible est isolée du régulateur.

[0029] Un autre avantage de la présente invention est que la chute de tension entre les bornes d'entrée et de sortie du régulateur est faible. En effet, elle est limitée à environ 0,1 volt correspondant à la chute de tension dans un des transistors MOS de puissance à l'état passant.

[0030] Un autre avantage du premier mode de réalisation est que, même si le potentiel de référence V_{BG} n'est plus maintenu quand les deux tensions V_L et V_M sont insuffisantes ou disparaissent, on garantit une utilisation optimale du condensateur C pour alimenter temporairement la charge.

[0031] La figure 4 représente un deuxième mode de réalisation de la présente invention, dans lequel le régulateur comporte en outre un comparateur 12 associé à un transistor de faible puissance à canal P M10R pour générer un signal logique RESET. Ce signal RESET est destiné à indiquer un défaut d'alimentation du régulateur au moyen d'une des tensions V_M ou V_L , c'est-à-dire

que la tension la plus élevée du régulateur est la tension V_R , et que la tension de sortie V_R est inférieure à un seuil déterminé. Ce signal RESET est, par exemple, utilisé pour signaler à la charge (non représentée), par exemple un microprocesseur, que la tension qu'elle reçoit est désormais uniquement fournie par le condensateur C et n'est donc que temporaire. Le transistor M10R est relié, par sa source, à la borne S et, par son drain, à une première borne d'entrée du comparateur 12 ainsi que, par l'intermédiaire d'une résistance R5, au point-milieu de l'association en série de résistances R3A et R3B avec la résistance R4. La grille du transistor M10R est reliée au circuit de sélection 10 qui sélectionne donc le transistor à rendre conducteur parmi les trois transistors M10M, M10L et M10R en fonction de celle des trois tensions V_M , V_L et V_R qui est la plus élevée.

[0032] Le point de basculement du comparateur 12 est fixé par les valeurs des résistances R3A, R3B, R4 et R5. Sa valeur correspond à : $V_{BG} \cdot [(R5/R4) \cdot (R3A + R3B) / (R5 + R3B) + 1]$.

[0033] Un avantage de ce deuxième mode de réalisation est que le transistor M10R permet de maintenir la boucle de contre-réaction même quand la tension V_R est la tension la plus élevée, permettant ainsi au régulateur d'intégrer la génération d'un signal RESET quand la tension V_R correspond à la décharge du condensateur C et devient inférieure à une tension seuil. Cela permet de déterminer cette tension seuil de façon très précise dans la mesure où elle est liée à la tension V_{BG} fixée par le circuit 1'. De plus, cela minimise la consommation liée à la génération du signal RESET dans la mesure où on utilise les composants du régulateur qui sont généralement choisis pour leur faible consommation.

[0034] En pratique, des moyens de sélection de la tension la plus élevée (représentés globalement par le comparateur 11 à la figures 3 et 4) sont prévus de façon distincte pour le circuit 1', les circuits 2' et 10 et pour la polarisation des corps des transistors M10M et M10L. Ainsi, on prévoit un circuit de polarisation des corps destiné aux transistors M10M et M10L ainsi qu'à d'autres transistors MOS à canal P du régulateur.

[0035] L'invention sera décrite par la suite en relation avec le deuxième mode de réalisation (figure 4). Les modifications à apporter pour obtenir le régulateur exposé en relation avec la figure 3 se déduisent des rôles respectifs des différents constituants exposés ci-dessous.

[0036] Les figures 5 et 6 représentent un schéma détaillé d'un régulateur de tension selon l'invention. La figure 5 représente un mode de réalisation du circuit 1' de génération de la tension de référence V_{BG} , ainsi que du circuit de commande 2' et du circuit de sélection 10 associés. La figure 6 représente un mode de réalisation d'un circuit 13 de polarisation des corps des transistors MOS à canal P, ainsi que les transistors M10L, M10M et M10R et les moyens résistifs 14 associés au comparateur 12 et à la contre-réaction du régulateur.

[0037] Le circuit 1' est constitué d'une source de cou-

rant I, d'une diode D, de résistances R1 et R2, et de transistors Q_D, Q3 et Q4 tel que décrits précédemment en relation avec la figure 1. Les transistors Q1 et Q2 de la figure 1 sont, par exemple, remplacés, chacun par trois transistors bipolaires de type PNP respectivement associés aux bornes E_M, E_L et S ou, comme cela est représenté, par deux transistors multi-émetteurs dont les collecteurs respectifs sont reliés aux collecteurs des transistors Q3 et Q4 et définissent respectivement les bornes 3 et 4 de sortie du circuit 1'. Un premier émetteur, respectivement Q1M ou Q2M, des transistors multi-émetteurs est relié à la borne E_M, un deuxième émetteur, respectivement Q1L ou Q2L, est relié à la borne E_L, et un troisième émetteur, respectivement Q1R ou Q2R, est relié à la borne S. Le fonctionnement du circuit 1' est similaire à celui du circuit 1 exposé en relation avec la figure 1 à la différence près que sa tension d'alimentation est toujours la tension la plus élevée parmi les tensions V_M , V_L et V_R .

[0038] La borne 4 est reliée aux bases respectives de trois transistors bipolaires de type PNP Q5M, Q5R et Q5L du circuit 2' dont les émetteurs sont respectivement reliés aux bornes E_M, S et E_L. Les collecteurs respectifs des transistors Q5M, Q5R et Q5L sont reliés aux drains et grilles de transistors MOS à canal N M11M, M11R et M11L montés en diode et dont les sources respectives sont connectées à la masse. Des transistors MOS à canal N M3L, M3R et M3M, dont les sources respectives sont connectées à la masse, sont montés en sources de courant sur les transistors M11L, M11R et M11M avec lesquels ils constituent des miroirs de courant par connexion de leurs grilles respectives. Les drains respectifs des transistors M3L et M3M sont connectés, par l'intermédiaire d'un transistor MOS à canal N M4L, M4M dont la grille est reliée au transistor M3L ou M3M respectif, au collecteur d'un transistor bipolaire de type PNP Q6L, Q6M (ou au collecteur commun d'un transistor multi-émetteurs). Le drain du transistor M3R est relié directement aux collecteurs des transistors Q6L et Q6M. Les drains respectifs des transistors M3L et M3M sont également reliés au collecteur d'un transistor bipolaire de type PNP, respectivement Q6RA ou Q6RB, dont l'émetteur est relié à la borne S. Les bases respectives des transistors Q6RA, Q6RB, Q6L et Q6M sont reliées à la borne 3. Les collecteurs des transistors Q6RA et Q6RB délivrent, respectivement, des potentiels de commande V_{GL} et V_{GM} sur les grilles des transistors M10L et M10M (figure 6). Le collecteur du transistor multi-émetteurs Q6L-Q6M délivre un potentiel de commande V_{GR} sur la grille du transistor M10R (figure 6).

[0039] Le fonctionnement du circuit 2' décrit ci-dessus se déduit de celui du circuit 2 de la figure 1 pour ce qui concerne les transistors Q5, Q6, M3 et M11 affectés des lettres respectives M, R et L, la plus élevée des tensions V_M , V_L , V_R faisant conduire les transistors Q5, Q6, M3 et M11 affectés de la lettre correspondante et bloquant les autres transistors.

[0040] Selon l'invention, le circuit 10 comporte deux

transistors MOS à canal P M12L et M12M connectés en série entre les collecteurs respectifs des transistors Q6RA et Q6RB. L'électrode commune des transistors M12L et M12M est reliée au collecteur commun des transistors Q6L et Q6M. Le rôle des transistors M12L et M12M est de bloquer les deux transistors de puissance parmi les transistors M10L, M10M et M10R qui sont associés aux deux tensions les plus faibles parmi les tensions V_M , V_L et V_R . Deux transistors MOS à canal P M14 et M15 sont connectés en série et en diode entre une borne V_B et les grilles communes des transistors M12L et M12M. La borne V_B représente la borne de sortie du circuit 13 de polarisation des corps des transistors à canal P qui sera décrit par la suite en relation avec la figure 6. La borne V_B est au potentiel de la tension la plus élevée parmi les tensions V_M , V_L et V_R . Le drain du transistor M15 est relié au drain commun de trois transistors MOS à canal N M13L, M13R et M13M qui sont montés en miroir de courant sur les transistors M11L, M11R et M11M respectifs. Le rôle des transistors M14, M15, M13R, M13L et M13M est de polariser les grilles des transistors M12L et M12M à un potentiel élevé pour que leur potentiel de source soit lui-même suffisamment élevé pour garantir le blocage de deux des trois transistors M10L, M10M et M10R. Le fonctionnement des circuits 2' et 10 sera mieux compris en relation avec les figures 7 et 8.

[0041] Selon le mode de réalisation illustré par la figure 6, le circuit 13 de polarisation des corps des transistors à canal P, en particulier des transistors M10L et M10M, à la tension la plus élevée parmi les tensions V_M , V_L et V_R comporte trois montages similaires constitués, chacun, de trois transistors MOS à canal P et d'un transistor MOS à canal N. Chaque groupe de quatre transistors comporte un transistor à canal P, respectivement M16M, M16R ou M16L, connecté entre la borne E_M , S ou E_L et la borne V_B . Les grilles respectives des transistors M16M, M16R et M16L sont reliées à la source du transistor MOS à canal N M9M, M9R et M9L du groupe correspondant. Les transistors M9M, M9R et M9L sont montés en miroir de courant sur les transistors respectifs M11M, M11R et M11L (figure 5). Aux figures 5 et 6, les grilles respectives des transistors M11M, M11R et M11L ont été désignées par des bornes V_{BM} , V_{BR} et V_{BL} pour permettre le report des connexions entre les figures 5 et 6. Les deux autres transistors MOS à canal P, respectivement M7M et M8M, M7R et M8R, M7L et M8L, de chaque groupe du circuit 13 ont une première électrode reliée à la borne, respectivement E_M , S ou E_L , leurs grilles étant reliées au drain du transistor M9 du groupe correspondant. Une deuxième électrode des transistors M7M et M7R est reliée au drain du transistor M9L. Une deuxième électrode des transistors M8L et M8R est reliée au drain du transistor M9M. Une deuxième électrode des transistors M7L et M8M est reliée au drain du transistor M9R. Seul le groupe de transistors associé à la tension la plus élevée parmi les tensions V_M , V_L et V_R conduit, les grilles des transistors à canal

P du groupe correspondant étant mises à la masse par le transistor à canal N M9M, M9R ou M9L qui conduit grâce au montage en miroir sur les transistors M11M, M11R et M11L. Le transistor M16 du groupe correspondant établit le potentiel de la borne V_B à la tension la plus élevée et les transistors M7 et M8 de ce groupe bloquent les six transistors MOS à canal P des deux autres groupes en portant leurs grilles respectives au potentiel le plus élevé. Tous les corps des transistors à canal P du circuit 13 sont reliés à la borne V_B pour empêcher tout court-circuit par les diodes drain/corps ou source/corps.

[0042] A titre de variante non représentée, la polarisation des corps des transistors à canal P, à la tension la plus élevée parmi les tensions V_M , V_L et V_R est réalisée au moyen d'un transistor bipolaire de type PNP à trois émetteurs. Chaque émetteur est connecté à une des tensions V_M , V_L , V_R (d'une manière similaire aux émetteurs Q2R, Q2L et Q2M du circuit 1') et la base de ce transistor est polarisée par une source de courant de faible valeur (environ $1 \mu A$), réalisée à partir du circuit 1'. Le collecteur de ce transistor est connecté aux corps des transistors à canal P à polariser. Le collecteur prend alors le potentiel de l'émetteur qui est connecté à la tension la plus élevée, polarisant ainsi les corps des transistors à canal P à cette même tension.

[0043] Dans le mode de réalisation représenté à la figure 6, le comparateur 12 chargé de produire le signal RESET est polarisé en étant relié à la borne V_B . Ce comparateur 12 ayant une consommation très faible, le potentiel de la borne V_B n'est sensiblement pas modifié. Toutefois, on pourra, à titre de variante, associer la polarisation du comparateur 12 à un montage à transistors sélectionnant, parmi les tensions V_M , V_L et V_R , la tension la plus élevée. Le comparateur 12 peut également être alimenté uniquement par la tension V_R . En effet, lors de la génération du signal logique RESET, la tension la plus élevée sera toujours la tension V_R .

[0044] La figure 7 illustre le fonctionnement du régulateur de tension selon la présente invention lorsque la tension la plus élevée du montage correspond à une des tensions d'alimentation V_M et V_L . Le fonctionnement est similaire quelle que soit cette tension V_M ou V_L qui est la plus élevée.

[0045] Le cas représenté à la figure 7 correspond à un fonctionnement normal du régulateur où la tension régulée V_R est produite à partir de la tension V_L . Pour des raisons de clarté, on a éliminé, par rapport aux schémas des figures 5 et 6, les transistors bloqués qui n'interviennent pas dans le fonctionnement, et les bornes V_B et E_L ont été confondues. Le circuit 1' n'a été représenté que partiellement. Le transistor Q6L se retrouve en série avec le transistor M12L, dont la grille est polarisée par les transistors M14 et M15, et avec le transistor M3L. Le transistor Q6L associé au transistor M12L constitue donc une source de courant cascode chargée par le transistor M3L, lequel est commandé par les transistors Q2L, Q5L et M11L, et dont la sortie V_{GL} est con-

nectée à la grille du transistor M10L. On reproduit ainsi le fonctionnement décrit en relation avec la figure 1. Le potentiel des grilles des transistors M12L et M12M est sensiblement égal à $V_L - 2V_{TH}$, où V_{TH} représente la tension seuil des transistors M14 et M15. Le potentiel V_{GR} présent sur la source du transistor M12L est donc sensiblement égal à $V_L - 2V_{TH}$, majoré de la chute de tension grille-source du transistor M12L. Cette chute de tension est égale à la tension seuil V_{TH} du transistor M12L majorée d'un terme dû au courant drain-source du transistor M12L et correspondant à la composante parabolique de sa tension grille-source. Ainsi, le potentiel V_{GR} est supérieur à $V_L - V_{TH}$. Le potentiel V_{GM} est, par le même raisonnement, égal au potentiel V_{GR} , le transistor M12M étant conducteur mais n'étant traversé par aucun courant.

[0046] Comme $V_{GR} = V_{GM} > V_L - V_{TH}$, les transistors M10R et M10M sont bloqués car leurs sources respectives sont à des potentiels inférieurs à la tension V_L . Le blocage du transistor M10M permet d'isoler l'alimentation V_M , tandis que le blocage du transistor M10R entraîne que la résistance de la boucle de contre-réaction correspond à la résistance R3 ($R3A + R3B$). La tension de sortie V_R est égale à $V_{BG} \cdot (R3 + R4)/R4$. On notera que, comme le corps du transistor M10M est relié au potentiel V_L , la borne E_M est bien complètement isolée du régulateur et il n'y a pas de court-circuit entre les bornes E_M et S.

[0047] Dans le cas où la tension V_L est trop faiblement supérieure à la tension V_R , la différence de potentiel entre la source et le drain du transistor M10L est trop faible pour fournir un courant suffisant à la charge connectée à la borne S. La boucle de contre-réaction constituée des résistances R3A et R3B, du transistor Q3 (non représenté à la figure 6), du transistor Q6L et du transistor M12L, abaisse alors le potentiel V_{GL} jusqu'à une valeur près de la masse. Le transistor M3L fonctionne alors en triode, ce qui débloquent le transistor M4L. Le déblocage du transistor M4L entraîne la mise en conduction du transistor M10R qui court-circuite alors les résistances R3A et R3B. La tension V_R ne peut dans ce cas pas être maintenue à la valeur nominale souhaitée et diminue. Toutefois, la boucle de contre-réaction continue à fonctionner par le transistor M10R et la résistance R5, ce qui garantit le maintien de la tension V_{BG} à la valeur de référence choisie.

[0048] Quand la tension V_L devient inférieure à la tension V_R ou disparaît, le régulateur se trouve alors dans un mode de fonctionnement où il est alimenté par la tension V_R et où il est propre à générer le signal RESET qui sera décrit par la suite en relation avec la figure 8.

[0049] Comme pour la figure 7, la figure 8 ne représente pas les transistors des figures 5 et 6 qui sont bloqués et qui n'interviennent pas dans le fonctionnement. Dans le cas représenté à la figure 8, on considère que la tension V_R est supérieure aux tensions V_L et V_M .

[0050] Les deux transistors Q6RA et Q6RB ont leurs jonctions base-émetteur en parallèle et leurs courants

sont donc égaux. Comme un courant circule ici dans les deux transistors M12L et M12M, on obtient comme précédemment, d'un point de vue fonctionnel, une source de courant cascode. Toutefois, la partie supérieure (Q6RA, M12L et Q6RB, M12M) est ici divisée en deux et produit, sur les sources respectives des transistors M12L et M12M, les deux tensions de blocage V_{GL} et V_{GM} qui sont toutes deux supérieures à $V_R - V_{TH}$. Les transistors M10M et M10L sont donc bloqués et, comme leurs corps respectifs sont au potentiel V_R , les bornes E_M et E_L sont complètement isolées du régulateur. La partie inférieure (M12L, M12M et M3R) de la source de courant cascode fournit la tension V_{GR} , déterminée par la boucle de contre-réaction comportant le transistor M10R et la résistance R5. Ainsi, la tension de référence V_{BG} est bien maintenue à la valeur spécifiée. Selon la présente invention, la tension V_{BG} sert alors à indexer le seuil à partir duquel le signal RESET est produit au moyen du comparateur 12. Le basculement du comparateur 12 se produit quand la tension V_R devient inférieure à $V_{BG} \cdot [(R5/R4) \cdot (R3A + R3B)/(R5 + R3B) + 1]$.

[0051] Selon l'invention, tous les corps des transistors MOS à canal N sont connectés à leur source. Par contre, tous les corps des transistors MOS à canal P du circuit 13, ainsi que les corps des transistors M12L et M12M et des transistors de puissance M10L et M10M sont connectés à la borne V_B au potentiel de la tension la plus élevée. Le corps du transistor M14 est également connecté à la tension V_B comme sa source, et les corps des transistors M10R et M15 sont connectés à leurs sources respectives.

[0052] La réalisation et le fonctionnement d'un régulateur tel que représenté à la figure 3 se déduit de l'exposé des figures 5 à 8. Il suffit de supprimer tous les transistors servant à la commande du transistor M10R.

[0053] Les figures 9 et 10 illustrent un autre mode de réalisation selon lequel les transistors supérieurs des circuits 1', 2' et 10 sont des transistors MOS à canal P. Aux figures 9 et 10, seules les parties supérieures des circuits 1', 2' et 10 ont été représentées.

[0054] Les transistors Q1R, Q1L et Q1M sont remplacés, respectivement, par des transistors MOS à canal P M1M, M1L et M1R (figure 9). Les transistors Q2M, Q2L et Q2R sont remplacés, respectivement, par des transistors M2M, M2L et M2R. Les corps de ces transistors MOS à canal P sont tous reliés à la borne V_B pour garantir l'isolement entre les tensions V_M , V_L et V_R .

[0055] Les transistors bipolaires du circuit 2' sont remplacés par des transistors MOS à canal P dont les références à la figure 10 sont similaires en remplaçant la lettre Q par la lettre M. Tous les corps de ces transistors MOS à canal P sont alors reliés à la borne V_B .

[0056] Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, les dimensionnements des transistors et des résistances est à la portée de l'homme de l'art en fonction des caractéristiques fonctionnelles souhaitées.

[0057] De plus, bien que l'on ait fait référence dans la description qui précède à un régulateur de tension susceptible d'être alimenté par deux tensions non régulées indépendantes, l'invention s'applique également au cas où le régulateur doit être alimenté par plus de deux tensions. Dans ce cas, il suffit d'ajouter, à chacune des structures décrites en relation avec les figures précédentes, un transistor ou un groupe de transistors associé à la borne d'entrée supplémentaire.

[0058] En outre, on notera que le régulateur selon l'invention peut être réalisé intégralement en technologie bipolaire en remplaçant les transistors MOS à canal P par des transistors PNP et les transistors MOS à canal N par des transistors NPN. Dans ce cas, il n'est pas nécessaire de prévoir un circuit 13 de polarisation des corps des transistors MOS à canal P. Le recours à des transistors MOS constitue cependant un mode de réalisation préféré selon l'invention dans la mesure où ils sont commandables en tension, ce qui entraîne une consommation moindre du régulateur.

[0059] Enfin, on notera que l'invention s'applique également à la réalisation d'un régulateur de tension négative. Il suffit pour cela de remplacer les transistors MOS à canal P par des transistors à canal N et réciproquement, et de remplacer les transistors bipolaires de type PNP par des transistors de type NPN et réciproquement. La sélection de tension s'effectue alors sur la tension ayant la valeur la plus négative.

Revendications

1. Régulateur de tension destiné à asservir une tension de sortie (V_R) délivrée par un transistor de puissance (M10M, M10L) sur une tension de référence (V_{BG}), **caractérisé en ce qu'il** comporte :

au moins deux bornes d'entrée (E_M , E_L) propres à recevoir, chacune, une tension d'alimentation (V_M , V_L) indépendante ;
un moyen (11) pour sélectionner automatiquement la tension d'alimentation (V_M , V_L) la plus élevée parmi les tensions présentes aux bornes d'entrée (E_M , E_L) ; et
un moyen pour isoler la borne d'alimentation (E_M , E_L) associée à la tension la plus faible (V_M , V_L) du reste du circuit, lesdits moyens introduisant une très faible chute de tension, correspondant à celle d'un seul transistor de puissance, entre la borne d'entrée (E_L , E_M) à la tension la plus élevée (V_L , V_M) et une borne (S) de sortie du régulateur.

2. Régulateur de tension selon la revendication 1, **caractérisé en ce qu'il** comporte :

au moins deux premiers transistors de puissance (M10M, M10L) ayant chacun une première

électrode de puissance connectée directement à une desdites bornes d'entrée (E_M , E_L) et une deuxième électrode de puissance connectée à la borne de sortie (S) ; et

un circuit de commande (10) propre à rendre conducteur celui desdits transistors de puissance (M10M, M10L) qui est associé à la tension d'alimentation (V_M , V_L) la plus élevée et à bloquer l'autre transistor de puissance (M10L, M10M).

3. Régulateur de tension selon la revendication 2, **caractérisé en ce qu'**au moins lesdits deux premiers transistors de puissance (M10M, M10L) associés aux tensions d'alimentation (V_M , V_L) présentes aux bornes d'entrée (E_M , E_L) du régulateur sont des transistors MOS à canal P, et **en ce qu'**il comporte un circuit (13) de polarisation des corps d'au moins lesdits deux premiers transistors de puissance (M10M et M10L) à la tension la plus élevée (V_M , V_L , V_R).
4. Régulateur de tension selon l'une quelconque des revendications 1 à 3, comportant un condensateur (C) entre la borne de sortie (S) et la masse, **caractérisé en ce que** ledit moyen de sélection (11) sélectionne la tension d'alimentation des circuits du régulateur parmi les tensions d'alimentation (V_M , V_L) présentes sur les bornes d'entrée (E_M , E_L) et une tension de sortie régulée (V_R) présente sur la borne de sortie (S).

Patentansprüche

1. Spannungsregler zur Regelung einer von einem Leistungstransistor (M10M, M10L) gelieferten Ausgangsspannung (V_R) in Abhängigkeit von einer Bezugsspannung (V_{BG}), **dadurch gekennzeichnet, daß** der Regler umfaßt :

wenigstens zwei Eingangsanschlüsse (E_M , E_L), denen jeweils eine unabhängige Speisespannung (V_M , V_L) zugeführt werden kann;
ein Mittel (11), um unter den an den Eingangsanschlüssen (E_M , E_L) anliegenden Spannungen automatisch die höchste Speisespannung (V_M , V_L) auszuwählen;
ein Mittel, um den der niedrigsten Spannung (V_M , V_L) zugeordneten Eingangsanschluß (E_M , E_L) von der übrigen Schaltung zu trennen, wobei diese Mittel einen sehr niedrigen Spannungsabfall entsprechend dem Spannungsabfall eines einzigen Leistungstransistors zwischen dem Eingangsanschluß (E_M , E_L) mit der höchsten Spannung (V_M , V_L) und einem Ausgangsanschluß (S) des Reglers einführen.

2. Spannungsregler nach Anspruch 1, **dadurch gekennzeichnet, daß** der Regler umfaßt:

wenigstens zwei erste Leistungstransistoren (M10M, M10L), die jeder jeweils eine direkt mit einem der genannten Eingangsanschlüsse verbundene erste Leistungselektrode und eine mit dem Ausgangsanschluß (S) verbundene zweite Leistungselektrode aufweisen; sowie eine Steuerschaltung (10), welche den der höchsten Speisespannung (V_M , V_L) zugeordneten Leistungstransistor (M10M, M10L) in den leitenden Zustand überführt und den anderen Leistungstransistor (M10M, M10L) sperrt.

3. Spannungsregler nach Anspruch 2, **dadurch gekennzeichnet, daß** wenigstens die beiden ersten Leistungstransistoren (M10M, M10L), welche den an den Eingangsanschlüssen (E_M , E_L) anliegenden Speisespannungen (V_M , V_L) zugeordnet sind, P-Kanal-MOS-Transistoren sind, und daß der Regler eine Schaltung (13) aufweist, um die Bulk-Körper wenigstens der genannten beiden ersten Leistungstransistoren (M10M, M10L) mit der höchsten Spannung (V_M , V_L , V_R) vorzuspannen.

4. Spannungsregler nach einem der Ansprüche 1 bis 3, welcher einen Kondensator (C) zwischen dem Ausgangsanschluß (S) und Masse aufweist, **dadurch gekennzeichnet, daß** die genannten Wählmittel (11) die Speisespannungen der Schaltungen des Reglers unter den an den Eingangsanschlüssen (E_M , E_L) anliegenden Speisespannungen (V_M , V_L) und einer an dem Ausgangsanschluß (S) vorliegenden geregelten Ausgangsspannung (V_R) auswählt.

Claims

1. A voltage regulator, for regulating an output voltage (V_R) provided by a power transistor (M10M, M10L) to a reference voltage (V_{BG}), **characterized in that** it includes:

at least two input terminals (E_M , E_L) for receiving, each, an independent supply voltage (V_M , V_L);

a means (11) for automatically selecting the highest supply voltage (V_M , V_L) from among the voltages present at the input terminals (E_M , E_L); and

a means for insulating the supply terminal (E_M , E_L) associated with the lowest voltage (V_M , V_L) from the rest of the circuit, these means introducing a very low voltage drop, corresponding to the voltage drop of one power transistor, between the input terminal (E_L , E_M) at the highest

voltage (V_L , V_M) and an output terminal (S) of the regulator.

2. A voltage regulator according to claim 1, **characterized in that** it includes:

at least two first power transistors (M10M, M10L), each having a first power electrode directly connected to one of the input terminals (E_M , E_L) and a second power electrode connected to the output terminal (S); and a control circuit (10) for turning on that of the power transistors (M10M, M10L) which is associated with the highest supply voltage (V_M , V_L) and blocking the other power transistor (M10L, M10M).

3. A voltage regulator according to claim 2, **characterized in that** at least the two first power transistors (M10M, M10L) associated with the supply voltages (V_M , V_L) present at the input terminals (E_M , E_L) of the regulator are P-channel MOS transistors, and including a circuit (13) for biasing the bulks of at least the two first power transistors (M10M, M10L) at the highest voltage (V_M , V_L , V_R).

4. A voltage regulator according to any of claims 1 to 3, including a capacitor (C) between the output terminal (S) and the ground, **characterized in that** the selection means (11) selects the supply voltage of the circuits of the regulator from among the supply voltages (V_M , V_L) present on the input terminals (E_M , E_L) and a regulated output voltage (V_R) present on the output terminal (S).

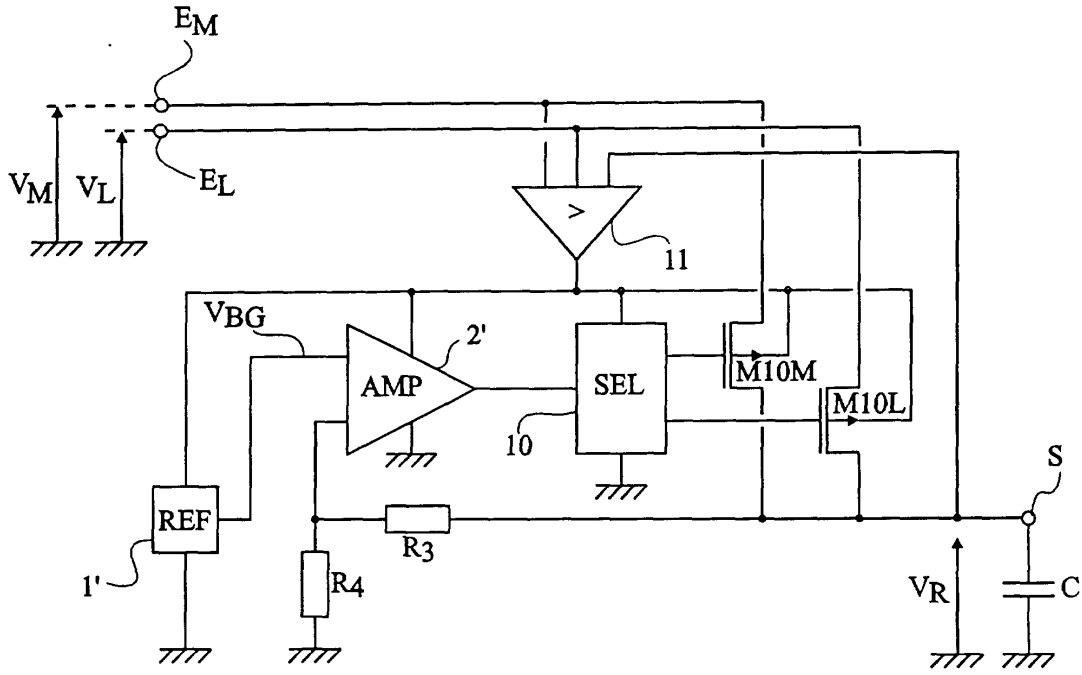


Fig 3

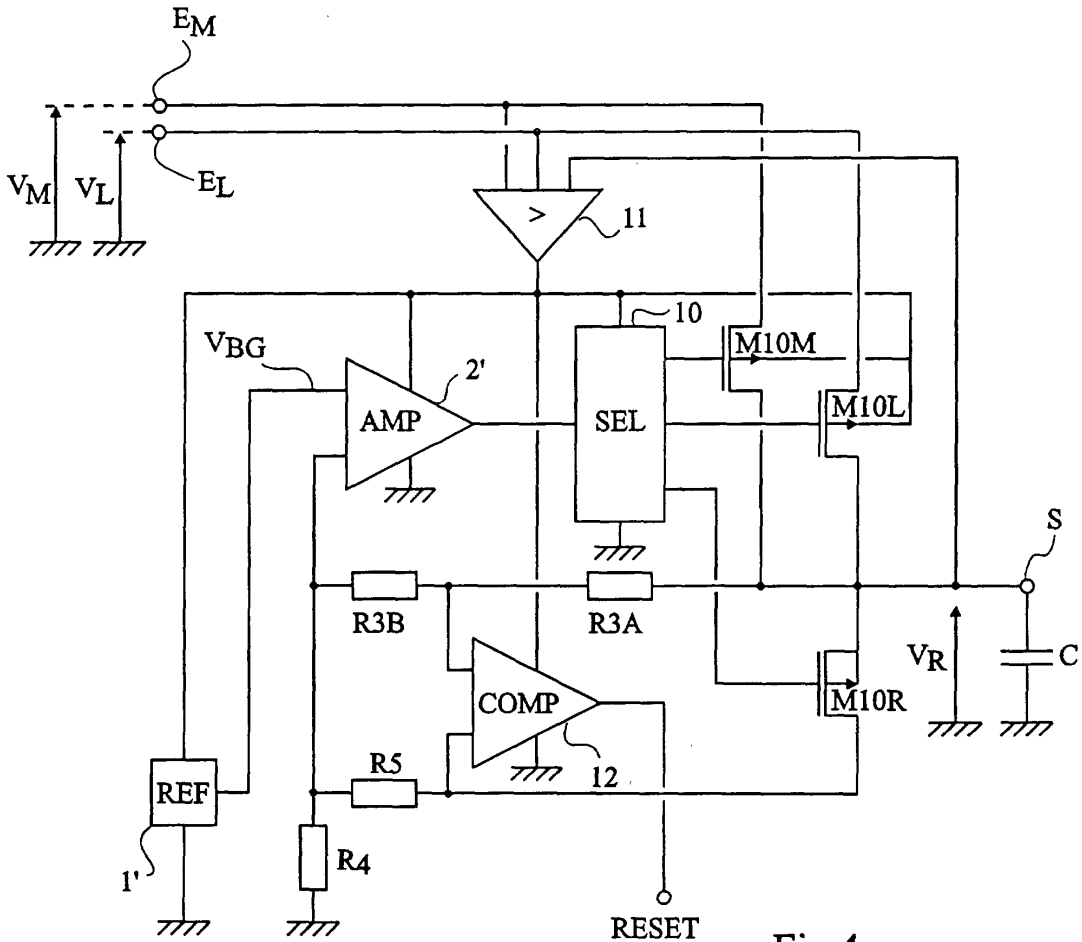


Fig 4

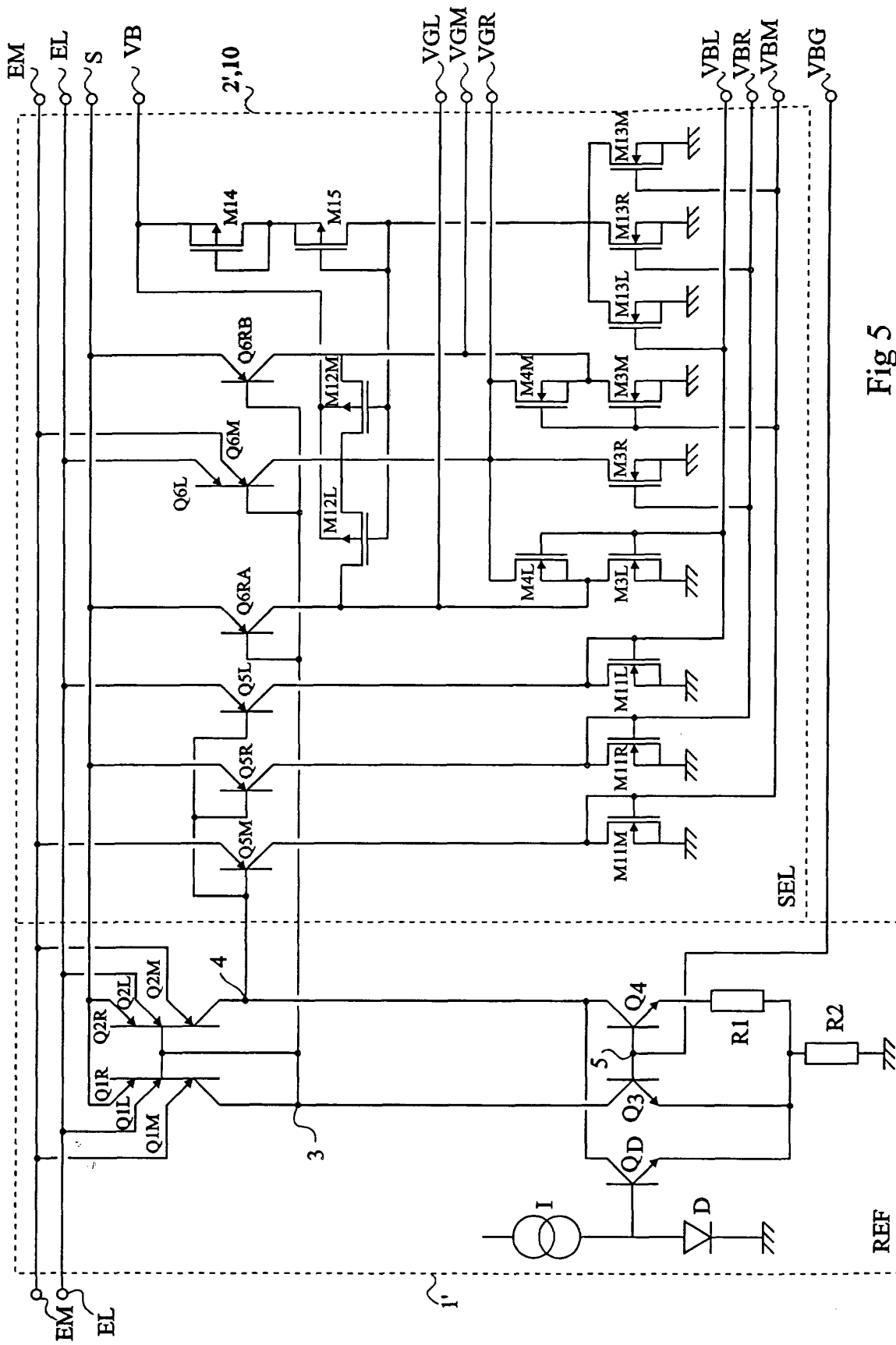


Fig 5

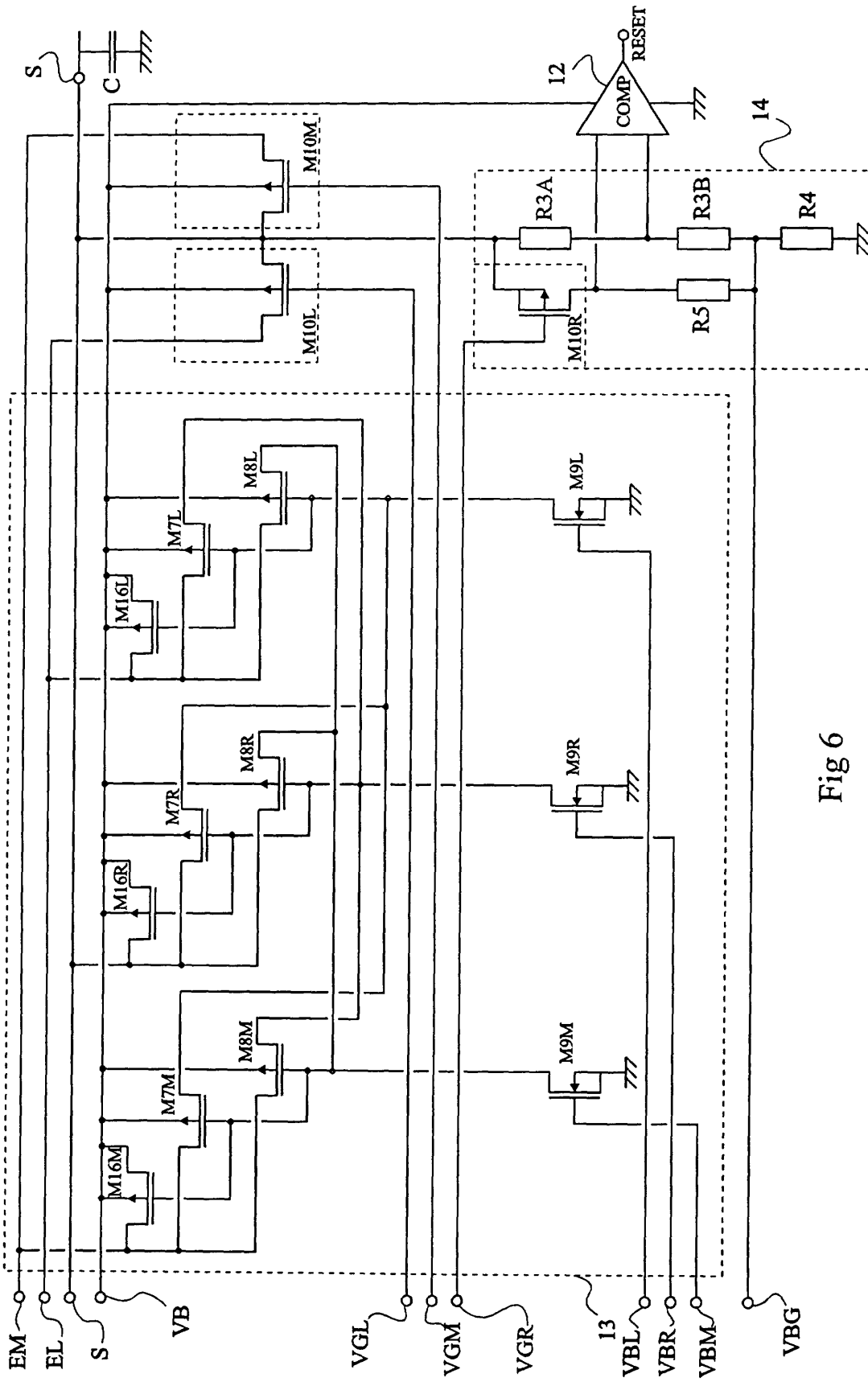


Fig 6

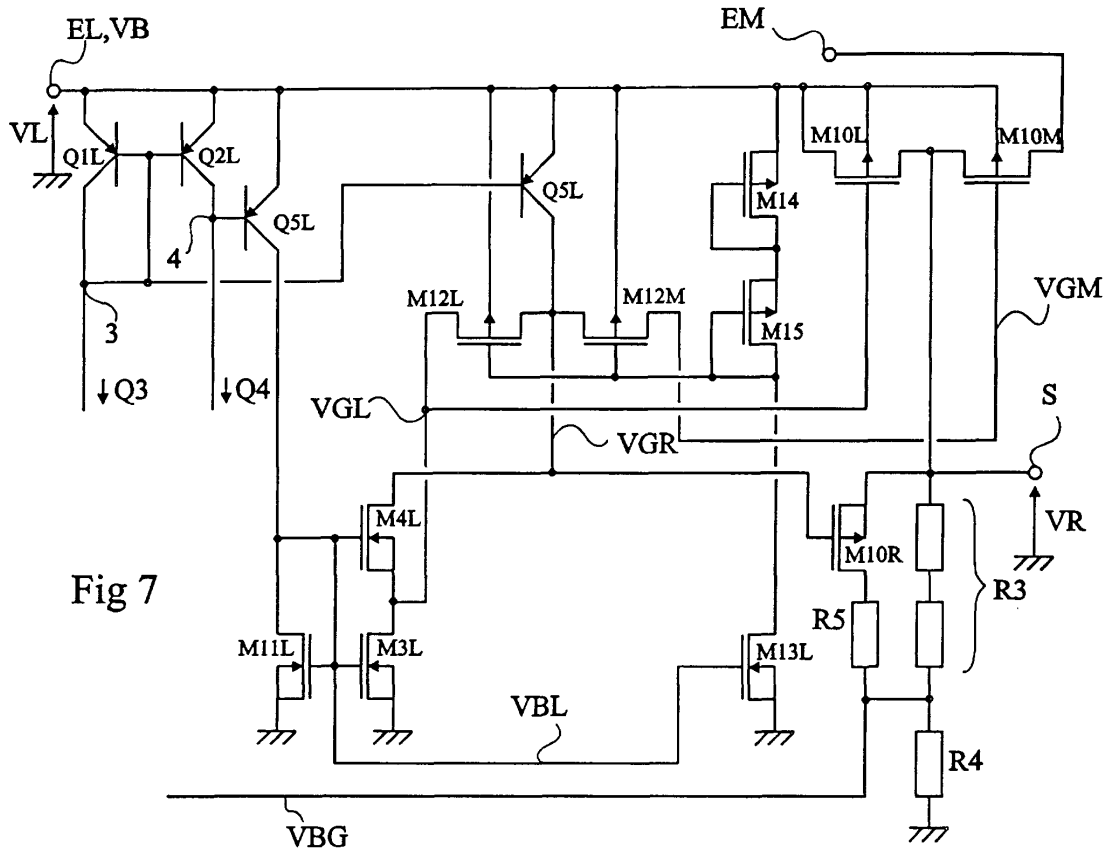


Fig 7

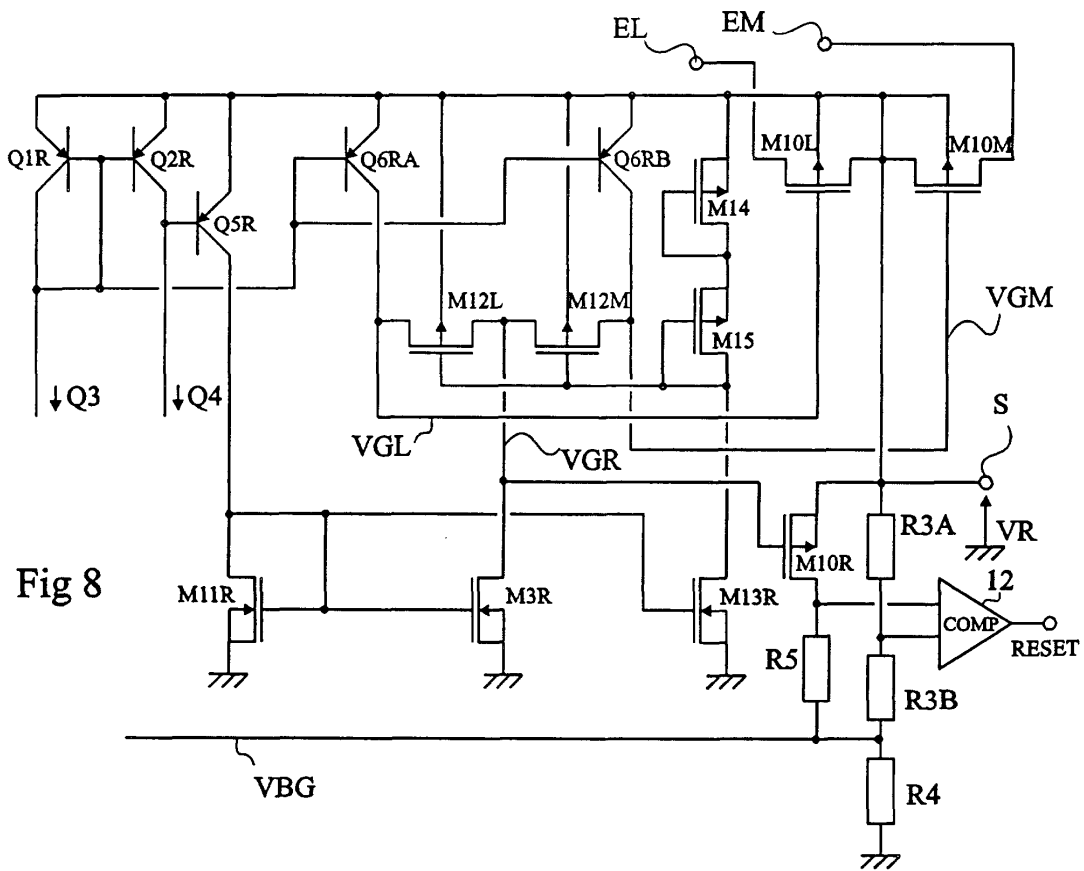


Fig 8

