

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年1月10日(10.01.2019)



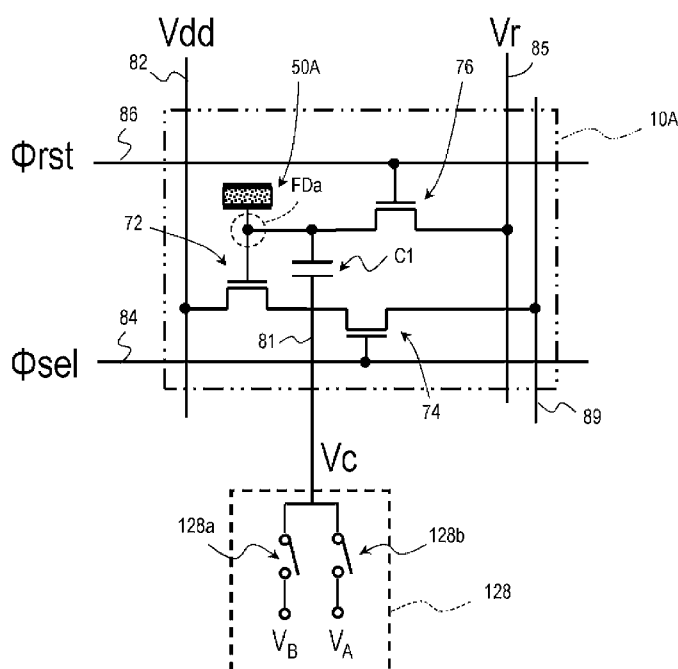
(10) 国際公開番号

WO 2019/009023 A1

- (51) 国際特許分類:
H04N 5/374 (2011.01) *H04N 5/359* (2011.01)
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2018/022308
- (22) 国際出願日: 2018年6月12日(12.06.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-131878 2017年7月5日(05.07.2017) JP
特願 2017-131879 2017年7月5日(05.07.2017) JP
特願 2018-104972 2018年5月31日(31.05.2018) JP
- (71) 出願人: パナソニック IP マネジメント株式会社(PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5406207 大阪府大阪市中心区域見2丁目1番61号 Osaka (JP).
- (72) 発明者: 佐藤 嘉晃(SATOU Yoshiaki). 山田 翔太(YAMADA Shota). 村上 雅史(MURAKAMI Masashi). 廣瀬 裕(HIROSE Yutaka).
- (74) 代理人: 鎌田 健司, 外(KAMATA Kenji et al.); 〒5406207 大阪府大阪市中心区域見2丁目1番61号 パナソニック IP マネジメント株式会社内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: IMAGING DEVICE

(54) 発明の名称: 撮像装置



(57) **Abstract:** An imaging device which is provided with: a semiconductor substrate which comprises a first impurity region having an n-type conductivity; a photoelectric conversion unit which is electrically connected to the first impurity region and converts light into charges; a capacitive element which has a first terminal and a second terminal, with the first terminal being electrically connected to the first impurity region; and a voltage supply circuit which is electrically connected to the second terminal. The voltage supply circuit supplies a first voltage and a second voltage, which are



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

different from each other, to the second terminal; and the first impurity region stores positive charges among the charges produced in the photoelectric conversion unit.

(57) 要約: n型の導電型の第1不純物領域を有する半導体基板と、前記第1不純物領域に電氣的に接続され、光を電荷に変換する光電変換部と、第1端子および第2端子を有し、前記第1端子が前記第1不純物領域に電氣的に接続された容量素子と、前記第2端子に電氣的に接続された電圧供給回路とを備え、前記電圧供給回路は、互いに異なる第1の電圧および第2の電圧を前記第2端子に供給し、前記第1不純物領域は、前記光電変換部で生じた電荷のうち正電荷を蓄積する、撮像装置。

明 細 書

発明の名称：撮像装置

技術分野

[0001] 本開示は、撮像装置に関する。

背景技術

[0002] デジタルスチルカメラ、デジタルカメラなどにＣＣＤ（Charge Coupled Device）イメージセンサおよびＣＭＯＳ（Complementary Metal Oxide Semiconductor）イメージセンサが広く用いられている。よく知られているように、これらのイメージセンサは、半導体基板に形成されたフォトダイオードを有する。

[0003] 他方、光電変換層を有する光電変換部を半導体基板の上方に配置した構造が提案されている（例えば特許文献１）。このような構造を有する撮像装置は、積層型の撮像装置と呼ばれることがある。積層型の撮像装置は、光電変換部との電気的な接続を有するノードであって、光電変換によって生成された正および負の電荷の一方を信号電荷として一時的に蓄積する浮遊ノードを有する。この浮遊ノードは、典型的には、光電変換部を支持する半導体基板に形成された拡散領域と、光電変換部と拡散領域とを互いに電気的に接続する導電構造とを有する。半導体基板には、ＣＣＤ回路またはＣＭＯＳ回路が設けられ、浮遊ノードに蓄積された電荷量に応じた信号がＣＣＤ回路またはＣＭＯＳ回路を介して読み出される。

先行技術文献

特許文献

[0004] 特許文献１：国際公開第２０１２／１４７３０２号

発明の概要

[0005] 撮像装置の分野では、ノイズ低減の要求がある。撮像装置では、光電変換によって発生した電荷を蓄積する不純物領域からの、または、不純物領域へのリーク電流により、得られる画像に劣化が生じることがある。したがって

、このようなリーク電流を低減できると有益である。以下では、光電変換によって発生した電荷を蓄積する不純物領域からの、または、不純物領域へのリーク電流を単に「暗電流」と呼ぶことがある。

[0006] 本開示の限定的ではないある例示的な実施形態によれば、以下が提供される。

[0007] n型の導電型の第1不純物領域を有する半導体基板と、前記第1不純物領域に電氣的に接続され、光を電荷に変換する光電変換部と、第1端子および第2端子を有し、前記第1端子が前記第1不純物領域に電氣的に接続された容量素子と、前記第2端子に電氣的に接続された電圧供給回路とを備え、前記電圧供給回路は、互いに異なる第1の電圧および第2の電圧を前記第2端子に供給し、前記第1不純物領域は、前記光電変換部で生じた電荷のうち正電荷を蓄積する、撮像装置。

[0008] 包括的または具体的な態様は、素子、デバイス、モジュール、システムまたは方法で実現されてもよい。また、包括的または具体的な態様は、素子、デバイス、装置、モジュール、システムおよび方法の任意の組み合わせによって実現されてもよい。

[0009] 開示された実施形態の追加的な効果および利点は、明細書および図面から明らかになる。効果および／または利点は、明細書および図面に開示の様々な実施形態または特徴によって個々に提供され、これらの1つ以上を得るために全てを必要とはしない。

[0010] 本開示の実施形態によれば、暗電流の抑制された撮像装置が提供される。

図面の簡単な説明

[0011] [図1]図1は、本開示の第1の実施形態による撮像装置の例示的な構成を模式的に示す図である。

[図2]図2は、画素10の例示的なデバイス構造を模式的に示す断面図である。

[図3]図3は、図2に示す画素10Aの回路構成の典型例を模式的に示す図である。

[図4A]図4 Aは、図3に示す回路構成を有する画素10 Aの例示的な動作を説明するためのタイミングチャートである。

[図4B]図4 Bは、画素10 Aのリセットトランジスタ76にp型のトランジスタを適用したときの例示的な動作を説明するためのタイミングチャートである。

[図4C]図4 Cは、画素10 A、10 A pおよび10 A qの動作の他の例を説明するためのタイミングチャートである。

[図5]図5は、画素10の他の回路構成の例を模式的に示す図である。

[図6]図6は、画素10のさらに他の回路構成の例を模式的に示す図である。

[図7A]図7 Aは、画素10のさらに他の回路構成の例を模式的に示す図である。

[図7B]図7 Bは、画素10のさらに他の回路構成の例を模式的に示す図である。

[図8]図8は、図7 Aに示す画素10 A rまたは図7 Bに示す画素10 A sの例示的な動作を説明するためのタイミングチャートである。

[図9A]図9 Aは、画素10のさらに他の回路構成の例を模式的に示す図である。

[図9B]図9 Bは、画素10のさらに他の回路構成の例を模式的に示す図である。

[図10]図10は、図9 Aに示す画素10 A tまたは図9 Bに示す画素10 A uの例示的な動作を説明するためのタイミングチャートである。

[図11A]図11 Aは、画素10のさらに他の回路構成の例を模式的に示す図である。

[図11B]図11 Bは、画素10のさらに他の回路構成の例を模式的に示す図である。

[図11C]図11 Cは、画素10のさらに他の回路構成の例を模式的に示す図である。

[図12]図12は、本開示の第2の実施形態による撮像装置が有する画素10

Bの回路構成の一例を模式的に示す図である。

[図13]図13は、図12に示す回路構成が適用された、より具体的な例を示す図である。

[図14A]図14Aは、図13に示す回路構成を有する画素10Bfの例示的な動作を説明するためのタイミングチャートである。

[図14B]図14Bは、画素10Bfのリセットトランジスタ76およびトランジスタ78にp型のトランジスタを適用したときの例示的な動作を説明するためのタイミングチャートである。

[図15]図15は、本開示の第2の実施形態による撮像装置の変形例を示す図である。

[図16]図16は、本開示の第2の実施形態による撮像装置の他の変形例を示す図である。

[図17A]図17Aは、図16に示す回路構成を有する画素10Brの例示的な動作を説明するためのタイミングチャートである。

[図17B]図17Bは、画素10Brのリセットトランジスタ76およびトランジスタ78にp型のトランジスタを適用し、信号電荷として電子を用いたときの例示的な動作を説明するためのタイミングチャートである。

[図18]図18は、本開示の第2の実施形態による撮像装置のさらに他の変形例を示す図である。

[図19A]図19Aは、本開示の第3の実施形態による撮像装置が有する画素の回路構成の一例を模式的に示す図である。

[図19B]図19Bは、本開示の第3の実施形態による撮像装置が有する画素の回路構成の他の一例を模式的に示す図である。

[図20]図20は、図19Aに示す回路構成を有する画素10Dの例示的な動作を説明するためのタイミングチャートである。

[図21]図21は、本開示の第4の実施形態による撮像装置が有する画素の回路構成の一例を模式的に示す図である。

[図22A]図22Aは、図21に示す回路構成を有する画素10Cの例示的な動

作を説明するためのタイミングチャートである。

[図22B]図 2 2 B は、画素 1 0 C のリセットトランジスタ 7 6 に p 型のトランジスタを適用し、信号電荷として電子を用いたときの例示的な動作を説明するためのタイミングチャートである。

[図23]図 2 3 は、本開示の第 4 の実施形態による撮像装置の変形例を示す図である。

[図24]図 2 4 は、本開示の第 5 の実施形態による例示的なカメラシステムを模式的に示す機能ブロック図である。

発明を実施するための形態

[0012] 本明細書は、以下の項目に記載の撮像装置を開示している。

[0013] [項目 1]

n 型の導電型の第 1 不純物領域を有する半導体基板と、

前記第 1 不純物領域に電氣的に接続され、光を電荷に変換する光電変換部と、

第 1 端子および第 2 端子を有し、前記第 1 端子が前記第 1 不純物領域に電氣的に接続された容量素子と、

前記第 2 端子に電氣的に接続された電圧供給回路とを備え、

前記電圧供給回路は、互いに異なる第 1 の電圧および第 2 の電圧を前記第 2 端子に供給し、

前記第 1 不純物領域は、前記光電変換部で生じた電荷のうち正電荷を蓄積する、撮像装置。

[0014] [項目 2]

前記第 1 不純物領域をソースおよびドレインの一方として含む第 1 トランジスタをさらに備え、

前記電圧供給回路は、前記第 1 トランジスタがオンである第 1 期間に前記第 1 電圧を前記第 2 端子に供給し、前記第 1 期間の後かつ前記第 1 トランジスタがオフである第 2 期間に前記第 2 電圧を前記第 2 端子に供給する、項目

1 に記載の撮像装置。

[0015] [項目 3]

前記第 1 不純物領域をソースおよびドレインの一方として含む第 1 トランジスタをさらに備え、

前記電圧供給回路は、前記正電荷を前記第 1 不純物領域に蓄積する第 1 期間に前記第 1 電圧を前記第 2 端子に供給し、前記第 1 期間の後かつ前記第 1 トランジスタがオンである第 2 期間に前記第 2 電圧を前記第 2 端子に供給する、項目 1 に記載の撮像装置。

[0016] [項目 4]

前記半導体基板は、第 2 不純物領域を有し、

前記第 1 トランジスタは、前記第 2 不純物領域をソースおよびドレインの他方として含み、

前記第 1 端子は、前記第 2 不純物領域に接続されている、項目 2 または 3 に記載の撮像装置。

[0017] [項目 5]

前記第 2 電圧は、前記第 1 電圧よりも高い、項目 2 から 4 のいずれか一項に記載の撮像装置。

[0018] [項目 6]

p 型の導電型の第 1 不純物領域を有する半導体基板と、

前記第 1 不純物領域に電氣的に接続され、光を電荷に変換する光電変換部と、

第 1 端子および第 2 端子を有し、前記第 1 端子が前記第 1 不純物領域に電氣的に接続された容量素子と、

前記第 2 端子に電氣的に接続された電圧供給回路とを備え、

前記電圧供給回路は、互いに異なる第 1 の電圧および第 2 の電圧を前記第 2 端子に供給し、

前記第 1 不純物領域は、前記光電変換部で生じた電荷のうち負電荷を蓄積

する、撮像装置。

[0019] [項目 7]

前記第 1 不純物領域をソースおよびドレインの一方として含む第 1 トランジスタをさらに備え、

前記電圧供給回路は、前記第 1 トランジスタがオンである第 1 期間に前記第 1 電圧を前記第 2 端子に供給し、前記第 1 期間の後かつ前記第 1 トランジスタがオフである第 2 期間に前記第 2 電圧を前記第 2 端子に供給する、項目 6 に記載の撮像装置。

[0020] [項目 8]

前記第 1 不純物領域をソースおよびドレインの一方として含む第 1 トランジスタをさらに備え、

前記電圧供給回路は、前記負電荷を前記第 1 不純物領域に蓄積する第 1 期間に前記第 1 電圧を前記第 2 端子に供給し、前記第 1 期間の後かつ前記第 1 トランジスタがオンである第 2 期間に前記第 2 電圧を前記第 2 端子に供給する、項目 6 に記載の撮像装置。

[0021] [項目 9]

前記半導体基板は、第 2 不純物領域を有し、

前記第 1 トランジスタは、前記第 2 不純物領域をソースおよびドレインの他方として含み、

前記第 1 端子は、前記第 2 不純物領域に接続されている、項目 7 または 8 に記載の撮像装置。

[0022] [項目 10]

前記第 2 電圧は、前記第 1 電圧よりも低い、項目 7 から 9 のいずれか一項に記載の撮像装置。

[0023] [項目 11]

前記容量素子および前記第 1 不純物領域は、前記光電変換部で生じた電荷のうち一方の極性の電荷を蓄積する電荷蓄積ノードの少なくとも一部であり、

前記容量素子の容量値は、前記電荷蓄積ノードのうち前記容量素子以外の部分の容量値よりも小さい、項目 1 から 10 のいずれか一項に記載の撮像装置。

[0024] [項目 1 2]

前記光電変換部は、

第 1 電極と、

前記第 1 電極に対向する第 2 電極と、

前記第 1 電極および前記第 2 電極の間に位置する光電変換層とを有し、

前記第 1 電極は、前記第 1 不純物領域に電氣的に接続されている、項目 1 から 11 のいずれか一項に記載の撮像装置。

[0025] [項目 1 3]

前記光電変換部は、埋め込みフォトダイオードである、項目 1 から 4 および 6 から 9 のいずれか一項に記載の撮像装置。

[0026] また、本明細書は、以下の項目に記載の撮像装置を開示している。

[0027] [項目 1]

第 1 不純物領域および第 2 不純物領域を有する半導体基板と、

第 1 不純物領域に電氣的に接続された光電変換部と、

第 1 不純物領域をソース領域およびドレイン領域の一方として含み、第 2 不純物領域をソース領域およびドレイン領域の他方として含む第 1 トランジスタと、

第 2 不純物領域に電氣的に接続された電圧供給回路とを備え、

電圧供給回路は、第 1 トランジスタがオンである第 1 期間に第 1 電圧を第 2 不純物領域に印加し、第 1 期間の後かつ第 1 トランジスタがオフである第 2 期間に第 1 電圧とは異なる第 2 電圧を第 2 不純物領域に印加する、撮像装置。

[0028] 項目 1 の構成によれば、第 1 トランジスタのオフに伴って第 1 不純物領域

とその周囲との間の p n 接合に順方向バイアスがかかることによって暗電流が生じてしまうことを防止し得る。

[0029] [項目 2]

第 2 不純物領域と電圧供給回路との間に接続された容量素子をさらに備える、項目 1 に記載の撮像装置。

[0030] 項目 2 の構成によれば、第 1 電圧および第 2 電圧として、より電圧差の小さな電圧を適用し得る。

[0031] [項目 3]

ソース領域およびドレイン領域の一方が第 2 不純物領域に電氣的に接続された第 2 トランジスタをさらに備える、項目 2 に記載の撮像装置。

[0032] [項目 4]

ソース領域およびドレイン領域の一方が第 2 不純物領域に電氣的に接続された第 2 トランジスタをさらに備え、

電圧供給回路は、第 2 トランジスタのソース領域およびドレイン領域の他方に接続されている、項目 1 に記載の撮像装置。

[0033] 項目 4 の構成によれば、第 2 トランジスタのオフに伴って第 2 不純物領域とその周囲との間の p n 接合に順方向バイアスがかかることによって暗電流が生じてしまうことを防止し得る。

[0034] [項目 5]

第 2 期間は、第 2 トランジスタがオンである期間のうち、第 1 期間を除く期間である、項目 3 または 4 に記載の撮像装置。

[0035] 項目 5 の構成によれば、第 1 トランジスタを介したカップリングによる、第 1 不純物領域の電位の変動に起因した暗電流の発生を抑制し得る。

[0036] [項目 6]

第 2 期間は、第 2 トランジスタがオンからオフに切り替えられた時点から開始する、項目 3 または 4 に記載の撮像装置。

[0037] 項目 6 の構成によれば、第 2 トランジスタを介したカップリングによる、第 2 不純物領域の電位の変動に起因した暗電流の発生を抑制し得る。

[0038] [項目 7]

第 1 不純物領域を有する半導体基板と、

第 1 不純物領域に電氣的に接続された光電変換部と、

第 1 不純物領域をソース領域およびドレイン領域の一方として含み、第 1 不純物領域へのリセット電圧の供給および遮断を切り替える第 1 トランジスタと、

第 1 不純物領域に電氣的に接続された電圧供給回路とを備え、

電圧供給回路は、第 1 トランジスタがオンである第 1 期間に第 1 電圧を第 1 不純物領域に印加し、第 1 期間に続く、第 1 トランジスタがオフとされた第 2 期間に第 1 電圧とは異なる第 2 電圧を第 1 不純物領域に印加する、撮像装置。

[0039] 項目 7 の構成によれば、第 1 トランジスタのオフに伴って第 1 不純物領域とその周囲との間の p n 接合に順方向バイアスがかかることによって暗電流が生じてしまうことを防止し得る。

[0040] [項目 8]

第 1 不純物領域と電圧供給回路との間に接続された容量素子をさらに備える、項目 7 に記載の撮像装置。

[0041] 項目 8 の構成によれば、第 1 電圧および第 2 電圧として、より電圧差の小さな電圧を適用し得る。

[0042] [項目 9]

ソース領域およびドレイン領域の一方が第 1 トランジスタのソース領域およびドレイン領域の他方に電氣的に接続された第 2 トランジスタをさらに備え、

電圧供給回路は、第 1 トランジスタを介して第 1 不純物領域に接続されている、項目 7 または 8 に記載の撮像装置。

[0043] [項目 10]

第 2 トランジスタを含み、光電変換部で発生した電気信号を負帰還させる

フィードバック回路をさらに備える、項目 3、4、5、6 または 9 に記載の撮像装置。

[0044] 項目 10 の構成によれば、負帰還を利用して k T C ノイズを縮小することが可能である。

[0045] [項目 11]

第 1 トランジスタは、n 型であり、

第 2 電圧は、第 1 電圧よりも高い、項目 1 から 10 のいずれかに記載の撮像装置。

[0046] 項目 11 の構成によれば、第 1 不純物領域の電位および／または第 1 トランジスタと第 2 トランジスタとの間のノードの電位が半導体基板の基板電位を下回ってしまうことを回避し得る。

[0047] [項目 12]

第 1 トランジスタは、p 型であり、

第 2 電圧は、第 1 電圧よりも低い、項目 1 から 10 のいずれかに記載の撮像装置。

[0048] 項目 12 の構成によれば、第 1 不純物領域の電位および／または第 1 トランジスタと第 2 トランジスタとの間のノードの電位が半導体基板の基板電位を上回ってしまうことを回避し得る。

[0049] [項目 13]

第 1 不純物領域を有する半導体基板と、

第 1 不純物領域に電氣的に接続された光電変換部と、

第 1 不純物領域をソース領域およびドレイン領域の一方として含み、第 1 不純物領域へのリセット電圧の供給および遮断を切り替えるリセットトランジスタと、

リセットトランジスタのゲートに接続された駆動回路とを備え、

駆動回路は、リセットトランジスタがオンとなる第 1 電圧、リセットトランジスタがオフとなる第 2 電圧、および、第 1 電圧と第 2 電圧の間の第 3 電

圧をゲートに順次に印加することにより、第1不純物領域の電位のリセットを実行する、撮像装置。

[0050] 項目13の構成によれば、回路が過度に複雑となることを避けながら、暗電流による画質の劣化を防止し得る。

[0051] [項目14]

リセットトランジスタは、n型であり、

第3電圧は、第1電圧よりも低く第2電圧よりも高い、項目13に記載の撮像装置。

[0052] 項目14の構成によれば、第1不純物領域の電位および／または第1トランジスタと第2トランジスタとの間のノードの電位が半導体基板の基板電位を下回ってしまうことを回避し得る。

[0053] [項目15]

第3電圧は、駆動回路からゲートに第3電圧が印加されている状態において、第1不純物領域の電位が半導体基板の基板電位よりも高くなる電圧である、項目13または14に記載の撮像装置。

[0054] 項目15の構成によれば、リセット後の電荷蓄積ノードの電圧レベルに対応する信号への暗電流の影響を抑制し得る。

[0055] [項目16]

リセットトランジスタは、p型であり、

第3電圧は、第1電圧よりも高く第2電圧よりも低い、項目13に記載の撮像装置。

[0056] 項目16の構成によれば、第1不純物領域の電位および／または第1トランジスタと第2トランジスタとの間のノードの電位が半導体基板の基板電位を上回ってしまうことを回避し得る。

[0057] [項目17]

第3電圧は、駆動回路からゲートに第3電圧が印加されている状態において、第1不純物領域の電位が半導体基板の基板電位よりも低くなる電圧である、項目13または16に記載の撮像装置。

[0058] 項目 17 の構成によれば、リセット後の電荷蓄積ノードの電圧レベルに対応する信号への暗電流の影響を抑制し得る。

[0059] [項目 18]

光電変換部と、光電変換部に電氣的に接続された電荷蓄積ノードと、電荷蓄積ノードに蓄積された信号電荷を検出する検出回路と、信号電荷を排出するリセットトランジスタとを備える撮像装置の駆動方法であって、

リセットトランジスタのゲートに、リセットトランジスタがオンとなる第 1 電圧、リセットトランジスタがオフとなる第 2 電圧、および、第 1 電圧と第 2 電圧の間の第 3 電圧を順次に印加することにより、電荷蓄積ノードの電位のリセットを実行する、撮像装置の駆動方法。

[0060] 項目 18 の構成によれば、回路が過度に複雑となることを避けながら、暗電流による画質の劣化を防止し得る。

[0061] [項目 19]

電荷蓄積ノードは、半導体基板に形成された n 型の第 1 不純物領域を含み、

第 3 電圧は、第 1 電圧よりも低く第 2 電圧よりも高い、項目 18 に記載の撮像装置。

[0062] [項目 20]

電荷蓄積ノードの電位が半導体基板の基板電位よりも低くなる電圧を第 2 電圧として印加する、項目 19 に記載の撮像装置の駆動方法。

[0063] [項目 21]

電荷蓄積ノードは、半導体基板に形成された p 型の第 1 不純物領域を含み、

第 3 電圧は、第 1 電圧よりも高く第 2 電圧よりも低い、項目 18 に記載の撮像装置。

[0064] [項目 22]

電荷蓄積ノードの電位が半導体基板の基板電位よりも高くなる電圧を第 2 電圧として印加する、項目 21 に記載の撮像装置の駆動方法。

[0065] [項目 2 3]

光電変換部は、

半導体基板に支持された第 1 電極と、

第 2 電極と、

第 1 電極および第 2 電極の間に位置する光電変換層と

をさらに含み、

第 1 電極は、第 1 不純物領域に電氣的に接続されている、項目 1 から 1 7 のいずれか、または、項目 1 9 から 2 2 のいずれかに記載の撮像装置。

[0066] [項目 2 4]

光電変換部は、埋め込みフォトダイオードである、項目 1 から 2 3 のいずれかに記載の撮像装置。

[0067] [項目 2 5]

複数の画素を備える撮像装置であって、

複数の画素のそれぞれの画素は、

光電変換により電荷を生成する光電変換部と、

電荷を蓄積する電荷蓄積ノードと、

電荷蓄積ノードに電氣的に接続され、電荷蓄積ノードの電位を基準電位にリセットするリセットトランジスタと、

電荷蓄積ノードに電氣的に接続され、電荷蓄積ノードに蓄積された電荷に応じた信号電圧を出力する増幅トランジスタと、

一端が電荷蓄積ノードに電氣的に接続され、他端が電圧源に接続される容量素子と、

を備え、

電荷を電荷蓄積ノードに蓄積する露光期間において、容量素子の他端には第 1 電圧が印加され、露光期間以外の非露光期間中のリセット期間において、他端には第 1 電圧とは異なる第 2 電圧が印加され、

リセット期間は、非露光期間の一部であり、リセットトランジスタが電荷蓄積ノードの電位を基準電位にリセットする期間である、撮像装置。

[0068] 項目 2 5 に記載の撮像装置によると、リーク電流を低減することが可能となる撮像装置が提供される。

[0069] [項目 2 6]

非露光期間の全体において、容量素子の他端に第 2 電圧が印加される、項目 2 5 に記載の撮像装置。

[0070] 項目 2 6 に記載の撮像装置によると、例えば信号電荷として正孔を用いる場合、露光期間では、電荷蓄積ノードの電位を低電位に設定し、かつ、非露光期間では、電荷蓄積ノードの電位を高電位に設定することにより、回路特性を劣化させることなく、暗電流を低減することができる。

[0071] [項目 2 7]

容量素子は、増幅トランジスタのゲートに電氣的に接続される、項目 2 5 または 2 6 に記載の撮像装置。

[0072] 項目 2 7 に記載の撮像装置によると、容量素子の他端に印加される制御信号の電圧変化を容量素子を介して F D ノードに与えることができる。

[0073] [項目 2 8]

増幅トランジスタに電氣的に接続され、信号電圧を選択的に出力する選択トランジスタをさらに備え、

選択トランジスタの制御信号が、容量素子の他端に接続される、項目 2 6 または 2 7 に記載の撮像装置。

[0074] 項目 2 8 に記載の撮像装置によると、画素内の任意の制御信号を、容量素子に与える制御信号としても用いることができるので、使用する制御信号線の数を減らすことができる。

[0075] [項目 2 9]

容量素子の一端と電荷蓄積ノードとの間、または、電圧源と他端との間に電氣的に接続され、容量素子および電荷蓄積ノードの接続・非接続を切替えるスイッチトランジスタをさらに備える、項目 2 6 または 2 7 に記載の撮像装置。

[0076] 項目 2 9 に記載の撮像装置によると、例えば、電荷蓄積ノードの電位を制

御するFD電位制御モード、および、信号電荷を効率的に変換する高ゲインモードを使い分けることが可能となる。

[0077] [項目30]

電荷は、正孔であり、

第2電圧は第1電圧よりも高い、項目25から29のいずれかに記載の撮像装置。

[0078] 項目30に記載の撮像装置によると、リーク電流を低減することが可能な、信号電荷として正孔を用いる撮像装置を提供できる。

[0079] [項目31]

リセットトランジスタおよび増幅トランジスタはN型トランジスタである、項目30に記載の撮像装置。

[0080] 項目31に記載の撮像装置によると、信号電荷として正孔を用いる場合、リーク電流を適切に低減することが可能となる。

[0081] [項目32]

電荷は、電子であり、

第2電圧は第1電圧よりも低い、項目25から29のいずれかに記載の撮像装置。

[0082] 項目32に記載の撮像装置によると、リーク電流を低減することが可能な、信号電荷として電子を用いる撮像装置を提供できる。

[0083] [項目33]

リセットトランジスタおよび増幅トランジスタはP型トランジスタである、項目32に記載の撮像装置。

[0084] 項目33に記載の撮像装置によると、信号電荷として電子を用いる場合、リーク電流を適切に低減することが可能となる。

[0085] [項目34]

第1電圧はグラウンド電圧である、項目30に記載の撮像装置。

[0086] 項目34に記載の撮像装置によると、容量素子に印加される制御信号の電源ノイズが電荷蓄積ノードに混入することを抑制することが可能となる。

[0087] [項目 3 5]

第 2 電圧はグラウンド電圧である、項目 3 0 に記載の撮像装置。

[0088] 項目 3 5 に記載の撮像装置によると、容量素子に印加される制御信号の電源ノイズが電荷蓄積ノードに混入することを抑制することが可能となる。

[0089] [項目 3 6]

増幅トランジスタは、デプレッション型のトランジスタである、項目 2 5 から 3 5 のいずれかに記載の撮像装置。

[0090] 項目 3 6 に記載の撮像装置によると、低レベルの電荷蓄積ノードの電位に対しても増幅トランジスタから高い出力が得られるため、ソースフォロア回路の電流源の動作に必要な電圧レンジを確保することが可能となる。

[0091] [項目 3 7]

光電変換部は、

第 1 電極と、

第 1 電極に対向する第 2 電極と、

第 1 電極と第 2 電極との間に位置し、光電変換によって電荷を発生させる光電変換膜と、

を有する、項目 2 5 から 3 6 のいずれかに記載の撮像装置。

[0092] 項目 3 7 に記載の撮像装置によると、リーク電流を低減することが可能となる、光電変換膜を有する光電変換部を備える撮像装置が提供される。

[0093] 以下、図面を参照しながら、本開示の実施形態を詳細に説明する。なお、以下で説明する実施形態は、いずれも包括的または具体的な例を示す。以下の実施形態で示される数値、形状、材料、構成要素、構成要素の配置および接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する主旨ではない。本明細書において説明される種々の態様は、矛盾が生じない限り互いに組み合わせることが可能である。また、以下の実施形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。以下の説明において、実質的に同じ機能を有する構成要素は共通の参照符号で示し、説明を省略する

ことがある。

[0094] (第1の実施形態)

図1は、本開示の第1の実施形態による撮像装置の例示的な構成を模式的に示す。図1に示す撮像装置100は、複数の画素10を含む画素アレイ110と、周辺回路120とを有する。

[0095] 画素アレイ110は、例えばm行n列のマトリクス状に配置された複数の画素10を含む。ここで、m、nは、自然数である。画素10は、半導体基板60に例えば2次元に配列されることにより、撮像領域を形成する。画素アレイ110中の画素10の数および配置は、図示する例に限定されない。例えば、撮像装置100に含まれる画素10の数は、1つであってもよい。画素アレイ110中の画素10の配列が一次元である場合、撮像装置100をラインセンサとして利用することができる。

[0096] 各画素10は、光の入射を受けて電荷を生成する光電変換部を含む。各画素10の光電変換部は、半導体基板60に形成された埋め込みフォトダイオード、または、半導体基板60のうち撮像領域に対応する領域の上方に配置された光電変換層の一部を含む構造であり得る。なお、本明細書において、「上方」、「下方」などの用語は、あくまでも部材間の相互の配置を指定するために用いており、撮像装置100の使用時における姿勢を限定する意図ではない。

[0097] 図1に例示する構成において、周辺回路120は、垂直走査回路122と、信号保持回路123と、水平走査回路124と、出力段アンプ126と、画素アレイ110中の各画素10に所定の電圧を供給する電圧供給回路128とを含む。ここでは、周辺回路120は、上述の画素アレイ110が形成された半導体基板60上に設けられている。しかしながら、周辺回路120の配置はこの例に限定されず、周辺回路120の一部または全部が、半導体基板60とは異なる他の基板上に配置されてもかまわない。

[0098] 垂直走査回路122は、行走査回路とも呼ばれ、例えば、複数の画素10の各行に対応して設けられたアドレス信号線およびリセット信号線との接続

を有する。垂直走査回路 122 は、アドレス信号線およびリセット信号線に所定の信号を供給することにより、画素 10 における信号電荷の蓄積および読み出し、ならびに、蓄積された信号電荷のリセットを行単位で実行することができる。周辺回路 120 は、2 以上の垂直走査回路 122 を有していてもよい。なお、図 1 では、図面が複雑になることを避けるために、アドレス信号線、リセット信号線などの各種の信号線の図示は省略されている。図 1 中の矢印は、アドレス信号線、リセット信号線などの各種の信号線に供給される信号の流れを模式的に示している。

[0099] 信号保持回路 123 は、複数の画素 10 の各列に対応して設けられる不図示の垂直信号線に接続されており、垂直信号線に出力される信号を一時的に保持する機能を有する。信号は、アナログ値の形で保持されてもよいし、アナログーデジタル変換の施されたデジタル値の形で保持されてもよい。信号保持回路 123 は、例えば、信号電荷の蓄積後に画素 10 から読み出された信号と、信号電荷のリセット後にその画素 10 から読み出された信号との間の差分を水平走査回路 124 に出力する。信号間の演算は、アナログ、デジタルのいずれの形で実行されてもよい。水平走査回路 124 は、列走査回路とも呼ばれ、典型的には、その一部にアナログーデジタル変換回路を含む。水平走査回路 124 は、信号保持回路 123 によって複数の画素 10 の行単位で得られた、差分の信号を出力段アンプ 126 に読み出す機能を有する。

[0100] 電圧供給回路 128 は、各画素 10 に電氣的に接続されており、撮像装置 100 の動作時に各画素 10 に 2 以上の所定の電圧を切り替えて供給するように構成される。電圧供給回路 128 は、例えば、第 1 電圧 V_A および第 2 電圧 V_B を切り替えて各画素 10 に供給する。ここで、第 2 電圧 V_B は、第 1 電圧 V_A とは異なる電圧である。

[0101] 電圧供給回路 128 は、撮像装置 100 の動作時に各画素 10 に所定の電圧を印加可能に構成されていればよく、特定の電源回路に限定されない。電圧供給回路 128 は、所定の電圧を生成する回路であってもよいし、他の電源から供給された電圧を所定の電圧に変換する回路であってもよい。電圧供

給回路 128 は、垂直走査回路 122 の一部であってもよい。電圧供給回路 128 から各画素 10 に印加される電圧は、互いに異なる 2 つの電圧に限定されない。電圧供給回路 128 は、互いに異なる 3 つ以上の電圧を切り替えて各画素 10 に供給可能に構成されてもよい。

[0102] (画素 10 のデバイス構造)

図 2 は、画素 10 の例示的なデバイス構造の断面を模式的に示す。図 2 は、画素 10 における各部の形状、寸法および配置をあくまで模式的に示し、図 2 中に示される各部の形状、寸法および配置は、必ずしも現実のデバイスにおける形状、寸法および配置を反映しない。本開示の他の図面についても同様である。

[0103] 図 2 に示す画素 10 A は、上述の画素 10 の一例である。画素 10 A は、概略的には、半導体基板 60 の一部と、半導体基板 60 を覆う層間絶縁層 40 に支持された光電変換部 50 A とを含む。図 2 に示す例では、光電変換部 50 A は、半導体基板 60 のうち撮像領域に対応する領域の上方に位置する光電変換層 54 を含んでいる。すなわち、ここでは、撮像装置 100 として積層型の撮像装置を例示する。

[0104] 図 2 に模式的に示すように、半導体基板 60 は、支持基板 60 S と、支持基板 60 S 上に形成された 1 以上の半導体層とを含む。ここでは、支持基板 60 S として、p 型シリコン基板を例示する。半導体基板 60 には、不純物領域 60 a ~ 60 e および素子分離領域 65 が設けられている。不純物領域 60 a ~ 60 e のそれぞれは、典型的には、n 型の拡散領域である。

[0105] 図 2 に示すように、半導体基板 60 に支持された光電変換部 50 A は、層間絶縁層 40 上の画素電極 52 と、画素電極 52 よりも半導体基板 60 から遠くに位置する対向電極 56 と、画素電極 52 および対向電極 56 の間に位置する光電変換層 54 とを有する。画素電極 52 は、アルミニウム、銅などの金属、金属窒化物、または、不純物がドーピングされることにより導電性が付与されたポリシリコンなどから形成される電極である。画素電極 52 は、空間的に分離されることにより、隣接する他の画素 10 A 中の画素電極 52 か

ら電氣的に分離される。対向電極 5 6 は、ITO などの透明な導電性材料から形成される。本明細書における「透明」は、検出しようとする波長範囲の光の少なくとも一部を透過することを意味し、可視光の波長範囲全体にわたって光を透過することは必須ではない。画素電極 5 2 が、隣接する他の画素 1 0 A 中の画素電極 5 2 との間で分離されることに對し、対向電極 5 6 は、複数の画素 1 0 A にわたって形成され得る。対向電極 5 6 は、典型的には、連続した単一の電極の形で半導体基板 6 0 の上方に配置される。

[0106] 光電変換層 5 4 は、有機材料またはアモルファスシリコンなどの無機材料から形成される。光電変換層 5 4 は、例えば、真空蒸着によって形成され、5 0 0 n m 程度の厚さを有し得る。光電変換層 5 4 が、有機材料から構成される層と無機材料から構成される層とを有していてもよい。光電変換層 5 4 は、対向電極 5 6 を介して入射した光を受けて、光電変換により正および負の電荷を生成する。対向電極 5 6 と同様に、光電変換層 5 4 も、複数の画素 1 0 A にわたって連続した単一の層の形で半導体基板 6 0 の上方に配置され得る。

[0107] 図 2 において図示が省略されているが、対向電極 5 6 には、不図示の電源に接続された電圧線が接続されており、対向電極 5 6 は、撮像装置 1 0 0 の動作時、所定のバイアス電圧の供給を受ける。所定のバイアス電圧の印加によって対向電極 5 6 の電位を制御することにより、光電変換によって生成された正および負の電荷のうちの一方を信号電荷として画素電極 5 2 によって収集することができる。

[0108] 対向電極 5 6 に印加されるバイアス電圧は、上述の電圧供給回路 1 2 8 から供給されてもよい。信号電荷として正の電荷を利用する場合には、画素電極 5 2 よりも高電位となるようなバイアス電圧を対向電極 5 6 に印加すればよい。以下では、特に断りの無い限り、信号電荷として正の電荷を利用する例を説明する。信号電荷としての正の電荷の典型的は、正孔である。信号電荷として負の電荷、例えば電子を利用することももちろん可能である。信号電荷として負の電荷を利用する場合には、画素電極 5 2 よりも低電位となる

ようなバイアス電圧を対向電極 5 6 に印加すればよい。

[0109] 画素 1 0 A は、層間絶縁層 4 0 中に配置された接続部 4 2 を含む。図 2 に模式的に示すように、接続部 4 2 の一端は、光電変換部 5 0 の画素電極 5 2 に接続されている。接続部 4 2 は、複数の配線層および複数のプラグを含み、光電変換部 5 0 A を、半導体基板 6 0 に形成された回路に電氣的に接続する。複数の配線層および複数のプラグは、典型的には、銅もしくはタングステンなどの金属、または、金属窒化物もしくは金属酸化物などの金属化合物から形成される。この例では、半導体基板 6 0 に、信号検出トランジスタ 7 2、アドレストランジスタ 7 4 およびリセットトランジスタ 7 6 が形成されている。

[0110] 以下、特に断りの無い限り、信号検出トランジスタ 7 2、アドレストランジスタ 7 4 およびリセットトランジスタ 7 6 として、n チャンネル MOS に代表される n チャンネルの電界効果トランジスタを例示する。後述するように、n 型のトランジスタに代えて p 型のトランジスタを適用することも可能である。この場合、支持基板 6 0 S として n 型シリコン基板を用いればよく、不純物領域 6 0 a ~ 6 0 e の導電型として p 型が選ばれる。

[0111] リセットトランジスタ 7 6 は、例えば、半導体基板 6 0 に形成された不純物領域 6 0 a をドレイン領域およびソース領域の一方として含み、不純物領域 6 0 b をドレイン領域およびソース領域の他方として含む。図 2 に模式的に示すように、接続部 4 2 は、不純物領域 6 0 a との接続を有し、したがって、不純物領域 6 0 a は、接続部 4 2 を介して光電変換部 5 0 A の画素電極 5 2 に電氣的に接続されている。

[0112] 図 2 においては図示が省略されているが、不純物領域 6 0 b には、リセットの基準電圧であるリセット電圧を供給するリセット電圧線が接続される。リセットトランジスタ 7 6 は、オンおよびオフが切り替えられることにより、リセット電圧線から供給されるリセット電圧の不純物領域 6 0 a への供給および遮断を切り替える。なお、不純物領域 6 0 a および不純物領域 6 0 b のいずれがリセットトランジスタ 7 6 のドレイン領域として機能するかは、

不純物領域 60 a および不純物領域 60 b の電位によって決まる。以下では、便宜上、不純物領域 60 a および不純物領域 60 b がそれぞれドレイン領域およびソース領域であるとして説明する。ただし、撮像装置 100 の使用状況によっては、ドレイン領域およびソース領域が入れ替わることもあり得る。撮像装置 100 が、リセットトランジスタ 76 に直列に接続される他のトランジスタを有する場合、リセットトランジスタ 76 に直列に接続される他のトランジスタについても同様である。

[0113] 信号検出トランジスタ 72 は、半導体基板 60 上のゲート絶縁層 72 g と、ゲート絶縁層 72 g 上のゲート電極 72 e と、ドレイン領域としての不純物領域 60 c と、ソース領域としての不純物領域 60 d とを含む。不純物領域 60 c には、不図示の電源線が接続されており、撮像装置 100 の動作時、不純物領域 60 c には、電源線から例えば 3.3 V の電源電圧が印加される。

[0114] 図 2 に示すように、接続部 42 は、信号検出トランジスタ 72 のゲート電極 72 e にも接続されている。つまり、信号検出トランジスタ 72 のゲート電極 72 e は、接続部 42 を介して光電変換部 50 A の画素電極 52 に電氣的に接続されている。

[0115] 図 2 に例示する構成において、アドレストランジスタ 74 は、ドレイン領域としての不純物領域 60 d およびソース領域としての不純物領域 60 e を含む。ここでは、アドレストランジスタ 74 は、信号検出トランジスタ 72 との間で不純物領域 60 d を共有することにより、信号検出トランジスタ 72 に電氣的に接続されている。不純物領域 60 e には、不図示の垂直信号線が接続される。なお、画素 10 A 中の回路は、素子分離領域 65 により、隣接する他の画素 10 A 中の回路から電氣的に分離される。図 2 に示すように、素子分離領域 65 は、信号検出トランジスタ 72 とリセットトランジスタ 76 との間にも設けられる。

[0116] 上述したように、接続部 42 は、画素電極 52 との接続を有する。また、不純物領域 60 a、および、信号検出トランジスタ 72 のゲート電極 72 e

は、接続部42を介して画素電極52に電氣的に接続されている。画素電極52、接続部42、不純物領域60aおよびゲート電極72eは、画素電極52によって収集された信号電荷を一時的に保持する電荷蓄積ノードとして機能する。

[0117] 図2に例示する構成において、画素10Aは、接続部42に電氣的に接続された制御線81をさらに有する。制御線81は、上述の電圧供給回路128に接続された信号線である。すなわち、ここでは、不純物領域60aは、上述の電圧供給回路128との間の電氣的な接続を有する。なお、後述するように、不純物領域60aと電圧供給回路128との間には、容量素子などが介在し得る。電荷蓄積ノードの一部を構成する接続部42に電圧供給回路128を電氣的に接続し、電圧供給回路128の出力を第1電圧 V_A および第2電圧 V_B 間で切り替える。これによって、例えば、リセット後の電荷蓄積ノードの電位を一時的に変化させることが可能になる。

[0118] ここで、半導体基板60の構成の詳細を説明する。上述したように、半導体基板60は、支持基板60S上に1以上の半導体層を有する。この例では、支持基板60S上の半導体層は、第1p型半導体層61p、n型半導体層61nおよび第2p型半導体層62pを含む。図2に模式的に示すように、上述の不純物領域60a～60eおよび素子分離領域65は、pウェルとしての第2p型半導体層62p中に形成されている。

[0119] n型半導体層61nは、第1p型半導体層61pと第2p型半導体層62pとの間に位置し、撮像装置100の動作時、撮像領域の外側に設けられた不図示のウェルコンタクトを介してその電位が制御される。n型半導体層61nは、信号電荷を蓄積する電荷蓄積ノードへの支持基板60Sまたは周辺回路120からの少数キャリアの流入を抑制する。

[0120] 図2に例示する構成において、半導体基板60は、第1p型半導体層61pおよびn型半導体層61nを貫通するようにして第2p型半導体層62pと支持基板60Sとの間に設けられたp型領域63を有する。p型領域63は、比較的高い不純物濃度を有し、第2p型半導体層62pと支持基板60

Sとを互いに電氣的に接続する。撮像領域の外側には、不図示の基板コンタクトが設けられ、撮像装置100の動作時、基板コンタクトを介して、支持基板60Sおよび第2p型半導体層62pの電位が制御される。換言すれば、撮像装置100の動作時、半導体基板60の基板電位は、基板コンタクトを介して制御される。上述の電圧供給回路128が、基板コンタクトを介して半導体基板60の基板電位を供給するように構成されていてもよい。ここで説明する例のように、信号検出トランジスタ72、アドレストランジスタ74およびリセットトランジスタ76としてn型のトランジスタを適用する場合、基板電位は、典型的には、接地である。

[0121] (暗電流の抑制)

上述したように、不純物領域60aは、光電変換部50Aによって生成された信号電荷を一時的に蓄積する電荷蓄積ノードの一部を構成する。これは、不純物領域60aと第2p型半導体層62pとの間のpn接合によって形成される接合容量が、信号電荷の少なくとも一部を蓄積する容量として機能するからである。

[0122] ただし、不純物領域60aと第2p型半導体層62pとの間のpn接合は、空乏層を生じさせる。半導体基板60中には、格子欠陥が存在し、特に、半導体基板60の表面には、不純物、ダングリングボンドなどに起因する多様な格子欠陥が存在する。空乏層内に格子欠陥が存在すると、例えば、本来の信号電荷とは異なる電荷の不純物領域60aへの混入が生じやすくなる。換言すれば、空乏層内に位置する格子欠陥は、暗電流を生じさせる原因となり得る。暗電流は、SN比の低下をもたらし、得られる画像の画質を劣化させてしまう。半導体基板60中の空乏層をなるべく縮小して、格子欠陥のうち、空乏層内に位置する格子欠陥を低減できると、暗電流に起因する画質の劣化が抑制されるので有益である。

[0123] 本発明者らの検討によると、不純物領域60aと第2p型半導体層62pとの間のpn接合によって形成される空乏層の縮小には、不純物領域60aから信号電荷を排出した後の不純物領域60aの電位をなるべく基板電位に

近づけることが有効である。すなわち、リセット後の不純物領域 60a の電位をなるべく基板電位に近づけることが有効である。例えば信号電荷が正孔であり、かつ、基板電位が接地の場合、0V に近い、なるべく低い電圧をリセット電圧として適用すると有益である。

[0124] ただし、リセット後の不純物領域 60a の電位と基板電位との間の電位差が小さすぎると、不純物領域 60a に接続されたトランジスタなどの回路要素を介した電氣的なカップリングによって不純物領域 60a の電位が変動した場合に、不純物領域 60a の電位が基板電位を下回ってしまうおそれがある。

[0125] 例えば、信号電荷を蓄積する浮遊ノード中の n 型不純物領域に電界効果トランジスタが接続されていると、ソースドレイン間の寄生容量を介した電氣的なカップリングの影響によって、そのトランジスタのオンおよびオフの切り替えに起因して不純物領域の電位が低下し得る。このとき、その不純物領域の電位が基板電位を下回ってしまうと、不純物領域とその周囲の p ウェルとの間の p n 接合に順方向バイアスがかかることになり、支持基板としての p 型シリコン基板から不純物領域に正孔が流入してしまう。すなわち、暗電流が生じ、得られる画像の画質が劣化するおそれがある。

[0126] 本発明者らは、上記に鑑み検討を重ね、例えば、第 1 電圧 V_A および第 2 電圧 V_B の切り替えによってリセット後の電荷蓄積ノードの電位を変化させることにより、信号電荷を蓄積する不純物領域に接続されたトランジスタのオンおよびオフの切り替えに伴ってその不純物領域に本来の信号電荷とは異なる電荷が混入してしまうことを回避し得ることを見出した。

[0127] 図 3 は、図 2 に示す画素 10A の回路構成の典型例を模式的に示す。なお、図面が過度に複雑になることを避けるために、図 2 では、光電変換部 50A の対向電極 56 に所定のバイアス電圧を供給する電圧線の図示が省略されている。以降の図面についても同様に、対向電極 56 に所定のバイアス電圧を供給する電圧線の図示を省略する。

[0128] 図 3 に示すように、信号検出トランジスタ 72 のゲートは、光電変換部 5

0 Aに接続される。光電変換部5 0 Aと信号検出トランジスタ7 2との間のノードF D aが電荷蓄積ノードに相当するといえる。信号検出トランジスタ7 2のゲートには、ノードF D aに蓄積された信号電荷に対応する電圧が印加される。図示するように、信号検出トランジスタ7 2のドレインには、電源電圧V d dを供給する、ソースフォロア電源としての電源線8 2が接続され、信号検出トランジスタ7 2のソースには、アドレストランジスタ7 4を介して垂直信号線8 9が接続される。すなわち、信号検出トランジスタ7 2およびアドレストランジスタ7 4は、ソースフォロアを形成する。アドレストランジスタ7 4のゲートには、垂直走査回路1 2 2に接続されたアドレス信号線8 4が接続されている。垂直走査回路1 2 2は、アドレス信号線8 4に印加するアドレス信号Φ s e lの制御により、画素1 0 Aからの信号を垂直信号線8 9に読み出すことができる。

[0129] ノードF D aに注目する。ノードF D aには、リセットトランジスタ7 6も接続される。リセットトランジスタ7 6のソースおよびドレインのうちノードF D aに接続されていない側は、リセット電圧線8 5に接続されている。撮像装置1 0 0の動作時、リセット電圧線8 5には、例えば、所定のリセット電圧V rが印加される。リセットトランジスタ7 6のゲートには、垂直走査回路1 2 2に接続されたリセット信号線8 6が接続されている。垂直走査回路1 2 2は、リセット信号線8 6に印加するリセット信号Φ r s tの制御により、リセットトランジスタ7 6をオンとして電荷蓄積ノードにリセット電圧V rを印加することができる。図2を参照して説明したように、リセットトランジスタ7 6は、電荷蓄積ノードの一部を構成する不純物領域6 0 aをドレイン領域またはソース領域として含む。リセットトランジスタ7 6のオンにより、電荷蓄積ノードから信号電荷が排出され、電荷蓄積ノードの電位がリセットされる。

[0130] ここでは、ノードF D aに電圧供給回路1 2 8がさらに電氣的に接続されている。この例では、ノードF D aと、電圧供給回路1 2 8に接続された制御線8 1との間に容量素子C 1が介在している。換言すれば、容量素子C 1

が有する2つの端子のうちの一方には、ノードFDaが接続されている。すなわち、この例では、容量素子C1の一方の端子は、不純物領域60aに電氣的に接続されている。容量素子C1の2つの端子のうちの他方には、電圧供給回路128が接続される。

[0131] 容量素子C1の具体的な構成に特に限定はない。容量素子C1は、例えば、層間絶縁層40中に配置されたMIS (metal-insulator-semiconductor) 構造であってもよいし、デプレッション型のMOS (DMOS) 容量であってもよい。あるいは、MIM (metal-insulator-metal) 構造であってもよい。MIM構造を採用すると、より大きな容量値を得やすい。

[0132] 図3に例示する構成において、電圧供給回路128は、電界効果トランジスタなどから構成されるスイッチング素子128aおよび128bを有する。つまり、ここでは、電圧供給回路128は、スイッチング素子128aおよび128bのオンおよびオフを切り替えることにより、制御線81に印加される電圧Vcを第1電圧VAおよび第2電圧VBの間で切り替え可能である。

[0133] (撮像装置100の動作の第1の例)

次に、図4Aを参照して、撮像装置100の動作の一例を説明する。図4Aは、図3に示す回路構成を有する画素10Aの例示的な動作を説明するためのタイミングチャートである。図4A中、一番上のチャートは、水平同期信号HDのパルスを示す。あるパルスの立ち上がりから次のパルスの立ち上がりまでの期間が、1つの水平走査期間である1Hに対応する。この1H期間に、画素アレイ110に含まれる複数の画素10Aのうち、ある1つの行に属する画素10Aのリセットおよび画素10Aからの信号の読み出しが実行される。図4A中の両矢印SELは、注目した画素のアドレストランジスタ74がオンとされた選択期間を示し、矢印ACCは、アドレストランジスタ74がオフとされた非選択期間を示す。

[0134] 図4A中、一番下のチャートは、ノードFDaの電位すなわち不純物領域60aの電位V_{FD}の時間的变化を示し、下から2番目のチャートは、電圧供給回路128から制御線81に印加される電圧Vcの時間的变化を示す。ここ

では、時刻 T_1 の時点において、制御線 81 には第 1 電圧 V_A が印加されている。

[0135] 露光による信号電荷の蓄積後、時刻 T_1 にアドレス信号 Φ_{sel} をハイレベルとする。アドレス信号 Φ_{sel} をハイレベルとすることにより、電荷蓄積ノードに蓄積された信号電荷に応じた電圧レベルの第 1 の信号が信号検出トランジスタ 72 およびアドレストラジスタ 74 を介して垂直信号線 89 に読み出される。読み出された第 1 の信号は、図 1 に示す信号保持回路 123 に一時的に保持される。

[0136] 次に、時刻 T_2 にリセット信号 Φ_{rst} をハイレベルとし、リセットトランジスタ 76 をオンとする。リセットトランジスタ 76 のオンにより、電荷蓄積ノードから信号電荷が排出され、電荷蓄積ノードの電位がリセットされる。このとき、ノード FDa にリセット電圧 V_r が印加されることによって不純物領域 60a の電位 V_{FD} が V_r に低下する。リセット電圧 V_r としては、基板電位 V_{sub} よりも高い電圧を用いる。したがって、ここでは、 $V_r > V_{sub}$ である。基板電位 V_{sub} が 0V である場合、リセット電圧 V_r として 0V 付近かつ正の電圧を用いる。

[0137] 次に、時刻 T_3 にリセット信号 Φ_{rst} をローレベルとし、リセットトランジスタ 76 をオフとする。図 2 を参照して説明したように、リセットトランジスタ 76 は、不純物領域 60a をドレイン領域またはソース領域として含む。そのため、リセットトランジスタ 76 をオフすると、リセットトランジスタ 76 が有する寄生容量に起因した電氣的なカップリングにより、不純物領域 60a の電位 V_{FD} が V_r からさらに低下し得る。既に説明したように、このとき、電位 V_{FD} が基板電位 V_{sub} を下回ってしまうと、不純物領域 60a に余計な正孔が流入してしまう。

[0138] ただし、ここでは、時刻 T_3 にリセット信号 Φ_{rst} をローレベルとするだけでなく、電圧供給回路 128 から制御線 81 に印加される電圧 V_c を第 2 電圧 V_B に切り替えている。ここでは、第 2 電圧 V_B として、第 1 電圧 V_A よりも高い電圧を用いる。

[0139] 電圧 V_c を第1電圧 V_A から第1電圧 V_A よりも高い第2電圧 V_B に切り替えることにより、容量素子 C_1 を介してノード $F D a$ の電位を上昇させることができる。この例では、リセットトランジスタ76のオフ直後の不純物領域60aの電位 V_{FD} は、 $V_r > V_{1a} > V_{sub}$ の関係を満たす V_{1a} となっている。例えばリセット電圧 V_r が0.5Vのとき、 V_{1a} は、0.2V程度であり得る。つまり、第2電圧 V_B を適切に選択し、電圧供給回路128からの出力を第1電圧 V_A および第2電圧 V_B の間で切り替えることにより、不純物領域60aの電位 V_{FD} が基板電位 V_{sub} を下回ってしまうことが防止されている。この例では、基板電位を基準として不純物領域60aの電位 V_{FD} に、0.2Vの電位差を確保できている。つまり、電位 V_{FD} が基板電位 V_{sub} を下回ることにより起因する、余計な正孔の不純物領域60aへの流入が防止される。換言すれば、暗電流が抑制されている。第2電圧 V_B の具体的な値としては、リセットトランジスタ76のソースドレイン間の寄生容量の大きさなどを考慮して、リセットトランジスタ76のオフ時に電位 V_{FD} が $V_{1a} > V_{sub}$ の関係を満たすこととなるような電圧を選択すればよい。

[0140] リセットトランジスタ76のオフ後、水平同期信号HDの次のパルスが立ち上がる時刻 T_4 までの期間に、信号電荷の排出後の電荷蓄積ノードの電圧レベルに対応する第2の信号を、アドレストラジスタ74を介して垂直信号線89に読み出す。信号保持回路123は、第1の信号および第2の信号の差分 Δ を、画像を表現する信号として水平走査回路124に出力する。第2の信号の取得後、アドレストラジスタ74をオフとし、次のフレームの信号電荷の蓄積を開始する。

[0141] 以上に説明した例では、電圧供給回路128が、リセットトランジスタ76がオンとされる、時刻 $T_2 \sim T_3$ の第1の期間には第1電圧 V_A を不純物領域60aに印加し、第1の期間に続く、時刻 $T_3 \sim T_4$ の第2の期間には、不純物領域60aに印加する電圧を第2電圧 V_B に切り替えるように構成されている。図4Aを参照しながら説明したように、電圧供給回路128から不純物領域60aに印加する電圧をリセットトランジスタ76のオフのタイミ

ングで、第1電圧 V_A よりも高い第2電圧 V_B に切り替えることにより、リセットトランジスタ76のオフに伴って不純物領域60aの電位 V_{FD} が基板電位 V_{sub} を下回ってしまうことを防止可能である。したがって、不純物領域60aに余計な正孔が流入することによって生じる暗電流を抑制できる。

[0142] また、図3に示す例では、制御線81に印加される電圧 V_c を第1電圧 V_A および第2電圧 V_B の間で切り替え、容量素子C1を介してノードFDaの電位を変化させている。このように、不純物領域60aと電圧供給回路128との間に容量素子C1を介在させることにより、電荷蓄積ノードに蓄積された信号電荷に影響を与えることなく、電荷蓄積ノードの電位を制御することが可能になる。

[0143] ここで、図3を参照すればわかるように、容量素子C1は、ノードFDaとの電氣的接続を有するため、不純物領域60aと同様に、信号電荷を一時的に保持する電荷蓄積ノードの少なくとも一部を構成する。換言すれば、ノードFDaへの容量素子C1の接続は、電荷蓄積ノード全体の容量値を増大させる。以下の2つの理由から、容量素子C1の容量値がなるべく小さくされることが有利である。

[0144] 第1の理由は、電荷蓄積ノード全体の容量値が増大すると、変換ゲインが低下する結果を招くからである。変換ゲインが低下すると、後段回路でのノイズの影響が大きくなり、SN比低下のおそれがある。したがって、SN比の低下を回避する観点からは、容量素子C1の容量値がなるべく小さくされることが有益である。

[0145] 第2の理由は、容量素子C1が比較的に大きな容量値を有すると、ノードFDaへの容量素子C1を介した制御線81上のノイズの混入の影響が増大し得るからである。制御線81に印加される電圧に含まれるノイズは、容量素子C1を介した電氣的なカップリングにより、ノードFDaに混入し得る。特に、同一の行に属する画素の電荷蓄積ノードに対して共通して、制御線81に供給された電圧が容量素子C1を介して印加されるような構成、換言すれば、第1電圧 V_A と第2電圧 V_B との間の切り替えが行単位で実行されるよ

うな構成では、制御線 8 1 上のノイズが横線ノイズとして画像上に現れ得る。横線ノイズは、画素単位のランダムノイズと比較して画像の観察者に認識されやすい傾向があるため、横線ノイズを抑制できると有益である。

[0146] 容量素子 C 1 の容量値を C_1 、電荷蓄積ノードのうち容量素子 C 1 以外の部分の容量値を C_{FD} とすると、ノード F D a に伝搬する電圧変動の大きさは、制御線 8 1 の電圧変動と $(C_1 / (C_1 + C_{FD}))$ との積で表される。したがって、横線ノイズ抑制の観点からも、容量素子 C 1 の容量値 C_1 はなるべく小さい方が有利である。

[0147] また、容量素子 C 1 の容量値 C_1 は、電荷蓄積ノードのうち容量素子 C 1 以外の部分の容量値を C_{FD} よりも小さいと有益である。容量素子 C 1 の容量値 C_1 を電荷蓄積ノードのうち容量素子 C 1 以外の部分の容量値 C_{FD} よりも小さくすることにより、ノード F D a に容量素子 C 1 を接続したことに起因する S N 比の低下の程度を、F 値を一段大きな値にしたときの S N 比の低下の程度よりも小さくし得る。例えば、容量素子 C 1 の容量値 C_1 を容量値 C_{FD} の $1/2$ 以下程度とすれば、ノード F D a に容量素子 C 1 を接続したことに起因する S N 比の低下の程度を、F 値に換算して $(1/2)$ 段程度以下の変化に留め得る。

[0148] なお、正孔に代えて電子を信号電荷として用いる場合にも、図 4 A を参照して説明した動作と同様の動作を適用し得る。ただし、信号電荷として正孔を用いる場合と比較して、信号電荷として電子を用いる場合、電荷蓄積ノードへの信号電荷量の蓄積に伴って不純物領域 6 0 a の電位 V_{FD} が低下する点異なる。そのため、信号電荷として電子を用いる場合には、基板電位を基準として不純物領域 6 0 a の電位 V_{FD} との間に十分な電位差を確保する観点から、リセット電圧 V_r としてより大きな正の電圧、例えば 3.3 V 程度の電圧が用いられ得る。

[0149] リセット電圧 V_r としてより大きな正の電圧を用いるので、リセットトランジスタ 7 6 のオフに伴う、リセットトランジスタ 7 6 が有する寄生容量に起因した電氣的なカップリングによる不純物領域 6 0 a の電位 V_{FD} の低下の影

響は小さいといえる。しかしながら、信号電荷として電子を用いる場合、飽和電子数を向上させるにはリセット電圧 V_r としてより高い電圧を用いる必要があり、要求されるダイナミックレンジに十分な飽和電子数の確保の観点からは、信号電荷として正孔を用いる方が有利である。

[0150] リセットトランジスタ76としてp型のトランジスタを適用することも可能である。この場合、半導体基板60中の各領域の導電型をn型とp型との間で入れ替えればよい。ただし、リセットトランジスタ76としてp型のトランジスタを適用する場合には、以下に説明するように、第2電圧 V_B として、第1電圧 V_A よりも低い電圧を用いる。

[0151] 図4Bは、画素10Aのリセットトランジスタ76にp型のトランジスタを適用したときの例示的な動作を説明するためのタイミングチャートである。リセットトランジスタ76にp型のトランジスタを適用する場合には、基板電位 V_{sub} として、リセットトランジスタ76にn型のトランジスタを適用した場合よりも高い電圧が用いられる。基板電位 V_{sub} は、例えば3.3V程度であり得る。

[0152] リセットトランジスタ76にp型のトランジスタを適用した場合、信号電荷として正孔を用いる方が、リセットトランジスタ76が有する寄生容量に起因した電氣的なカップリングによる不純物領域60aの電位 V_{FD} の変化の影響は、小さい。これは、リセットトランジスタ76にn型のトランジスタを適用し、かつ、信号電荷として電子を用いた場合と同様の理由による。ただし、十分な飽和電子数を確保するには、基板電位を基準として不純物領域60aの電位 V_{FD} との間に十分な電位差を確保する必要がある。これに対し、信号電荷が電子であれば、リセット電圧 V_r として、基板電位である3.3V付近の電圧を用いればよく、リセットトランジスタ76にp型のトランジスタを適用した場合には、信号電荷として電子を用いる方が、回路の複雑化を回避しながら、要求されるダイナミックレンジに十分な飽和電子数を確保しやすい。

[0153] したがって、ここでは、信号電荷として電子を用いる場合の動作の例を説

明する。図4 Bは、リセットトランジスタ76にp型のトランジスタを適用し、信号電荷として電子を用いる場合の動作の例を示している。リセットトランジスタ76がp型のトランジスタであり、信号電荷として電子を用いる場合、典型的には、信号検出トランジスタ72およびアドレストランジスタ74もp型のトランジスタとして半導体基板60に形成される。

[0154] 図4 Bに示す例では、時刻T1までの期間に注目すると、露光による信号電荷の蓄積により、不純物領域60aの電位 V_{FD} が徐々に低下している。信号電荷の蓄積後、時刻T1にアドレス信号 Φ_{sel} をローレベルとしてアドレストランジスタ74をオンとし、第1の信号を垂直信号線89に読み出す。

[0155] 次に、時刻T2にリセット信号 Φ_{rst} をローレベルとし、リセットトランジスタ76をオンとする。図4 Bに示すように、リセットトランジスタ76のオンにより、不純物領域60aの電位 V_{FD} は、 V_r に上昇する。このときのリセット電圧 V_r としては、基板電位 V_{sub} 付近かつ基板電位 V_{sub} よりも低い、例えば2.8Vの電圧が用いられる。

[0156] 次に、時刻T3にリセット信号 Φ_{rst} をハイレベルとし、リセットトランジスタ76をオフとする。リセットトランジスタ76をオフすると、リセットトランジスタ76が有する寄生容量に起因した電気的なカップリングにより、不純物領域60aの電位 V_{FD} が V_r からさらに上昇し得る。このとき、電位 V_{FD} が基板電位 V_{sub} を上回ってしまうと、不純物領域60aとその周囲との間のpn接合に順方向バイアスがかかり、支持基板としてのn型シリコン基板から不純物領域60aに余計な電子が流入してしまう。換言すれば、暗電流が生じてしまう。

[0157] ここでは、時刻T3にリセット信号 Φ_{rst} をハイレベルとするだけでなく、電圧供給回路128から制御線81に印加される電圧 V_c を第1電圧 V_A よりも低い第2電圧 V_B に切り替えている。電圧 V_c を第1電圧 V_A から第2電圧 V_B に切り替えることにより、容量素子C1を介して光電変換部50Aと信号検出トランジスタ72との間のノードFDaの電位を低下させることができ、図4 Bに示すように、不純物領域60aの電位 V_{FD} が基板電位 V_{sub} を

上回ってしまうことを回避し得る。この例では、リセットトランジスタ 76 のオフ直後の不純物領域 60a の電位 V_{FD} は、 $V_{sub} > V_{1b} > V_r$ の関係を満たす V_{1b} となっている。 V_{1b} は、3.1V 程度であり得る。

[0158] リセットトランジスタ 76 のオフ後、信号電荷の排出後の電荷蓄積ノードの電圧レベルに対応する第 2 の信号を垂直信号線 89 に読み出し、第 1 の信号および第 2 の信号の差分 Δ の絶対値を画像信号として得る。第 2 の信号の取得後、アドレストランジスタ 74 をオフとし、次のフレームの信号電荷の蓄積を開始する。

[0159] (撮像装置 100 の動作の第 2 の例)

本開示の実施形態による撮像装置の動作の例は、図 4A および図 4B を参照して説明した例に限られない。例えば、以下に説明するように、信号電荷を電荷蓄積ノードに蓄積する露光期間と、1 フレーム期間のうち露光期間以外の非露光期間中のリセットのための期間との間で、制御線 81 に供給する電圧を互いに異なる電圧としてもよい。

[0160] 図 4C は、画素 10A、10Ap および 10Aq の動作の他の例を説明するためのタイミングチャートである。図 4A および図 4B に示す例と同様に、図 4C に示す動作例において、信号電荷を電荷蓄積ノードに蓄積するための露光期間および露光期間以外の非露光期間が交互に繰り返されている。非露光期間は、電荷蓄積ノードの電位を所定の電位にリセットするためのリセット期間をその一部に含む。

[0161] ここでは、図 3 に示す画素 10A を例示する。まず、時刻 T_1 において、アドレス信号 ϕ_{sel} をハイレベルにする。また、このとき、制御線 81 に印加する電圧を第 1 電圧 V_A から相対的に高い第 2 電圧 V_B に切り替える。

[0162] 制御線 81 に印加する電圧を第 1 電圧 V_A から第 2 電圧 V_B に切り替えることにより、容量素子 C_1 を介した容量結合によってノード FDa の電位が一時的に上昇する。このとき、ノード FDa の電位の変動量 ΔV_{FD} は、下記の式 (1) で表される。

$$[0163] \quad \Delta V_{FD} = (V_B - V_A) \left(C_1 / (C_1 + C_{FD}) \right) \quad (1)$$

このときのノードF D aの電位が、電荷蓄積ノードに蓄積された信号電荷に応じた電圧レベルを表現する第1の信号として信号検出トランジスタ72およびアドレストランジスタ74を介して垂直信号線89に読み出される。

[0164] 時刻T2において、リセット信号 Φ_{rst} をハイレベルにする。これにより、リセットトランジスタ76を介して電荷蓄積ノードから信号電荷が排出され、電荷蓄積ノードの電位がリセット電圧 V_r にリセットされる。

[0165] 時刻T3において、リセット信号 Φ_{rst} をローレベルとし、リセットトランジスタ76をオフする。時刻T3から、水平同期信号HDの次のパルスが立ち上がる時刻T4までの間に、信号電荷の排出後の電荷蓄積ノードの電圧レベルに対応する第2の信号を、アドレストランジスタ74を介して垂直信号線89に読み出す。

[0166] この例では、時刻T1から時刻T2までの間に読み出された第1の信号と、時刻T3から時刻T4までの間に読み出された第2の信号との差分 Δ が、画像を表現する真の画素信号となる。

[0167] 時刻T4において、制御線81に印加する電圧を再び第1電圧 V_A に戻す。容量素子C1を介した容量結合により、ノードF D aの電位は、 V_r から V_{1c} に低下する。このときのノードF D aの電位の変動量である($V_r - V_{1c}$)は、上述した ΔV_{FD} に等しい。

[0168] ここで、変動量 ΔV_{FD} は、容量値 C_1 および C_{FD} が既知であれば、上述の式(1)に基づいて第1電圧 V_A および第2電圧 V_B を決定することにより、制御することができる。所望の ΔV_{FD} を以下の手順で実現することが可能である。まず、製品設計時において、ターゲットとする電荷蓄積ノードの全体の容量値から、容量素子C1と、電荷蓄積ノードのうち容量素子C1以外の部分との間の容量比を決定する。そして、実動作時に制御線81に印加する電圧の振幅、すなわち、第1電圧 V_A および第2電圧 V_B の具体的な電圧値を上述の式(1)に基づき決定する。

[0169] 第1電圧 V_A および第2電圧 V_B のいずれかが接地(0V)であると有益である。接地側は一般に低インピーダンスであるので、制御線81に接続された

電圧供給回路 128 からの電源ノイズの電荷蓄積ノードへの混入を抑制し得るからである。例えば第 2 電圧 V_B を接地とした場合、第 1 電圧 V_A は、負レベルの電圧となる。

[0170] この例では、電圧供給回路 128 は、制御線 81 に対して、不純物領域 60a をその一部に含む電荷蓄積ノードに信号電荷を蓄積する露光期間に第 1 電圧 V_A を供給している。他方、行選択時には、第 1 電圧 V_A とは異なる第 2 電圧 V_B を供給している。ここでは、特に、非露光期間のうちリセットトランジスタ 76 がオンとされるリセット期間中に制御線 81 に供給される電圧は、第 2 電圧 V_B である。このように、露光期間後であって少なくともリセット期間と、その他の期間との間で異ならせるような制御も採用し得る。このような制御によれば、例えば、電荷蓄積ノードの電位をリセット電圧 V_r と比較して一時的に低下させることができる。容量素子 C1 を介して電荷蓄積ノードの電位を低下させることにより、不純物領域 60a と、その周囲に位置し、例えば接地とされる第 2 p 型半導体層 62p との間の電位差を縮小できる。これにより、不純物領域 60a と第 2 p 型半導体層 62p との間の pn 接合によって形成される空乏層が縮小され、暗電流の低減が実現される。すなわち、露光期間における電荷蓄積ノードの電位を低電位とすることにより、暗電流低減の効果が期待できる。

[0171] 図 4C に例示する動作においては、行選択時、電荷蓄積ノードの電位は第 2 電圧 V_B と第 1 電圧 V_A との電位差分だけ上昇する。そのため、この電位差を調整することにより、信号検出トランジスタ 72 および後段回路のトランジスタのソースドレイン電圧を、これらのトランジスタが動作可能な電圧範囲内に設定することができる。したがって、信号検出トランジスタ 72 および後段回路により、画素信号または基準信号の読み出しを正常に行うことが可能となる。

[0172] (第 1 の実施形態の変形例)

本開示の撮像装置 100 は、積層型の撮像装置に限られない。図 5 は、画素 10 の他の回路構成の例を模式的に示す。図 3 を参照して説明した画素 1

0 Aと比較して、図5に示す画素10A_pは、光電変換部50Aに代えて、光電変換部50Bを有する。光電変換部50Bは、例えば半導体基板60に形成された埋め込みフォトダイオードである。

[0173] 図5に示すように、この例では、信号検出トランジスタ72のゲートに光電変換部50Bが接続される。図5に例示する構成では、光電変換部50Bと信号検出トランジスタ72との間のノードFD_bが電荷蓄積ノードに相当するといえる。換言すれば、光電変換部50Bとしての埋め込みフォトダイオード中のpn接合、不純物領域60aおよびゲート電極72eなどが、光電変換部50Bによって生成された電荷を一時的に保持する電荷蓄積ノードとして機能する。不純物領域60aが、埋め込みフォトダイオード中のpn接合の一部であってもよい。

[0174] 画素10A_pを有する撮像装置100についても、図4Aおよび図4Bを参照して説明した動作と同様の動作を適用することが可能である。例えば、リセット信号Φ_{rst}をローレベルとするタイミングで、電圧供給回路128から制御線81に印加される電圧V_cを第1電圧V_Aから第1電圧V_Aよりも高い第2電圧V_Bに切り替えることにより、容量素子C1を介してノードFD_bの電位を上昇させることができる。第2電圧V_Bを適切に選択することにより、不純物領域60aの電位V_{FD}が基板電位V_{sub}を下回ることを回避して、暗電流を抑制し得る。なお、光電変換部として埋め込みフォトダイオードを適用する場合、リセットトランジスタ76などをp型のトランジスタとし、信号電荷として電子を蓄積する構成によれば、より大きなダイナミックレンジが得られるのでより有利である。

[0175] 図6は、画素10のさらに他の回路構成の例を模式的に示す。図5を参照して説明した画素10A_pの回路構成と比較して、図6に示す画素10A_qは、信号検出トランジスタ72のゲートと光電変換部50Bとの間に接続された転送トランジスタ79をさらに有する。転送トランジスタ79は、光電変換部50Bによって得られた信号電荷を、信号検出トランジスタ72のゲートと転送トランジスタ79との間のノードFD_cに所定のタイミングで転

送する。転送トランジスタ 79 は、例えば n チャンネル MOS である。転送トランジスタ 79 は、不純物領域 60a を、ソース領域およびドレイン領域の一方としてリセットトランジスタ 76 との間で共有していてもよい。

[0176] 図 6 に示す回路構成によれば、図 5 に示す画素 10Ap と同様に、電圧 V_c を第 1 電圧 V_A から第 2 電圧 V_B に切り替えることにより、浮遊ノードであるノード FD_c の電位を、容量素子 C_1 を介して例えば上昇させ、不純物領域 60a の電位 V_{FD} が基板電位 V_{sub} を下回ることを回避し得る。電圧 V_c を第 1 電圧 V_A から第 2 電圧 V_B への切り替えは、例えば、ノード FD_c に転送された信号電荷をリセットトランジスタ 76 のオンによって排出した後の、リセットトランジスタ 76 のオフのタイミングで実行される。

[0177] 図 7A および図 7B は、画素 10 のさらに他の回路構成の例を模式的に示す。

[0178] 図 3 を参照して説明した画素 10A と比較して、図 7A に示す画素 10Ar は、信号検出トランジスタ 72 に代えて、デプレッション型の信号検出トランジスタ 72d を有する。信号検出トランジスタ 72d としてデプレッション型のトランジスタを用いることにより、ノード FD_a の電位が低レベルにある場合であっても、信号検出トランジスタ 72d から高い出力が得られる。そのため、垂直信号線 89 に接続された負荷回路などから構成される電流源の動作に必要な電圧レンジの確保がより容易になる。

[0179] 図 7B に示す画素 10As は、図 7A に示す画素 10Ar の光電変換部 50A を光電変換部 50B に置き換えた構成を有する。上述したように、光電変換部 50B は、例えば半導体基板 60 に形成された埋め込みフォトダイオードである。フォトダイオードを用いる構成においても、信号検出トランジスタ 72d としてデプレッション型のトランジスタを用いることができる。

[0180] 図 8 は、図 7A に示す画素 10Ar または図 7B に示す画素 10As の例示的な動作を説明するためのタイミングチャートである。

[0181] 図 4C を参照して説明した例と比較して、この例では、非露光期間における電圧 V_c の波形が、図 4C に示す動作シーケンスにおける波形と異なる。

図8に示すように、ここでは、非露光期間において、電圧供給回路128から制御線81に印加する電圧 V_c を相対的に高い第2電圧 V_B とする期間が短い。図8に例示する動作において、電圧 V_c は、時刻 T_2 におけるリセット信号 Φ_{rst} の立ち上がりのタイミングで第1電圧 V_A から相対的に高い第2電圧 V_B に切り替えられ、時刻 T_3 においてリセット信号 Φ_{rst} がローレベルに切り替えられた後に第1電圧 V_A に戻されている。リセットトランジスタ76をオフにした後に、電圧供給回路128から制御線81に印加する電圧 V_c を第1電圧 V_A に切り替えることにより、電圧 V_c の変化の全てを電荷蓄積ノードの電位の変動に寄与させることが可能となる。

[0182] 図8に示す例において、時刻 T_4 における電圧 V_c の切り替えにより、電荷蓄積ノードの電位は、リセット電圧 V_r から式(1)で表される ΔV_{FD} だけ低下する。その結果、電荷蓄積ノードの電位を V_r よりも低い電位 V_{1d} に低下させることができる。被写体の像を表現する真の画素信号は、時刻 T_1 における電荷蓄積ノードの電位に対応する第1の信号と、時刻 T_4 における電荷蓄積ノードの電位に対応する第2の信号との差分で与えられる。

[0183] 第1の信号は、時刻 T_1 から時刻 T_2 までの間に垂直信号線89に読み出され、第2の信号は、時刻 T_4 から時刻 T_5 までの間に垂直信号線89に読み出される。すなわち、この例では、第1電圧 V_A が制御線81に印加されているときに、画素信号および基準信号の読み出しを実行している。この例でも同様に、0Vの電圧を第1電圧 V_A として用いることにより、電圧供給回路128から出力される電圧中のノイズのノード FDa またはノード FDb への混入を抑制することができる。

[0184] 図9Aおよび図9Bは、画素10のさらに他の回路構成の例を模式的に示す。図9Aに示す画素10Atは、図3に示す回路構成における信号検出トランジスタ72、アドレストランジスタ74およびリセットトランジスタ76としてp型のトランジスタを適用した例である。図9Bに示す画素10Auは、図5に示す回路構成における信号検出トランジスタ72、アドレストランジスタ74およびリセットトランジスタ76としてp型のトランジスタ

を適用した例である。

[0185] 図9Aおよび図9Bに例示する構成において、典型的には、信号電荷として電子が用いられる。上述したように、リセットトランジスタ76にp型のトランジスタを適用した場合、信号電荷として電子を用いる方が、回路の複雑化を回避しながら、要求されるダイナミックレンジに十分な飽和電子数を確保しやすい。

[0186] 図10は、図9Aに示す画素10Atまたは図9Bに示す画素10Auの例示的な動作を説明するためのタイミングチャートである。図10に示す例では、まず、時刻T1において、アドレス信号 Φ_{sel} をハイレベルからローレベルとし、制御線81に印加する電圧 V_c を第1電圧 V_A から相対的に低い第2電圧 V_B に切り替える。アドレス信号 Φ_{sel} をローレベルにすることにより、選択された行の画素から、信号検出トランジスタ72およびアドレストランジスタ74を介して第1の信号が垂直信号線89に読み出される。ここでは、非露光期間においてアドレス信号 Φ_{sel} がローレベルに維持される。

[0187] 電圧 V_{FD} のグラフからわかるように、制御線81に印加する電圧 V_c を第1電圧 V_A から第2電圧 V_B に切り替えることにより、容量素子C1を介した容量結合によって、電荷蓄積ノードの電位が低下する。このときの電位の変動量 ΔV_{FD} は、容量素子C1と、電荷蓄積ノードのうち容量素子C1以外の部分との間の容量比により、上述の式(1)で表される。時刻T1から時刻T2までの間に、このときの電圧 V_{FD} に対応する信号が第1の信号として垂直信号線89に読み出される。

[0188] この例では、時刻T2において、リセット信号 Φ_{rst} をローレベルにすることにより、リセットが実行される。すなわち、リセット信号 Φ_{rst} がローレベルとされることによりリセットトランジスタ76がオンとされ、ノードFDaまたはFDbに蓄積された信号電荷がリセットトランジスタ76を介して排出され、電荷蓄積ノードの電位が電圧 V_r にリセットされる。

[0189] 次に、時刻T3において、リセット信号 Φ_{rst} をハイレベルとしてリセ

ットトランジスタ76をオフする。ここでは、時刻T3から時刻T4までの間に、リセット電圧 V_r に対応する第2の信号を垂直信号線89に読み出す。図10中に模式的に示すように、時刻T1から時刻T2までの間に読み出された第1の信号と、時刻T3から時刻T4までの間に読み出された第2の信号との差分が、真の画素信号として出力される。

[0190] その後、時刻T4において、制御線81に印加する電圧 V_c を第2電圧 V_B から第1電圧 V_A に戻す。これにより、容量素子C1を介した容量結合によって電荷蓄積ノードの電位が V_r から V_{1e} に上昇する。このときの変動量である $|V_r - V_{1e}|$ は、制御線81に印加する電圧 V_c を第1電圧 V_A から第2電圧 V_B に低下させたときの ΔV_{FD} に等しい。

[0191] この例のように信号電荷として電子を用いる場合には、上述したように、支持基板60Sとしてn型シリコン基板を用い、不純物領域60a~60eの導電型をp型とすると有益である。すなわち、信号検出トランジスタ72、アドレストランジスタ74およびリセットトランジスタ76をp型のトランジスタとすることが望ましい。

[0192] 支持基板60Sとしてp型シリコン基板を用い、リセットトランジスタ76をnチャンネルMOSとした場合であれば、基板電位 V_{sub} としては例えば0Vが用いられる。ここで、リセットトランジスタ76をpチャンネルMOSとし、基板電位 V_{sub} として0Vを採用したとする。このとき、図10に模式的に示すように、信号電荷である電子の電荷蓄積ノードへの蓄積に伴い、電圧 V_{FD} が低下するので、不純物領域60aとその周囲との間のpn接合に印加される電圧が順バイアスとなることを避けるために、信号電荷の蓄積に先立ち、電荷蓄積ノードの電位を基板電位 V_{sub} よりも高い電位にリセットする必要がある。

[0193] 既に説明したように、信号電荷が電子である場合、リセット電圧 V_r としては、例えば3.3Vの電圧を用い得る。この場合、信号電荷の蓄積に伴い、電荷蓄積ノードの電位が露光開始時の例えば3.3Vから低下し、基板電位 V_{sub} との間の電位差が縮小する。したがって、空乏層幅が縮小され、

暗電流低減の効果が期待できる。

[0194] なお、暗電流低減の観点からは、信号電荷として正孔を用いる場合には、各トランジスタをnチャンネルMOSとする方が有利である。これは、以下の理由による。

[0195] 例えばリセットトランジスタ76にp型のトランジスタを適用した場合、基板電位 V_{sub} としては、例えば3.3V程度の電圧が用いられる。支持基板60Sとしてn型シリコン基板を用い、不純物領域60a~60eの導電型がp型である場合、印加電圧が順バイアスとなることを避けるために、不純物領域60aの電位 V_{FD} を基板電位 V_{sub} よりも上昇させることはできない。また、電荷蓄積ノードに正孔が蓄積されるに伴って不純物領域60aの電位 V_{FD} が上昇する。したがって、信号電荷の蓄積に先立ち、電荷蓄積ノードの電位は、基板電位 V_{sub} よりも低い例えば0Vの電位にリセットされる。この場合、露光開始時の電荷蓄積ノードの電位と基板電位 V_{sub} との間の差が、リセットトランジスタ76としてnチャンネルMOSを用いる場合と比較して拡大してしまうからである。

[0196] 図11Aおよび図11Bは、画素10のさらに他の回路構成の例を模式的に示す。

[0197] 図3に示す画素10Aと比較して、図11Aに示す画素10Avは、容量素子Cと制御線81との間に接続されたトランジスタ71をさらに有する。図11Aに示す画素10Avと、図11Bに示す画素10Awとの間の相違点は、画素10Awでは、トランジスタ71がノードFDaと容量素子C1との間に接続されている点である。

[0198] 図11Aに示す画素10Av中のトランジスタ71は、容量素子C1と電圧供給回路128との間の接続および遮断を切り替えるスイッチング素子としての機能を有する。図11Bに示す画素10Aw中のトランジスタ71は、ノードFDaと容量素子C1との間の接続および遮断を切り替えるスイッチング素子としての機能を有する。図11Aに例示する回路構成によれば、トランジスタ71のゲートに印加する制御信号 Φ_s の電位の制御によってト

ランジスタ 71 をオフすることにより、電荷蓄積ノード全体の容量値を縮小することができる。図 11B に例示する回路構成によれば、ノード F D a から容量素子 C 1 を電氣的に切り離すことができる。

[0199] これまでの各例によって説明したように、ノード F D a またはノード F D b に容量素子 C 1 を接続し、制御線 81 に供給する電圧を切り替えることにより、容量素子 C 1 を介して電荷蓄積ノードの電位を制御することが可能になる。ただし、容量素子 C 1 を接続した結果、電荷蓄積ノード全体の容量値が増大するので、信号電荷を電圧に変換する際のコンバージョンゲインが低下し得る。

[0200] 図 11A および図 11B に例示するように、容量素子 C 1 と電圧供給回路 128 との間、または、ノード F D a もしくはノード F D b と容量素子 C 1 との間にトランジスタ 71 を介在させてもよい。これにより、トランジスタ 71 のオンおよびオフの切り替えによって、電荷蓄積ノード全体の容量値を変化させ得る。換言すれば、トランジスタ 71 のオンおよびオフの切り替えにより、容量素子 C 1 を介して電荷蓄積ノードの電位を制御する F D 電位制御モード、および、信号電荷を効率的に電圧信号に変換する高ゲインモードを使い分けることが可能となる。F D 電位制御モードは、トランジスタ 71 をオンとして電圧供給回路 128 を、容量素子 C 1 を介して電荷蓄積ノードに電氣的に結合するモードであり、高ゲインモードは、トランジスタ 71 をオフとして電荷蓄積ノード全体の容量値を低下させたモードである。

[0201] モードの切り替えは、暗電流への影響が大きくなるような露光時間または動作温度を判定基準として自動的に実行されてもよいし、ユーザの指示に基づいて実行されてもよい。例えば、1 秒を超える長秒露光または 80 度を超える高温環境下での撮影に F D 電位制御モードを選択し得る。F D 電位制御モードにおける動作シーケンスは、図 4A、図 4B、図 4C、図 8 または図 10 を参照して説明した動作シーケンスと同様であり得るので、動作に関する説明を省略する。

[0202] 図 11C は、画素 10 のさらに他の回路構成の例を模式的に示す。図 11

Cに例示する構成において、撮像装置100は、垂直信号線89に接続された負荷トランジスタ73を有する。負荷トランジスタ73は、例えばnチャンネルMOSであり、電流源94として機能する。

[0203] また、図11Cに示す例において、撮像装置100は、フィードバック回路90xを有する。フィードバック回路90xは、反転入力端子が垂直信号線89に接続された反転増幅器92を含む。反転増幅器92は、垂直信号線89に対応して画素10Axの列ごとに設けられ、ここでは、リセット電圧線85がその出力端子に接続されている。図示する例において、信号検出トランジスタ72、アドレストランジスタ74、反転増幅器92およびリセットトランジスタ76は、光電変換部50Aで発生した電気信号を負帰還させるフィードバックループを形成する。

[0204] 撮像装置100の動作時、反転増幅器92の非反転入力端子には、例えば1Vまたは1V近傍の電圧Vrefが供給される。電圧Vrefとしては、電源電圧Vddおよび接地の範囲内の任意の大きさの電圧を用い得る。フィードバックループの形成時、垂直信号線89の電圧は、反転増幅器92の非反転入力端子に入力された電圧Vrefに収束する。換言すれば、フィードバックループの形成により、ノードFdaの電位を、垂直信号線89の電圧がVrefとなるような電位にリセットすることができる。

[0205] 第1の信号および第2の信号は、信号検出トランジスタ72および電流源94によって形成されるソースフォロアによって垂直信号線89に読み出される。信号読み出し時におけるノードFdaの電位が低電位であると、信号検出トランジスタ72を介して垂直信号線89に現れる電圧も低くなり、飽和領域での動作に必要なソースドレイン電圧を確保できず、負荷トランジスタ73が線形領域で動作する可能性がある。その結果、ソースフォロアが正常に動作せず信号の線形性が低下するおそれがある。

[0206] 電流源94によって得られる電流値を小さく設定すれば負荷トランジスタ73を飽和領域で動作させることが可能であるが、この場合、信号の読み出しに要する速度が低下するなどの課題が生じ得る。また、垂直信号線89の

電圧低下により、反転増幅器 92 への入力信号が動作レンジから外れ、フィードバック回路 90x が正常に動作しなくなるおそれがある。つまり、ノード F D a の電位を垂直信号線 89 の電圧が V_{ref} となるような電位にリセットできなくなる可能性がある。

[0207] 画素 10Ax を有する撮像装置には、例えば、図 4C、図 8 または図 10 を参照して説明した動作シーケンスを適用し得る。すなわち、制御線 81 に供給する電圧を第 1 電圧 V_A および第 2 電圧 V_B の間で切り替えることにより、非露光期間の少なくとも一部の期間において電荷蓄積ノードの電位を、容量素子 C1 を介して一時的に上昇または低下させる。例えば信号電荷として正孔を用いる場合であれば、電圧供給回路 128 から制御線 81 に印加する電圧の切り替えにより、露光期間以外の非露光期間において電荷蓄積ノードの電位を選択的に上昇させる。

[0208] 非露光期間において電荷蓄積ノードの電位を選択的に高電位に設定することにより、負荷トランジスタ 73 が線形領域で動作することを抑制して、第 1 の信号および第 2 の信号を画素から正常に読み出すことが可能である。なお、信号の読み出し動作およびフィードバック動作は、非露光期間に実行されるので、露光期間では、電荷蓄積ノードの電位が、負荷トランジスタ 73 が線形領域で動作するような低電位であっても問題はない。露光期間における電荷蓄積ノードの電位を低電位に設定することにより、回路特性を劣化させることなく、暗電流を抑制することができるという効果も得られる。

[0209] (第 2 の実施形態)

図 12 は、本開示の第 2 の実施形態による撮像装置が有する画素 10B の回路構成の一例を模式的に示す。図 3 に示す画素 10A と同様に、図 12 に示す画素 10B は、上述の画素 10 の一例である。図 12 に示す画素 10B と、図 3 を参照して説明した画素 10A との間の主な相違点は、画素 10B が、リセットトランジスタ 76 のソースおよびドレインのうちノード F D a に接続されていない側に接続されたトランジスタ 78 をさらに有している点である。また、電圧供給回路 128 が、リセットトランジスタ 76 およびト

ランジスタ 78 の間のノード RD に電氣的に接続されている点である。この例では、電圧供給回路 128 は、リセットトランジスタ 76 を介して不純物領域 60a に電氣的に接続される。

[0210] 図 12 に例示されるように、撮像装置 100 の各画素 10 は、リセットトランジスタ 76 に接続されたトランジスタ 78 をさらに含む回路構成を有し得る。トランジスタ 78 は、例えば n チャンネル MOS であり、リセットトランジスタ 76 のソース領域またはドレイン領域としての不純物領域 60b をドレイン領域またはソース領域として含み得る。図 12 に例示する構成において、トランジスタ 78 のソースおよびドレインのうち、リセットトランジスタ 76 に接続されていない側にはリセット電圧線 85 が接続されており、撮像装置 100 の動作時、例えば、所定のリセット電圧 V_r がトランジスタ 78 に印加される。トランジスタ 78 のゲートには、トランジスタ 78 のオンおよびオフを制御するための信号 ϕ_{fb} をトランジスタ 78 に供給するための信号線 88 が接続されている。信号線 88 は、例えば垂直走査回路 122 との接続を有し、垂直走査回路 122 は、信号線 88 の電位を制御するように構成され得る。

[0211] この例では、電圧供給回路 128 は、容量素子 C2 を介して、リセットトランジスタ 76 およびトランジスタ 78 の間のノード RD に接続されている。すなわち、この例では、電圧供給回路 128 は、リセットトランジスタ 76 の不純物領域 60a 側ではなく、不純物領域 60b 側に容量素子 C2 を介して接続されている。なお、制御線 81 と不純物領域 60b との間に接続された容量素子 C2 は、上述の容量素子 C1 と同様の構成を有し得る。もちろん、容量素子 C2 および上述の容量素子 C1 の構成が同一であることは、必須ではない。

[0212] 図 13 は、図 12 に示す回路構成が適用された、より具体的な例を示す。図 13 に示す画素 10Bf は、図 12 に示す画素 10B の一例であり、フィードバック回路 90 を有する。図 13 に例示する構成において、フィードバック回路 90 は、図 11C を参照して説明した例と同様に、反転入力端子が

垂直信号線 8 9 に接続された反転増幅器 9 2 を含む。

[0213] 図 1 3 に例示する構成において、画素 1 0 B f は、リセットトランジスタ 7 6 に並列に接続された容量素子 C 3 を有する。アドレストランジスタ 7 4 と、少なくともトランジスタ 7 8 とがオン状態のとき、フィードバック回路 9 0 は、光電変換部 5 0 A で発生した電気信号を負帰還させるフィードバックループを形成する。このフィードバックループは、その一部にトランジスタ 7 8 を含む。

[0214] よく知られているように、トランジスタのオンまたはオフに伴い、 $k T C$ ノイズと呼ばれる熱ノイズが発生する。ノード F D a の電位のリセット後、リセットトランジスタ 7 6 を単純にオフとするだけでは、リセットトランジスタ 7 6 をオフとすることによって発生する $k T C$ ノイズが、信号電荷の蓄積前の電荷蓄積ノードに残留してしまう。しかしながら、リセットトランジスタのオフに伴って発生する $k T C$ ノイズは、国際公開第 2 0 1 2 / 1 4 7 3 0 2 号において説明されているように、負帰還を利用することによって低減可能である。参考のために、国際公開第 2 0 1 2 / 1 4 7 3 0 2 号の開示内容の全てを本明細書に援用する。

[0215] 図 1 2 および図 1 3 に示すような回路構成において、リセットトランジスタ 7 6 およびトランジスタ 7 8 の間のノード R D に注目すると、このノード R D は、浮遊ノードである。上述したように、トランジスタ 7 8 は、不純物領域 6 0 b を例えばドレイン領域として含み得る。そのため、トランジスタ 7 8 をオフすると、トランジスタ 7 8 が有する寄生容量に起因した電氣的なカップリングによって不純物領域 6 0 b の電位が基板電位を下回ってしまうおそれがある。不純物領域 6 0 b の電位が基板電位を下回ると、p ウェルからの余計な正孔の流入によって意図しない電位の変動が不純物領域 6 0 b に生じ、S N 比が低下し得る。しかしながら、ここでは、不純物領域 6 0 b に電圧供給回路 1 2 8 が電氣的に接続されている。以下に説明するように、電圧供給回路 1 2 8 から制御線 8 1 に印加する電圧 V_c を第 1 電圧 V_A および第 2 電圧 V_B の間で切り替えることにより、不純物領域 6 0 b の電位が基板電位

を下回ってしまうことを防止可能である。

[0216] 図14Aは、図13に示す回路構成を有する画素10Bfの例示的な動作を説明するためのタイミングチャートである。図14A中、下から2番目のチャートは、ノードRDの電位すなわち不純物領域60bの電位 V_{RD} の時間的变化を示す。なお、電圧 V_c の時間的变化を示すチャートからわかるように、ここでは、図4Aおよび図4Bを参照して説明した第1の例と同様に、時刻 T_1 の時点において制御線81には第1電圧 V_A が印加されている。

[0217] 露光による信号電荷の蓄積後、まず、時刻 T_1 においてアドレス信号 Φ_{sel} をハイレベルとする。このとき、電荷蓄積ノードに蓄積された信号電荷に応じた電圧レベルの第1の信号を読み出す。

[0218] 次に、時刻 T_2 にリセット信号 Φ_{rst} および信号 Φ_{fb} をハイレベルとする。すなわち、リセットトランジスタ76およびトランジスタ78をオンとする。リセットトランジスタ76およびトランジスタ78のオンにより、フィードバックループが形成される。フィードバックループの形成により、ノードFDaの電位がリセットされる。ここでは、ノードFDaの電位が、垂直信号線89の電圧が V_{ref} となるような電圧 V_{2a} に低下する。このとき、反転増幅器92の非反転増幅端子に印加する電圧 V_{ref} として、 $V_{2a} > V_{sub}$ の関係が満たされるような電圧を用いる。なお、図14Aに示す例では、リセットトランジスタ76およびトランジスタ78のオンに伴ってノードRDの電位 V_{RD} が V_3 に上昇している。図14Aに示すように、電圧 V_3 は、 $V_3 > V_{sub}$ の関係を満たす。

[0219] 次に、時刻 T_3 にリセット信号 Φ_{rst} をローレベルとし、リセットトランジスタ76をオフする。ここでは、リセットトランジスタ76が有する寄生容量に起因した電氣的なカップリングにより、リセットトランジスタ76のオフに伴って不純物領域60aの電位 V_{FD} が V_{2a} から V_{4a} に低下している。上述したように、電位 V_{FD} が基板電位 V_{sub} を下回ってしまうと、不純物領域60aに余計な正孔が流入してしまう。ただし、反転増幅器92の非反転増幅端子に印加する電圧 V_{ref} を適切に選択することにより、電位 V_{FD}

が基板電位 V_{sub} を下回ることを防止し得る。この例では、電圧 V_{ref} を適切に選択することによって $V_{4a} > V_{sub}$ の関係が満たされている。なお、空乏層をなるべく縮小する観点から、 $V_{4a} > V_{sub}$ の関係が満たされる限りにおいて V_{4a} が V_{sub} になるべく近い電圧であると有益である。

[0220] 上述したように、リセットトランジスタ 76 をオフとすることにより、 kTC ノイズが発生する。ただし、図 13 に例示する回路構成では、ノード FDa とノード RD との間に容量素子 $C3$ が介在しており、トランジスタ 78 がオフでない間は、容量素子 $C3$ をその経路に含むフィードバックループが形成された状態が継続する。そのため、トランジスタ 78 が出力する信号は、容量素子 $C3$ とノード FDa 自体が有する寄生容量とによって形成される減衰回路で減衰される。

[0221] リセットトランジスタ 76 のオフ後、信号 ϕ_{fb} をローレベルとし、トランジスタ 78 をオフとする。ここでは、時刻 $T4$ にリセットトランジスタ 76 をオフとするだけでなく、電圧供給回路 128 から制御線 81 に印加される電圧 V_c を第 2 電圧 V_B に切り替えている。

[0222] 図 14 A に模式的に示すように、トランジスタ 78 をオフすると、トランジスタ 78 が有する寄生容量に起因した電氣的なカップリングによって不純物領域 60b の電位 V_{RD} が低下する。この例では、トランジスタ 78 のオフに伴って、電位 V_{RD} が V_3 から V_{5a} に低下している。このとき、もし、 $V_{5a} < V_{sub}$ であると、不純物領域 60b に、ノイズの原因となる余計な正孔が流入してしまう。

[0223] 図 14 A 中の電圧 V_c のチャートからわかるように、ここでは、電圧供給回路 128 が、トランジスタ 78 をオンからオフに切り替えたタイミングで、電圧 V_c を第 1 電圧 V_A から第 1 電圧 V_A よりも高い第 2 電圧 V_B に切り替えるように構成されている。電圧 V_c を第 1 電圧 V_A から第 2 電圧 V_B に切り替えることにより、容量素子 $C2$ を介してノード RD の電位 V_{RD} を上昇させることができ、電位 V_{RD} が基板電位を下回ってしまうことを防止し得る。第 2 電圧 V_B の

具体的な値としては、トランジスタ 78 のソースドレイン間の寄生容量の大きさなどを考慮して、トランジスタ 78 のオフ時に電位 V_{RD} が $V_{5a} > V_{sub}$ の関係を満たすこととなるような電圧を選択すればよい。

[0224] なお、トランジスタ 78 のオフにおいては、トランジスタ 78 の閾値電圧を跨ぐように、信号線 88 の電位をハイレベルからローレベルに向けて徐々に低下させてもよい。信号線 88 の電位をハイレベルからローレベルに向けて徐々に低下させると、トランジスタ 78 の抵抗が徐々に増加する。トランジスタ 78 の抵抗が増加すると、トランジスタ 78 の動作帯域が狭くなり、帰還する信号の周波数領域が狭くなる。

[0225] 信号線 88 の電圧がローレベルに達すると、トランジスタ 78 がオフとなり、フィードバックループの形成が解消される。このとき、トランジスタ 78 の動作帯域が信号検出トランジスタ 72 の動作帯域よりも十分に低い帯域であると、トランジスタ 78 で発生する熱ノイズが、フィードバック回路 90 によって $1 / (1 + AB)^{1/2}$ 倍に抑制される。ここで、式中の A は、フィードバック回路 90 の利得であり、 B は、容量素子 C_3 とノード FDa の寄生容量とによって形成される減衰回路の減衰率である。減衰率 B は、容量素子 C_3 およびノード FDa の寄生容量の容量値をそれぞれ C_c および C_f とすれば、 $B = C_c / (C_c + C_f)$ と表される。したがって、容量素子 C_2 の容量値と比較して容量素子 C_3 の容量値 C_c になるべく小さい方が、熱ノイズの影響の低減に有利である。このように、トランジスタ 78 の動作帯域が信号検出トランジスタ 72 の動作帯域よりも低い状態でトランジスタ 78 をオフとすることにより、ノード FDa に残存する kTC ノイズを低減することが可能である。なお、本明細書において「トランジスタ 78 がオフである」とは、トランジスタ 78 が n 型のトランジスタであるとき、信号線 88 の電圧が、トランジスタ 78 の閾値電圧よりも低いローレベルとされていることを指し、トランジスタ 78 が p 型のトランジスタであるとき、信号線 88 の電圧が、トランジスタ 78 の閾値電圧よりも高いハイレベルとされていることを指す。

- [0226] トランジスタ 78 のオフ後、水平同期信号 H D の次のパルスが立ち上がる時刻 T 5 までの期間に、電荷蓄積ノードの電圧レベルに対応する第 2 の信号を読み出す。図 4 A および図 4 B を参照して説明した第 1 の例と同様に、第 1 の信号および第 2 の信号の差分 Δ が、画像信号として水平走査回路 124 に出力される。
- [0227] 以上に説明したように、この例では、電圧供給回路 128 は、リセットトランジスタ 76 がオンである第 1 の期間に、不純物領域 60 b に第 1 電圧 V_A を印加している。さらに、電圧供給回路 128 は、リセットトランジスタ 76 がオフとされた後であってトランジスタ 78 がオフに切り替えられた第 2 の期間に、第 2 電圧 V_B を不純物領域 60 b に印加している。
- [0228] 第 2 の実施形態によれば、リセットトランジスタ 76 およびトランジスタ 78 をオンとしたときの不純物領域 60 a の電位 V_{2a} と、トランジスタ 78 をさらにオフとしたときの不純物領域 60 a の電位 V_{4a} とを、基板電位 V_{sub} を下回することを抑制しながら、基板電位 V_{sub} に近いなるべく低い電位とすることが可能である。また、不純物領域 60 b に関しても、トランジスタ 78 をオンとしたときの電位 V_3 と、その後にトランジスタ 78 をオフとしたときの電位 V_{5a} とを、基板電位 V_{sub} を下回することを抑制しながら、基板電位 V_{sub} に近いなるべく低い電位とすることが可能である。したがって、トランジスタ 78 を介した、電氣的なカップリングによる電位 V_{RD} の変動に起因する暗電流の発生を抑制して、暗電流に起因する画質の劣化が抑制された画像信号を得ることができる。
- [0229] リセットトランジスタ 76 およびトランジスタ 78 に、n 型に代えて p 型のトランジスタを適用することも可能である。図 14 B は、画素 10 B f のリセットトランジスタ 76 およびトランジスタ 78 に p 型のトランジスタを適用したときの例示的な動作を説明するためのタイミングチャートである。図 4 B を参照して説明した例と同様に、ここでは、信号電荷として電子を用いた例を説明する。この場合、信号検出トランジスタ 72 およびアドレストランジスタ 74 も典型的には p 型のトランジスタである。

- [0230] 露光による信号電荷の蓄積後、まず、時刻 T_1 においてアドレス信号 Φ_{se1} をローレベルとし、第1の信号を読み出す。次に、時刻 T_2 にリセットトランジスタ76およびトランジスタ78をオンとし、フィードバックループを形成する。フィードバックループの形成により、ノード FD_a の電位が、垂直信号線89の電圧が V_{ref} となるような電圧 V_{2b} にリセットされる。このとき、電圧 V_{ref} として、 $V_{2b} < V_{sub}$ の関係が満たされるような電圧を用いる。また、この例では、リセットトランジスタ76およびトランジスタ78のオンに伴ってノード RD の電位 V_{RD} が V_3 に上昇している。電圧 V_3 は、 $V_3 < V_{sub}$ の関係を満たす。
- [0231] 次に、時刻 T_3 にリセットトランジスタ76をオフする。ここでは、リセットトランジスタ76のオフに伴って不純物領域60aの電位 V_{FD} が V_{2b} から V_{4b} に上昇している。電位 V_{FD} が基板電位 V_{sub} を上回ってしまうと暗電流が生じてしまうので、電位 V_{FD} が基板電位 V_{sub} を超えないように、反転増幅器92の非反転増幅端子に印加する電圧 V_{ref} を適切に選択する。空乏層をなるべく縮小する観点からは、 $V_{4b} < V_{sub}$ の関係が満たされる限りにおいて V_{4b} が V_{sub} になるべく近い電圧であると有益である。
- [0232] リセットトランジスタ76のオフ後、時刻 T_4 に、トランジスタ78をオフとする。このとき、トランジスタ78の閾値電圧を跨ぐように信号線88の電位をローレベルからハイレベルに向けて徐々に上昇させることにより、トランジスタ78をオフとしてもよい。トランジスタ78をオフすると、トランジスタ78が有する寄生容量に起因した電氣的なカップリングによって不純物領域60bの電位 V_{RD} が上昇し得る。この例では、トランジスタ78のオフに伴って、電位 V_{RD} が V_3 から V_{5b} に上昇している。
- [0233] このとき、もし、 $V_{5b} > V_{sub}$ であると、不純物領域60bに、ノイズの原因となる余計な電荷が混入してしまう。図14Bに示すように、トランジスタ78をオフとするだけでなく、電圧供給回路128から制御線81に印加される電圧 V_c を、第1電圧 V_A よりも低い第2電圧 V_B に切り替えることにより、容量素子C2を介してノード RD の電位 V_{RD} を低下させることがで

き、電位 V_{RD} が基板電位を上回ってしまうことを防止し得る。

[0234] トランジスタ 78 のオフ後、水平同期信号 $H D$ の次のパルスが立ち上がる時刻 $T 5$ までの期間に、電荷蓄積ノードの電圧レベルに対応する第 2 の信号を読み出す。第 1 の信号および第 2 の信号の差分 Δ が、画像信号として水平走査回路 124 に出力される。

[0235] このように、トランジスタ 78 のオフのタイミングで電圧 V_c を第 1 電圧 V_A から第 1 電圧 V_A よりも低い第 2 電圧 V_B に切り替えることにより、リセットトランジスタ 76 およびトランジスタ 78 に p 型のトランジスタを適用した場合であっても、トランジスタ 78 を介した、電氣的なカップリングによる電位 V_{RD} の変動に起因する暗電流の発生を抑制することが可能である。

[0236] (第 2 の実施形態の変形例)

図 15 は、本開示の第 2 の実施形態による撮像装置の変形例を示す。図 15 に示す画素 10Bp は、図 12 に示す画素 10B の光電変換部 50A を光電変換部 50B に置き換えた回路構成を有する。

[0237] 画素 10Bp を有する撮像装置 100 の動作は、例えば、図 14A または図 14B を参照して説明した動作と同様であり得る。すなわち、リセットトランジスタ 76 がオンである第 1 の期間に、不純物領域 60b に第 1 電圧 V_A を印加し、リセットトランジスタ 76 がオフとされた後であってトランジスタ 78 がオフに切り替えられた第 2 の期間に、不純物領域 60b に第 2 電圧 V_B を印加するような動作を適用し得る。

[0238] 図 15 に示す回路構成によれば、図 12 に示す画素 10B と同様に、電圧 V_c を第 1 電圧 V_A から第 2 電圧 V_B に切り替えることにより、浮遊ノードであるノード $R D$ の電位を、容量素子 $C 2$ を介して例えば上昇させることができる。したがって、トランジスタ 78 のオフに起因して不純物領域 60b の電位 V_{RD} が基板電位 V_{sub} を下回ってしまうことを回避して、暗電流を抑制し得る。なお、図 6 に示す画素 10Aq と同様に、信号検出トランジスタ 72 のゲートと光電変換部 50B との間に転送トランジスタ 79 がさらに接続されてもよい。

[0239] 図16は、本開示の第2の実施形態による撮像装置の他の変形例を示す。

図16に示す画素10Brも、上述の画素10の一例である。図16に示す画素10Brと、図12を参照して説明した画素10Bとの間の主な相違点は、画素10Brでは、トランジスタ78およびリセットトランジスタ76の間のノードRDではなく、トランジスタ78のソースおよびドレインのうちリセットトランジスタ76に接続されていない側に電圧供給回路128が電氣的に接続されている点である。すなわち、図16に示す例では、電圧供給回路128に接続された制御線81が、トランジスタ78のソースおよびドレインのうちリセットトランジスタ76に接続されていない側に接続されている。

[0240] (撮像装置100の動作の第3の例)

図17Aは、図16に示す回路構成を有する画素10Brの例示的な動作を説明するためのタイミングチャートである。図14Aを参照して説明した動作例と比較して、図17Aに示す動作例は、制御線81に印加する電圧を第1電圧 V_A および第2電圧 V_B の間で切り替えるタイミングが異なっている。

[0241] 露光による信号電荷の蓄積後、まず、時刻T1においてアドレス信号 ϕ_{se1} をハイレベルとし、電荷蓄積ノードに蓄積された信号電荷に応じた電圧レベルの第1の信号を読み出す。

[0242] 次に、時刻T2にリセット信号 ϕ_{rst} および信号 ϕ_{fb} をハイレベルとし、リセットトランジスタ76およびトランジスタ78をオンとする。電圧 V_c のチャートからわかるように、ここでは、電圧供給回路128は、時刻T2の時点で制御線81に第1電圧 V_A を印加している。したがって、リセットトランジスタ76およびトランジスタ78のオンにより、不純物領域60aの電位 V_{FD} および不純物領域60bの電位 V_{RD} は、 V_A に変化する。第1電圧 V_A として、基板コンタクトに印加されて基板電位 V_{sub} を与える電圧よりも大きな電圧を適用することにより、不純物領域60aの電位 V_{FD} および不純物領域60bの電位 V_{RD} が半導体基板60の基板電位 V_{sub} を下回ってしまうことを回避できる。

- [0243] 次に、時刻T 3 にリセットトランジスタ7 6 をオフとする。リセットトランジスタ7 6 をオフすると、リセットトランジスタ7 6 が有する寄生容量に起因した電氣的なカップリングにより、不純物領域6 0 a の電位 V_{FD} が V_A から低下し得る。このとき、リセットトランジスタ7 6 のオフに起因して不純物領域6 0 a の電位 V_{FD} が基板電位 V_{sub} を下回ってしまうと、不純物領域6 0 a に余計な正孔が流入してしまう。
- [0244] しかしながら、図1 7 A に示す例では、電圧供給回路1 2 8 が、制御線8 1 に印加する電圧をリセットトランジスタ7 6 のオフのタイミングで第1 電圧 V_A から第2 電圧 V_B に切り替えている。このとき、トランジスタ7 8 は、オン状態であり、図1 7 A に示すように、不純物領域6 0 b の電位 V_{RD} は、 V_B に変化する。
- [0245] 上述したように、電界効果トランジスタは、ソースドレイン間に寄生容量を有し、オフとされた状態では容量として機能する。したがって、制御線8 1 に印加する電圧を第1 電圧 V_A から第2 電圧 V_B に上昇させることにより、オフ状態のリセットトランジスタ7 6 を介して、不純物領域6 0 a の電位 V_{FD} を上昇させることが可能である。第1 電圧 V_A および第2 電圧 V_B の具体的な値を適切に選択することにより、リセットトランジスタ7 6 のオフに伴う電位 V_{FD} の低下分を縮小または相殺でき、結果として、不純物領域6 0 a の電位 V_{FD} が基板電位 V_{sub} を下回ってしまうことを回避し得る。この例では、不純物領域6 0 a の電位 V_{FD} が、 $V_{6a} > V_{sub}$ の関係を満たす V_{6a} に変化している。
- [0246] 次に、時刻T 4 にトランジスタ7 8 をオフとする。この例では、トランジスタ7 8 のオフのタイミングで、制御線8 1 に印加する電圧を第2 電圧 V_B から第1 電圧 V_A に戻している。このとき、トランジスタ7 8 を介した電氣的なカップリングにより、トランジスタ7 8 のオフに起因して不純物領域6 0 b の電位 V_{RD} が低下し得る。この例では、不純物領域6 0 b の電位 V_{RD} が V_B から V_{7a} に低下している。
- [0247] ただし、ここでは、トランジスタ7 8 のオフ直前の不純物領域6 0 b の電

位 V_{RD} が V_B である。基板電位 V_{sub} に近い第 1 電圧 V_A よりも高い第 2 電圧 V_B が印加された状態でトランジスタ 78 がオフとされているので、電位 V_{RD} が基板電位 V_{sub} を下回ってしまうことを回避し得る。図 17A に示すように、ここでは、 $V_{7a} > V_{sub}$ の関係が成立している。第 2 電圧 V_B としては、 $V_{7a} > V_{sub}$ の関係が満たされるような電圧を用いればよい。 $V_{7a} > V_{sub}$ の関係が満たされる限りにおいてなるべく低い電圧を第 2 電圧 V_B として用いると、空乏層の縮小に有利である。制御線 81 に印加する電圧をトランジスタ 78 のオフのタイミングで切り替えず、時刻 T4 以降も制御線 81 に第 2 電圧 V_B を印加し続けてもかまわない。なお、リセットトランジスタ 76 のソースドレイン間に寄生容量は、比較的小さく、そのため、不純物領域 60b の電位 V_{RD} が V_B から V_{7a} に低下しても不純物領域 60a の電位 V_{FD} にはほとんど影響が生じない。

[0248] トランジスタ 78 のオフ後、水平同期信号 HD の次のパルスが立ち上がる時刻 T5 までの期間に、電荷蓄積ノードの電圧レベルに対応する第 2 の信号を読み出す。第 1 の信号および第 2 の信号の差分 Δ が、画像信号として水平走査回路 124 に出力される。

[0249] 図 17A に示す第 3 の例において、電圧供給回路 128 が、リセットトランジスタ 76 がオンである第 1 の期間に不純物領域 60b に第 1 電圧 V_A を印加する点は、図 14A を参照して説明した例と共通である。ただし、この例では、電圧供給回路 128 は、トランジスタ 78 がオンとされた期間のうち、第 1 の期間を除く期間に、第 2 電圧 V_B を不純物領域 60b に印加している。このような制御によっても、不純物領域 60b の電位 V_{RD} が基板電位 V_{sub} を下回ってしまうことを回避し得る。また、オフ状態のリセットトランジスタ 76 を介した電氣的なカップリングによる、不純物領域 60a の電位 V_{FD} の変動に起因した暗電流の発生を抑制することが可能である。

[0250] なお、図 16 に例示する回路構成に、図 14A を参照して説明した例と同様の制御を適用することも可能である。再び図 14A を参照する。図 14A に示す例では、時刻 T4 においてトランジスタ 78 がオフとされる。この点

は、ここで説明した第3の例と共通である。トランジスタ78がオフとされると、上述したように、トランジスタ78を介した電氣的なカップリングによって不純物領域60bの電位 V_{RD} が低下し得る。ただし、図14Aに示すように、制御線81に印加する電圧をトランジスタ78のオフのタイミングで第2電圧 V_B に切り替えることにより、トランジスタ78を介した電氣的なカップリングに起因する電位の低下分を低減可能である。これは、時刻T4以降、トランジスタ78はオフ状態であり、ソースドレイン間が非導通状態となるものの、ソースドレイン間に寄生容量を有するので、トランジスタ78が容量として機能するからである。すなわち、トランジスタ78の寄生容量による電氣的なカップリングを利用して、不純物領域60bの電位 V_{RD} を制御し得る。トランジスタ78を介した電位 V_{RD} の制御により、トランジスタ78のオフに伴って電位 V_{RD} が基板電位 V_{sub} を下回ってしまうことを回避して、不純物領域60bへの余計な正孔の流入を防止し得る。

[0251] このように、オフ後のトランジスタ78は、図12に示す容量素子C2と同様の機能を発揮し得る。ただし、ソースドレイン間の寄生容量の容量値は一般に比較的小さい。そのため、図12に例示する回路構成のように、より大きな容量値を有する容量素子C2を介して電圧供給回路128をノードRDに接続した方が、第1電圧 V_A および第2電圧 V_B としてより小さな電圧差の電圧を適用しながらも、不純物領域60bの電位 V_{RD} をより大きく変動させ得る。換言すれば、図16に示す回路構成よりも、図12に示す回路構成の方が、トランジスタ78のオフに伴う電位 V_{RD} の低下をより効果的に低減できるので、より基板電位 V_{sub} に近い電圧を第1電圧 V_A として用いることが可能になる。

[0252] 図17Bは、画素10Brのリセットトランジスタ76、トランジスタ78、信号検出トランジスタ72およびアドレストランジスタ74にp型のトランジスタを適用し、信号電荷として電子を用いたときの例示的な動作を示す。以下に説明するように、図17Bに示す動作例において、制御線81に印加する電圧を第1電圧 V_A および第2電圧 V_B の間で切り替えるタイミングは

、図 1 7 A を参照して説明した動作例と共通である。ただし、ここでは、第 2 電圧 V_B として、第 1 電圧 V_A よりも低い電圧を用いる。

[0253] 図 1 7 B に示す例では、露光による信号電荷の蓄積後、まず、時刻 T_1 においてアドレストランジスタ 7 4 をオンとし、電荷蓄積ノードに蓄積された信号電荷に応じた電圧レベルの第 1 の信号を読み出す。次に、時刻 T_2 にリセット信号 ϕ_{rst} および信号 ϕ_{fb} をローレベルとし、リセットトランジスタ 7 6 およびトランジスタ 7 8 をオンとする。ここでは、電圧供給回路 1 2 8 は、時刻 T_2 の時点で制御線 8 1 に第 1 電圧 V_A を印加しているので、不純物領域 6 0 a の電位 V_{FD} および不純物領域 6 0 b の電位 V_{RD} は、 V_A に変化する。第 1 電圧 V_A としては、電位 V_{FD} および電位 V_{RD} が基板電位 V_{sub} を上回ってしまうように、基板電位 V_{sub} を与える電圧よりも低い電圧を用いる。

[0254] 次に、時刻 T_3 にリセットトランジスタ 7 6 をオフとする。リセットトランジスタ 7 6 をオフすると、リセットトランジスタ 7 6 が有する寄生容量に起因した電氣的なカップリングにより、不純物領域 6 0 a の電位 V_{FD} が V_A から上昇し得る。このとき、図 1 7 B に示すように、制御線 8 1 に印加する電圧をリセットトランジスタ 7 6 のオフのタイミングで第 1 電圧 V_A から第 1 電圧 V_A よりも低い第 2 電圧 V_B に切り替えることにより、不純物領域 6 0 b の電位 V_{RD} が V_B に変化する。また、制御線 8 1 に印加する電圧を第 1 電圧 V_A から第 2 電圧 V_B に切り替えることにより、オフ状態のリセットトランジスタ 7 6 を介して、不純物領域 6 0 a の電位 V_{FD} を低下させることができる。これにより、リセットトランジスタ 7 6 のオフに伴って不純物領域 6 0 a の電位 V_{FD} が基板電位 V_{sub} を上回ってしまうことを回避し得る。この例では、不純物領域 6 0 a の電位 V_{FD} が、 $V_{6b} < V_{sub}$ の関係を満たす V_{6b} に変化している。

[0255] 次に、時刻 T_4 にトランジスタ 7 8 をオフするとともに、トランジスタ 7 8 のオフのタイミングで、制御線 8 1 に印加する電圧を第 2 電圧 V_B から第 1 電圧 V_A に戻す。このとき、トランジスタ 7 8 を介した電氣的なカップリン

グにより、不純物領域60bの電位 V_{RD} が上昇し得る。ただし、ここでは、基板電位 V_{sub} に近い第1電圧 V_A よりも低い第2電圧 V_B が制御線81に印加された状態でトランジスタ78がオフとされており、トランジスタ78のオフ直後の不純物領域60bの電位 V_{RD} を V_{7b} とすれば、 $V_{7b} < V_{sub}$ の関係が成立している。すなわち、電位 V_{RD} が基板電位 V_{sub} を上回ってしまうことが回避されている。

[0256] トランジスタ78のオフ後、水平同期信号HDの次のパルスが立ち上がる時刻T5までの期間に、電荷蓄積ノードの電圧レベルに対応する第2の信号を読み出す。第1の信号および第2の信号の差分 Δ が、画像信号として水平走査回路124に出力される。

[0257] このような制御によれば、不純物領域60bの電位 V_{RD} が基板電位 V_{sub} を上回ってしまうことを回避し得る。また、オフ状態のリセットトランジスタ76を介した電氣的なカップリングによる、不純物領域60aの電位 V_{FD} の変動に起因した暗電流の発生を抑制することが可能である。なお、図16に示す画素10Brのリセットトランジスタ76、トランジスタ78、信号検出トランジスタ72およびアドレストランジスタ74にp型のトランジスタを適用し、信号電荷として電子を用いる場合には、図14Bを参照して説明した例と同様の制御も適用し得る。

[0258] 図18は、本開示の第2の実施形態による撮像装置のさらに他の変形例を示す。図18に示す画素10Bqは、図16に示す画素10Brの光電変換部50Aを光電変換部50Bに置き換えた回路構成を有する。画素10Bqを有する撮像装置100の動作は、図17Aまたは図17Bを参照して説明した動作と同様であり得る。すなわち、トランジスタ78がオンとされた期間のうち、リセットトランジスタ76がオンである第1の期間を除く期間に、第2電圧 V_B を不純物領域60bに印加するような動作を適用し得る。このような制御によれば、例えば、不純物領域60bの電位 V_{RD} が基板電位 V_{sub} を下回ってしまうことを回避し得る。

[0259] なお、図18に例示する回路構成に、図14Aおよび図14Bを参照して

説明した動作と同様の動作が適用されてもよい。図6に示す画素10Aqと同様に、信号検出トランジスタ72のゲートと光電変換部50Bとの間に転送トランジスタ79がさらに接続されてもよい。

[0260] (第3の実施形態)

図19Aおよび図19Bは、本開示の第3の実施形態による撮像装置が有する画素の回路構成の一例を模式的に示す。図19Aに示す撮像装置140は、画素10Dを有する。図3を参照して説明した回路構成と同様に、画素10Dは、信号検出トランジスタ72、アドレストランジスタ74およびリセットトランジスタ76の3つのトランジスタを画素10D内に有する。図19Bに示す画素10Dpは、図19Aに示す画素10Dの光電変換部50Aを光電変換部50Bに置き換えた回路構成を有する。

[0261] 図19Aに示す画素10Dと、図3を参照して説明した画素10Aとの間の主な相違点は、画素10Dでは、ノードFDaに電圧供給回路128は接続されておらず、ノードFDaとアドレス信号線84とが容量素子C1を介して電氣的に結合されている点である。画素10Dは、層間絶縁層40内に制御線81が配置されないこと以外は、図2を参照して説明したデバイス構造と同様のデバイス構造を有し得る。図19Bに示す画素10Dpにおいても図19Aに示す画素10Dと同様に、容量素子C1の端子のうち、ノードFDbに接続されていない側の端子は、アドレス信号線84に接続されている。

[0262] 容量素子C1の端子のうち、アドレス信号線84に接続された端子には、アドレス信号Φselが入力される。したがって、これらの例示的な回路は、アドレス信号Φselの制御により、ノードFDaまたはノードFDbの電位を制御することが可能な構成を有する。ただし、容量素子C1の端子の一方にアドレス信号線84が接続されることは必須ではない。例えば信号電荷として正孔を利用する場合であれば、容量素子C1のうち、ノードFDaまたはノードFDbに接続された側とは反対側の端子には、リセット期間にハイレベルであり、行選択時でない期間にローレベルであるような制御信号

が入力されていればよい。例えば、容量素子C 1のうち、ノードF D aまたはノードF D bに接続された側とは反対側の端子に、リセット信号 Φ_{rst} または他の制御信号が入力されるような構成もあり得る。

[0263] 図20は、図19Aに示す回路構成を有する画素10Dの例示的な動作を説明するためのタイミングチャートである。図4Cを参照して説明した動作シーケンスと比較して、図20に例示する動作シーケンスでは、アドレス信号 Φ_{sel} が、図4Cに示す電圧 V_c の役割も果たす図20中、 Φ_H は、ハイレベルの信号 Φ_H を表し、 Φ_L は、ローレベルの信号 Φ_L を表す。ここでは、ローレベルの信号 Φ_L が第1電圧 V_A に対応し、ハイレベルの信号 Φ_H が第2電圧 V_B に対応する。

[0264] 画素10Dにおいて、ノードF D aは、容量素子C 1を介してアドレス信号線84と容量結合している。そのため、時刻T 1においてアドレス信号 Φ_{sel} をハイレベルにすることにより、ノードF D aの電位を上昇させることができる。このときの電位の変動量 ΔV_{FD} は、下記の式(2)で表される。

$$[0265] \quad \Delta V_{FD} = (\Phi_H - \Phi_L) (C_1 / (C_1 + C_{FD})) \quad (2)$$

時刻T 4においてアドレス信号 Φ_{sel} をローレベルの Φ_L にすることにより、ノードF D aの電位は、上記の式(2)で表される ΔV_{FD} だけ低下する。このように、アドレス信号 Φ_{sel} を用いて電荷蓄積ノードの電位を制御することも可能であり、図20に示すように、例えば、アドレス信号 Φ_{sel} をローレベルの Φ_L に戻したときのノードF D aの電位をリセット電圧 V_r よりも低い電位 V_{1f} に設定することができる。なお、行選択時かつリセット実行後の不純物領域60aの電位 V_{FD} は、リセット電圧 V_r に持ち上げられた状態であるので、信号検出トランジスタ72の後段回路において動作可能な電圧範囲で正常に第2の信号の読み出しを実行することが可能である。

[0266] 第3の実施形態によれば、例えばアドレス信号 Φ_{sel} を用いて容量結合を通して電荷蓄積ノードの電位が制御されるので、信号線の数減らすことができる。これにより画素の小型化を図ることができる。なお、容量素子C

1 としては、上述のM I S構造、M I M構造などを有する素子に限定されない。例えば配線間の寄生容量などによって容量素子C 1 が実現されてもよい。例えば、信号検出トランジスタ7 2 のゲートと信号線などの配線との間の寄生容量によって容量素子C 1 を実現してもよい。

[0267] (第4の実施形態)

図2 1 は、本開示の第4の実施形態による撮像装置が有する画素の回路構成の一例を模式的に示す。図2 1 に示す撮像装置1 5 0 は、画素1 0 Cを有する。図3を参照して説明した回路構成と同様に、画素1 0 Cは、信号検出トランジスタ7 2、アドレストランジスタ7 4およびリセットトランジスタ7 6の3つのトランジスタを画素1 0 C内に有する。これら信号検出トランジスタ7 2、アドレストランジスタ7 4およびリセットトランジスタ7 6の3つのトランジスタは、光電変換部5 0 Aに電氣的に接続されたノードF D aに蓄積される信号電荷を検出する検出回路9 5を構成する。ただし、図3に示す画素1 0 Aと比較して、図2 1 に示す画素1 0 CのノードF D aには、電圧供給回路1 2 8は接続されていない。画素1 0 Cは、層間絶縁層4 0内に制御線8 1が配置されないこと以外は、図2を参照して説明したデバイス構造と同様のデバイス構造を有し得る。

[0268] (撮像装置1 5 0の動作の例)

図2 2 Aは、図2 1 に示す回路構成を有する画素1 0 Cの例示的な動作を説明するためのタイミングチャートである。

[0269] 露光による信号電荷の蓄積後、時刻T 1にアドレストランジスタ7 4をオンとし、電荷蓄積ノードに蓄積された信号電荷に応じた電圧レベルの第1の信号を読み出す点は、上述の典型例と同様である。その後、第1の例と同様に、時刻T 2にリセット信号 ϕ_{rst} をハイレベルとし、リセットトランジスタ7 6をオンとして電荷蓄積ノードからリセットトランジスタ7 6を介して信号電荷を排出する。このとき、不純物領域6 0 aの電位 V_{FD} は、 V_r に変化する。なお、ここでは、 $V_r > V_{sub}$ である。

[0270] 次に、時刻T 3にリセット信号 ϕ_{rst} をローレベルとし、リセットトラ

ンジスタ76をオフとする。リセットトランジスタ76をオフすると、リセットトランジスタ76が有する寄生容量に起因した電氣的なカップリングにより、不純物領域60aの電位 V_{FD} が V_r から低下する。ここで、例えば V_r が基板電位 V_{sub} に近い電圧であると、リセットトランジスタ76のオフ後の電位 V_{FD} が基板電位 V_{sub} を下回ることがある。この例では、リセットトランジスタ76のオフによって、不純物領域60aの電位 V_{FD} が、 V_r から、 $V_{8a} < V_{sub}$ となる V_{8a} に低下している。

[0271] しかしながら、図22Aに示す例では、時刻 T_4 に、リセットトランジスタ76のゲートに印加されるリセット信号 Φ_{rst} を、ハイレベルの信号 Φ_H よりも低くかつローレベルの信号 Φ_L よりも高い、中間的な電圧レベルの信号 Φ_M に切り替えている。ただし、中間的な電圧レベルとしては、リセットトランジスタ76がオフ状態を維持するような電圧レベルを用いる。

[0272] リセットトランジスタ76のオフ状態を維持させたまま、リセット信号 Φ_{rst} をローレベルから中間的な電圧レベルの信号 Φ_M に上昇させることにより、リセットトランジスタ76のゲートドレイン間の寄生容量による電氣的なカップリングを利用して、不純物領域60aの電位 V_{FD} を基板電位 V_{sub} よりも高い電位に引き上げることができる。この例では、リセット信号 Φ_{rst} をローレベルの信号 Φ_L から中間的な電圧レベルの信号 Φ_M に上昇させることにより、不純物領域60aの電位 V_{FD} が、 $V_{9a} > V_{sub}$ を満たす V_{9a} に上昇している。

[0273] リセット信号 Φ_{rst} をローレベルの信号 Φ_L から中間的な電圧レベルの信号 Φ_M に上昇させた後、水平同期信号 HD の次のパルスが立ち上がる時刻 T_5 までの期間に、信号電荷の排出後、すなわち、リセット後の電荷蓄積ノードの電圧レベルに対応する第2の信号を読み出す。すなわち、この例では、不純物領域60aの電位 V_{FD} が基板電位 V_{sub} よりも高くされた状態で第2の信号の読み出しが実行されている。

[0274] このように、第1の信号の読み出しから第2の信号の読み出しまでの間において、不純物領域60aの電位 V_{FD} が基板電位 V_{sub} を一時的に下回って

もかまわない。ただし、リセット信号 Φ_{rst} をローレベルの信号 Φ_L から中間的な電圧レベルの信号 Φ_M に上昇させたときに電位 V_{FD} が基板電位 V_{sub} を上回るように、リセット信号線86に印加する中間的な電圧レベルを決定する。不純物領域60aの電位 V_{FD} が基板電位 V_{sub} を下回る期間がごく短時間であり、リセット後の不純物領域60aの電位 V_{FD} が基板電位 V_{sub} よりも高ければ、リセット後の電荷蓄積ノードの電圧レベルに対応する第2の信号への暗電流の影響を抑制し得る。

[0275] 図22Bは、図21に示す画素10Cのリセットトランジスタ76にp型のトランジスタを適用し、信号電荷として電子を用いたときの例示的な動作を説明するためのタイミングチャートである。n型トランジスタに代えて信号検出トランジスタ72、アドレストランジスタ74およびリセットトランジスタ76にp型のトランジスタを適用し、信号電荷として電子を用いる場合には、例えば以下の動作を適用し得る。

[0276] 露光による信号電荷の蓄積後、まず、時刻T1にアドレストランジスタ74をオンとし、電荷蓄積ノードに蓄積された信号電荷に応じた電圧レベルの第1の信号を読み出す。次に、時刻T2にリセット信号 Φ_{rst} をローレベルとしてリセットトランジスタ76をオンとし、電荷蓄積ノードから信号電荷を排出する。このとき、不純物領域60aの電位 V_{FD} は、 V_r であり、この例では、 $V_r < V_{sub}$ である。

[0277] 次に、時刻T3にリセット信号 Φ_{rst} をハイレベルの信号 Φ_H とし、リセットトランジスタ76をオフとする。この例では、リセットトランジスタ76のオフによって、不純物領域60aの電位 V_{FD} が、 V_r から、 $V_{8b} > V_{sub}$ となる V_{8b} に上昇している。その後、時刻T4に、リセットトランジスタ76のゲートに印加されるリセット信号 Φ_{rst} を、ローレベルの信号 Φ_L とハイレベルの信号 Φ_H との間の中間的な電圧レベルの信号 Φ_M に切り替える。この例では、中間的な電圧レベルの信号 Φ_M は、ローレベルの信号 Φ_L よりも高く、ハイレベルの信号 Φ_H よりも低い。ここでも、中間的な電圧レベルとしては、リセットトランジスタ76がオフ状態を維持するような電圧レベルを

用いる。

[0278] リセットトランジスタ76のオフ状態を維持させたまま、リセット信号 Φ_{rst} をハイレベルから中間的な電圧レベルの信号 Φ_M に低下させることにより、リセットトランジスタ76を介した電氣的なカップリングを利用して、不純物領域60aの電位 V_{FD} を基板電位 V_{sub} よりも低い電位に引き下げることができる。この例では、リセット信号 Φ_{rst} をハイレベルの信号 Φ_H から中間的な電圧レベルの信号 Φ_M に低下させることにより、不純物領域60aの電位 V_{FD} が、 $V_{9b} < V_{sub}$ を満たす V_{9b} に低下している。その後、時刻T5までの期間に、信号電荷の排出後の電荷蓄積ノードの電圧レベルに対応する第2の信号を読み出す。

[0279] この例では、第2の信号の読み出しの時点で、不純物領域60aの電位 V_{FD} は、基板電位 V_{sub} よりも低くされている。第2の信号の読み出しの時点で、不純物領域60aの電位 V_{FD} が基板電位 V_{sub} よりも低ければ、第1の信号の読み出しから第2の信号の読み出しまでの間において不純物領域60aの電位 V_{FD} が基板電位 V_{sub} を一時的に上回ってもかまわない。不純物領域60aの電位 V_{FD} が基板電位 V_{sub} を上回る期間がごく短時間であり、リセット後の不純物領域60aの電位 V_{FD} が基板電位 V_{sub} よりも低ければ、リセット後の電荷蓄積ノードの電圧レベルに対応する第2の信号への暗電流の影響を抑制し得る。

[0280] 第4の実施形態では、垂直走査回路122が、リセットトランジスタ76がオンとなる第1レベルの信号、リセットトランジスタ76がオフとなる第2レベルの信号、および、中間レベルの信号をリセットトランジスタ76のゲートに順次に印加することにより、不純物領域60aの電位のリセットを実行している。ここで、中間レベルの信号 Φ_M に対応する電圧は、第1レベルの信号に対応する電圧および第2レベルの信号に対応する電圧の間であってリセットトランジスタ76がオフ状態を維持できるような電圧である。図21に例示する回路構成において、リセットトランジスタ76のゲートへの中間レベルの信号 Φ_M の印加時に不純物領域60aの電位 V_{FD} が基板電位 V_{sub}

よりも高ければ、図22Aを参照して説明したように、リセット後の電荷蓄積ノードの電圧レベルに対応する第2の信号への暗電流の影響を抑制して、画質の劣化を回避し得る。このとき、リセットトランジスタ76のゲートへの第2レベルの信号の印加時に不純物領域60aの電位 V_{FD} が一時的に基板電位 V_{sub} を下回ってもよい。

[0281] 第4の実施形態によれば、回路が過度に複雑となることを避けながら、暗電流による画質の劣化を防止し得る。また、リセット後の電荷蓄積ノードの電圧レベルに対応する第2の信号の読み出し時の不純物領域60aの電位 V_{FD} を、例えば、基板電位 V_{sub} に近い、なるべく低い電位とできるので、暗電流の発生を効果的に抑制することが可能である。

[0282] (第4の実施形態の変形例)

図23は、本開示の第4の実施形態による撮像装置の変形例を示す。図23に示す画素10Cpは、図21に示す画素10Cの光電変換部50Aを光電変換部50Bに置き換えた回路構成を有する。

[0283] 画素10Cpを有する撮像装置100の動作は、図22Aおよび図22Bを参照して説明した動作と同様であり得る。図23に示す回路構成によれば、図21に示す画素10Cと同様に、回路が過度に複雑となることを避けながら、暗電流による画質の劣化を防止し得る。図6に示す画素10Aqと同様に、信号検出トランジスタ72のゲートと光電変換部50Bとの間に転送トランジスタ79がさらに接続されてもよい。

[0284] 以上に説明したように、本開示の実施形態によれば、例えば、浮遊ノードに含まれる不純物領域の電位を、容量を介して制御することが可能であり、不純物領域とその周辺との間に形成される空乏層を縮小して空乏層内に位置する格子欠陥の数を低減できる。あるいは、浮遊ノードに含まれる不純物領域とその周辺との間のpn接合に順方向電流が発生することによるノイズの混入を抑制可能である。したがって、暗電流に起因するSN比の低下が抑制された撮像装置が提供される。

[0285] 本開示の実施形態による撮像装置は、上述した例に限定されず、種々の改

変が可能である。電圧供給回路 128 などを含む周辺回路 120 の動作は、半導体基板 60、または、半導体基板 60 とは異なる他の基板に実装された制御回路からの指示に基づいて実行されてもよい。撮像装置に含まれる各回路は、LSI などの集積回路によって実現されてもよいし、それらの一部または全部が、単一の回路として 1 つのチップに集積されていてもよい。撮像装置に含まれる各回路は、FPGA (field-programmable gate array) として実現されてもよいし、リコンフィギュラブル・プロセッサなどであってもよい。撮像装置に含まれる各回路は、特定の処理に向けられた回路として実現されてもよいし、汎用の処理回路と、上述の実施形態に例示したような処理が記述されたプログラムとの組み合わせによって実現されてもよい。このプログラムは、半導体基板 60 または他の基板に形成されたメモリなどに格納され得る。

[0286] (第 5 の実施形態)

図 24 は、本開示の第 5 の実施形態によるカメラシステムの機能ブロックを模式的に示す。図 24 に示すカメラシステム 200 は、光学系 201 と、撮像装置 100 と、信号処理回路 203 と、システムコントローラ 204 と、表示装置 205 とを有する。カメラシステム 200 は、例えばスマートフォン、デジタルカメラおよびビデオカメラなどであり得る。

[0287] 光学系 201 は、例えば、光学ズームおよびオートフォーカス用のレンズを含むレンズ群および絞りを有する。撮像装置 100 としては、第 1～第 4 の実施形態で説明した撮像装置のいずれも適用し得る。

[0288] 信号処理回路 203 は、例えば DSP (Digital Signal Processor) である。信号処理回路 203 は、撮像装置 100 から出力データを受け取り、例えばガンマ補正、色補間処理、空間補間処理およびオートホワイトバランスなどの処理を行う。撮像装置 100 および信号処理回路 203 が、単一の半導体装置として実現されてもよい。半導体装置は、例えばいわゆる SOC (System on a Chip) であり得る。このような構成によれば、撮像装置 100 をその一部として含む電子機器をより小型化することができる。

[0289] システムコントローラ 204 は、カメラシステム 200 の全体を制御する。システムコントローラ 204 は、典型的には半導体集積回路であり、例えば CPU (Central Processing Unit) である。

[0290] 表示装置 205 は、例えば液晶ディスプレイまたは有機 EL ディスプレイである。表示装置 205 は、タッチパネルのような入力インタフェースを備えていてもよい。これにより、ユーザは、タッチペンを用いて、信号処理回路 203 の処理内容の選択および制御ならびに撮像条件の設定を、入力インタフェースを介して実行できる。

[0291] 上述の信号検出トランジスタ 72、アドレストランジスタ 74、リセットトランジスタ 76、トランジスタ 71、トランジスタ 78、負荷トランジスタ 73 および転送トランジスタ 79 の各々は、p チャンネル MOS であってもよい。上述したように、これらのトランジスタが p チャンネル MOS である場合には、第 2 電圧として、第 1 電圧よりも低い電圧を適用し得る。なお、信号検出トランジスタ 72、アドレストランジスタ 74、リセットトランジスタ 76、トランジスタ 71、トランジスタ 78、負荷トランジスタ 73 および転送トランジスタ 79 の全てが n チャンネル MOS または p チャンネル MOS のいずれかに統一されている必要はない。これらのトランジスタとして、電界効果トランジスタのほか、バイポーラトランジスタも用い得る。

産業上の利用可能性

[0292] 本開示の実施形態によれば、暗電流による影響を抑制して高画質で撮像が可能な撮像装置が提供される。本開示の撮像装置は、例えばイメージセンサ、デジタルカメラなどに有用である。本開示の撮像装置は、モバイル機器用カメラ、医療用カメラ、ロボット用カメラ、セキュリティカメラ、車両に搭載されて使用されるカメラなどに用いることができる。

符号の説明

[0293] 10、10A~10C、10Ap~10Ax 画素
10Bf、10Br、10Bp、10Bq 画素
10C、10Cp、10D、10Dp 画素

- 4 2 接続部
- 5 0 A、5 0 B 光電変換部
- 5 2 画素電極
- 5 4 光電変換層
- 5 6 対向電極
- 6 0 半導体基板
- 6 0 S 支持基板
- 6 0 a ~ 6 0 e 不純物領域
- 6 1 p 第 1 p 型半導体層
- 6 2 p 第 2 p 型半導体層
- 7 1 トランジスタ
- 7 2、7 2 d 信号検出トランジスタ
- 7 2 e 信号検出トランジスタのゲート電極
- 7 3 負荷トランジスタ
- 7 4 アドレストランジスタ
- 7 6 リセットトランジスタ
- 7 8 トランジスタ
- 7 9 転送トランジスタ
- 8 1 制御線
- 8 4 アドレス信号線
- 8 6 リセット信号線
- 8 8 信号線
- 8 9 垂直信号線
- 9 0、9 0 x フィードバック回路
- 9 4 電流源
- 9 5 検出回路
- 1 0 0、1 4 0、1 5 0 撮像装置
- 1 1 0 画素アレイ

- 1 2 0 周辺回路
- 1 2 2 垂直走査回路
- 1 2 8 電圧供給回路
- 2 0 0 カメラシステム
- C 1 ～ C 3 容量素子

請求の範囲

- [請求項1] n型の導電型の第1不純物領域を有する半導体基板と、
前記第1不純物領域に電氣的に接続され、光を電荷に変換する光電変換部と、
第1端子および第2端子を有し、前記第1端子が前記第1不純物領域に電氣的に接続された容量素子と、
前記第2端子に電氣的に接続された電圧供給回路とを備え、
前記電圧供給回路は、互いに異なる第1の電圧および第2の電圧を前記第2端子に供給し、
前記第1不純物領域は、前記光電変換部で生じた電荷のうち正電荷を蓄積する、撮像装置。
- [請求項2] 前記第1不純物領域をソースおよびドレインの一方として含む第1トランジスタをさらに備え、
前記電圧供給回路は、前記第1トランジスタがオンである第1期間に前記第1電圧を前記第2端子に供給し、前記第1期間の後かつ前記第1トランジスタがオフである第2期間に前記第2電圧を前記第2端子に供給する、請求項1に記載の撮像装置。
- [請求項3] 前記第1不純物領域をソースおよびドレインの一方として含む第1トランジスタをさらに備え、
前記電圧供給回路は、前記正電荷を前記第1不純物領域に蓄積する第1期間に前記第1電圧を前記第2端子に供給し、前記第1期間の後かつ前記第1トランジスタがオンである第2期間に前記第2電圧を前記第2端子に供給する、請求項1に記載の撮像装置。
- [請求項4] 前記半導体基板は、第2不純物領域を有し、
前記第1トランジスタは、前記第2不純物領域をソースおよびドレインの他方として含み、
前記第1端子は、前記第2不純物領域に接続されている、請求項2

または 3 に記載の撮像装置。

[請求項5] 前記第 2 電圧は、前記第 1 電圧よりも高い、請求項 2 から 4 のいずれか一項に記載の撮像装置。

[請求項6] p 型の導電型の第 1 不純物領域を有する半導体基板と、
前記第 1 不純物領域に電氣的に接続され、光を電荷に変換する光電変換部と、
第 1 端子および第 2 端子を有し、前記第 1 端子が前記第 1 不純物領域に電氣的に接続された容量素子と、
前記第 2 端子に電氣的に接続された電圧供給回路とを備え、
前記電圧供給回路は、互いに異なる第 1 の電圧および第 2 の電圧を前記第 2 端子に供給し、
前記第 1 不純物領域は、前記光電変換部で生じた電荷のうち負電荷を蓄積する、撮像装置。

[請求項7] 前記第 1 不純物領域をソースおよびドレインの一方として含む第 1 トランジスタをさらに備え、
前記電圧供給回路は、前記第 1 トランジスタがオンである第 1 期間に前記第 1 電圧を前記第 2 端子に供給し、前記第 1 期間の後かつ前記第 1 トランジスタがオフである第 2 期間に前記第 2 電圧を前記第 2 端子に供給する、請求項 6 に記載の撮像装置。

[請求項8] 前記第 1 不純物領域をソースおよびドレインの一方として含む第 1 トランジスタをさらに備え、
前記電圧供給回路は、前記負電荷を前記第 1 不純物領域に蓄積する第 1 期間に前記第 1 電圧を前記第 2 端子に供給し、前記第 1 期間の後かつ前記第 1 トランジスタがオンである第 2 期間に前記第 2 電圧を前記第 2 端子に供給する、請求項 6 に記載の撮像装置。

[請求項9] 前記半導体基板は、第 2 不純物領域を有し、
前記第 1 トランジスタは、前記第 2 不純物領域をソースおよびドレ

インの他方として含み、

前記第 1 端子は、前記第 2 不純物領域に接続されている、請求項 7 または 8 に記載の撮像装置。

[請求項10] 前記第 2 電圧は、前記第 1 電圧よりも低い、請求項 7 から 9 のいずれか一項に記載の撮像装置。

[請求項11] 前記容量素子および前記第 1 不純物領域は、前記光電変換部で生じた電荷のうち一方の極性の電荷を蓄積する電荷蓄積ノードの少なくとも一部であり、

前記容量素子の容量値は、前記電荷蓄積ノードのうち前記容量素子以外の部分の容量値よりも小さい、請求項 1 から 10 のいずれか一項に記載の撮像装置。

[請求項12] 前記光電変換部は、

第 1 電極と、

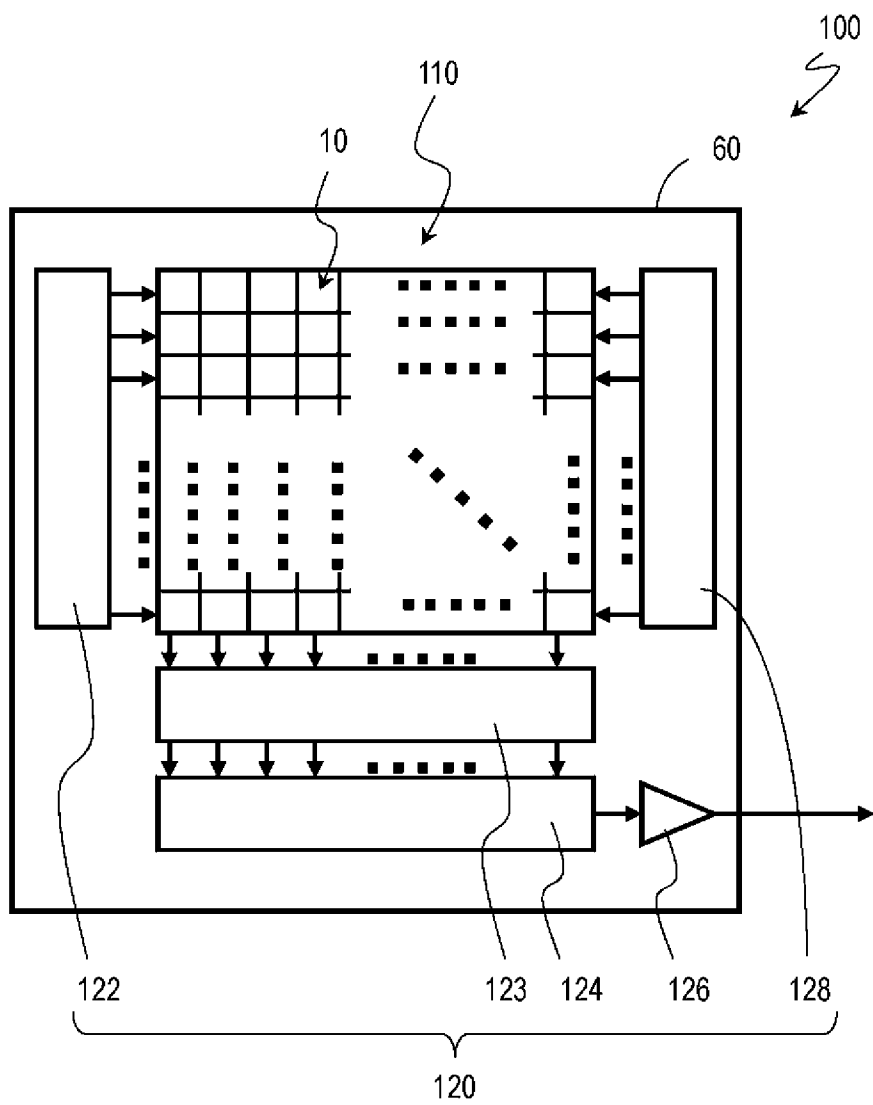
前記第 1 電極に対向する第 2 電極と、

前記第 1 電極および前記第 2 電極の間に位置する光電変換層とを有し、

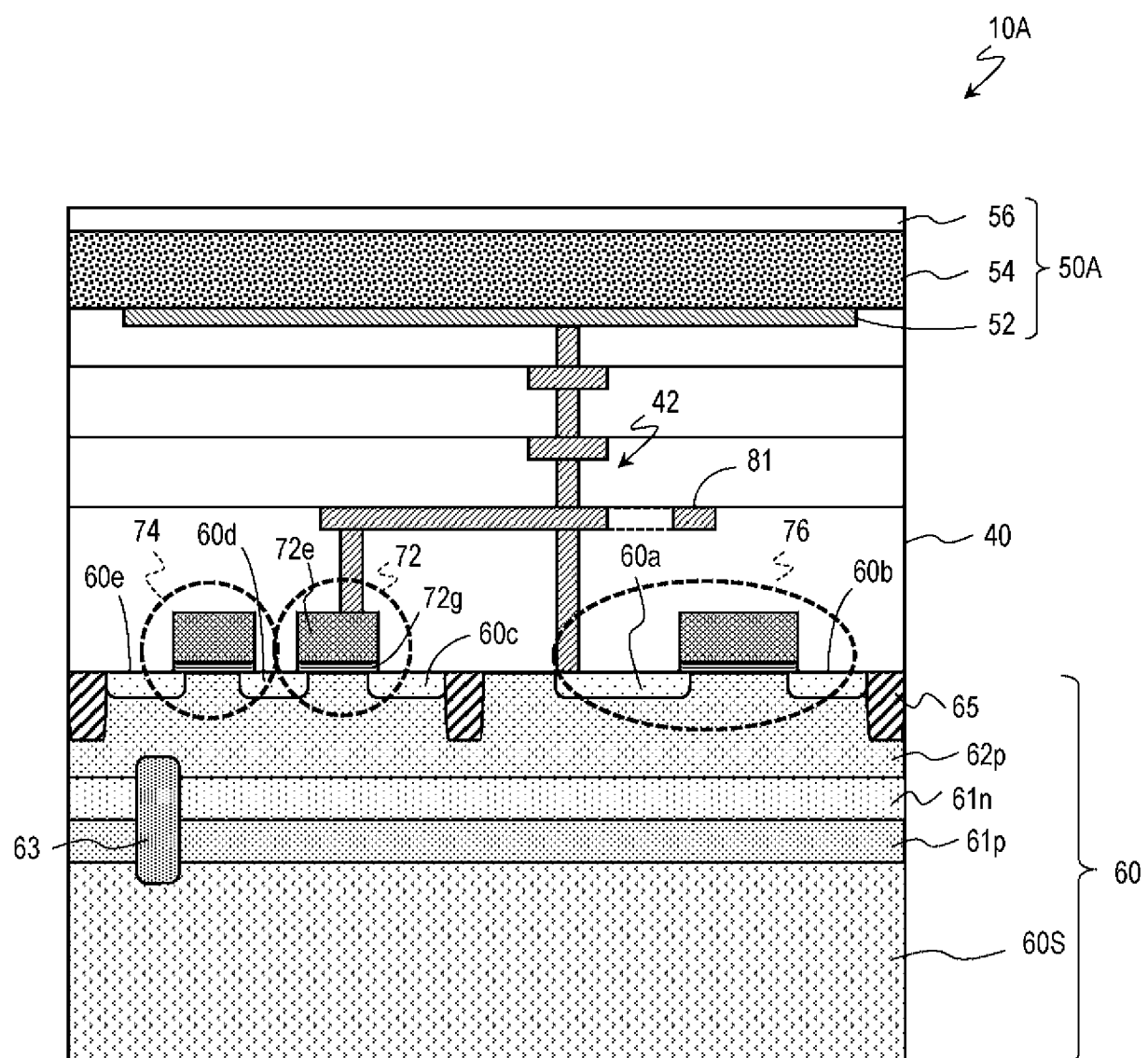
前記第 1 電極は、前記第 1 不純物領域に電氣的に接続されている、請求項 1 から 11 のいずれか一項に記載の撮像装置。

[請求項13] 前記光電変換部は、埋め込みフォトダイオードである、請求項 1 から 4 および 6 から 9 のいずれか一項に記載の撮像装置。

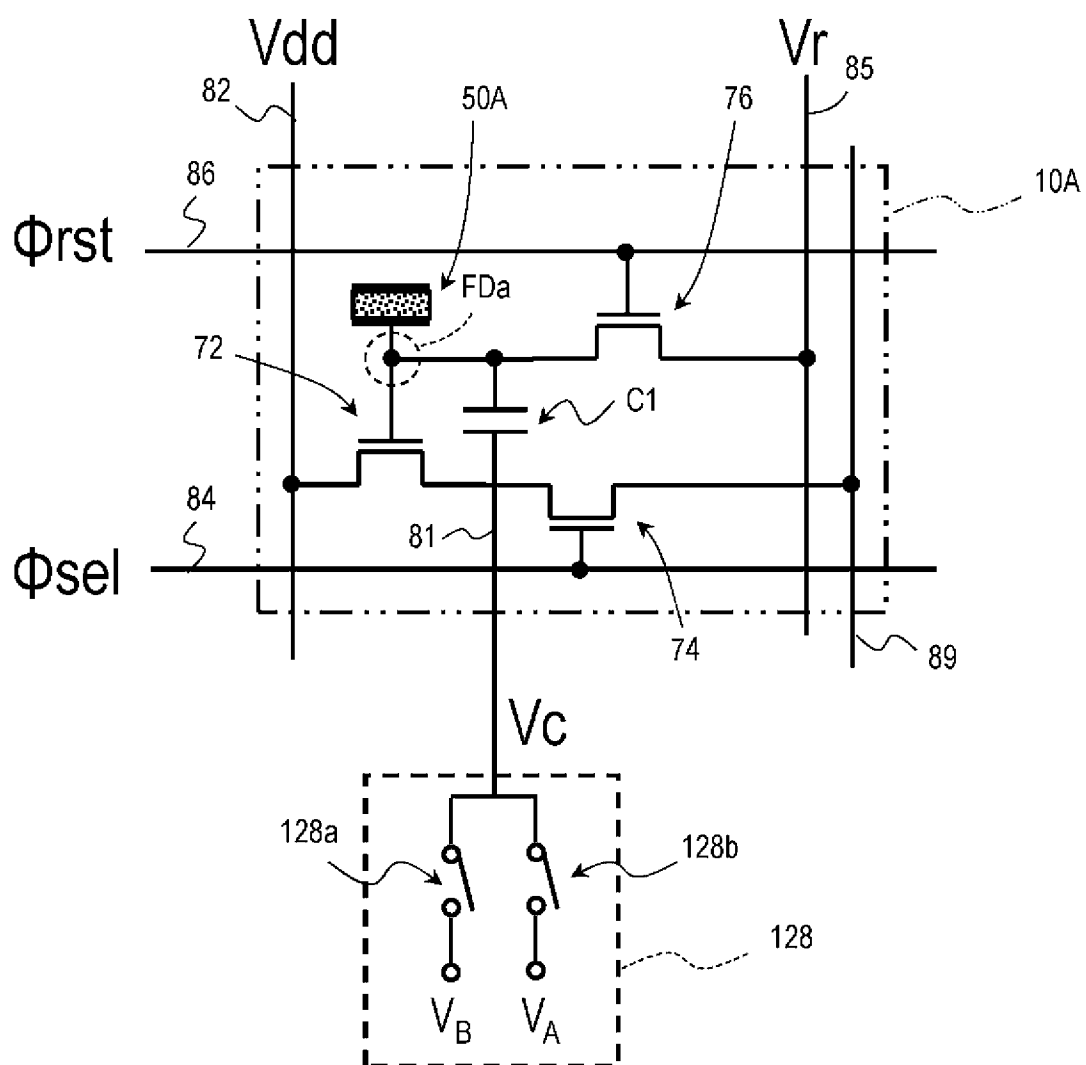
[図1]



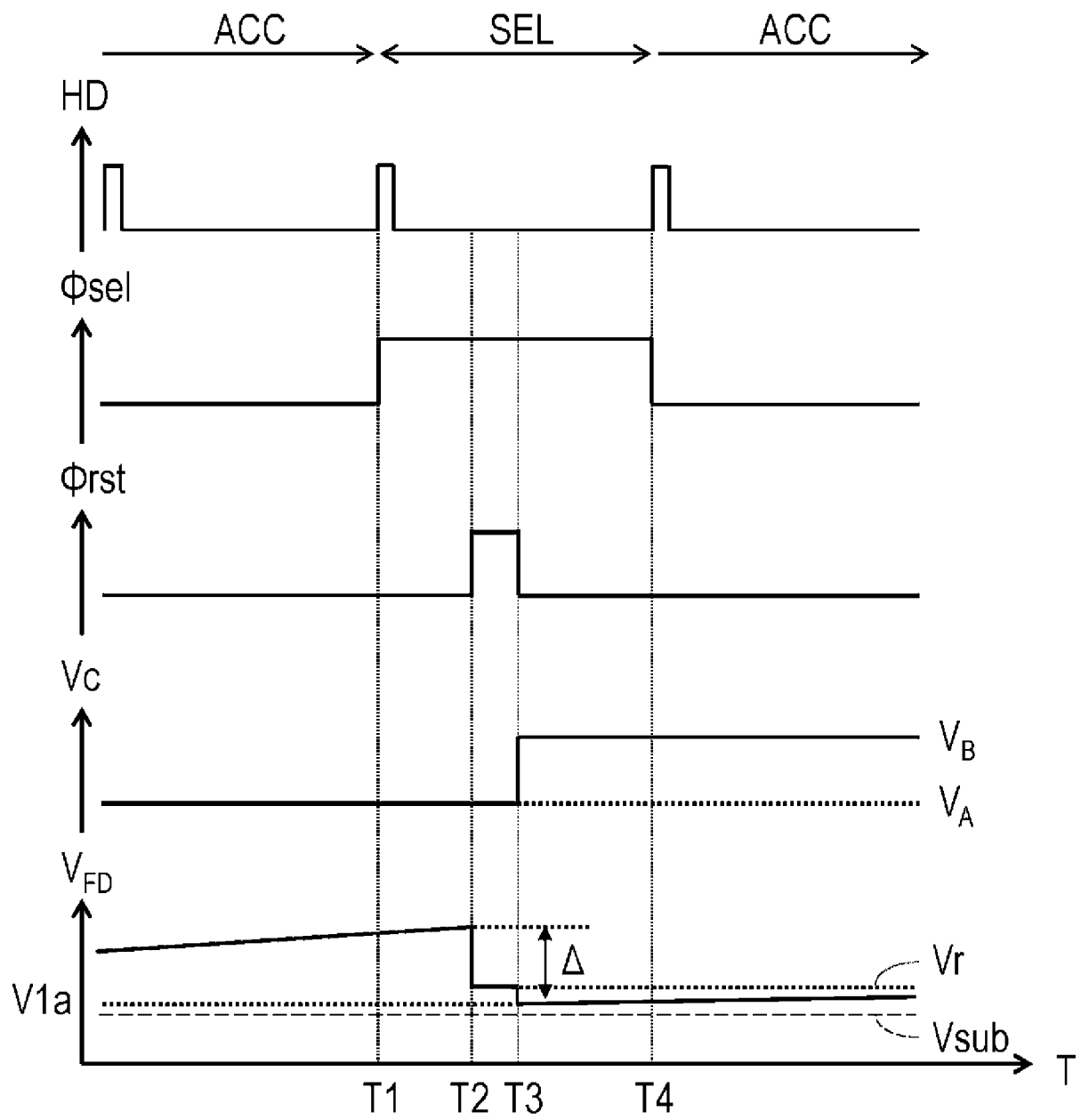
[図2]



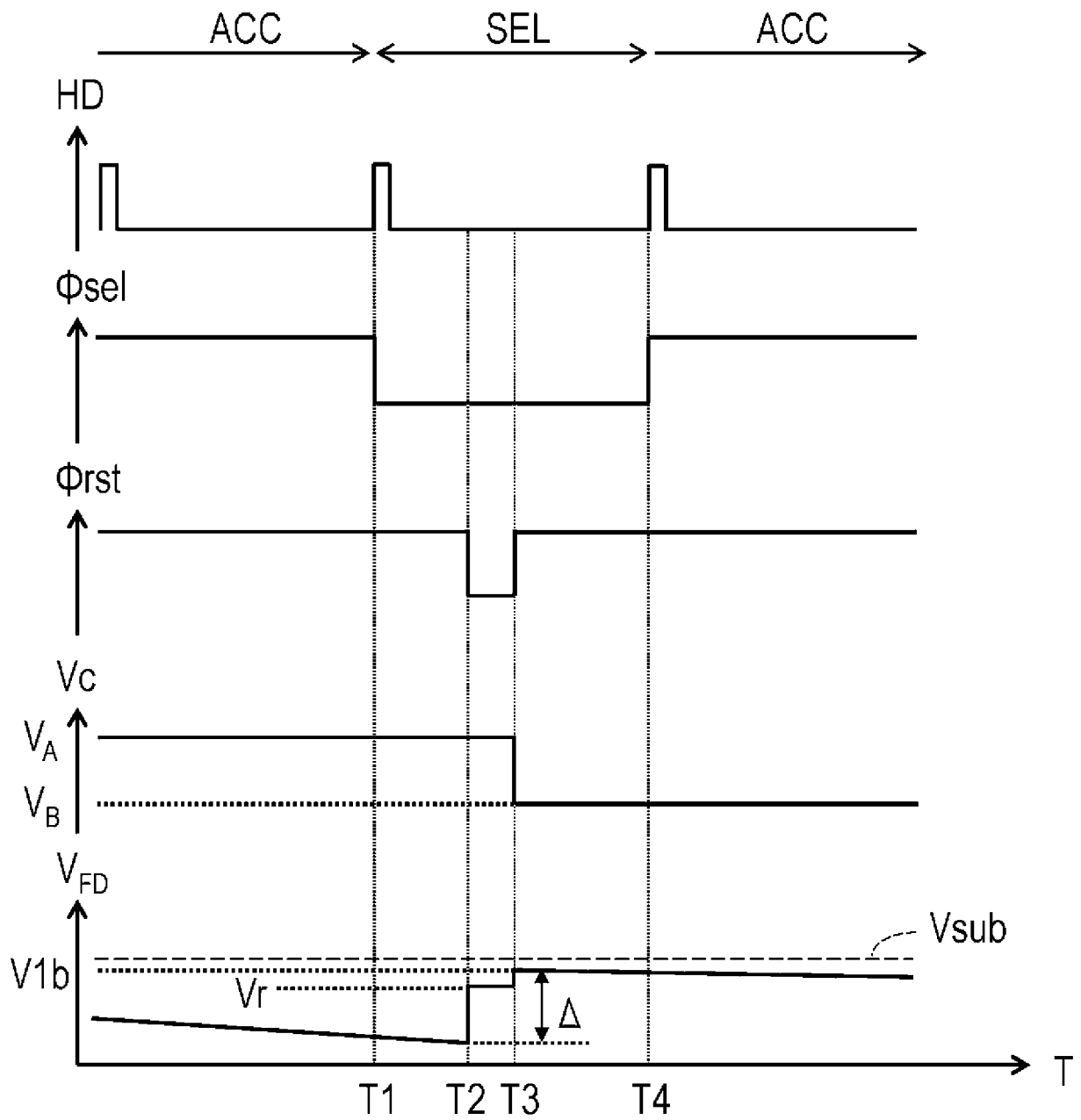
[図3]



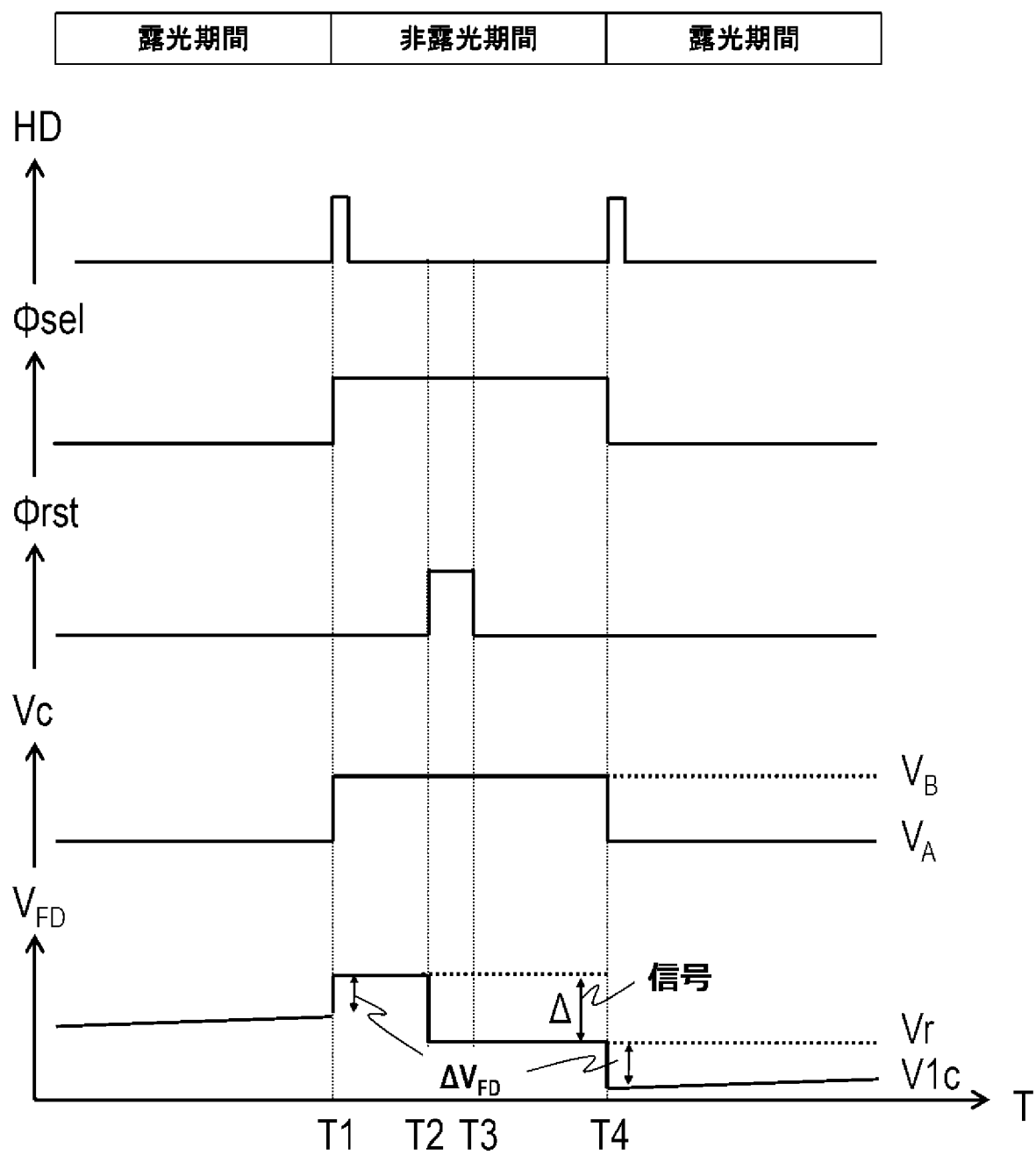
[図4A]



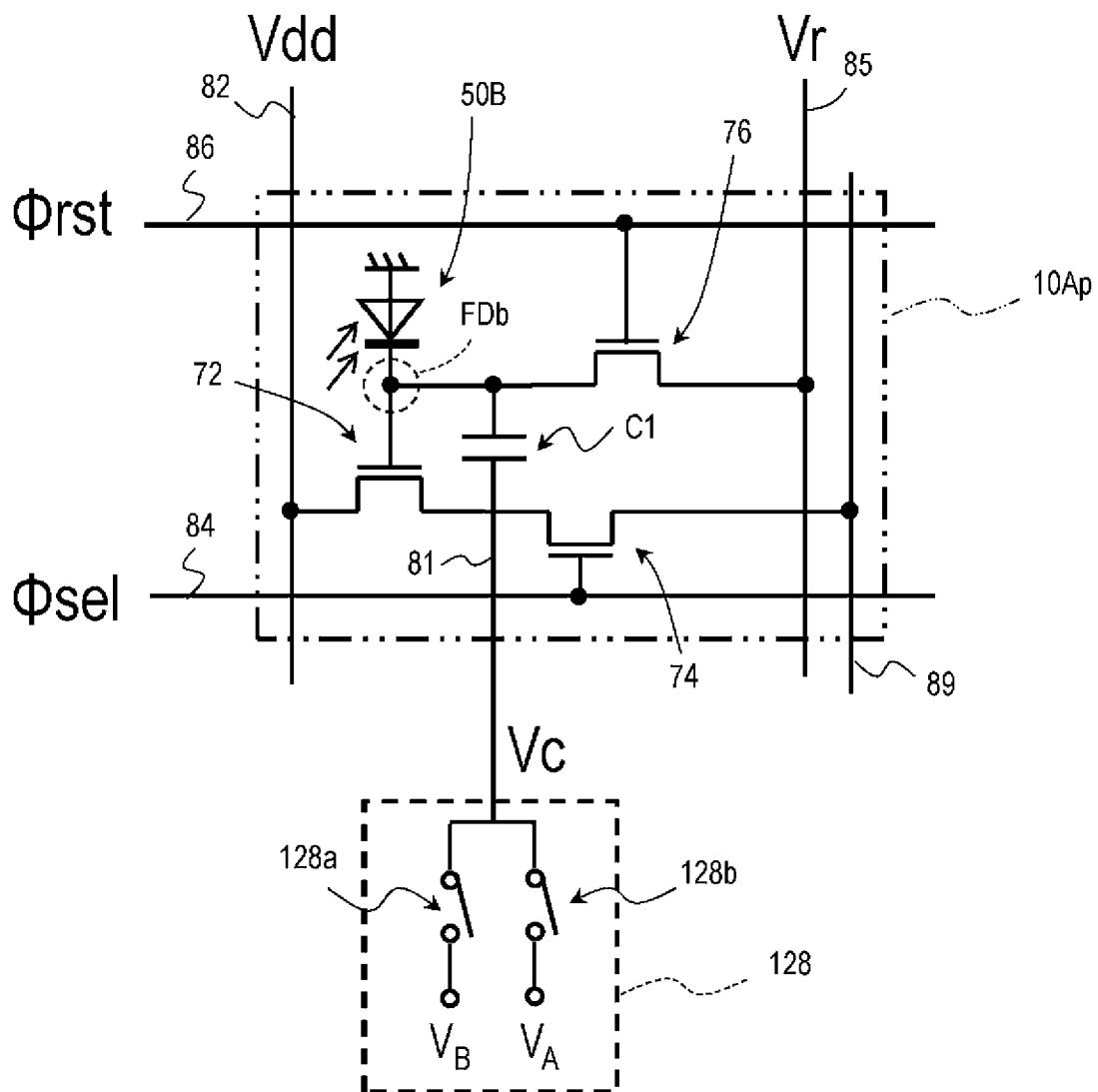
[図4B]



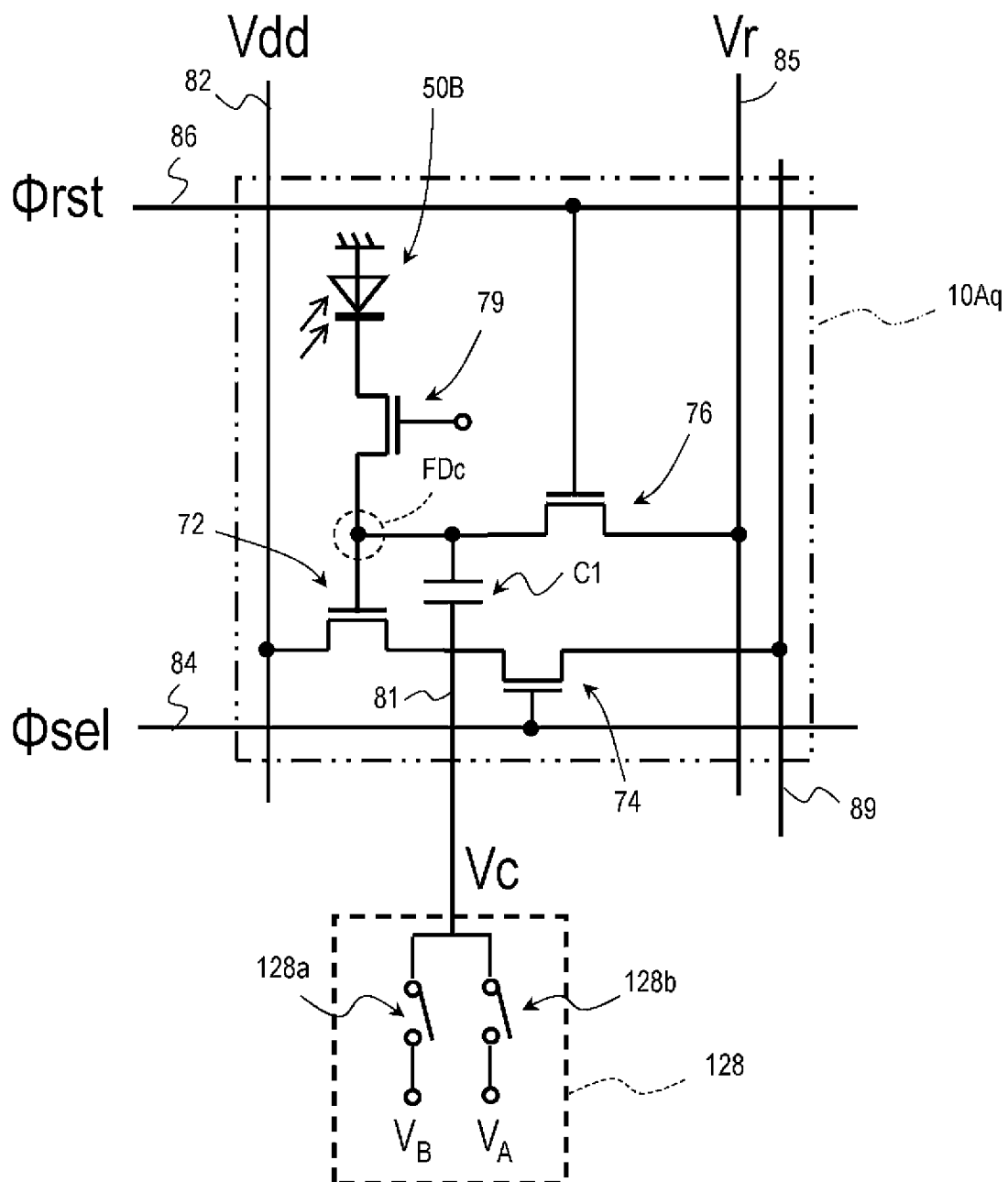
[図4C]



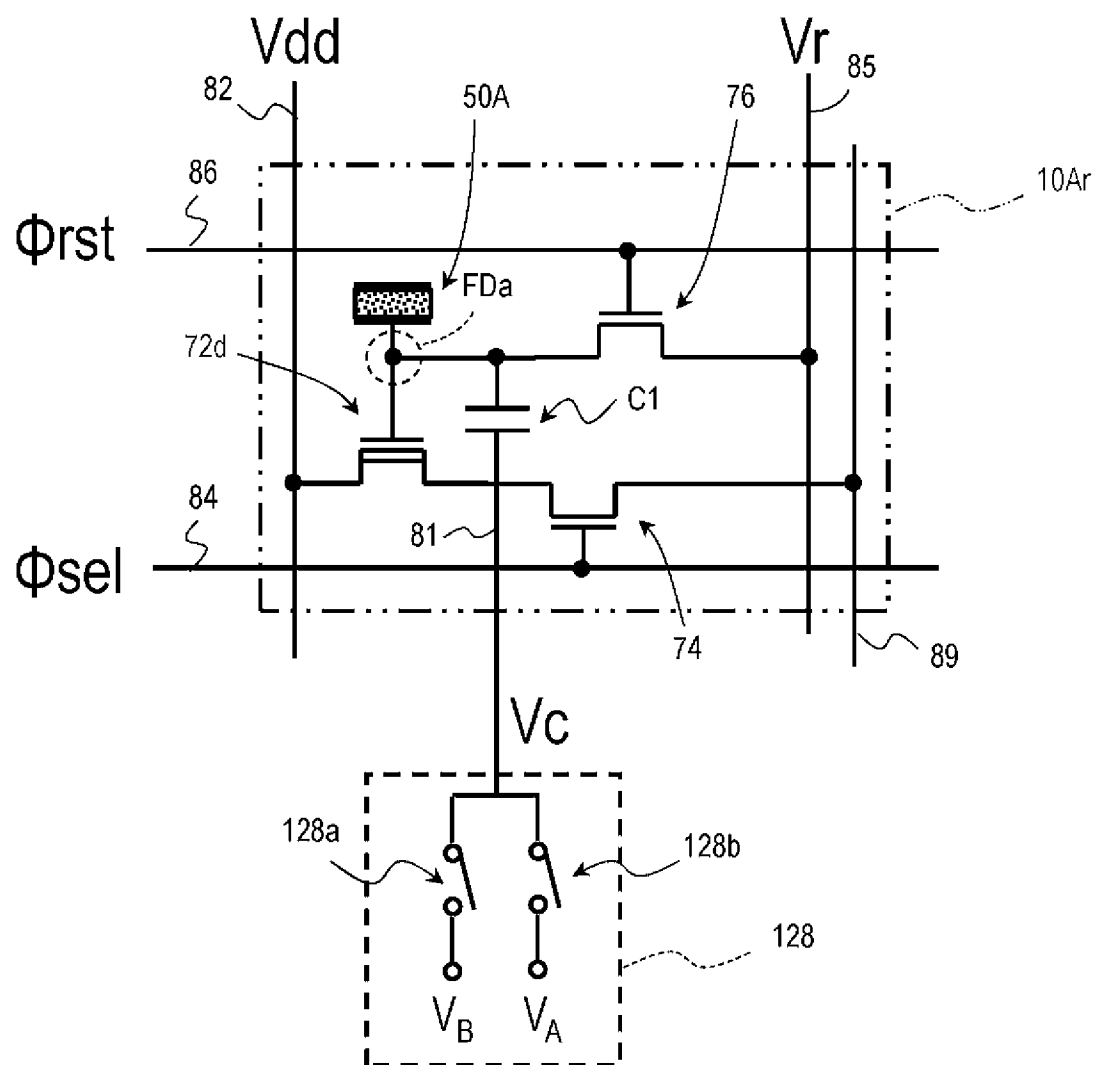
[図5]



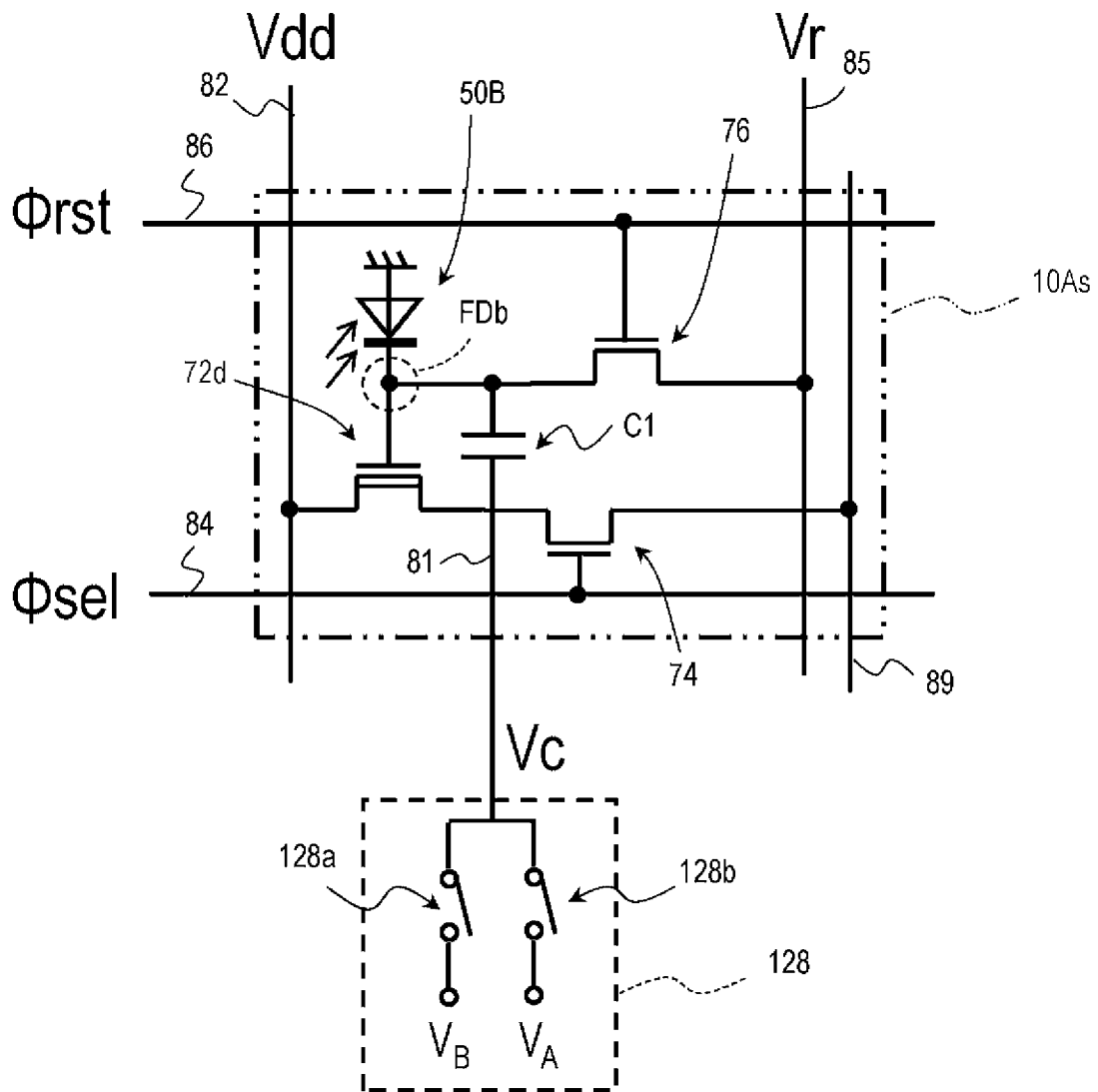
[図6]



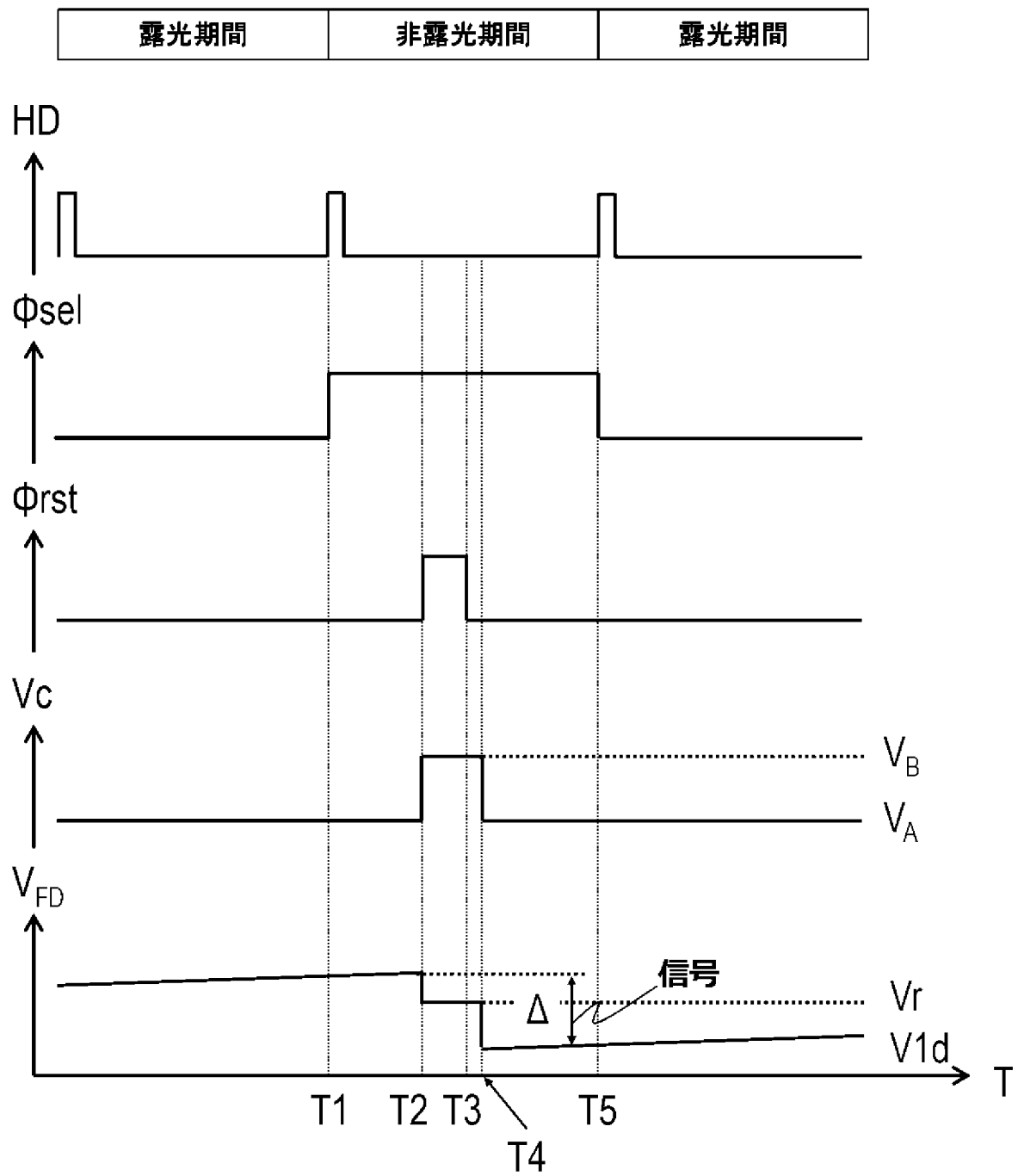
[図7A]



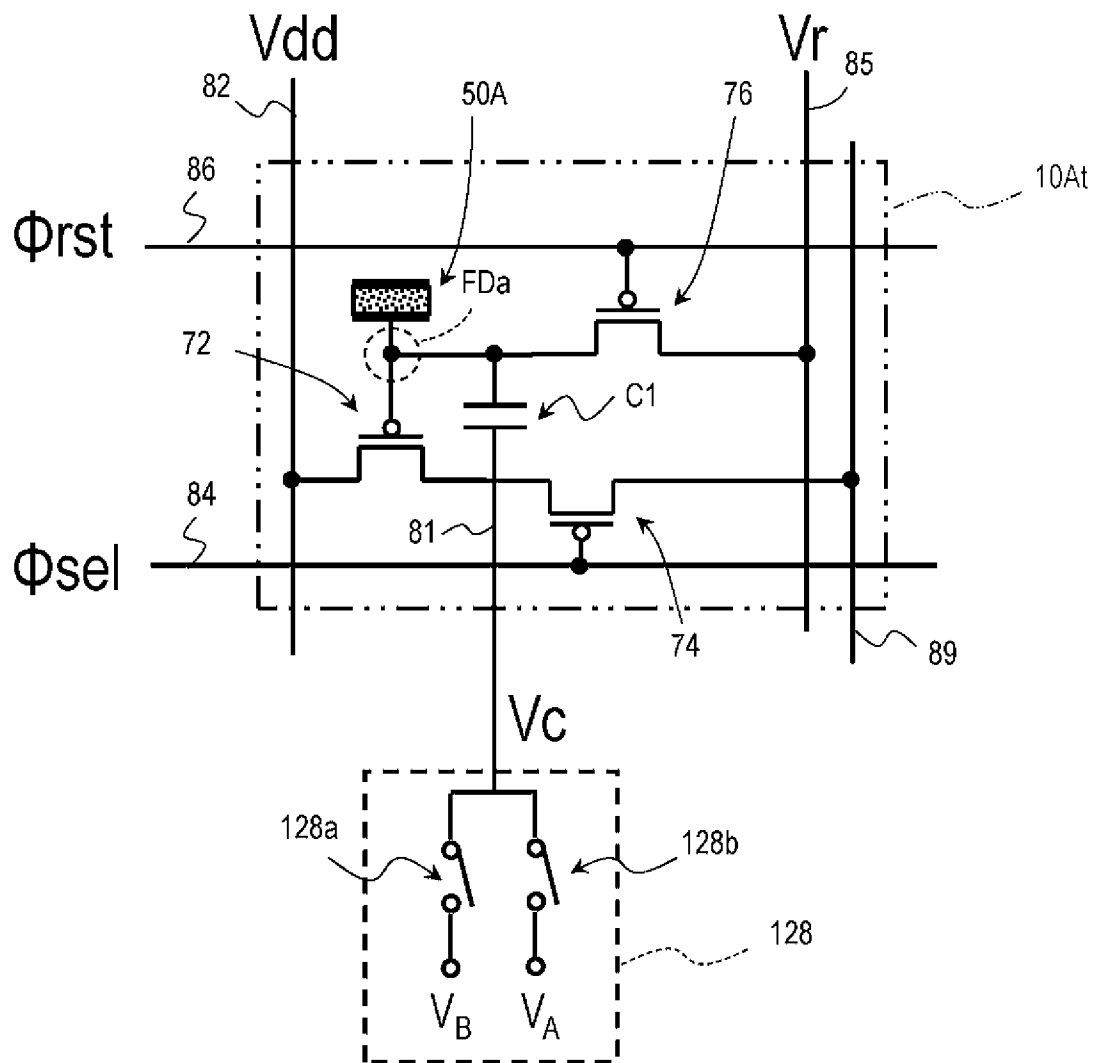
[図7B]



[図8]

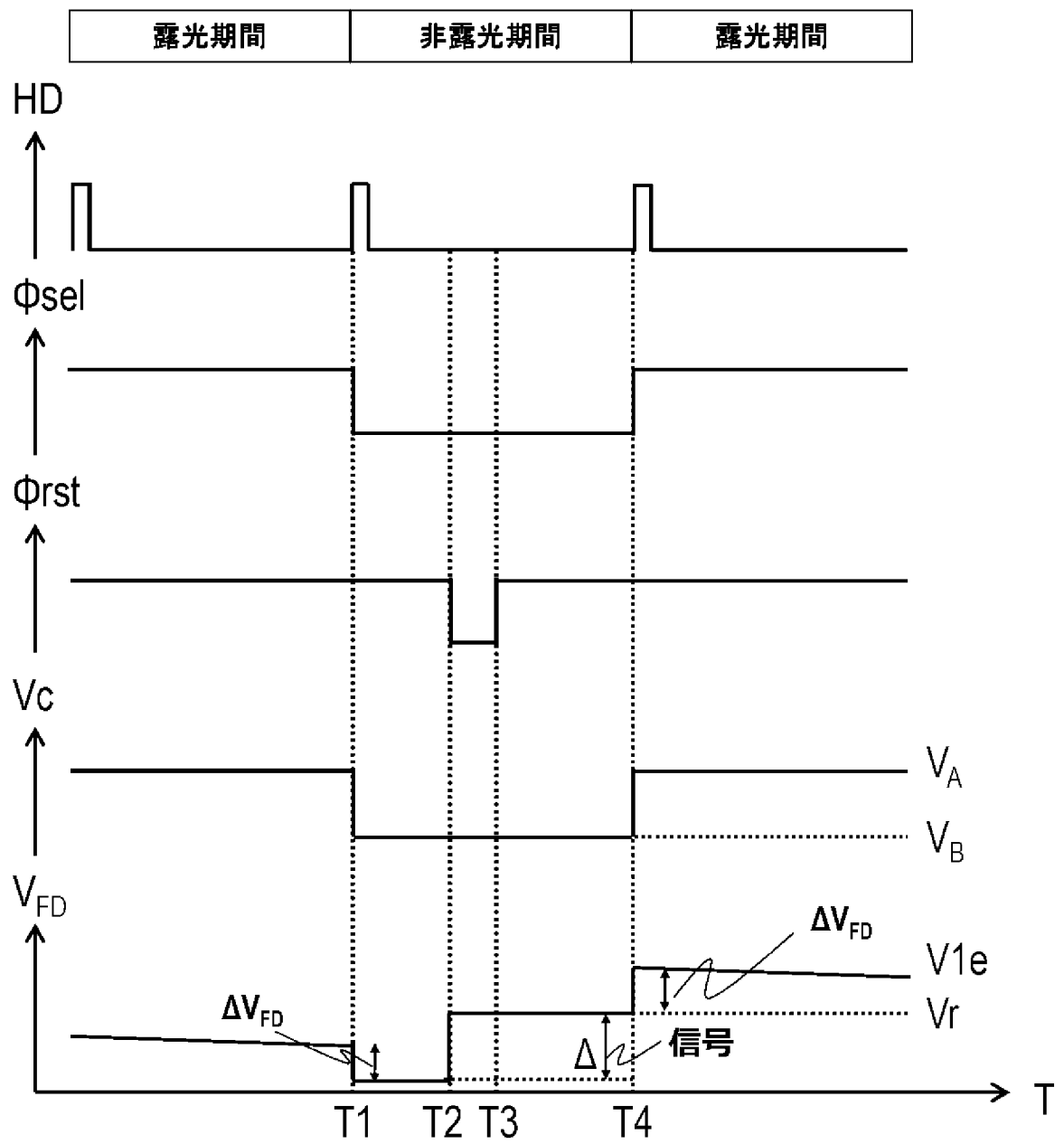


[図9A]

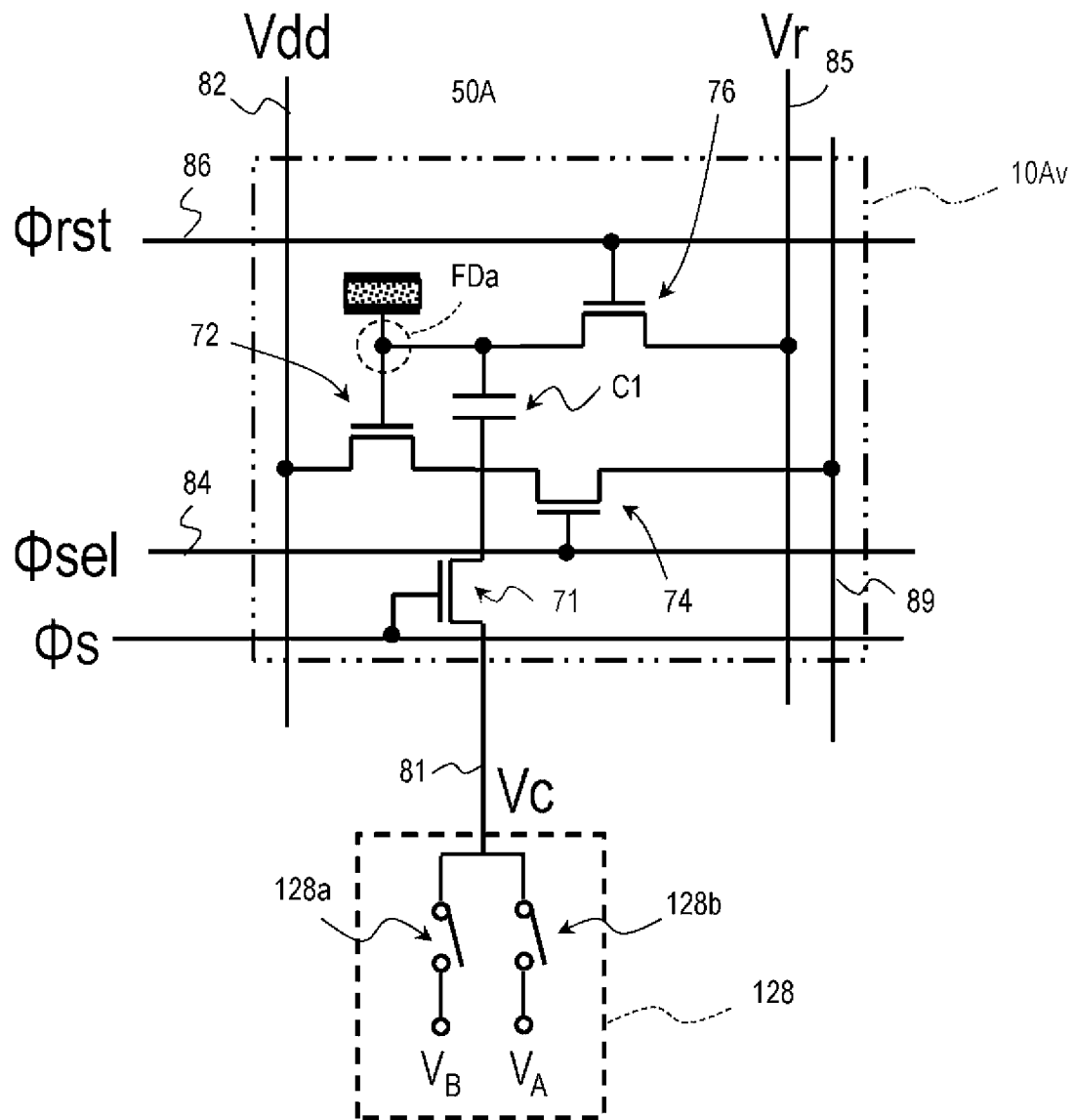


[illegible]

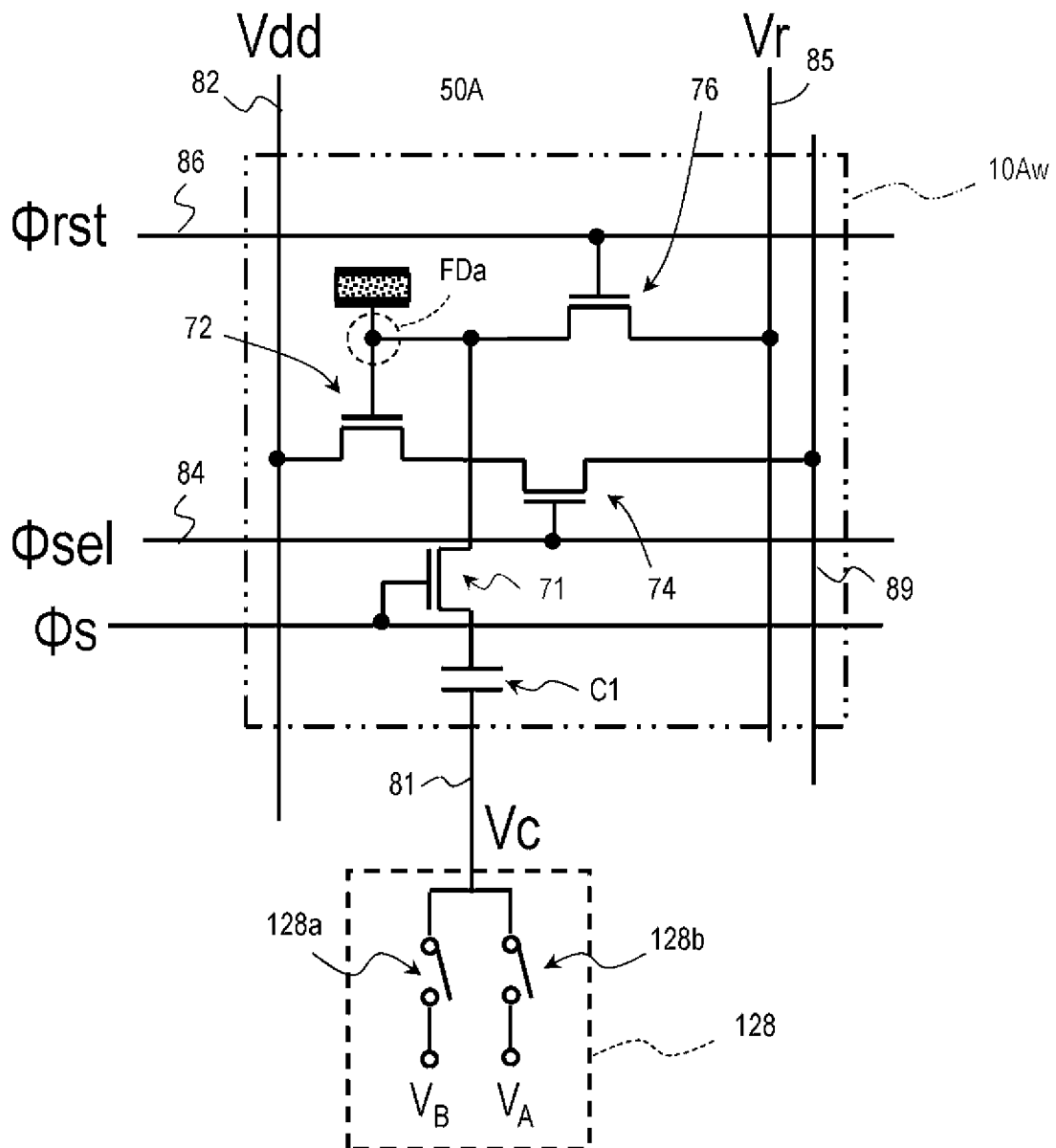
[図10]



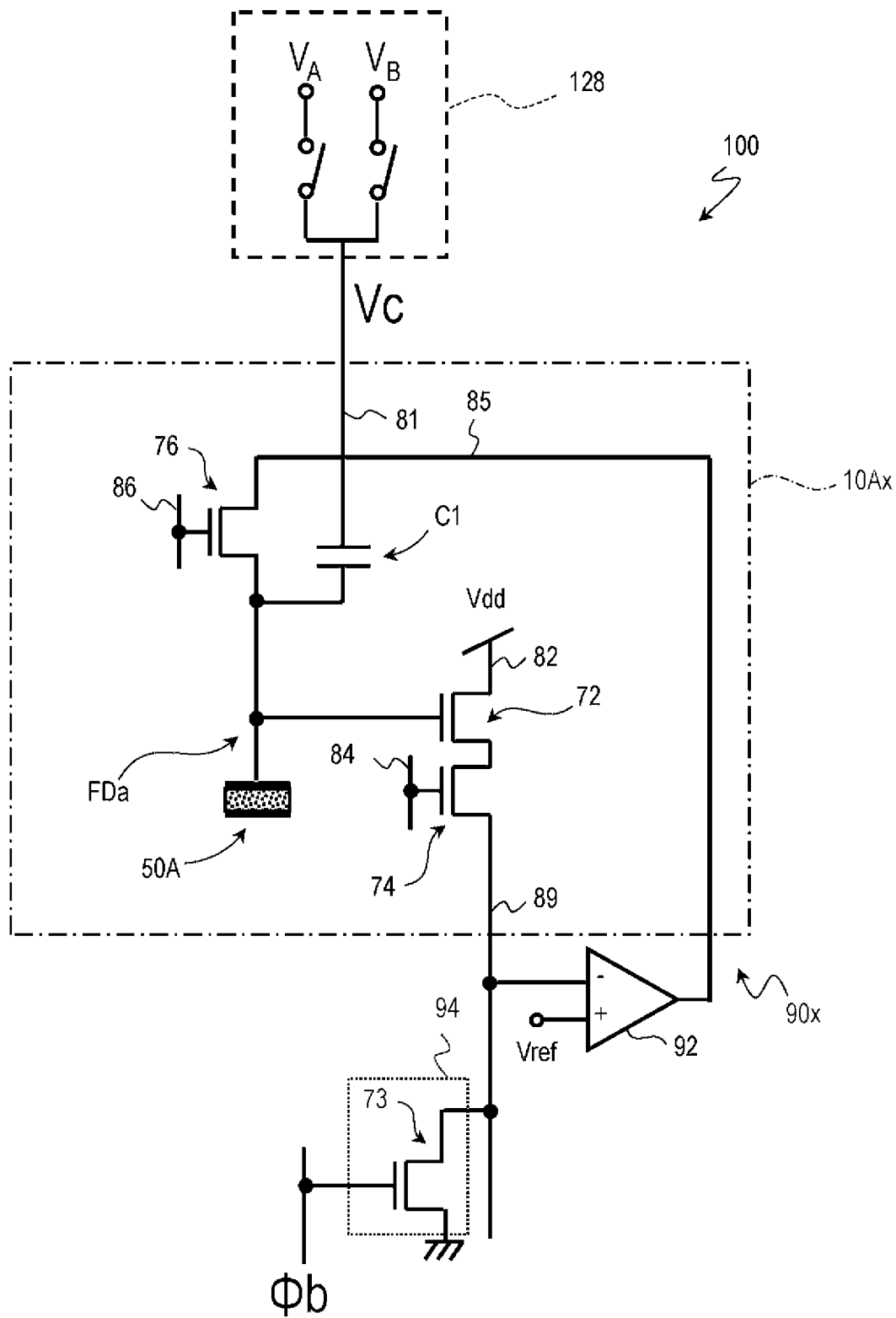
[図11A]



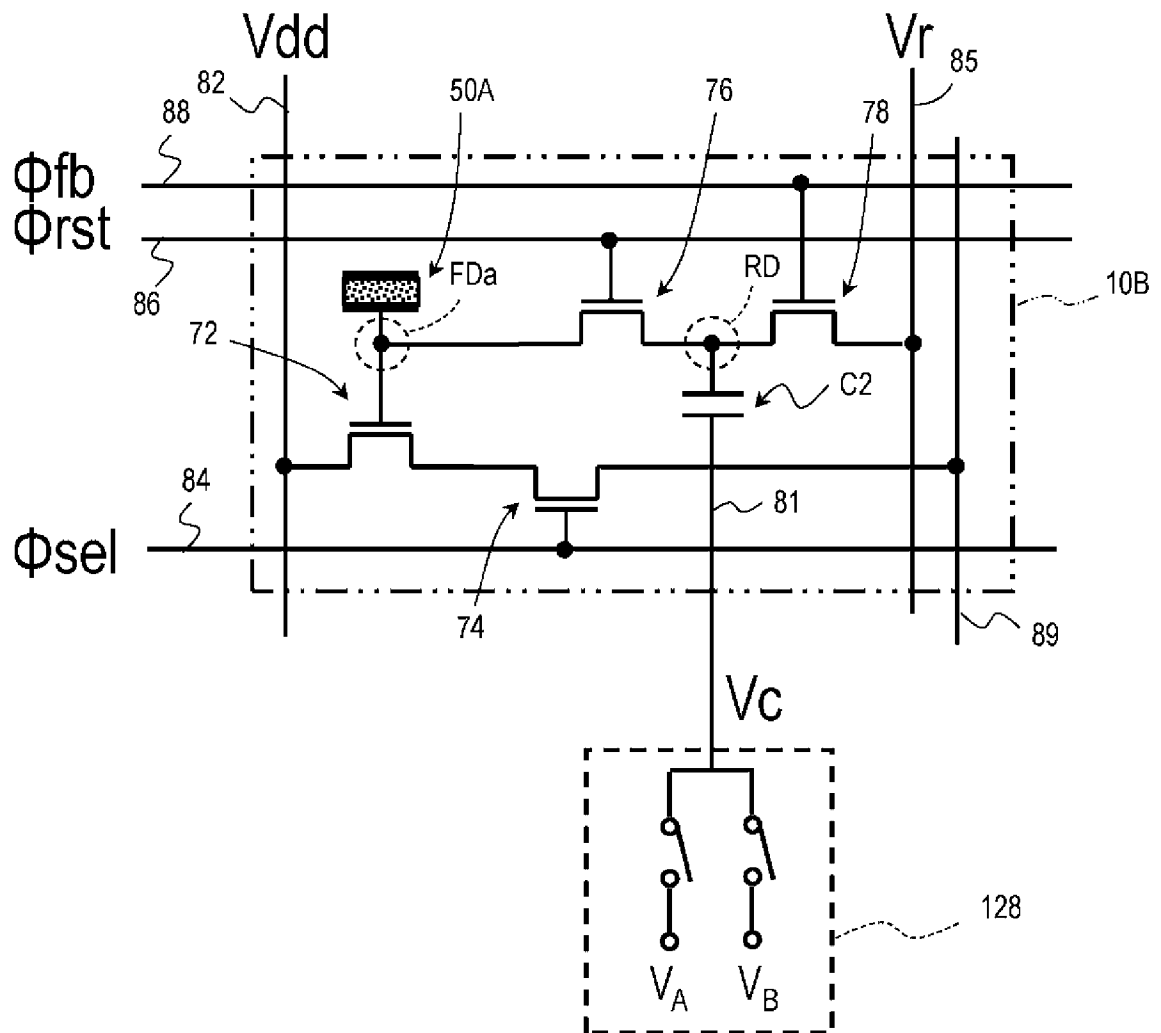
[図11B]



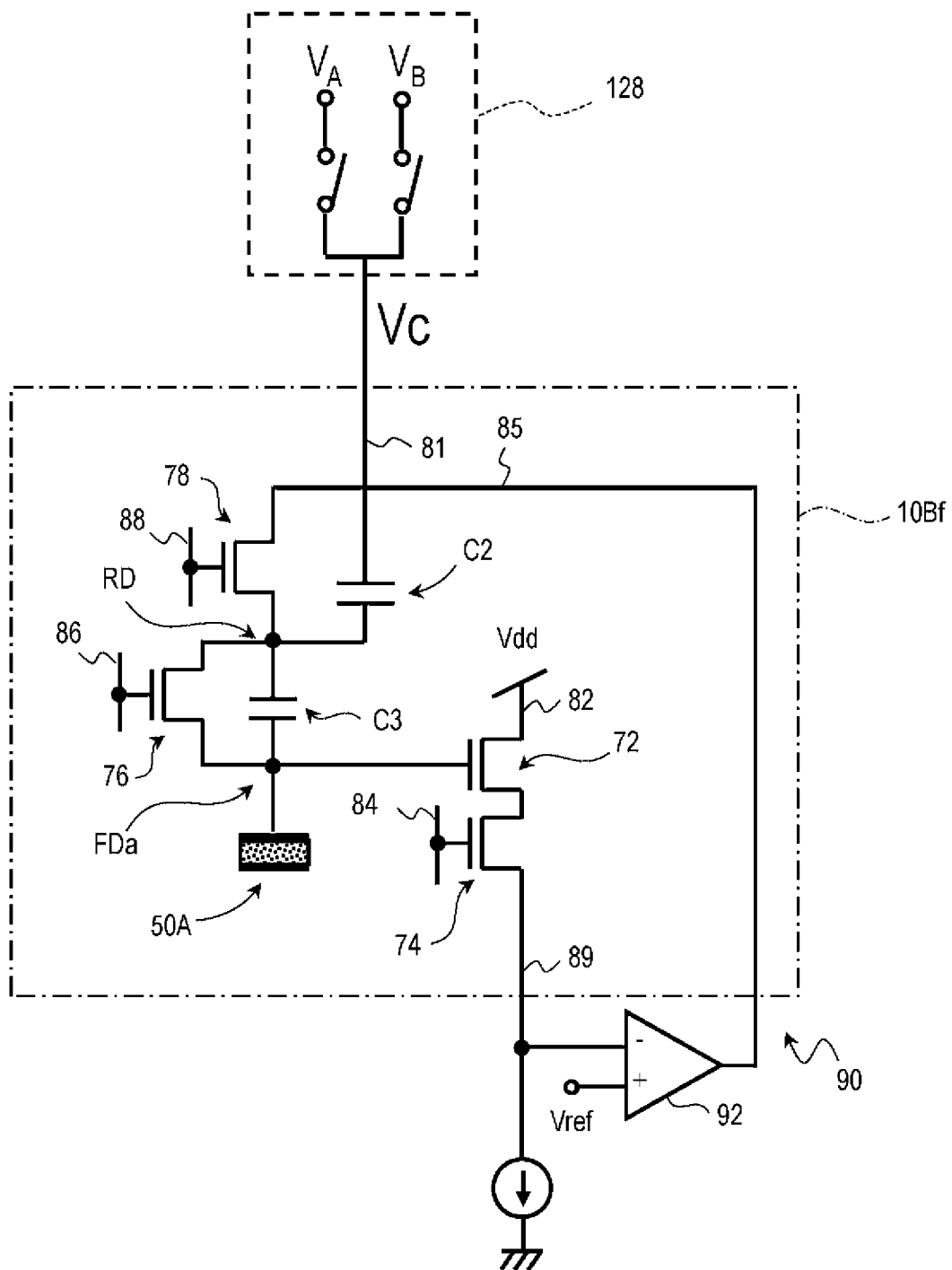
[図11C]



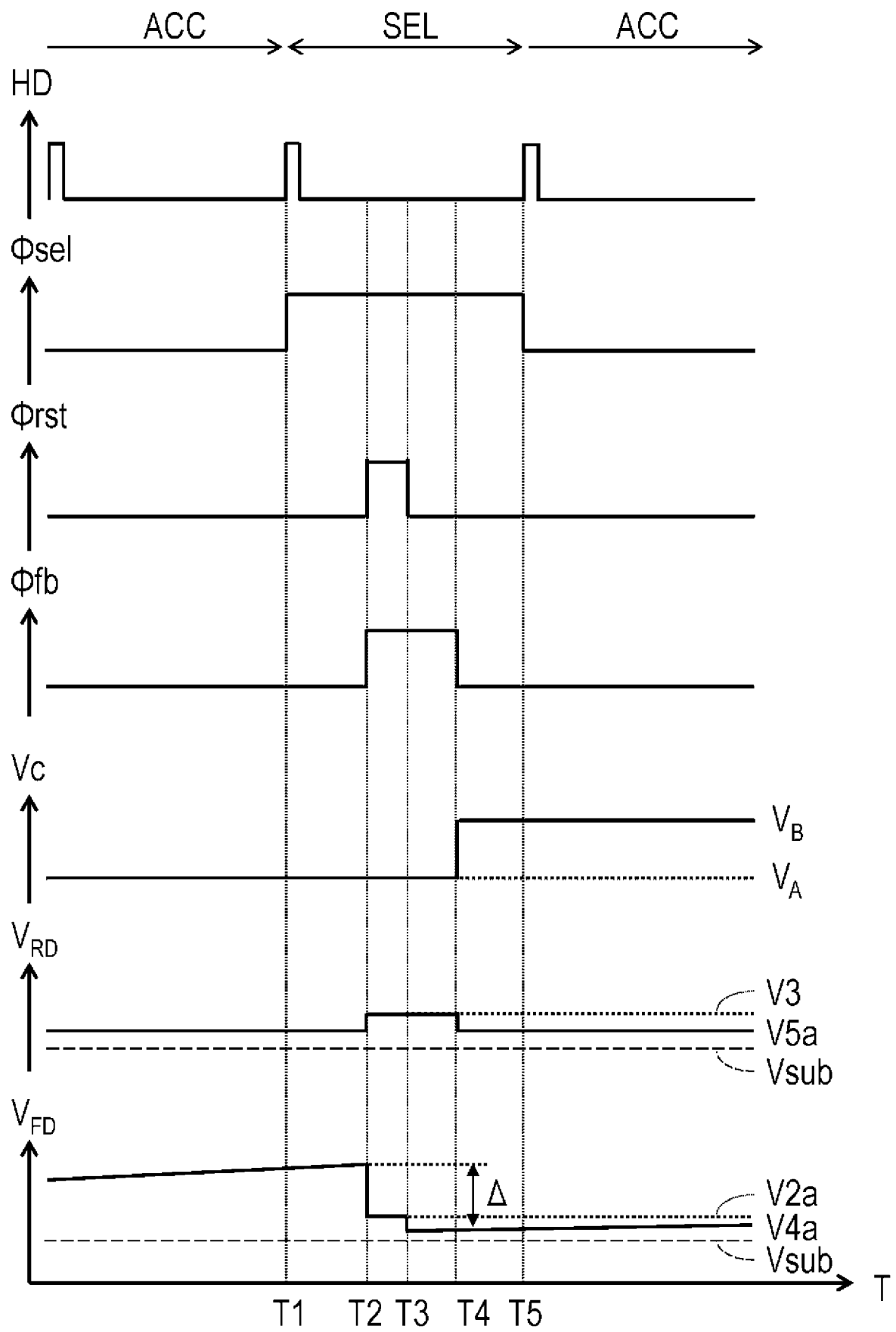
[図12]



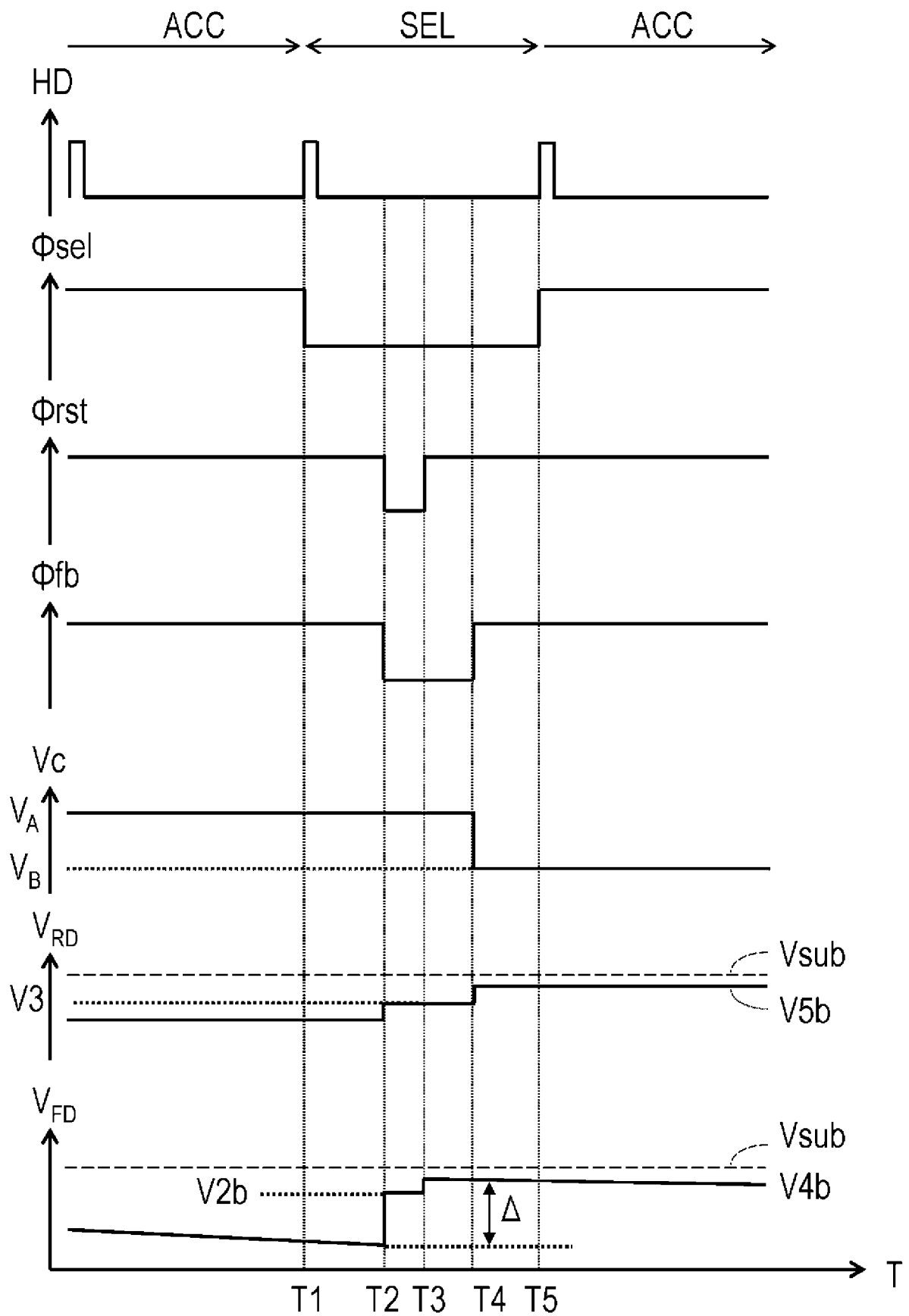
[図13]



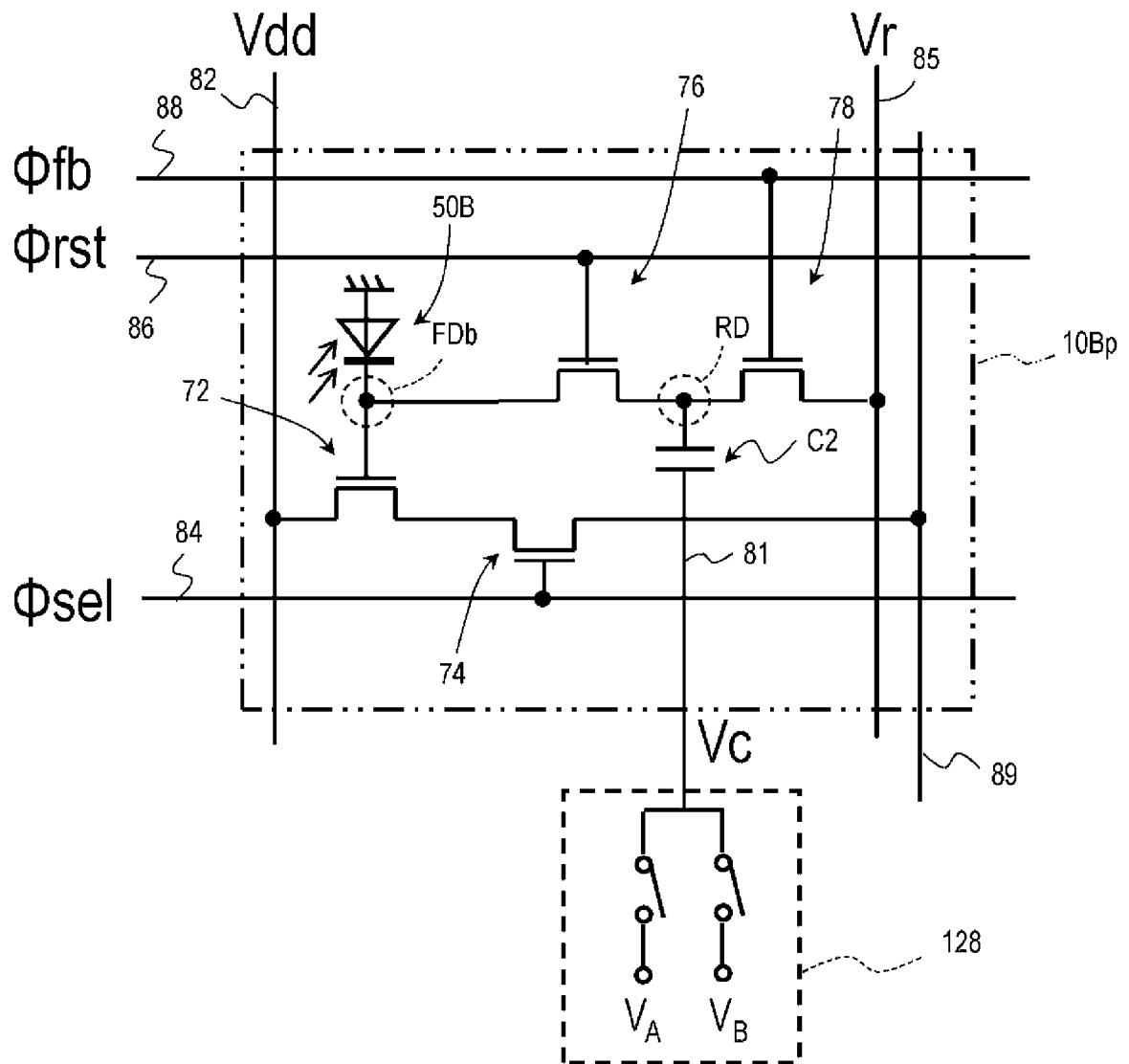
[図14A]

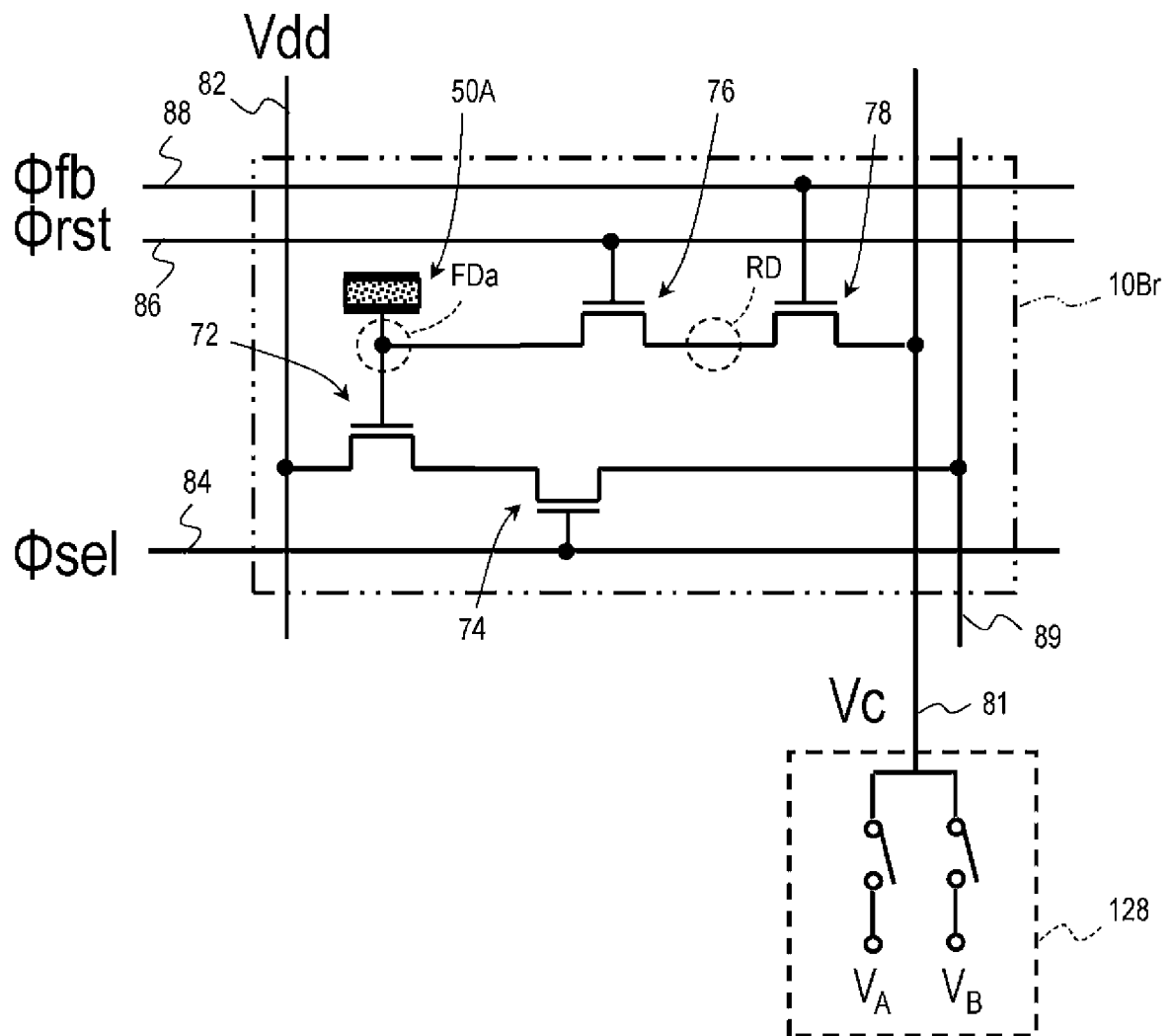


[図14B]

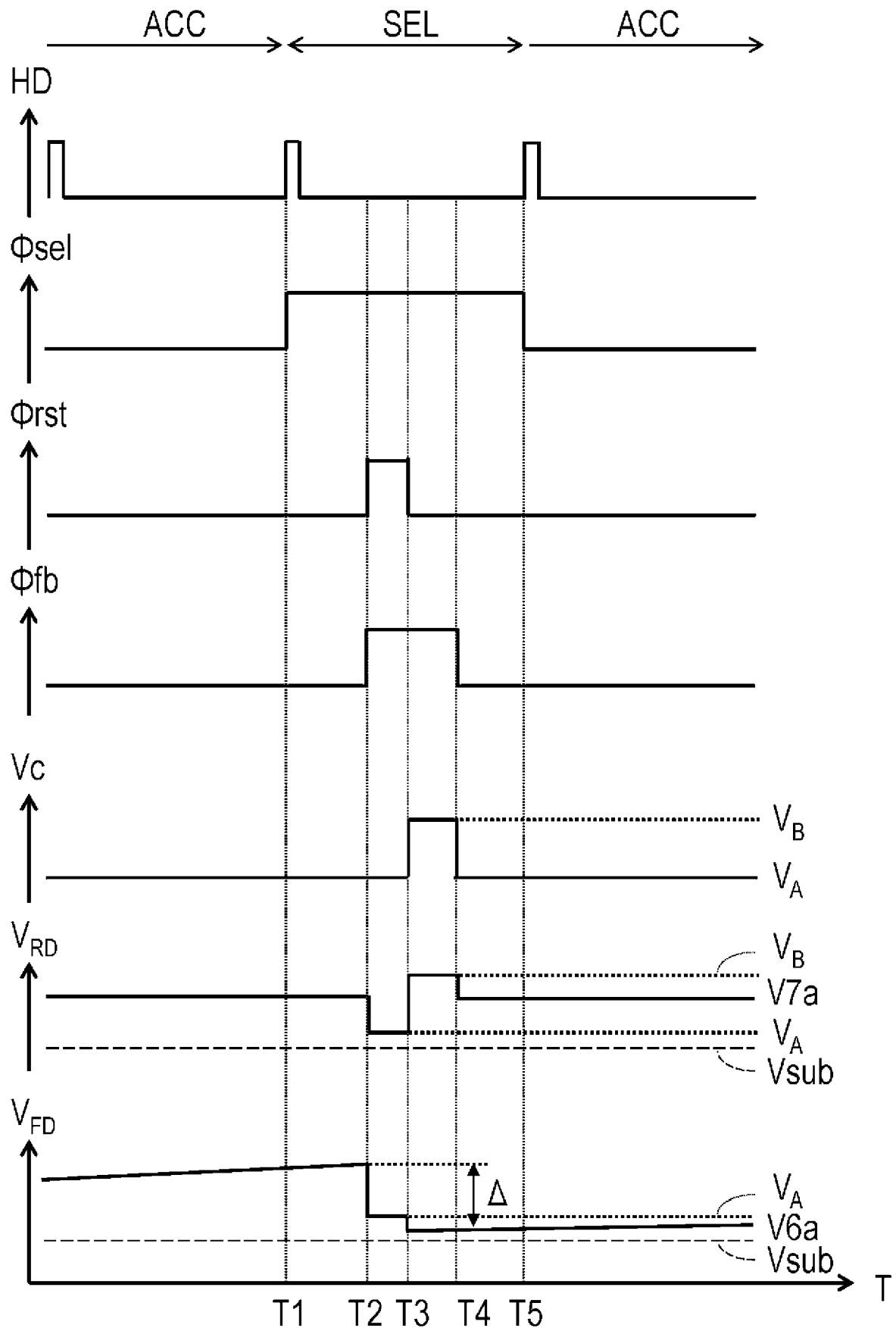


[図15]

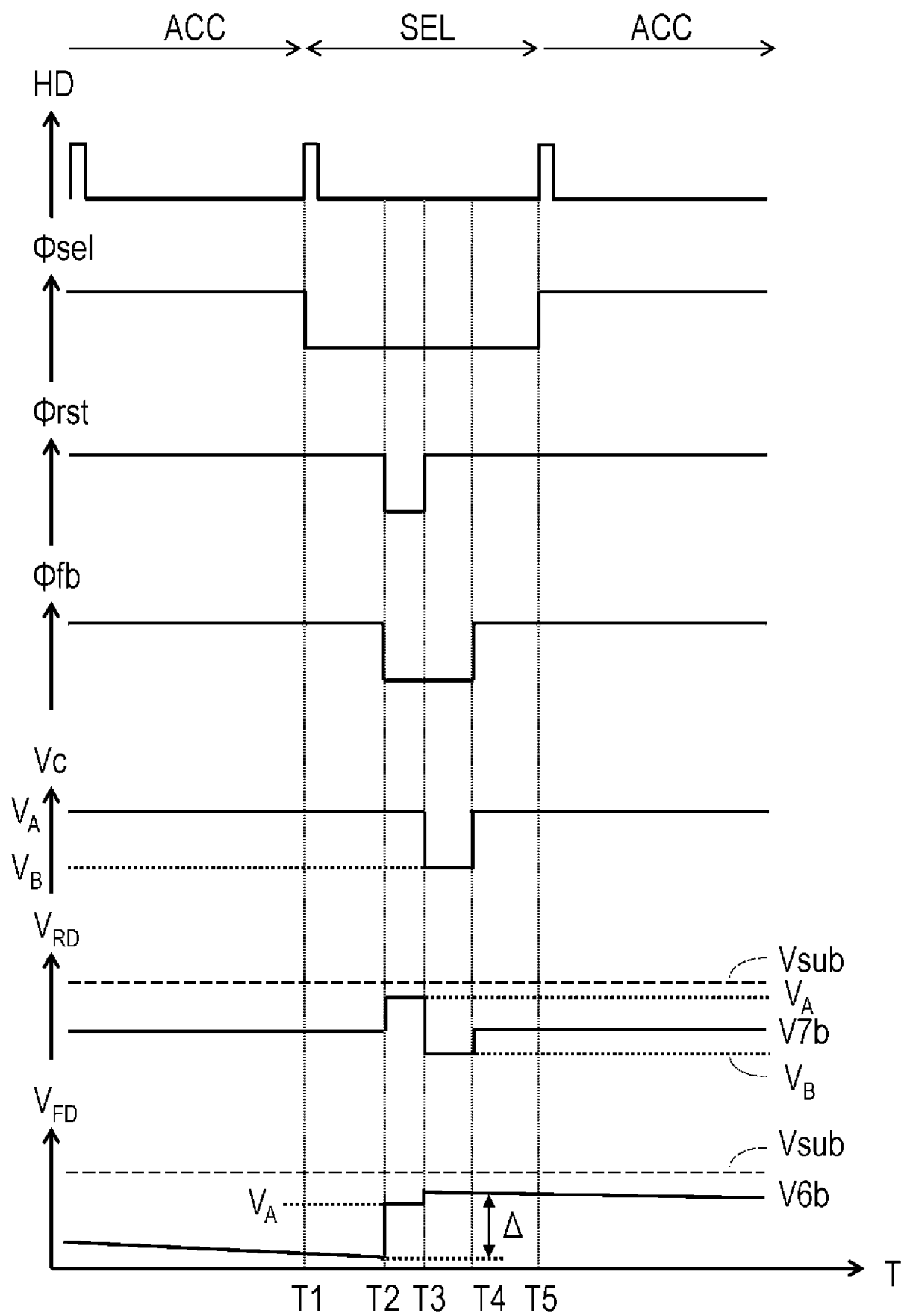




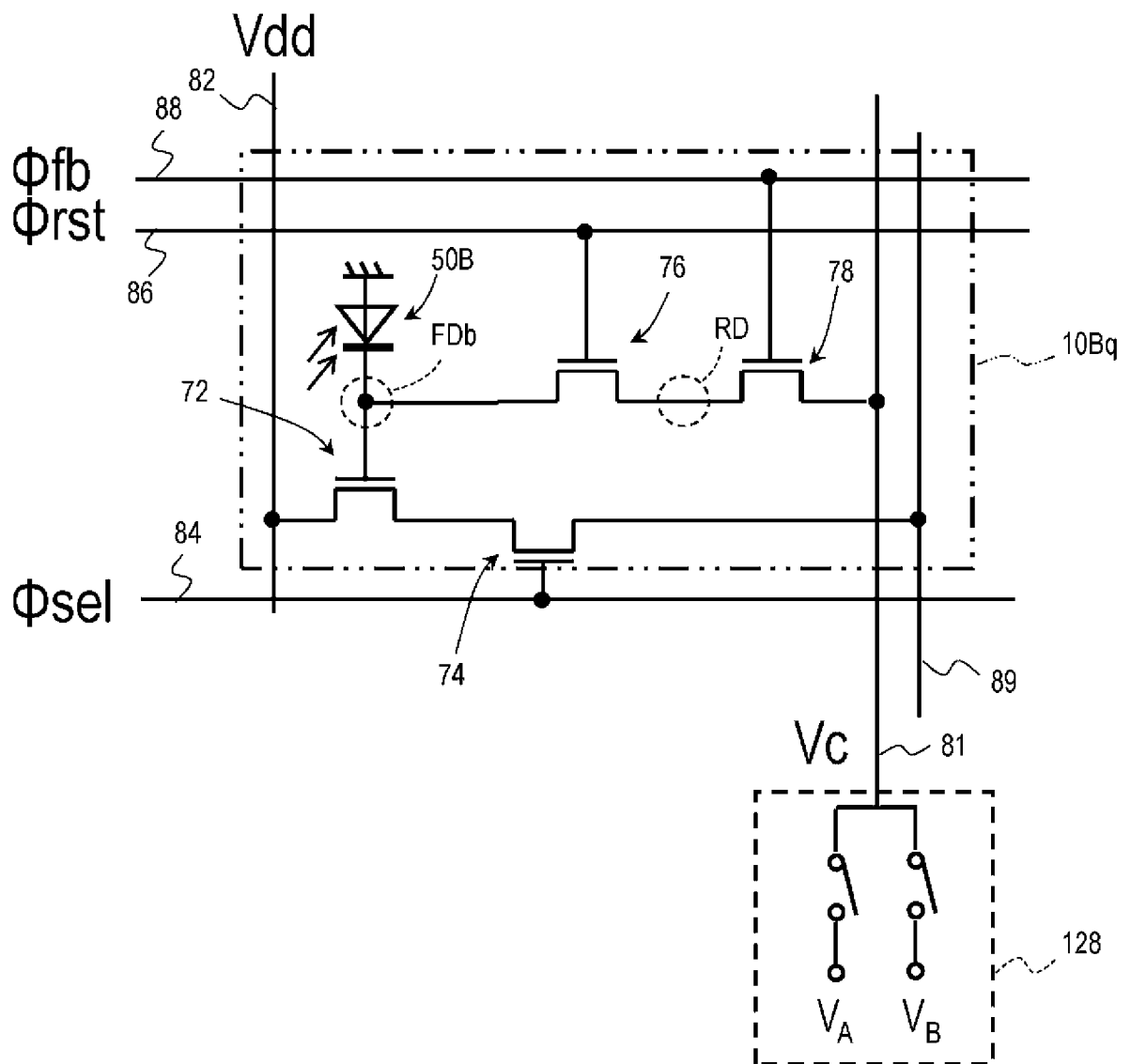
[図17A]

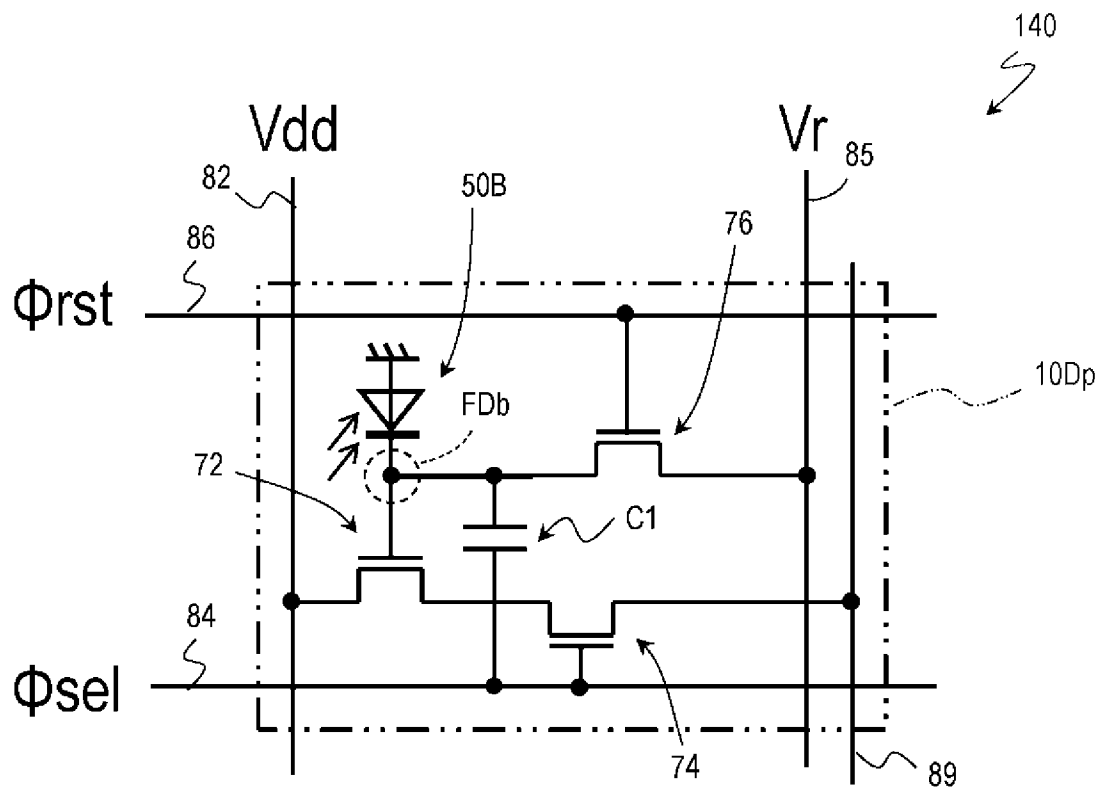


[図17B]

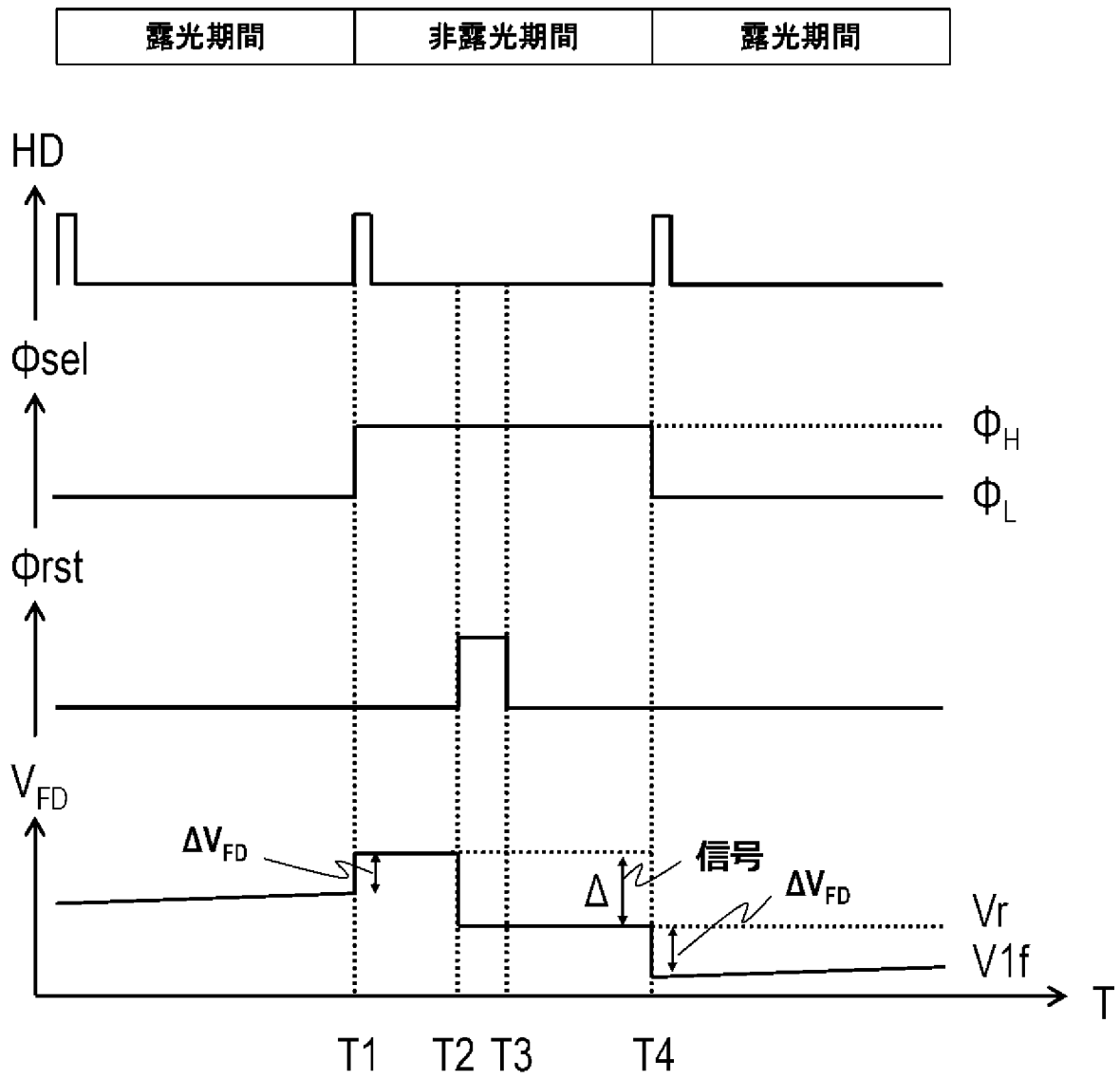


[図18]

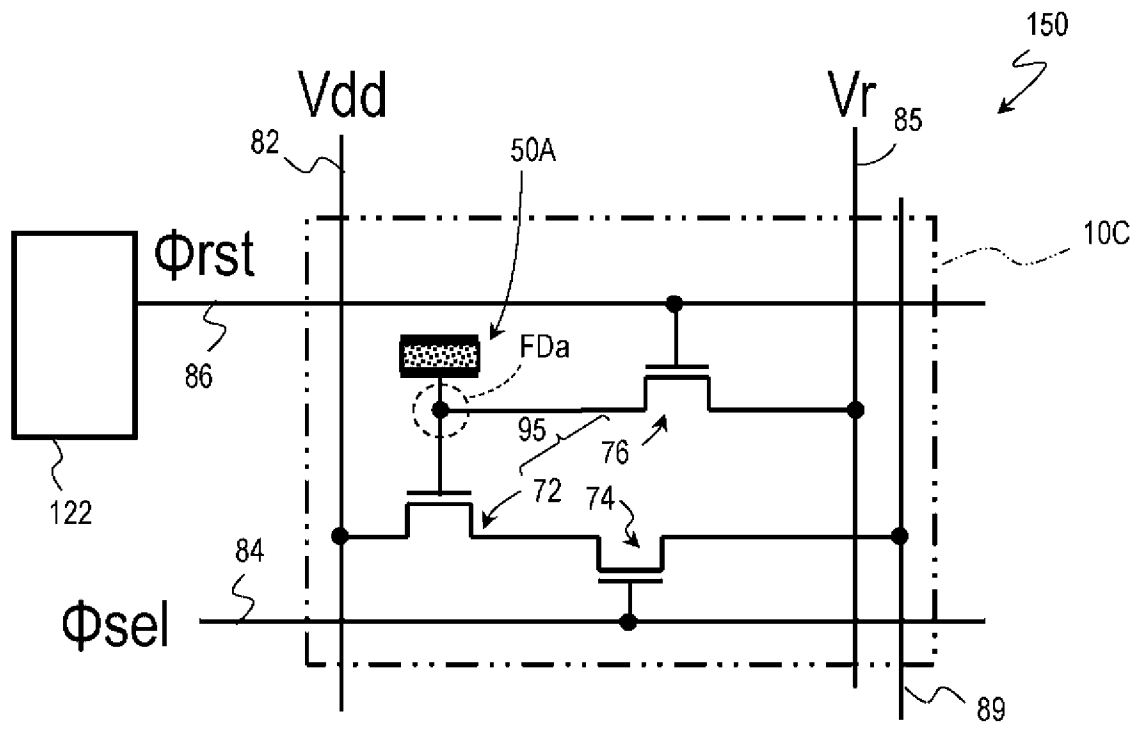




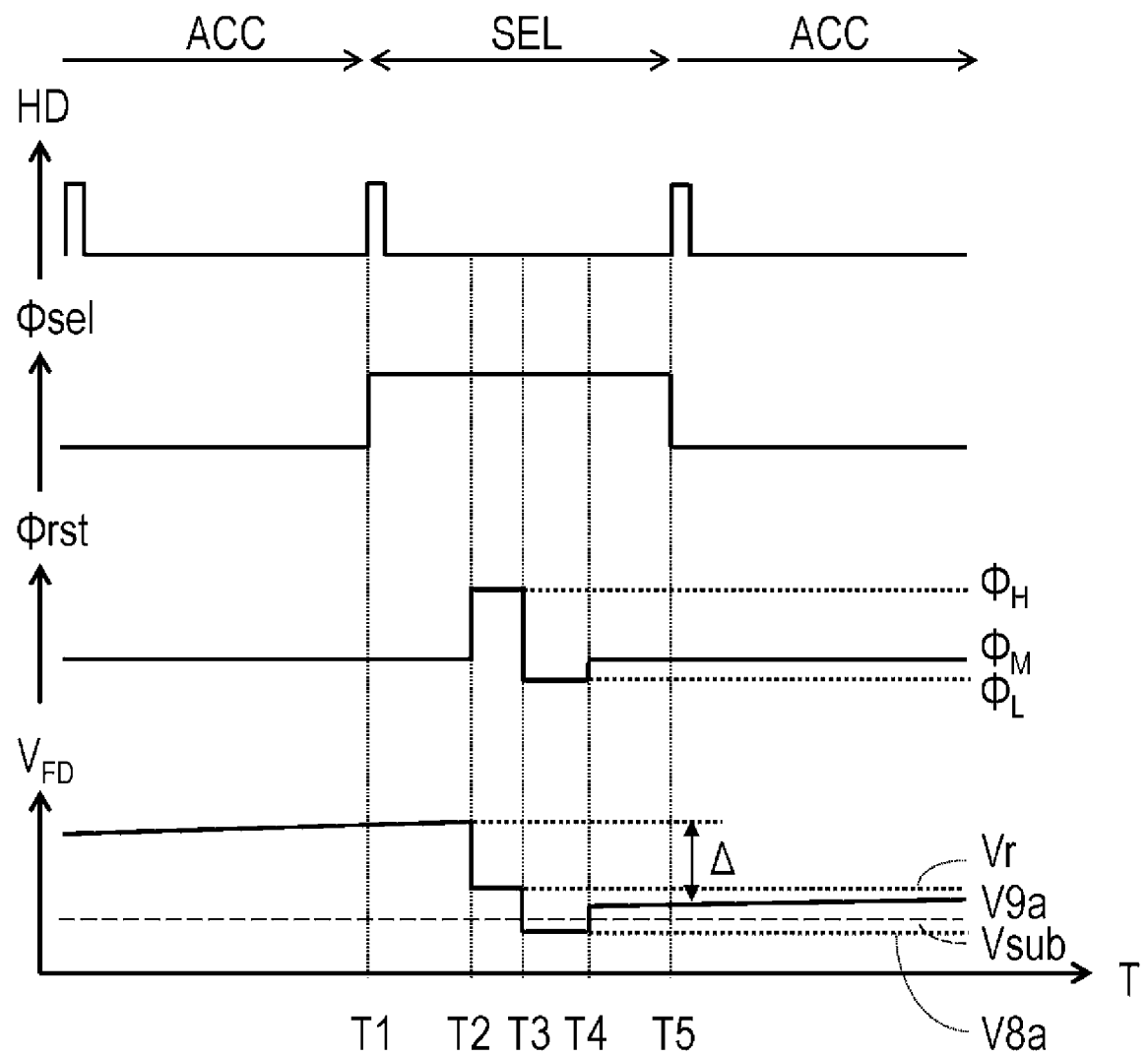
[図20]



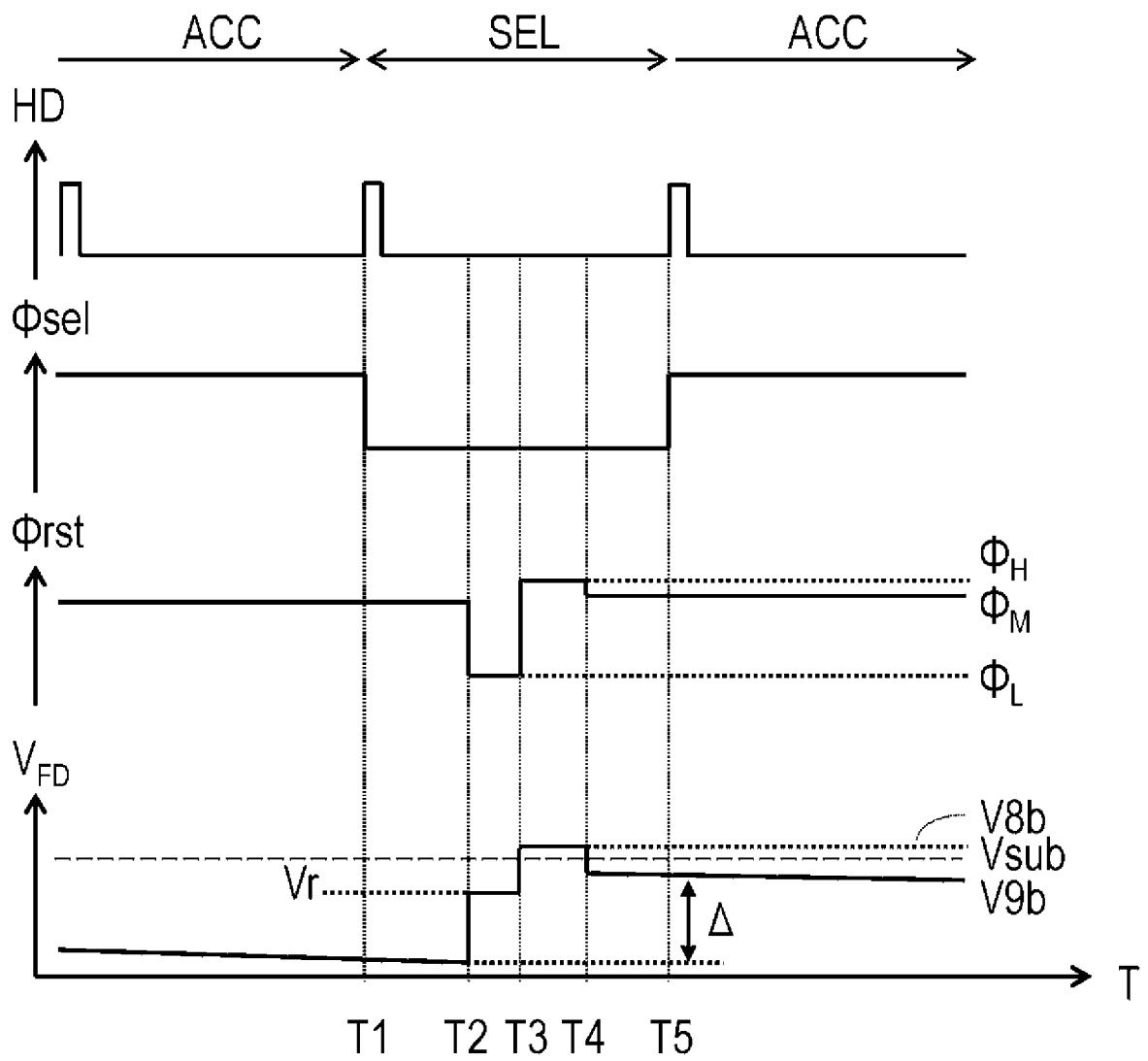
[図21]



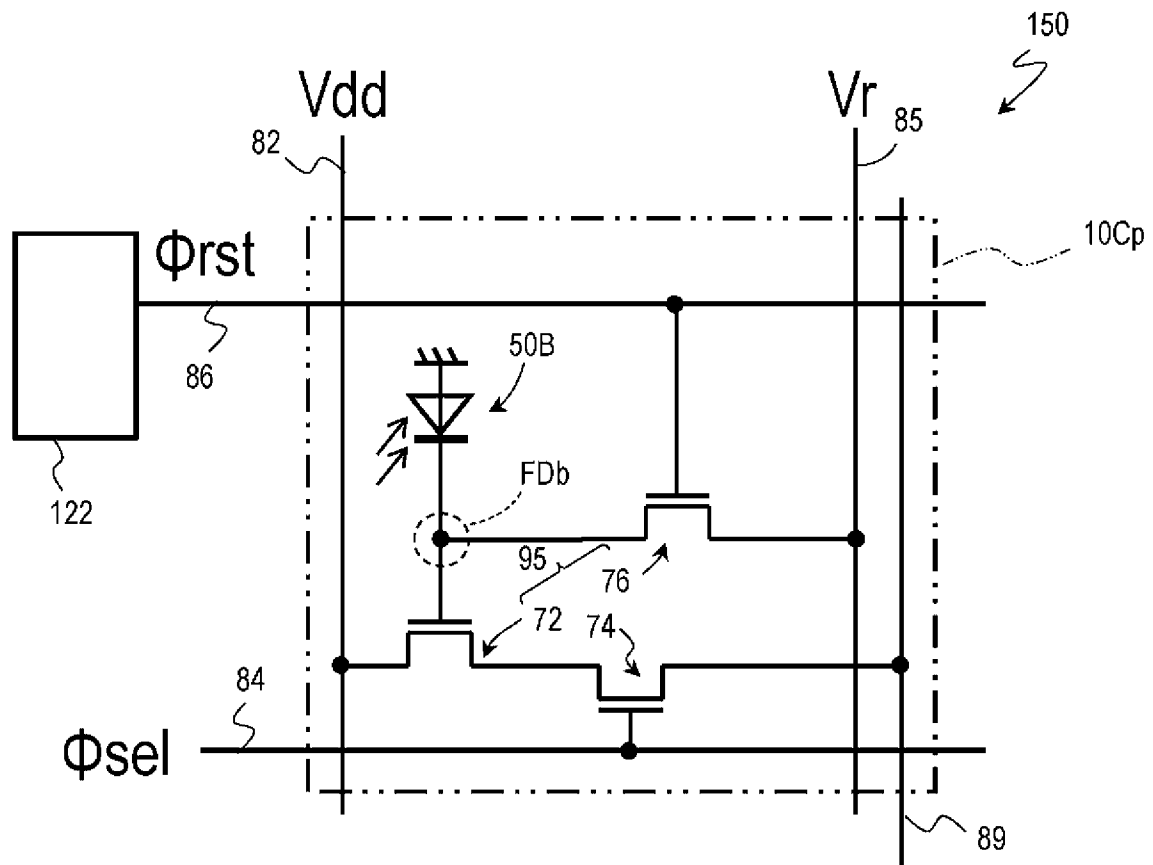
[図22A]



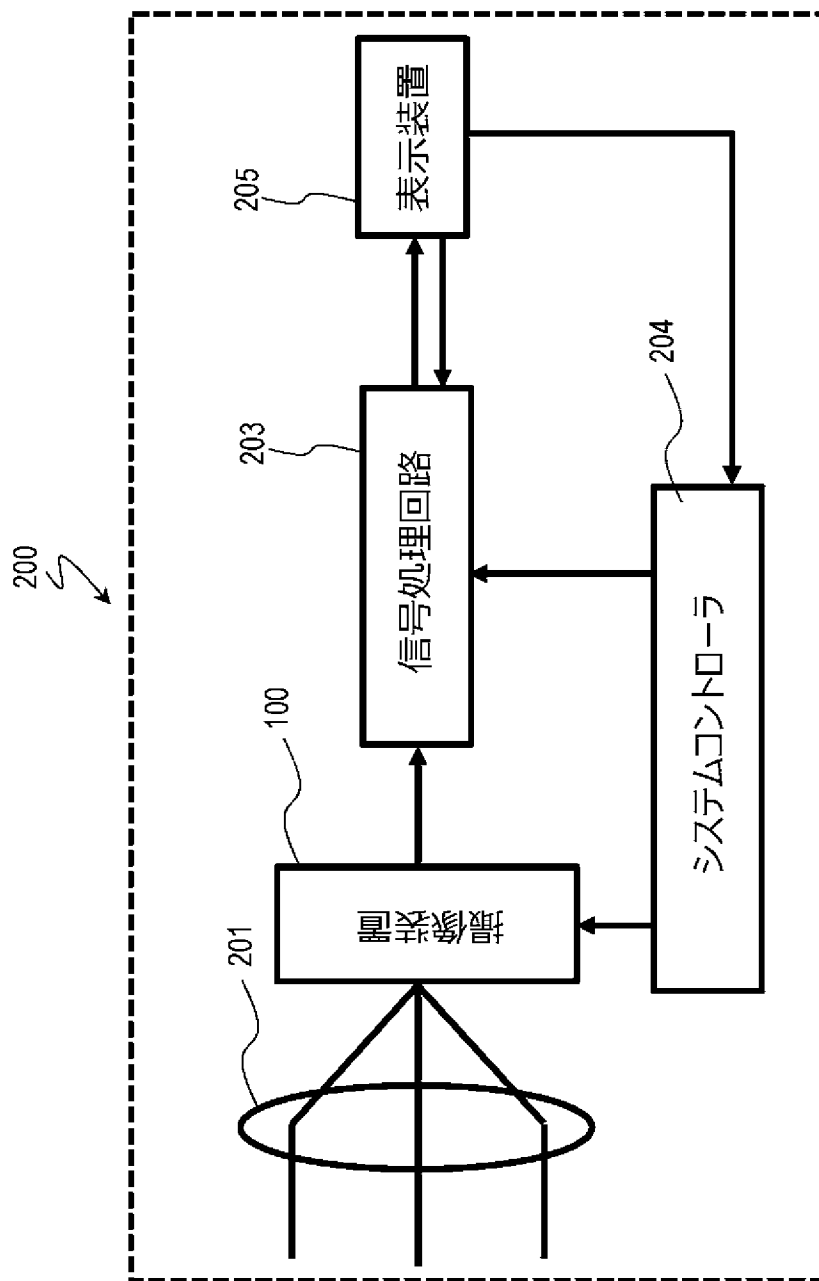
[図22B]



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/022308

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/374 (2011.01) i, H01L27/146 (2006.01) i, H04N5/359 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/374, H01L27/146, H04N5/359

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-252695 A (SHIZUOKA UNIVERSITY) 16 October 2008, claim 1, paragraphs [0028]-[0066], fig. 1-7 (Family: none)	1-13
A	JP 2016-63216 A (PANASONIC IP MANAGEMENT CO., LTD.) 25 April 2016, entire text & US 2016/0079297 A1, entire text	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

22 August 2018 (22.08.2018)

Date of mailing of the international search report

04 September 2018 (04.09.2018)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/022308

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2014/112279 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 24 July 2014, entire text & US 2015/0349008 A1, entire text & US 2017/0294486 A1 & US 2017/0338263 A1 & CN 104904013 A	1-13
A	JP 2013-175951 A (HONDA MOTOR CO., LTD.) 05 September 2013, entire text (Family: none)	1-13

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/374(2011.01)i, H01L27/146(2006.01)i, H04N5/359(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/374, H01L27/146, H04N5/359

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-252695 A（国立大学法人静岡大学） 2008.10.16, 請求項1, 段落[0028]-[0066], 図1-7 （ファミリーなし）	1-13
A	JP 2016-63216 A（パナソニックIPマネジメント株式会社） 2016.04.25, 全文 & US 2016/0079297 A1, 全文	1-13

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

22.08.2018

国際調査報告の発送日

04.09.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

橘 高志

5V

8391

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2014/112279 A1 (ソニーセミコンダクタソリューションズ株式会社) 2014.07.24, 全文 & US 2015/0349008 A1, 全文 & US 2017/0294486 A1 & US 2017/0338263 A1 & CN 104904013 A	1-13
A	JP 2013-175951 A (本田技研工業株式会社) 2013.09.05, 全文 (ファミリーなし)	1-13