



(12) 发明专利申请

(10) 申请公布号 CN 104253611 A

(43) 申请公布日 2014. 12. 31

(21) 申请号 201310268059. 4

(22) 申请日 2013. 06. 28

(71) 申请人 上海贝尔股份有限公司

地址 201206 上海市浦东新区金桥宁桥路  
388 号

(72) 发明人 周代彬 张辉 王林泉

(74) 专利代理机构 北京汉昊知识产权代理事务  
所(普通合伙) 11370

代理人 罗朋 励向南

(51) Int. Cl.

H03L 7/085(2006. 01)

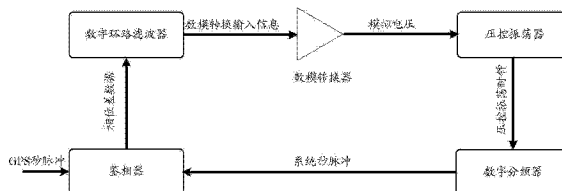
权利要求书3页 说明书7页 附图4页

(54) 发明名称

一种检测相位差的方法、鉴相器及数字锁相环

(57) 摘要

本发明的目的是提供一种检测相位差的方法、鉴相器及数字锁相环。根据本发明的方法,所述方法包括:利用相位差脉冲的电压对移相电路进行充放电,以获得与该移相电路充放电过程相对应的第一信号,其中,所述第一信号为模拟信号;获取与该第一信号相对应的数字信号;通过计数时钟对所述数字信号进行测量,以获得与所述相位差脉冲对应的相位差数据。本发明的优点在于:可利用现有的计数时钟,对脉宽较小的相位差脉冲进行精确地测量。从而在无需过多增加成本的情况下,有效地提升了测量精度。



1. 一种采用鉴相器来检测相位差的方法,所述鉴相器包括相位差计数器、相位差方向模块、异或门,其中,所述相位差检测器还包括移相电路,所述方法包括以下步骤:

a 利用相位差脉冲的电压对移相电路进行充放电,以获得与该移相电路充放电过程相对应的第一信号,其中,所述第一信号为模拟信号;

b 获取与该第一信号相对应的数字信号;

c 通过计数时钟对所述数字信号进行测量,以获得与所述相位差脉冲对应的相位差数据。

2. 根据权利要求 1 所述的方法,其中,所述步骤 a 包括以下步骤:

- 当所述相位差脉冲在高电压时,对所述移相电路进行充电,当所述相位差脉冲在低电压时,对所述移相电路进行放电,以基于充放电过程中相移电路的电容电压值确定第一信号。

3. 根据权利要求 1 或 2 所述的方法,其中,所述第一信号对应的曲线  $V_0(t)$  如以下方程式示意:

$$0 \leq t \leq T_0, V_0(t) = V_{0\max} * (1 - e^{-t/(RC)});$$

$$T_0 < t, V_0(t) = V_0(T_0) * e^{-(t-T_0)/(RC)};$$

其中,  $t$  为充放电时间,  $V_{0\max}$  为所述相位差脉冲的最大电压,  $T_0$  为所述相位差脉冲的原始宽度,  $R$  为所述移相电路中的电阻值,  $C$  为所述移相电路中的电容值。

4. 根据权利要求 1 至 3 中任一项所述的方法,其中,所述步骤 b 包括以下步骤:

- 基于参考电压,将所述第一信号转换为数字信号;

其中,所述数字信号的曲线  $V_2(t)$  如下方程式所示:

$$V_{\text{ref}} \leq V_{0\max} * (1 - e^{-t/(RC)}) \quad V_2(t) = 1;$$

$$V_{\text{ref}} > V_{0\max} * (1 - e^{-t/(RC)}) \quad V_2(t) = 0;$$

其中,  $V_{\text{ref}}$  为所述参考电压,  $t$  为充放电时间,  $V_{0\max}$  为相位差脉冲的最大电压,  $R$  为所述移相电路中的电阻值,  $C$  为所述移相电路中的电容值。

5. 根据权利要求 1 至 4 中任一项所述的方法,其中,所述步骤 b 包括以下步骤:

- 将所述第一信号放大为第二信号;

- 将所述第二信号转换为所述数字信号。

6. 根据权利要求 5 所述的方法,其中,所述第二信号对应的曲线  $V_1(t)$  如以下方程式示意:

$$\text{当 } 0 \leq t \leq T_0 \text{ 时, } \begin{cases} m * V_0(t) < V_{\text{adcmax}} & V_1(t) = m * V_{0\max} * (1 - e^{-t/(RC)}); \\ m * V_0(t) \geq V_{\text{adcmax}} & V_1(t) = V_{\text{adcmax}} \end{cases};$$

$$\text{当 } T_0 < t \text{ 时, } \begin{cases} m * V_0(t) < V_{\text{adcmax}} & V_1(t) = m * V_0(T_0) * e^{-(t-T_0)/(RC)}; \\ m * V_0(t) \geq V_{\text{adcmax}} & V_1(t) = V_{\text{adcmax}} \end{cases};$$

其中,  $m$  为第二信号相对于第一信号的放大倍数,  $V_{0\max}$  为所述相位差脉冲的最大电压,  $T_0$  为相位差脉冲的原始宽度;  $R$  为所述移相电路中的电阻值,  $C$  为所述移相电路中的电容值,  $V_{\text{adcmax}}$  为放大时的最高限定电压。

7. 根据权利要求 6 所述的方法,其中,所述数字信号的曲线  $V_2(t)$  如下方程式所示:

$$V_{\text{ref}} \leq m * V_{0\max} * (1 - e^{-t/(RC)}) \quad V_2(t) = 1;$$

$$V_{\text{ref}} > m * V_{0\text{max}} * (1 - e^{-t/(RC)}) \quad V_2(t) = 0;$$

其中,  $m$  为第二信号相对于第一信号的放大倍数,  $V_{\text{ref}}$  为所述参考电压,  $t$  为充放电时间,  $V_{0\text{max}}$  为所述相位差脉冲的最大电压,  $R$  为所述移相电路中的电阻值,  $C$  为所述移相电路中的电容值。

8. 一种鉴相器, 其中, 所述鉴相器包括相位差计数器、相位差方向模块、异或门, 其中, 所述相位差检测器还包括:

移相电路, 用于利用相位差脉冲的电压进行充放电, 以获得与该充放电过程相对应的第一信号, 其中, 所述第一信号为模拟信号;

获取装置, 用于获取与该第一信号相对应的数字信号;

其中, 所述相位差计数器用于通过计数时钟对所述数字信号进行测量, 以获得与所述相位差脉冲对应的相位差数据。

9. 根据权利要求 8 所述的鉴相器, 其中, 所述移相电路还用于:

- 当所述相位差脉冲在高电压时, 进行充电, 当所述相位差脉冲在低电压时, 进行放电, 以基于充放电过程中移相电路的电容电压值确定第一信号。

10. 根据权利要求 8 或 9 所述的鉴相器, 其中, 所述第一信号对应的曲线  $V_0(t)$  如以下方程式示意:

$$0 \leq t \leq T_0, V_0(t) = V_{0\text{max}} * (1 - e^{-t/(RC)});$$

$$T_0 < t, V_0(t) = V_0(T_0) * e^{-(t-T_0)/(RC)};$$

其中,  $t$  为充放电时间,  $V_{0\text{max}}$  为所述相位差脉冲的最大电压,  $T_0$  为所述相位差脉冲的原始宽度,  $R$  为所述移相电路中的电阻值,  $C$  为所述移相电路中的电容值。

11. 根据权利要求 8 至 10 中任一项所述的鉴相器, 其中, 所述获取装置用于:

- 基于参考电压, 将所述第一信号转换为数字信号;

其中, 所述数字信号的曲线  $V_2(t)$  如下方程式所示:

$$V_{\text{ref}} \leq V_{0\text{max}} * (1 - e^{-t/(RC)}) \quad V_2(t) = 1;$$

$$V_{\text{ref}} > V_{0\text{max}} * (1 - e^{-t/(RC)}) \quad V_2(t) = 0;$$

其中,  $V_{\text{ref}}$  为所述参考电压,  $t$  为充放电时间,  $V_{0\text{max}}$  为相位差脉冲的最大电压,  $R$  为所述移相电路中的电阻值,  $C$  为所述移相电路中的电容值。

12. 根据权利要求 8 至 11 中任一项所述的鉴相器, 其中, 所述获取装置包括:

放大器, 用于将所述第一信号放大为第二信号;

转换器, 用于将所述第二信号转换为所述数字信号。

13. 根据权利要求 12 所述的鉴相器, 其中, 所述第二信号对应的曲线  $V_1(t)$  如以下方程式示意:

$$\text{当 } 0 \leq t \leq T_0 \text{ 时, } \begin{cases} m * V_0(t) < V_{\text{adc max}} & V_1(t) = m * V_{0\text{max}} * (1 - e^{-t/(RC)}); \\ m * V_0(t) \geq V_{\text{adc max}} & V_1(t) = V_{\text{adc max}} \end{cases};$$

$$\text{当 } T_0 < t \text{ 时, } \begin{cases} m * V_0(t) < V_{\text{adc max}} & V_1(t) = m * V_0(T_0) * e^{-(t-T_0)/(RC)}; \\ m * V_0(t) \geq V_{\text{adc max}} & V_1(t) = V_{\text{adc max}} \end{cases};$$

其中,  $m$  为第二信号相对于第一信号的放大倍数,  $V_{0\text{max}}$  为所述相位差脉冲的最大电压,  $T_0$  为相位差脉冲的原始宽度;  $R$  为所述移相电路中的电阻值,  $C$  为所述移相电路中的电容值,

$V_{\text{adcm}_{\text{max}}}$  为所述放大器的最高限定电压。

14. 根据权利要求 13 所述的鉴相器,其中,所述数字信号对应的曲线  $V_2(t)$  如下方程式所示:

$$V_{\text{ref}} \leq m * V_{\text{omax}} * (1 - e^{-t/(RC)}) \quad V_2(t) = 1;$$

$$V_{\text{ref}} > m * V_{\text{omax}} * (1 - e^{-t/(RC)}) \quad V_2(t) = 0;$$

其中,  $m$  为第二信号相对于第一信号的放大倍数,  $V_{\text{ref}}$  为所述参考电压,  $t$  为充放电时间,  $V_{\text{omax}}$  为所述相位差脉冲的最大电压,  $R$  为所述移相电路中的电阻值,  $C$  为所述移相电路中的电容值。

15. 一种数字锁相环,其中,所述数字锁相环包括数字环路滤波器、数模转换器、压控振荡器、数字分频器、以及根据权利要求 8 至 14 中至少任一项所述的鉴相器。

## 一种检测相位差的方法、鉴相器及数字锁相环

### 技术领域

[0001] 本发明涉及电子技术领域,尤其涉及一种检测相位差的方法、鉴相器及数字锁相环。

### 背景技术

[0002] 与模拟锁相环相比,数字锁相环(Digital Phase Locked Loop)具有更多的优点,例如,能够容易地改变数字锁相环的环路带宽,并且能够在锁相环中实现快速频率锁定和低相位噪声。其中间信号还可被用于实时监控系统性能,数字信号处理技术可被应用于多种系统;例如,对锁相环的输出执行直接的频率调制。并且数字信号可以容忍高干扰噪声。因此,现在数字锁相环得到了广泛应用。

[0003] 然而随着无线系统的带宽越来越大,系统必须使用高精度的锁相环来确保不同的无线基站之间的相位差足够小。其中,锁相环的精度依赖于鉴相器(PD, Phase Detector)技术。

[0004] 在传统的数字锁相环的鉴相器模块中,采用高频时钟来计算相位差的宽度,但是该技术面临着许多限制。首先,通常采用的逻辑芯片为现场可编程门阵列(FPGA, Field Programmable Gata Array),其无法支持超高时钟频率;其次,高速FPGA意味着高成本,这对于商业产品来说是不可行的。

[0005] 在鉴相器中采用相位差计数器时钟来计算相位差脉冲的宽度,因此,其计数器时钟是主要的瓶颈。例如,计数器时钟的频率为200MHz,则其检测精度为5纳秒,这意味着,当相位差脉冲宽度小于5纳秒时,无法通过该鉴相器检测到其真实的相位差。并且,在现有技术下,用户唯有需要花费极高的成本来获得更高精度的鉴相器,以解决该问题。

### 发明内容

[0006] 本发明的目的是提供一种检测相位差的方法、鉴相器及数字锁相环。

[0007] 根据本发明的一个方面,提供一种采用鉴相器来检测相位差的方法,所述鉴相器包括相位差计数器、相位差方向模块、异或门,其中,所述相位差检测器还包括移相电路,所述方法包括以下步骤:

[0008] a 利用相位差脉冲的电压对移相电路进行充放电,以获得与该移相电路充放电过程相对应的第一信号,其中,所述第一信号为模拟信号;

[0009] b 获取与该第一信号相对应的数字信号;

[0010] c 通过计数时钟对所述数字信号进行测量,以获得与所述相位差脉冲对应的相位差数据。

[0011] 根据本发明的一个方面,还提供一种鉴相器,其中,所述鉴相器包括相位差计数器、相位差方向模块、异或门,其中,所述相位差检测器还包括:

[0012] 移相电路,用于利用相位差脉冲的电压进行充放电,以获得与该充放电过程相对应的第一信号,其中,所述第一信号为模拟信号;

[0013] 获取装置,用于获取与该第一信号相对应的数字信号;

[0014] 其中,所述相位差计数器用于通过计数时钟对所述数字信号进行测量,以获得与所述相位差脉冲对应的相位差数据。

[0015] 根据本发明的一个方面,还提供一种数字锁相环,其中,所述数字锁相环包括数字环路滤波器、数模转换器、压控振荡器、数字分频器、以及所述鉴相器。

[0016] 与现有技术相比,本发明具有以下优点:本发明对相位差脉冲的脉宽通过相移电路进行放大,从而可利用现有的计数时钟,对脉宽较小的相位差脉冲,例如,小于5纳秒情况下的相位差脉冲进行精确地测量。从而在无需过多增加成本的情况下,有效地提升了测量精度。

## 附图说明

[0017] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述,本发明的其它特征、目的和优点将会变得更明显:

[0018] 图1示意出了一种数字锁相环的结构示意图。

[0019] 图2示意出了现有技术中的鉴相器的结构示意图;

[0020] 图3示意出了根据本发明的一种鉴相器的结构示意图;

[0021] 图4示意出了根据本发明的一个优选实施例的鉴相器的结构示意图;

[0022] 图5示意出了根据本发明一种检测相位差的方法流程图;

[0023] 图6示意出了根据本发明中的各个信号分别对应的波形示意图。

[0024] 附图中相同或相似的附图标记代表相同或相似的部件。

## 具体实施方式

[0025] 下面结合附图对本发明作进一步详细描述。

[0026] 图1示意出了一种数字锁相环的结构示意图。根据本发明的数字锁相环包括数字环路滤波器(DLF, Digital Loop Filter)、数模转换器(DAC, Digital Signal to Analog Signal Convertor)、压控振荡器(VOC, Voltage Controller Oscillator)、数字分频器(DD, Digital Divider)以及鉴相器(PD, Phase Detector)。

[0027] 优选地,DLF可采用低通滤波器(LPF, Low Pass Filter)来实现。压控振荡器可采用恒温振荡器(OCXO, Oven Controlled Crystal Oscillator)来实现。

[0028] 数字环路滤波器读取来自鉴相器的相位差数据,并将与该相位差数据对应的信息发送至数模转换器,数模转换器将该信息转换为模拟电压,以控制压控振荡器的时钟频率,压控振荡器基于模拟电压产生压控振荡时钟,并经过数字分频器后转换为系统秒脉冲(1PPS),鉴相器根据该来自压控振荡器的系统秒脉冲,以及来自GPS模块的GPS秒脉冲,产生相位差脉冲并对其进行检测以获得相位差数据,以供数字环路滤波器读取。

[0029] 参考图2,图2示意出了一种现有技术中的鉴相器的结构示意图。其中,所述鉴相器包括相位差计数器(PDC, Phase Difference Counter)、相位差方向检测模块(PDD, Phase Difference Detector)、异或门(XOR)。

[0030] 其中,异或门根据系统秒脉冲以及GPS秒脉冲输出相位差脉冲,相位差计时器根据计数时钟对该相位差脉冲进行检测。

[0031] 接着,参照图 3,图 3 示意出了根据本发明的一种鉴相器的结构示意图。

[0032] 根据图 3 所示的鉴相器还包括相移电路和获取装置。

[0033] 其中,所述相移电路包括用于扩大所述相位差脉冲的脉冲宽度的电路,优选地,所述相移电路包括一阶 RC 电路 (RC Circuit),其中,所述一阶 RC 电路中包含一个电容和一个电阻。

[0034] 相移电路利用相位差脉冲的电压进行充放电,以获得与该充放电过程相对应的第一信号。其中,所述第一信号为模拟信号。

[0035] 其中,当所述相位差脉冲在高电压时,所述相移电路进行充电,当所述相位差脉冲在低电压时,所述相移电路进行放电,以基于相移电路在充放电过程中的电容电压值确定第一信号。

[0036] 具体的,当所述相位差脉冲在高电压,亦即对应逻辑 1 时,RC 电路中的电容进行充电,当所述相位差脉冲在低电压时,亦即对应逻辑 0 时,RC 电路中的电容进行放电,并且,鉴相器基于充放电过程中该 RC 电路中的电容的电压值来确定第一信号。

[0037] 优选地,将充放电过程中 RC 电路的电容的电压值以  $V_0(t)$  来表示,则与该第一信号对应的曲线可由以下方程式来示意。

$$[0038] \quad 0 \leq t \leq T_0, V_0(t) = V_{0\max} * (1 - e^{-t/(RC)}) \quad (1);$$

$$[0039] \quad T_0 < t, V_0(t) = V_0(T_0) * e^{-(t-T_0)/(RC)} \quad (2);$$

[0040] 其中, $t$  为 RC 电路的充放电时间, $V_{0\max}$  为所述相位差脉冲的最大电压, $T_0$  为所述相位差脉冲的原始宽度, $R$  为所述相移电路中的电阻值, $C$  为所述相移电路中的电容值。

[0041] 其中方程式 (1) 和 (2) 所对应的曲线可参考图 6 中所示的第一信号的波形曲线。

[0042] 由前述方程式 (1) 和 (2) 可知,在  $t$  小于  $T_0$  时,随着  $t$  增大,电容的电压值  $V_0(t)$  也随之增大,亦即在  $[0, T_0]$  时间内,对 RC 电路的电容进行充电,接着,当  $t$  大于  $T_0$  时,随着  $t$  增大,电容电压值  $V_0(t)$  随之减小,亦即在  $[T_0, +\infty)$  时间内,对 RC 电路的电容进行放电。

[0043] 优选地,将  $T_1$  作为 RC 电路处于放电阶段的时间值,则可知  $V_0(t) = V_0(T_0 + T_1)$ ,则放电阶段的电压值  $V_0(t)$  可由下述方程式 (3) 表示。

$$[0044] \quad V_0(T_0 + T_1) = V_0(T_0) * e^{-(t-T_0)/(RC)} \quad (3);$$

[0045] 优选地,可令  $V_0(T_0 + T_1)$  为一较小值来确定  $T_1$  的值。更优选地,令  $V_0(T_0 + T_1) = 0.00001$  伏,以确定此时的  $T_1$  的值。

[0046] 其中,所述  $t$  为 RC 电路的充放电时间,亦即,所述  $t$  为与第一信号对应的脉冲宽度,并且,根据方程式 (3) 以及所选择的  $T_1$  的值,可确定用于表示第一信号的脉冲宽度  $t$  的方程式 (4) 如下。

$$[0047] \quad t = T_0 - RC * \ln(V_0(T_0 + T_1) / (V_{0\max} * (1 - e^{-T_0/(RC)}))) \quad (4)。$$

[0048] 接着,获取装置获取与该第一信号相对应的数字信号。

[0049] 其中,获取装置获取与该第一信号相对应的数字信号的方式包括以下任一种:

[0050] (1) 获取装置基于参考电压,将所述第一信号转换为数字信号。

[0051] 其中,所述数字信号对应的曲线  $V_2(t)$  如下方程式所示:

$$[0052] \quad V_{\text{ref}} \leq V_{0\max} * (1 - e^{-t/(RC)}), V_2(t) = 1 \quad (5);$$

$$[0053] \quad V_{\text{ref}} > V_{0\max} * (1 - e^{-t/(RC)}), V_2(t) = 0 \quad (6);$$

[0054] 其中,  $V_{ref}$  为鉴相器所采用的、将模拟信号转换为数字信号时采用的参考电压。

[0055] 根据方程式 (5) 和 (6) 可知, 将第一信号转换为数字信号时并未改变其脉冲宽度, 因此, 所获得的数字信号的脉冲宽度同样为  $T_0+T_1$ 。

[0056] (2) 参照图 4, 图 4 示意出了根据本发明的一个优选实施例的鉴相器的结构示意图, 根据图 4 的获取装置包括放大器和转换器。

[0057] 其中, 放大器先将所述第一信号放大为第二信号; 接着, 转换器将所述第二信号转换为所述数字信号。其中, 该转换器可采用电压比较器来实现。

[0058] 参见图 6 中所示的第二信号与数字信号分别对应的波形曲线。

[0059] 其中, 所述第二信号对应的曲线  $V_1(t)$  如以下方程式示意:

[0060] 当  $0 \leq t \leq T_0$  时, 
$$\begin{cases} m * V_0(t) < V_{adcmax} & V_1(t) = m * V_{0max} * (1 - e^{-t/(RC)}) \\ m * V_0(t) \geq V_{adcmax} & V_1(t) = V_{adcmax} \end{cases} \quad (7);$$

[0061] 当  $T_0 < t$  时, 
$$\begin{cases} m * V_0(t) < V_{adcmax} & V_1(t) = m * V_0(T_0) * e^{-(t-T_0)/(RC)} \\ m * V_0(t) \geq V_{adcmax} & V_1(t) = V_{adcmax} \end{cases} \quad (8);$$

[0062] 其中,  $m$  为第二信号相对于第一信号的放大倍数,  $V_{adcmax}$  为放大时的最高限定电压。优选地, 参照图 6, 所述最高限定电压  $V_{adcmax}$  小于相位差脉冲的最大电压  $V_{0max}$  的  $m$  倍。

[0063] 此时, 所述数字信号的曲线  $V_2(t)$  如下方程式所示:

[0064]  $V_{ref} \leq m * V_{0max} * (1 - e^{-t/(RC)}), V_2(t) = 1 \quad (9);$

[0065]  $V_{ref} > m * V_{0max} * (1 - e^{-t/(RC)}), V_2(t) = 0 \quad (10).$

[0066] 根据方程式 (7) 和 (8) 可知, 第二信号与第一信号的区别仅在于脉冲的振幅, 第二信号的脉冲宽度仍然与第一信号相同, 并且, 根据方程式 (9) 和 (10) 可知, 将第二信号转换为数字信号后, 其脉冲宽度并未改变, 因此, 此时获得的数字信号的脉冲宽度仍为  $T_0+T_1$ 。

[0067] 根据本发明的方案, 通过 RC 电路, 将相位差脉冲的原始宽度  $T_0$  扩大至了第一信号的脉冲宽度  $T_0+T_1$ , 因此可知, 利用 RC 电路可以有效地将相位差脉冲的原始宽度扩大至较大的倍数。

[0068] 具体地, 下表 2 中示意出了当 RC 电路的电阻值为 100 欧姆, 电容值为  $1 \times 10^{-10}$  法拉, 相位差脉冲的最大电压  $V_{0max}$  为 3.3 伏特, 并且  $V_0(T_0+T_1)$  为 0.00001 伏特时, 相位差脉冲的原始宽度  $T_0$  的不同取值下的数字信号的脉冲宽度  $T_0+T_1$ 。

[0069] 表 1

	T0 (s)	(T0+T1) (s)	(T0+T1)/T0
	1.0000E-09	1.04547E-07	104.5468
[0070]	2.0000E-09	1.11991E-07	55.9954
	3.0000E-09	1.16566E-07	38.8554
	4.0000E-09	1.19972E-07	29.9930
	5.0000E-09	1.22741E-07	24.5482

[0071] 由上表可知, 当  $T_0$  为 1 纳秒时, 数字信号的脉冲宽度  $T_0+T_1$  为 104.547 纳秒, 其放大倍数为 104.5468 倍; 当  $T_0$  为 5 纳秒时, 数字信号的脉冲宽度  $T_0+T_1$  为 122.741 纳秒, 放大



倍数为 24.5482 倍。

[0072] 显然,相位差脉冲在经过 RC 电路放大后,采用现有的取样计数时钟即可获得较高的相位差检测精度。

[0073] 接着,相位差计数器通过计数时钟对所述数字信号进行测量,以获得与所述相位差脉冲对应的相位差数据。

[0074] 根据本发明的方案,对相位差脉冲的脉宽通过相移电路进行放大,从而可利用现有的计数时钟,对脉宽较小的相位差脉冲,例如,小于 5 纳秒情况下的相位差脉冲进行精确地测量。从而在无需过多增加成本的情况下,有效地提升了测量精度。

[0075] 参照图 5,图 5 示意出了根据本发明一种检测相位差的方法流程图。根据本发明的方法包括步骤 S1、步骤 S2 以及步骤 S3。

[0076] 其中,根据本发明的鉴相器还包括相移电路。所述相移电路包括用于扩大所述相位差脉冲的脉冲宽度的电路,优选地,所述相移电路包括一阶 RC 电路 (RC Circuit),其中,所述一阶 RC 电路中包含一个电容和一个电阻。

[0077] 在步骤 S1 中,鉴相器利用相位差脉冲的电压对相移电路进行充放电,以获得与该相移电路充放电过程相对应的第一信号。其中,所述第一信号为模拟信号。

[0078] 其中,当所述相位差脉冲在高电压时,对所述相移电路进行充电,当所述相位差脉冲在低电压时,对所述相移电路进行放电,以基于相移电路在充放电过程中的电容电压值确定第一信号。

[0079] 具体的,当所述相位差脉冲在高电压,亦即对应逻辑 1 时,RC 电路中的电容进行充电,当所述相位差脉冲在低电压时,亦即对应逻辑 0 时,RC 电路中的电容进行放电,并且,鉴相器基于充放电过程中该 RC 电路中的电容的电压值来确定第一信号。

[0080] 优选地,将充放电过程中 RC 电路的电容的电压值以  $V_0(t)$  来表示,则与该第一信号对应的曲线可由以下方程式来示意。

$$[0081] \quad 0 \leq t \leq T_0, V_0(t) = V_{0\max} * (1 - e^{-t/(RC)}) \quad (1);$$

$$[0082] \quad T_0 < t, V_0(t) = V_0(T_0) * e^{-(t-T_0)/(RC)} \quad (2);$$

[0083] 其中,t 为 RC 电路的充放电时间, $V_{0\max}$  为所述相位差脉冲的最大电压, $T_0$  为所述相位差脉冲的原始宽度,R 为所述相移电路中的电阻值,C 为所述相移电路中的电容值。

[0084] 其中方程式 (1) 和 (2) 所对应的曲线可参考图 6 中所示的第一信号的波形曲线。

[0085] 由前述方程式 (1) 和 (2) 可知,在 t 小于  $T_0$  时,随着 t 增大,电容的电压值  $V_0(t)$  也随之增大,亦即在  $[0, T_0]$  时间内,对 RC 电路的电容进行充电,接着,当 t 大于  $T_0$  时,随着 t 增大,电容电压值  $V_0(t)$  随之减小,亦即在  $[T_0, +\infty)$  时间内,对 RC 电路的电容进行放电。

[0086] 优选地,将  $T_1$  作为 RC 电路处于放电阶段的时间值,则可知  $V_0(t) = V_0(T_0+T_1)$ ,则放电阶段的电压值  $V_0(t)$  可由下述方程式 (3) 表示。

$$[0087] \quad V_0(T_0 + T_1) = V_0(T_0) * e^{-(t-T_0)/(RC)} \quad (3);$$

[0088] 优选地,可令  $V_0(T_0+T_1)$  为一较小值来确定  $T_1$  的值。更优选地,令  $V_0(T_0+T_1) = 0.00001$  伏,以确定此时的  $T_1$  的值。

[0089] 其中,所述 t 为 RC 电路的充放电时间,亦即,所述 t 为与第一信号对应的脉冲宽度,并且,根据方程式 (3) 以及所选择的  $T_1$  的值,可确定用于表示第一信号的脉冲宽度 t 的

方程式 (4) 如下。

$$[0090] \quad t = T_0 - RC * \ln(V_0(T_0 + T_1) / (V_{0\max} * (1 - e^{-T_0/(RC)}))) \quad (4)。$$

[0091] 接着,在步骤 S2 中,鉴相器获取与该第一信号相对应的数字信号。

[0092] 其中,鉴相器获取与该第一信号相对应的数字信号的方式包括以下任一种:

[0093] (1) 基于参考电压,将所述第一信号转换为数字信号。

[0094] 其中,所述数字信号对应的曲线  $V_2(t)$  如下方程式所示:

$$[0095] \quad V_{\text{ref}} \leq V_{0\max} * (1 - e^{-t/(RC)}), V_2(t) = 1 \quad (5);$$

$$[0096] \quad V_{\text{ref}} > V_{0\max} * (1 - e^{-t/(RC)}), V_2(t) = 0 \quad (6);$$

[0097] 其中,  $V_{\text{ref}}$  为鉴相器所采用的、将模拟信号转换为数字信号时采用的参考电压。

[0098] 根据方程式 (5) 和 (6) 可知,将第一信号转换为数字信号时并未改变其脉冲宽度,因此,所获得的数字信号的脉冲宽度同样为  $T_0 + T_1$ 。

[0099] (2) 鉴相器先将所述第一信号放大为第二信号;接着,将所述第二信号转换为所述数字信号。

[0100] 参见图 6 中所示的第二信号与数字信号分别对应的波形曲线。

[0101] 其中,所述第二信号对应的曲线  $V_1(t)$  如以下方程式示意:

$$[0102] \quad \text{当 } 0 \leq t \leq T_0 \text{ 时, } \begin{cases} m * V_0(t) < V_{\text{adcmax}} & V_1(t) = m * V_{0\max} * (1 - e^{-t/(RC)}) \\ m * V_0(t) \geq V_{\text{adcmax}} & V_1(t) = V_{\text{adcmax}} \end{cases} \quad (7);$$

$$[0103] \quad \text{当 } T_0 < t \text{ 时, } \begin{cases} m * V_0(t) < V_{\text{adcmax}} & V_1(t) = m * V_0(T_0) * e^{-(t-T_0)/(RC)} \\ m * V_0(t) \geq V_{\text{adcmax}} & V_1(t) = V_{\text{adcmax}} \end{cases} \quad (8);$$

[0104] 其中,  $m$  为第二信号相对于第一信号的放大倍数,  $V_{\text{adcmax}}$  为放大时的最高限定电压。优选地,参照图 6,所述最高限定电压  $V_{\text{adcmax}}$  小于相位差脉冲的最大电压  $V_{0\max}$  的  $m$  倍。

[0105] 此时,所述数字信号的曲线  $V_2(t)$  如下方程式所示:

$$[0106] \quad V_{\text{ref}} \leq m * V_{0\max} * (1 - e^{-t/(RC)}), V_2(t) = 1 \quad (9);$$

$$[0107] \quad V_{\text{ref}} > m * V_{0\max} * (1 - e^{-t/(RC)}), V_2(t) = 0 \quad (10)。$$

[0108] 根据方程式 (7) 和 (8) 可知,第二信号与第一信号的区别仅在于脉冲的振幅,第二信号的脉冲宽度仍然与第一信号相同,并且,根据方程式 (9) 和 (10) 可知,将第二信号转换为数字信号后,其脉冲宽度仍未改变,因此,此时获得的数字信号的脉冲宽度仍为  $T_0 + T_1$ 。

[0109] 根据本发明的方法,通过 RC 电路,将相位差脉冲的原始宽度  $T_0$  扩大至了第一信号的脉冲宽度  $T_0 + T_1$ ,因此可知,利用 RC 电路可以有效地将相位差脉冲的原始宽度扩大至较大的倍数。

[0110] 具体地,下表 2 中示意出了当 RC 电路的电阻值为 100 欧姆,电容值为  $1 \times 10^{-10}$  法拉,相位差脉冲的最大电压  $V_{0\max}$  为 3.3 伏特,并且  $V_0(T_0 + T_1)$  为 0.00001 伏特时,相位差脉冲的原始宽度  $T_0$  的不同取值下的数字信号的脉冲宽度  $T_0 + T_1$ 。

[0111] 表 2

[0112]

T0 (s)	(T0+T1) (s)	(T0+T1)/T0
1.0000E-09	1.04547E-07	104.5468
2.0000E-09	1.11991E-07	55.9954
3.0000E-09	1.16566E-07	38.8554
4.0000E-09	1.19972E-07	29.9930
5.0000E-09	1.22741E-07	24.5482

[0113] 由上表可知,当  $T_0$  为 1 纳秒时,数字信号的脉冲宽度  $T_0+T_1$  为 104.547 纳秒,其放大倍数为 104.5468 倍;当  $T_0$  为 5 纳秒时,数字信号的脉冲宽度  $T_0+T_1$  为 122.741 纳秒,放大倍数为 24.5482 倍。

[0114] 显然,相位差脉冲在经过 RC 电路放大后,采用现有的取样计数时钟即可获得较高的相位差检测精度。

[0115] 接着,在步骤 S3 中,鉴相器通过计数时钟对所述数字信号进行测量,以获得与所述相位差脉冲对应的相位差数据。

[0116] 根据本发明的方法,对相位差脉冲的脉宽通过相移电路进行放大,从而可利用现有的计数时钟,对脉宽较小的相位差脉冲,例如,小于 5 纳秒情况下的相位差脉冲进行精确地测量。从而在无需过多增加成本的情况下,有效地提升了测量精度。

[0117] 对于本领域技术人员而言,显然本发明不限于上述示范性实施例的细节,而且在不背离本发明的精神或基本特征的情况下,能够以其他的具体形式实现本发明。因此,无论从哪一点来看,均应将实施例看作是示范性的,而且是非限制性的,本发明的范围由所附权利要求而不是上述说明限定,因此旨在将落在权利要求的等同要件的含义和范围内的所有变化涵括在本发明内。不应将权利要求中的任何附图标记视为限制所涉及的权利要求。此外,显然“包括”一词不排除其他单元或步骤,单数不排除复数。系统权利要求中陈述的多个单元或装置也可以由一个单元或装置通过软件或者硬件来实现。第一,第二等词语用来表示名称,而并不表示任何特定的顺序。

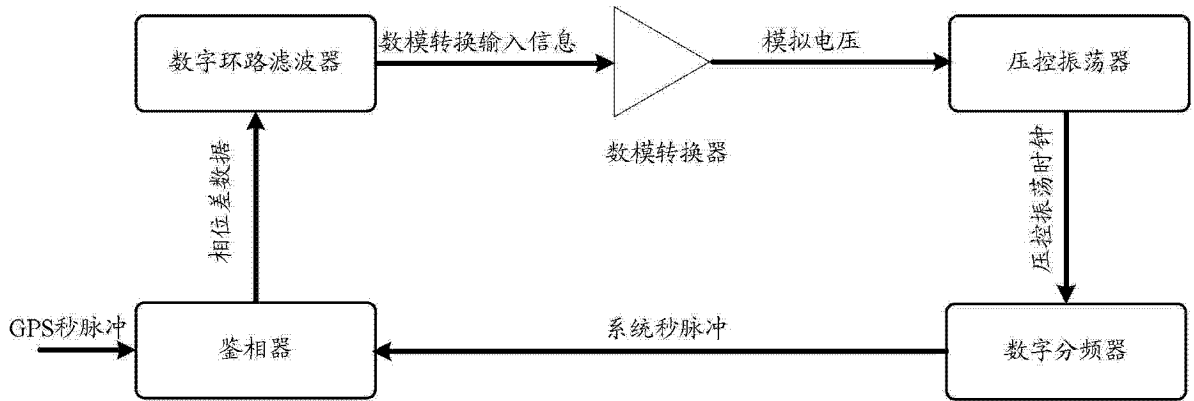


图 1

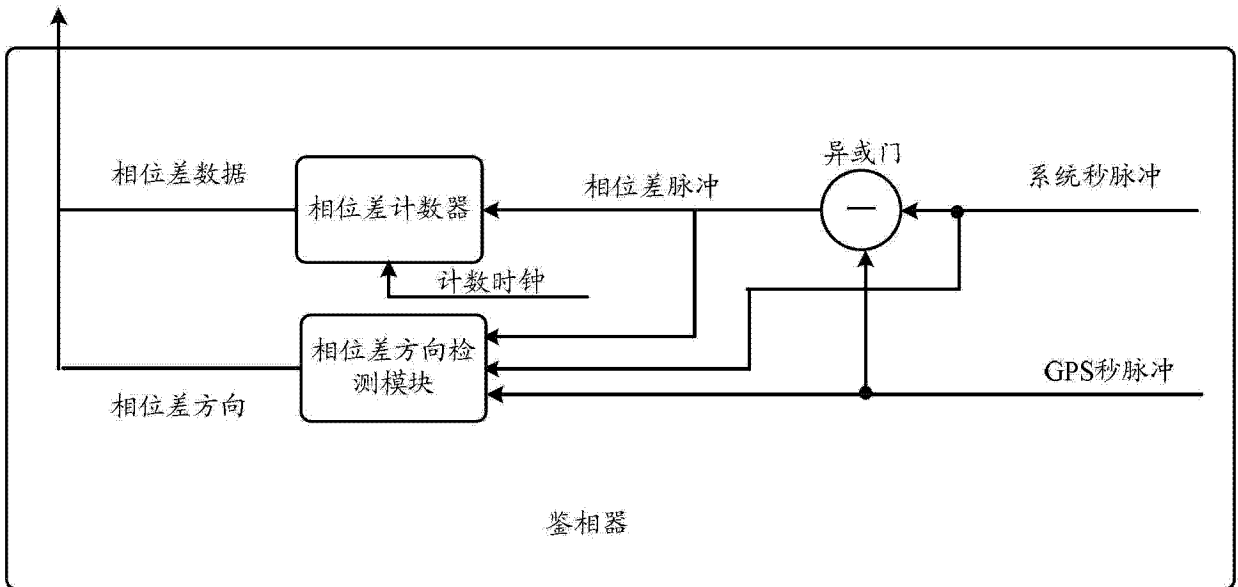


图 2

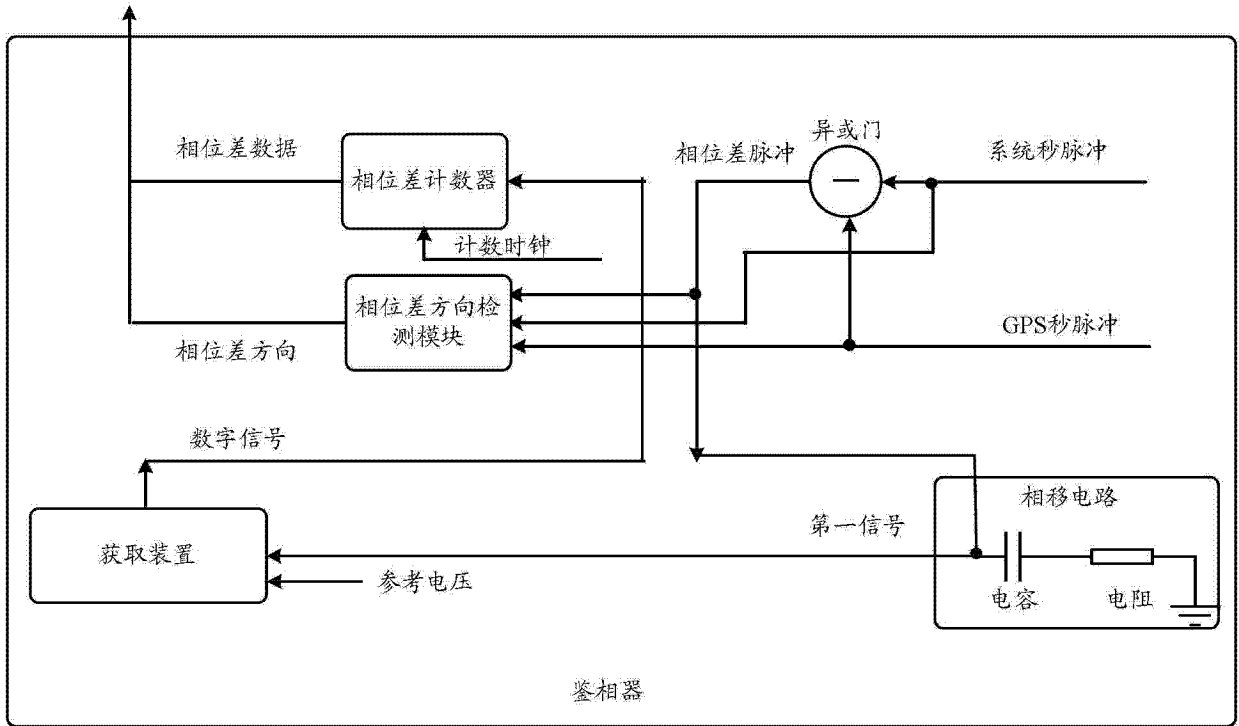


图 3

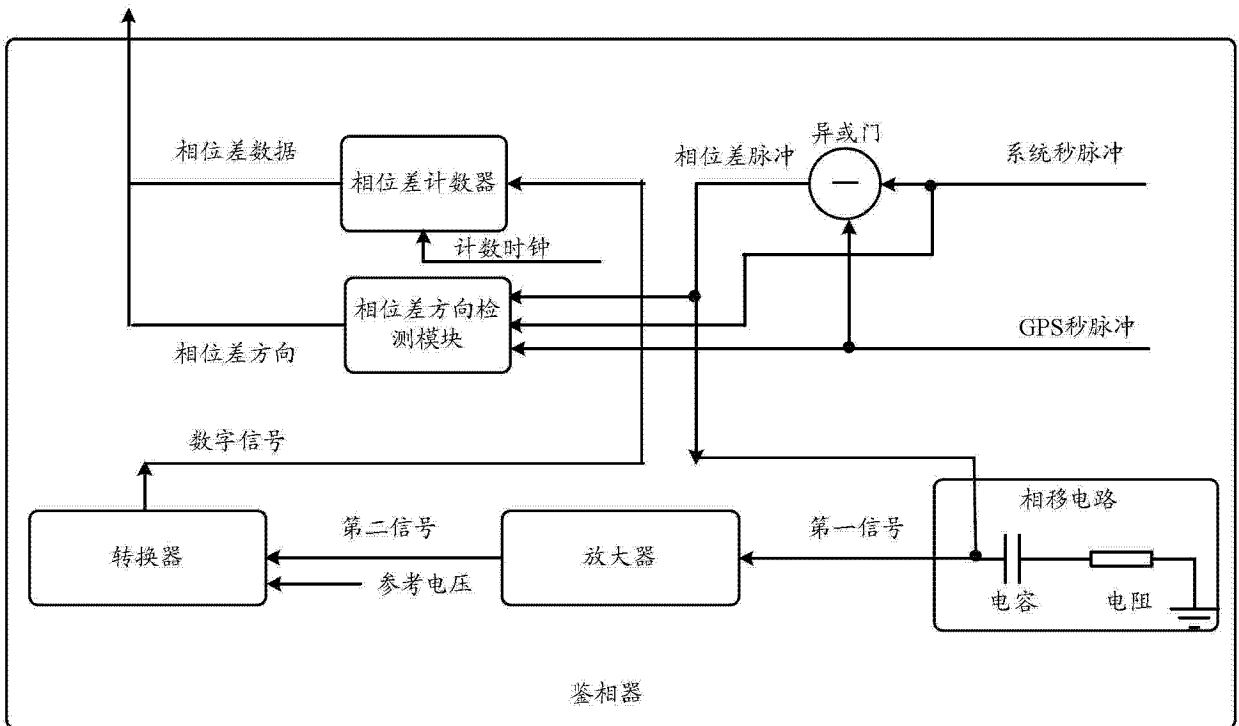


图 4

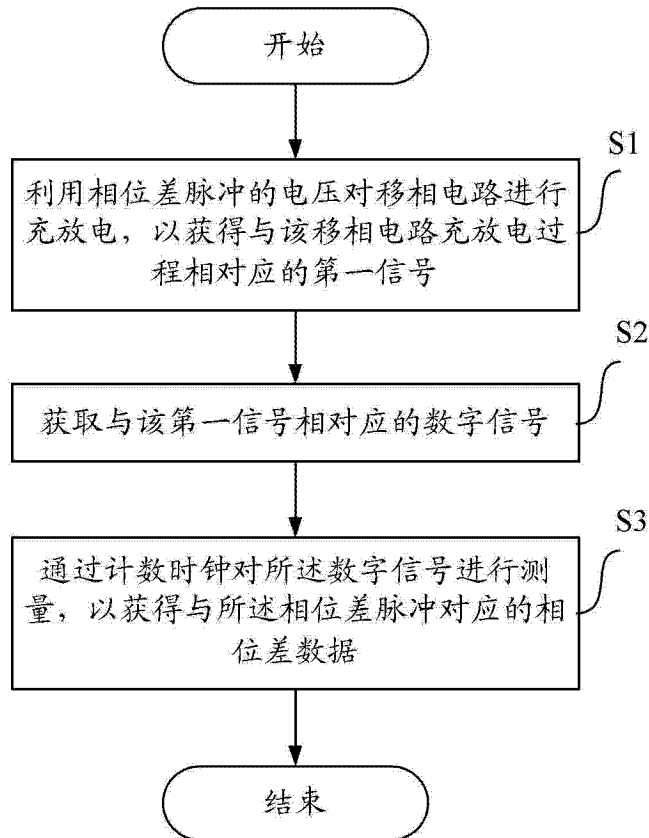


图 5

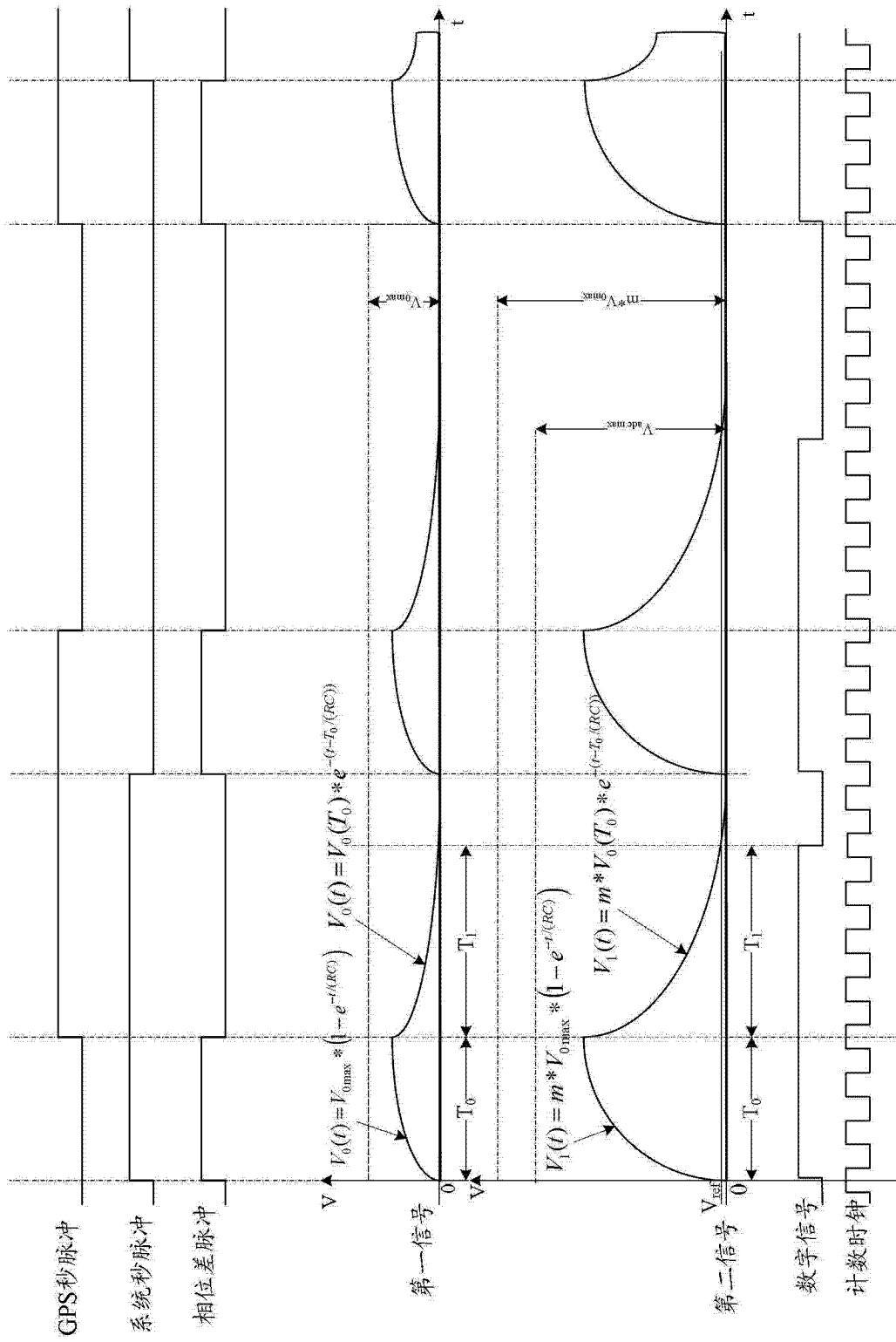


图 6