



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년02월07일

(11) 등록번호 10-1945334

(24) 등록일자 2019년01월29일

(51) 국제특허분류(Int. Cl.)

H01L 25/065 (2006.01) H01L 23/498 (2006.01)

(21) 출원번호 10-2014-7012045

(22) 출원일자(국제) 2012년10월01일

심사청구일자 2017년09월29일

(85) 번역문제출일자 2014년05월02일

(65) 공개번호 10-2014-0085489

(43) 공개일자 2014년07월07일

(86) 국제출원번호 PCT/US2012/058273

(87) 국제공개번호 WO 2013/052411

국제공개일자 2013년04월11일

(30) 우선권주장

13/440,313 2012년04월05일 미국(US)

(뒷면에 계속)

(56) 선행기술조사문현

US20020027019 A1

US20070080456 A1

US20080061423 A1

(73) 특허권자

인베스 코포레이션

미국 캘리포니아 산 호세 오처드 파크웨이 3025  
(우편번호 95134)

(72) 발명자

크리스프 리차드 드윗

미국 95134 캘리포니아주 샌 호제 오처드 파크웨이 3025

조니 와엘

미국 95134 캘리포니아주 샌 호제 오처드 파크웨이 3025

(뒷면에 계속)

(74) 대리인

유미특허법인

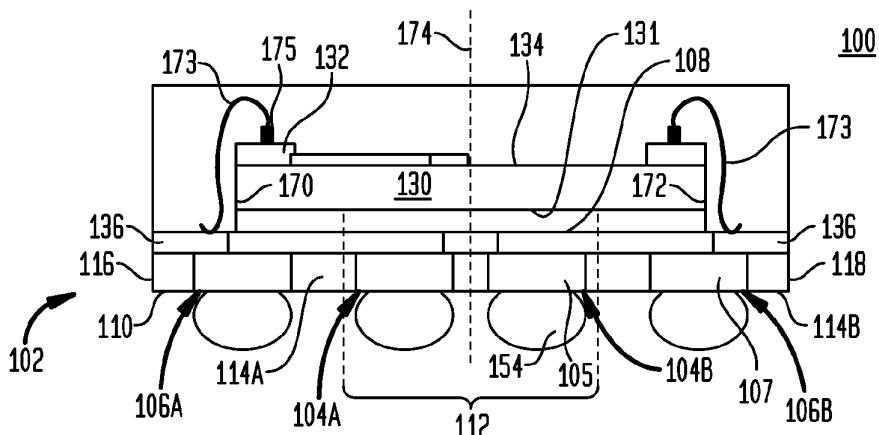
전체 청구항 수 : 총 28 항

심사관 : 안경민

(54) 발명의 명칭 창이 없는 와이어 본드 어셈블리를 위한 스터브 최소화

**(57) 요약**

마이크로 전자 패키지(100)는 기판(102)의 제 1 표면(108) 위에서 위쪽을 향해 장착되는 마이크로 전자 요소(130)를 포함할 수 있고, 이는 마이크로 전자 요소의 전방면을 따르는 제 1 방향(142)으로 있는 접촉자(132)의 하나 이상의 컬럼(138, 139)을 갖는다. 기판의 제 2 표면(110)에서 노출되는 단자(105, 107)의 컬럼(104A, 104B, 106A, 106B)은 표면(110)을 따르는 제 1 방향으로 연장되어 있다. 단자 컬럼의 최소 폭(150)의 3.5 배 이하의 폭(152)을 갖는 중심 영역(112)에서 표면(110)에서 노출되는 제 1 단자(105)는 어드레스블 메모리 위치를 결정하기 위해 사용될 수 있는 어드레스 정보를 전달하도록 될 수 있다. 마이크로 전자 요소의 축방향 면은 중심 영역과 교차할 수 있다.

**대 표 도** - 도6a

(72) 발명자

하바 벨가셈

미국 95070 캘리포니아주 사라토가 밀러 코트  
19487

람브레히트 프랭크

미국 94040 캘리포니아주 마운틴 뷰 캘리포니아  
#23 2025

(30) 우선권주장

61/542,488 2011년10월03일 미국(US)

61/542,553 2011년10월03일 미국(US)

61/600,271 2012년02월17일 미국(US)

## 명세서

### 청구범위

#### 청구항 1

마이크로 전자 패키지로서,

제 1 표면, 상기 제 1 표면 상의 복수의 기판 접촉자, 및 상기 제 1 표면의 반대쪽에 있고 제 1 방향 및 이 방향을 가로지르는 제 2 방향으로 연장되어 있는 제 2 표면을 갖는 기판;

다른 기능을 위한 능동 소자의 수보다 메모리 저장 어레이 기능을 제공하도록 구성된 더 많은 수의 능동 소자를 가지며, 상기 제 1 표면 쪽을 향하는 후방면, 상기 제 1 표면의 반대쪽에 있는 전방면, 및 상기 전방면과 후방면 사이에서 상기 전방면에 평행한 제 1 방향으로 각기 연장되어 있는 서로 반대쪽에 있는 제 1 및 2 가장자리를 가지며, 상기 전방면을 따라 제 1 방향으로 연장되는 적어도 하나의 요소 접촉자 컬럼을 가지는 마이크로 전자 요소 - 상기 제 1 및 2 가장자리는 상기 제 1 방향으로 또한 상기 마이크로 전자 요소의 후방면에 수직인 제 3 방향으로 연장되는 축방향 면을 규정하고, 상기 축방향 면은 상기 제 1 및 2 가장자리에 대해 중앙에 있음 -;

상기 전방면 위에서 연장되고, 상기 요소 접촉자와 기판 접촉자를 서로 전기적으로 연결하는 전도성 구조체; 및

상기 제 2 표면에서 상기 제 1 방향으로 연장되어 있고 상기 기판 접촉자와 전기적으로 연결되는 복수의 평행한 단자 컬럼

을 포함하며,

상기 단자는 기판의 제 2 표면의 중심 영역에서 노출되는 제 1 단자를 포함하며, 이 제 1 단자는, 상기 마이크로 전자 요소 내의 메모리 저장 어레이의 모든 이용가능한 어드레서블 메모리 위치 중에서 어드레서블 메모리 위치를 결정하기 위해 상기 패키지 내의 회로에 의해 사용될 수 있는 어ドレス 정보를 전달하도록 되어 있고,

상기 중심 영역은 상기 제 2 방향으로의 폭을 가지며, 중심 영역의 그 폭은 평행한 상기 단자 컬럼들 중의 서로 인접하는 임의의 두 컬럼 사이의 최소 피치의 3.5 배 이하이며, 상기 축방향 면은 상기 중심 영역과 교차하는, 마이크로 전자 패키지.

#### 청구항 2

제 1 항에 있어서,

상기 제 1 단자는 상기 메모리 저장 어레이에 있는 어드레서블 메모리 위치를 결정하기 위해 상기 패키지 내의 회로에 의해 사용될 수 있는 모든 어ドレス 정보를 전달하도록 되어 있는 마이크로 전자 패키지.

#### 청구항 3

제 1 항에 있어서,

상기 제 1 단자는 마이크로 전자 요소의 작동 모드를 제어하는 정보를 전달하도록 되어 있는 마이크로 전자 패키지.

#### 청구항 4

제 3 항에 있어서,

상기 제 1 단자는 마이크로 전자 패키지에 전달되는 모든 커맨드 신호를 전달하도록 되어 있고, 그 커맨드 신호는 기록 인에이블, 로우 어드레스 스트로브 및 컬럼 어드레스 스트로브 신호인 마이크로 전자 패키지.

#### 청구항 5

제 1 항에 있어서,

상기 제 1 단자는 어ドレス 정보를 전달하는 신호를 샘플링하는데 사용되는 클록인, 마이크로 전자 패키지에 전

달되는 클록 신호를 전달하도록 되어 있는 마이크로 전자 패키지.

#### 청구항 6

제 1 항에 있어서,

상기 제 1 단자는 마이크로 전자 패키지에 전달되는 모든 뱅크 어드레스 신호를 전달하도록 되어 있는 마이크로 전자 패키지.

#### 청구항 7

제 1 항에 있어서,

상기 단자는 마이크로 전자 패키지의 외부에 있는 적어도 하나의 구성품에 그 마이크로 전자 패키지를 연결하도록 되어 있는 마이크로 전자 패키지.

#### 청구항 8

제 1 항에 있어서,

상기 요소 접촉자는 상기 마이크로 전자 요소의 전방면에서 노출되는 재분산 접촉자를 포함하며, 각각의 재분산 접촉자는 트레이스 또는 비아(via) 중의 적어도 하나를 통해 상기 마이크로 전자 요소의 접촉 패드에 전기적으로 연결되는 마이크로 전자 패키지.

#### 청구항 9

제 1 항에 있어서,

상기 진도성 구조체는, 상기 요소 접촉자로부터 연장되어 있고 상기 기판 접촉자와 전기적으로 연결되는 와이어 본드를 포함하는 마이크로 전자 패키지.

#### 청구항 10

제 1 항에 있어서,

상기 제 1 단자는 2개 이하의 단자 컬럼에 배치되는 마이크로 전자 패키지.

#### 청구항 11

제 1 항에 있어서,

상기 제 1 단자는 단일의 단자 컬럼에 배치되는 마이크로 전자 패키지.

#### 청구항 12

제 1 항에 있어서,

상기 제 1 단자는 4개 이하의 단자 컬럼에 배치되는 마이크로 전자 패키지.

#### 청구항 13

제 1 항에 있어서,

상기 기판은 서로 반대쪽에 있는 상기 제 1 및 2 표면 사이에서 서로 반대쪽에 있는 제 1 및 2 가장자리를 가지며, 상기 기판의 제 1 및 2 가장자리는 상기 제 1 방향으로 연장되어 있고, 상기 제 2 표면은 상기 기판의 제 1 및 2 가장자리에 각각 인접하는 제 1 및 2 주변 영역을 가지며, 상기 중심 영역은 상기 제 1 및 2 주변 영역을 분리하며,

상기 단자는 상기 주변 영역들 중의 적어도 하나에서 상기 제 2 표면에서 노출되는 복수의 제 2 단자를 포함하며, 이 제 2 단자들 중의 적어도 일부는 어드레스 정보 외의 정보를 전달하도록 되어 있는 마이크로 전자 패키지.

#### 청구항 14

제 13 항에 있어서,

상기 제 2 단자들 중의 적어도 일부는 데이터 신호를 전달하도록 되어 있는 마이크로 전자 패키지.

### 청구항 15

제 1 항에 있어서,

상기 기판은 유전성 요소를 포함하며, 그 유전성 요소는 이 유전성 요소의 면에서  $30 \text{ ppm}/\text{^\circ C}$  미만의 열팽창 계수(CTE)를 갖는 마이크로 전자 패키지.

### 청구항 16

제 1 항에 있어서,

상기 기판은  $12 \text{ ppm}/\text{^\circ C}$  미만의 CTE를 갖는 요소를 포함하는 마이크로 전자 패키지.

### 청구항 17

삭제

### 청구항 18

제 1 항에 있어서,

상기 단자는 상기 메모리 저장 어레이에 있는 어드레서블 메모리 위치를 결정하기 위해 상기 패키지 내의 회로에 의해 사용될 수 있는 어드레스 정보의 적어도  $3/4$ 을 전달하도록 되어 있는 마이크로 전자 패키지.

### 청구항 19

마이크로 전자 패키지로서,

서로 반대쪽에 있는 제 1 및 2 표면을 갖는 기판 - 상기 제 1 표면은 그 위에 제 1 기판 접촉자 및 제 2 기판 접촉자를 가지고, 상기 제 2 표면은 제 1 방향 및 이 방향을 가로지르는 제 2 방향으로 연장되어 있음 -;

다른 기능을 위한 능동 소자의 수보다 메모리 저장 어레이 기능을 제공하는 더 많은 수의 능동 소자를 각각 구현하고, 상기 제 1 표면에서 서로 떨어져 있고, 또한 각기 제 1 방향으로 연장되어 있는 평행한 제 1 가장자리를 가지는 제 1 및 2 마이크로 전자 요소 - 상기 제 1 방향으로 축방향 면이 연장되어 있고, 상기 축방향 면은, 제 1 가장자리들 사이의 중앙에 있으며, 또한 상기 기판의 제 1 표면에 수직인 제 3 방향으로 연장되고, 상기 제 1 및 2 마이크로 전자 요소는 상기 제 1 표면 쪽을 향하는 후방 면 및 이 후방면 반대쪽이고 접촉자를 구비한 전방면을 포함함 - ;

각 마이크로 전자 요소의 전방면 위에서 연장되고, 상기 제 1 및 2 마이크로 전자 요소의 접촉자와 상기 제 1 및 2 기판 접촉자를 서로 전기적으로 각각 연결하는 전도성 구조체; 및

상기 제 2 표면에서 상기 제 1 및 2 기판 접촉자와 전기적으로 연결되는 복수의 평행한 단자 컬럼  
을 포함하며,

상기 단자는 기판의 제 2 표면의 중심 영역에서 노출되는 제 1 단자를 포함하며, 이 제 1 단자는, 상기 제 1 및 2 마이크로 전자 요소 내의 메모리 저장 어레이의 모든 이용가능한 어드레서블 메모리 위치 중에서 어드레서블 메모리 위치를 결정하기 위해 상기 패키지 내의 회로에 의해 사용될 수 있는 어드레스 정보를 전달하도록 되어 있고,

상기 중심 영역은 상기 제 2 방향으로의 폭을 가지며, 중심 영역의 그 폭은 평행한 상기 단자 컬럼들 중의 서로 인접하는 임의의 두 컬럼 사이의 최소 피치의 3.5 배 이하이며, 상기 축방향 면은 상기 중심 영역과 교차하는 마이크로 전자 패키지.

### 청구항 20

제 19 항에 있어서,

상기 제 1 단자는 상기 메모리 저장 어레이에 있는 어드레서블 메모리 위치를 결정하기 위해 상기 패키지 내의

회로에 의해 사용될 수 있는 모든 어드레스 정보를 전달하도록 되어 있는 마이크로 전자 패키지.

### 청구항 21

제 19 항에 있어서,

상기 제 1 단자는 상기 제 1 및 2 마이크로 전자 요소의 일 마이크로 전자 요소의 작동 모드를 제어하는 정보를 전달하도록 되어 있는 마이크로 전자 패키지.

### 청구항 22

제 19 항에 있어서,

상기 제 1 단자는, 마이크로 전자 패키지에 전달되는 클록 신호 및 모든 커맨드 신호, 어드레스 신호 및 뱅크 어드레스 신호를 전달하도록 되어 있고, 상기 커맨드 신호는 기록 인에이블, 로우 어드레스 스트로브 및 컬럼 어드레스 스트로브이고, 상기 클록 신호는 어드레스 정보를 전달하는 신호를 샘플링하는데 사용되는 클록인 마이크로 전자 패키지.

### 청구항 23

제 19 항에 있어서,

상기 제 1 및 2 마이크로 전자 요소의 전방 면은 기판의 제 1 표면에 평행한 단일 면 내에서 연장되어 있는 마이크로 전자 패키지.

### 청구항 24

제 19 항에 있어서,

상기 전도성 구조체는, 상기 제 1 및 2 마이크로 전자 요소의 접촉자로부터 연장되어 있고 상기 각각의 제 1 및 2 기판 접촉자와 전기적으로 연결되는 와이어 본드를 포함하는 마이크로 전자 패키지.

### 청구항 25

제 19 항에 있어서,

상기 제 1 단자는 4개 이하의 단자 컬럼에 배치되는 마이크로 전자 패키지.

### 청구항 26

제 19 항에 있어서,

상기 제 1 및 제 2 마이크로 전자 요소의 각각의 접촉자는 그 각각의 마이크로 전자 요소의 전방면에서 노출되는 재분산 접촉자를 포함하며, 각각의 재분산 접촉자는 트레이스 또는 비아(via) 중의 적어도 하나를 통해 상기 각각의 마이크로 전자 요소의 접촉 패드에 전기적으로 연결되며, 상기 재분산 접촉자들 중의 적어도 일부는 마이크로 전자 요소의 전방 면을 따르는 적어도 하나의 방향으로 각각의 마이크로 전자 요소의 접촉자로부터 변위되어 있는 마이크로 전자 패키지.

### 청구항 27

제 19 항에 있어서,

상기 기판은 서로 반대쪽에 있는 상기 제 1 및 2 표면 사이에서 서로 반대쪽에 있는 제 1 및 2 가장자리를 가지며, 상기 기판의 제 1 및 2 가장자리는 상기 제 1 방향으로 연장되어 있고, 상기 제 2 표면은 상기 기판의 제 1 및 2 가장자리에 각각 인접하는 제 1 및 2 주변 영역을 가지며, 상기 중심 영역은 상기 제 1 및 2 주변 영역을 분리하며,

상기 단자는 상기 주변 영역들 중의 적어도 하나에서 상기 제 2 표면에서 노출되는 복수의 제 2 단자를 포함하며, 이 제 2 단자들 중의 적어도 일부는 어드레스 정보 외의 정보를 전달하도록 되어 있는 마이크로 전자 패키지.

### 청구항 28

제 27 항에 있어서,

상기 제 2 단자들 중의 적어도 일부는 데이터 신호를 전달하도록 되어 있는 마이크로 전자 패키지.

### 청구항 29

삭제

### 청구항 30

제 19 항에 있어서,

상기 단자는 메모리 저장 어레이 내의 어드레서블 메모리 위치를 결정하기 위해 패키지 내의 회로에 의해 사용될 수 있는 어ドレス 정보의 적어도 3/4을 전달하도록 되어 있는 마이크로 전자 패키지.

### 청구항 31

삭제

### 청구항 32

삭제

## 발명의 설명

### 기술 분야

[0001] 본 출원은 2012년 4월 5일에 출원된 미국 출원 제 13/440,313의 계속 출원이며, 이 계속 출원은 2012년 2월 17일에 출원된 미국 가 특허 출원 61/600,271 호, 2011년 10월 3일에 출원된 61/542,488 호 및 2011년 10월 3일에 출원된 61/542,553호의 출원일의 이익을 주장하며, 상기 모든 출원들의 내용은 본원에 참조로 관련되어 있다.

[0002] 본 발명은 마이크로 전자 패키지 및 이 마이크로 전자 패키지를 포함하는 어셈블리에 관한 것이다.

## 배경 기술

[0003] 반도체 칩은 보통 패키지화된 개별적인 유닛으로서 제공된다, 표준 칩은 평평한 직사각형 몸체를 갖는데, 이 몸체는 칩의 내부 회로에 연결되는 접촉자를 갖는 큰 전방 면을 갖는다. 각각의 개별 칩은 일반적으로 칩의 접촉자에 연결되는 외부 단자를 갖는 패키지 안에 수용된다. 그리고, 패키지의 단자, 즉 외부 연결점은 인쇄 회로 기판과 같은 회로 판넬에 전기적으로 연결된다. 종래의 많은 설계에서, 칩 패키지는 칩 그 자체의 면적보다 상당히 더 큰 회로 판넬의 면적을 차지한다. 전방 면을 갖는 평평한 칩과 관련하여 본 개시에서 사용되는 바와 같이, "칩의 면적"은 전방 면의 면적을 말하는 것으로 이해해야 한다.

[0004] 칩의 물리적 배치에 있어서 크기가 중요한 고려 사항이다. 칩의 더욱 컴팩트한 물리적 배치에 대한 요구는 휴대용 전자 장치의 급속한 발전과 더불어 더욱더 커지고 있다. 예컨대, 보통 "스마트폰"이라고 하는 장치는, 휴대폰의 기능과, 고해상도 디스플레이 및 관련된 영상 처리 칩과 함께 강력한 데이터 프로세서, 글로벌위치결정 시스템 수신기, 전자 카메라, 지역 네트워크 연결부와 같은 메모리 및 부속 장치의 기능을 통합한 것이다. 그러한 장치는 포켓 크기의 장치에서 완전한 인터넷 접속, 충분한 해상도의 비디오, 내비게이션, 전자 뱅킹 등을 포함한 엔터테인먼트와 같은 능력을 제공할 수 있다. 복잡한 휴대용 장치에서는 많은 칩들을 작은 공간 내에 두어야 한다. 더욱이, 일부 칩은 보통 "I/O"라고 하는 많은 입력 및 출력 연결부를 갖는다. 이들 I/O는 다른 칩의 I/O 와 서로 연결되어야 한다. 상호 연결부를 형성하는 요소는 어셈블리의 크기를 크게 증가시키지 않아야 한다. 예컨대 증가된 성능 및 크기 감소가 요구되는 인터넷 검색 엔진에서 사용되는 것과 같은 데이터 서버로서의 다른 용도에서도 유사한 필요성이 제기된다.

[0005] 메모리 저장 어레이를 포함하는 반도체 칩, 특히 동적 랜덤 액세스 메모리 칩(DRAM) 및 플래시 메모리 칩은 보통 단일 칩 또는 다중 칩 패키지 및 어셈블리에 패키징된다. 각 패키지는 신호를 전달하기 위한 많은 전기적 연결부, 단자들 사이의 파워와 그라운드 및 칩을 내부에 갖고 있다. 전기적 연결부는, 칩의 접촉자 보유 표면에 대해 수평 방향으로 연장되어 있는 수평 컨덕터(예컨대, 트레이스, 비임 리드), 칩의 상기 표면에 대해 수직 방향으로 연장되어 있는 비아(via)와 같은 수직 컨덕터, 및 칩의 상기 표면에 대해 수평 및 수직 방향으로 연장

되어 있는 와이어 본드를 포함할 수 있다.

[0006] 종래의 마이크로 전자 패키지는, 주로 메모리 저장 어레이 기능을 제공하도록 되어 있는 마이크로 전자 요소, 즉 다른 기능 보다 메모리 저장 어레이 기능을 제공하는 더 많은 수의 능동 소자를 구현하는 마이크로 전자 요소를 포함할 수 있다. 마이크로 전자 요소는 DRAM 칩 또는 이러한 반도체 칩들이 전기적으로 서로 연결되어 적 충된 어셈블리일 수 있으며 또는 그를 포함할 수 있다. 일반적으로, 그러한 패키지의 모든 단자는 마이크로 전자 요소가 장착되는 패키지 기판의 하나 이상의 주변 가장자리에 인접하는 컬럼 세트에 배치된다.

[0007] 예컨대, 도 1에 도시되어 있는 종래의 일 마이크로 전자 패키지(12)에서, 3개의 단자 컬럼(14)이 패키지 기판(20)의 제 1 주변 가장자리(16)에 인접하여 배치될 수 있고 3개의 다른 단자 컬럼(18)이 패키지 기판(20)의 제 2 주변 가장자리(22)에 인접하여 배치될 수 있다. 종래의 패키지에 있는 패키지 기판(20)의 중심 영역(24)은 단자 컬럼을 갖지 않는다. 도 1은 면(28)에서 요소 접촉자(26)를 갖는 패키지 내의 반도체 칩(11)을 또한 나타내는데, 상기 요소 접촉자는 패키지 기판(20)의 중심 영역(24)에 있는 구멍, 예컨대 본드 창(window)을 통과하는 와이어 본드(30)를 통해 패키지(12)의 단자 컬럼(14, 18)과 전기적으로 서로 연결된다. 어떤 경우에는, 마이크로 전자 요소와 기판 사이의 기계적 연결을 보강하기 위해 접착층(32)이 마이크로 전자 요소(11)의 면(28)과 기판(20) 사이에 배치될 수 있으며, 이때 와이어 본드는 그 접착층(32)에 있는 개구를 통과한다.

[0008] 전술한 바를 감안하여, 마이크로 전자 패키지 및 이 패키지가 장착될 수 있고 서로 전기적으로 연결될 수 있는 회로 판넬을 포함하는 어셈블리에서 전기적 성능을 개선하기 위해, 마이크로 전자 패키지 상에 단자들을 위치시키는 것에 대한 어떤 개선이 이루어질 수 있다.

### 발명의 내용

[0009] 본 발명의 일 양태에 따르면, 마이크로 전자 패키지는, 제 1 표면, 이 제 1 표면의 반대쪽에 있는 제 2 표면, 및 상기 제 1 표면에서 노출되는 복수의 기판 접촉자를 갖는 기판을 포함할 수 있다. 상기 제 2 표면은 제 1 방향 및 이 방향을 가로지르는 제 2 방향으로 연장되어 있다. 상기 마이크로 전자 패키지는 메모리 저장 어레이 기능을 갖는 마이크로 전자 요소를 포함하며, 이 마이크로 전자 요소는 상기 제 1 표면 쪽을 향하는 후방면, 그 제 1 표면의 반대쪽에 있는 전방면, 및 상기 전방면과 후방면 사이에서 전방면에 평행하게 상기 제 1 방향으로 각기 연장되어 있는 서로 반대쪽의 제 1 및 2 가장자리를 갖는다.

[0010] 상기 마이크로 전자 요소는 상기 전방면에서 노출되는 하나 이상의 요소 접촉자 컬럼을 가지며, 각각의 컬럼은 상기 전방면을 따라 제 1 방향으로 연장되어 있다. 전방면에 수직인 축방향 면이 상기 제 1 방향으로 연장되어 있는 라인을 따라 그 전방면과 교차하며 상기 하나 이상의 요소 접촉자 컬럼에 대해 중앙에 있다. 전도성 구조체가 전방 면 위에서 연장되어 있을 수 있다. 이 전도성 구조체는 상기 요소 접촉자와 기판 접촉자를 서로 전기적으로 연결한다.

[0011] 상기 마이크로 전자 패키지는, 기판의 제 2 표면에서 노출되고 상기 기판 접촉자와 전기적으로 연결되며 제 1 방향으로 연장되어 있는 복수의 단자 컬럼을 포함할 수 있다. 상기 단자는 기판의 제 2 표면의 중심 영역에서 제 2 표면에서 노출되는 제 1 단자를 포함한다. 이 제 1 단자는, 상기 마이크로 전자 요소의 메모리 저장 어레이의 모든 이용가능한 어드레서블 메모리 위치 중에서 어드레서블 메모리 위치를 결정하기 위해 상기 패키지 내의 회로에 의해 사용될 수 있는 어드레스 정보를 전달하도록 되어 있다. 상기 중심 영역은 상기 제 2 방향으로의 폭을 가지며, 그 폭은 평행한 상기 단자 컬럼들 중의 서로 인접하는 임의의 두 컬럼 사이의 최소 피치의 3.5 배 이하이다. 상기 축방향 면은 상기 중심 영역과 교차할 수 있다.

[0012] 일 실시예에서, 상기 마이크로 전자 요소는 다른 기능 보다 메모리 저장 어레이 기능을 제공하는 더 많은 수의 능동 소자를 구현할 수 있다.

[0013] 일 실시예에서, 상기 제 1 단자는 상기 메모리 저장 어레이에 있는 어드레서블 메모리 위치를 결정하기 위해 상기 패키지 내의 회로에 의해 사용될 수 있는 모든 어드레스 정보를 전달하도록 될 수 있다. 특정 실시예에서, 상기 제 1 단자는 마이크로 전자 요소의 작동 모드를 제어하는 정보를 전달하도록 될 수 있다. 일 실시예에서, 상기 제 1 단자는 마이크로 전자 패키지에 전달되는 모든 커맨드 신호를 전달하도록 되어 있고, 그 커맨드 신호는 기록 인에이블, 로우 어드레스 스트로브 및 컬럼 어드레스 스트로브 신호이다. 일 예시적인 실시 형태에서, 상기 제 1 단자는 어드레스 정보를 전달하는 신호를 샘플링하는데 사용되는 클록인, 마이크로 전자 패키지에 전달되는 클록 신호를 전달하도록 될 수 있다. 특정 실시 형태에서, 상기 제 1 단자는 마이크로 전자 패키지에 전달되는 모든 뱅크 어드레스 신호를 전달하도록 될 수 있다.

[0014]

일 특정 실시예에서, 상기 단자는 마이크로 전자 패키지의 외부에 있는 적어도 하나의 구성품에 그 마이크로 전자 패키지를 연결하도록 될 수 있다. 일 실시예에서, 상기 요소 접촉자는 상기 마이크로 전자 요소의 전방면에서 노출되는 재분산 접촉자를 포함하며, 각각의 재분산 접촉자는 트레이스 또는 비아(via) 중의 적어도 하나를 통해 상기 마이크로 전자 요소의 접촉 패드에 전기적으로 연결된다. 일 실시 형태에서, 상기 전도성 구조체는, 상기 요소 접촉자로부터 연장되어 있고 상기 기판 접촉자와 전기적으로 연결되는 와이어 본드를 포함할 수 있다. 일 예시적인 실시 형태에서, 상기 제 1 단자는 2개 이하의 단자 컬럼에 배치될 수 있다. 일 특정 실시 형태에서, 상기 제 1 단자는 단일의 단자 컬럼에 배치될 수 있다. 상기 제 1 단자는 4개 이하의 단자 컬럼에 배치될 수 있다.

[0015]

일 예시적인 실시 형태에서, 상기 기판은 서로 반대쪽에 있는 상기 제 1 및 2 표면 사이에서 서로 반대쪽에 있는 제 1 및 2 가장자리를 가질 수 있다. 제 1 및 2 가장자리는 상기 제 1 방향으로 연장되어 있을 수 있다. 제 2 표면은 상기 제 1 및 2 가장자리에 각각 인접하는 제 1 및 2 주변 영역을 가질 수 있다. 상기 중심 영역은 상기 제 1 및 2 주변 영역을 분리할 수 있다. 상기 단자는 상기 주변 영역들 중의 적어도 하나에서 상기 제 2 표면에서 노출되는 복수의 제 2 단자를 포함할 수 있다. 이 제 2 단자들 중의 적어도 일부는 어드레스 정보 외의 정보를 전달하도록 될 수 있다. 일 실시 형태에서, 일 실시 형태에서, 상기 제 2 단자들 중의 적어도 일부는 데이터 신호를 전달하도록 될 수 있다. 특정 실시예에서, 상기 기판은 유전성 요소를 포함할 수 있고, 그 유전성 요소는 이 유전성 요소의 면에서 30 ppm/°C 미만의 열팽창 계수(CTE)를 갖는다. 일 예시적인 실시 형태에서, 상기 기판은 12 ppm/°C 미만의 CTE를 갖는 요소를 포함할 수 있다.

[0016]

본 발명의 다른 양태에 따르면, 마이크로 전자 패키지는, 제 1 표면, 이 제 1 표면의 반대쪽에 있는 제 2 표면, 및 상기 제 1 표면에서 노출되는 복수의 기판 접촉자를 갖는 기판; 및 상기 기판의 제 1 표면 쪽을 향하는 후방면을 갖는 마이크로 전자 요소를 포함할 수 있고, 이 마이크로 전자 요소는 메모리 저장 어레이 기능을 갖는다. 일 실시예에서, 마이크로 전자 요소는 다른 기능 보다 메모리 저장 어레이 기능을 제공하는 더 많은 수의 능동 소자를 가질 수 있다. 전방 면 위에서 연장되어 있을 수 있는 전도성 구조체가 상기 접촉자와 기판 접촉자를 서로 전기적으로 연결한다. 복수의 평행한 단자 컬럼이 기판의 제 2 표면에서 노출될 수 있고 상기 제 2 표면을 따라 상기 제 1 방향으로 연장되어 있고, 상기 단자는 기판 접촉자와 전기적으로 연결된다. 상기 마이크로 전자 요소는 제 1 표면의 반대쪽에서 제 1 표면으로부터 먼쪽을 향하는 전방면, 및 상기 전방면과 후방면 사이에서 전방면에 평행하게 상기 제 1 방향으로 각기 연장되어 있는 서로 반대쪽의 제 1 및 2 가장자리를 가질 수 있다. 마이크로 전자 요소는 전방 면을 따라 제 1 방향으로 연장되어 있는 적어도 하나의 요소 접촉자 컬럼을 가질 수 있다. 제 1 및 2 가장자리는, 제 1 방향 및 마이크로 전자 요소의 후방 면에 수직인 제 3 방향으로 연장되어 있는 축방향 면을 규정할 수 있다. 이 축방향 면은 상기 제 1 및 2 가장자리에 대해 중앙에 있을 수 있다.

[0017]

상기 단자는 기판의 제 2 표면의 중심 영역에서 그 제 2 표면에서 노출되는 제 1 단자를 포함할 수 있다. 제 1 단자는, 상기 마이크로 전자 요소의 메모리 저장 어레이의 모든 이용가능한 어드레서를 메모리 위치 중에서 어드레서를 메모리 위치를 결정하기 위해 상기 패키지 내의 회로에 의해 사용될 수 있는 어드레스 정보의 대부분을 전달하도록 될 수 있다. 상기 중심 영역은 상기 제 2 방향으로의 폭을 가질 수 있다., 중심 영역의 그 폭은 평행한 상기 단자 컬럼들 중의 서로 인접하는 임의의 두 컬럼 사이의 최소 피치의 3.5 배 이하일 수 있다. 상기 축방향 면은 상기 중심 영역과 교차할 수 있다. 일 실시 형태에서, 상기 단자는 상기 메모리 저장 어레이에 있는 어드레서를 메모리 위치를 결정하기 위해 상기 패키지 내의 회로에 의해 사용될 수 있는 어드레스 정보의 적어도 3/4을 전달하도록 될 수 있다.

[0018]

본 발명의 또 다른 양태에 따르면, 마이크로 전자 패키지는, 제 1 표면, 이 제 1 표면 반대쪽의 제 2 표면, 상기 제 1 표면에서 노출되는 복수의 제 1 기판 접촉자, 및 상기 제 1 표면에서 노출되는 복수의 제 2 기판 접촉자를 갖는 기판을 포함할 수 있다. 상기 마이크로 전자 패키지는 각기 메모리 저장 어레이 기능을 갖는 제 1 및 2 마이크로 전자 요소를 포함할 수 있다. 일 실시예에서, 마이크로 전자 패키지는 다른 기능 보다 메모리 저장 어레이 기능을 제공하는 더 많은 수의 능동 소자를 구현할 수 있다.

[0019]

상기 제 1 및 2 마이크로 전자 요소는 상기 제 1 표면에서 서로 떨어져 있고, 또한 각기 제 1 방향으로 연장되어 있는 평행한 제 1 가장자리를 갖는다. 기판의 상기 제 1 표면에 수직인 축방향 면은 상기 제 1 방향으로 연장되어 있고 또한 상기 제 1 가장자리들 사이의 중앙에 있을 수 있다. 상기 제 1 및 2 마이크로 전자 요소는 제 1 표면을 쪽을 향하는 후방 면, 이 후방 면 반대쪽의 전방 면, 및 상기 전방 면에서 노출되는 복수의 접촉자를 가질 수 있다. 전방 면 위에서 연장되어 있을 수 있는 전도성 구조체는 상기 제 1 및 2 마이크로 전자 요소

의 접촉자와 상기 제 1 및 2 기판 접촉자를 서로 전기적으로 각각 연결할 수 있다.

[0020] 복수의 평행한 단자 컬럼이 기판의 제 2 표면에서 노출될 수 있고 상기 제 1 및 2 기판 접촉자와 전기적으로 연결될 수 있다. 상기 단자는 기판의 제 2 표면의 중심 영역에서 노출되는 제 1 단자를 포함한다. 단자 컬럼은 제 1 방향으로 연장될 수 있다. 이 제 1 단자는, 상기 제 1 및 2 마이크로 전자 요소 내의 메모리 저장 어레이의 모든 이용가능한 어드레서블 메모리 위치 중에서 어드레서블 메모리 위치를 결정하기 위해 상기 패키지 내의 회로에 의해 사용될 수 있는 어드레스 정보를 전달하도록 될 수 있다. 상기 중심 영역은 상기 제 2 방향으로의 폭을 가질 수 있다. 중심 영역의 그 폭은 평행한 상기 단자 컬럼들 중의 서로 인접하는 임의의 두 컬럼 사이의 최소 폭치의 3.5 배 이하일 수 있다. 상기 축방향 면은 상기 중심 영역과 교차할 수 있다.

[0021] 일 실시 형태에서, 상기 제 1 단자는 상기 메모리 저장 어레이에 있는 어드레서블 메모리 위치를 결정하기 위해 상기 패키지 내의 회로에 의해 사용될 수 있는 모든 어드레스 정보를 전달하도록 될 수 있다. 일 특정 실시예에서, 제 1 단자는 상기 제 1 및 2 마이크로 전자 요소의 일 마이크로 전자 요소의 작동 모드를 제어하는 정보를 전달하도록 될 수 있다. 일 실시예에서, 상기 제 1 단자는, 마이크로 전자 패키지에 전달되는 클록 신호 및 모든 커맨드 신호, 어드레스 신호 및 뱅크 어드레스 신호를 전달하도록 되어 있고, 상기 커맨드 신호는 기록 인에이블, 로우 어드레스 스트로브 및 컬럼 어드레스 스트로브이고, 상기 클록 신호는 어드레스 정보를 전달하는 신호를 샘플링하는데 사용되는 클록이다.

[0022] 일 예시적인 실시 형태에서, 상기 제 1 및 2 마이크로 전자 요소의 전방 면은 기판의 제 1 표면에 평행한 단일면 내에서 연장되어 있을 수 있다. 일 특정 실시예에서, 상기 전도성 구조체는, 상기 제 1 및 2 마이크로 전자 요소의 접촉자로부터 연장되어 있고 상기 각각의 제 1 및 2 기판 접촉자와 전기적으로 연결되는 와이어 본드를 포함할 수 있다. 일 실시예에서, 상기 제 1 단자는 4개 이하의 단자 컬럼에 배치될 수 있다. 일 실시예에서, 상기 마이크로 전자 요소 각각의 접촉자는 그 각각의 마이크로 전자 요소의 전방면에서 노출되는 재분산 접촉자를 포함할 수 있다. 각각의 재분산 접촉자는 트레이스 또는 비아(via) 중의 적어도 하나를 통해 상기 각각의 마이크로 전자 요소의 접촉 패드에 전기적으로 연결될 수 있다. 상기 재분산 접촉자들 중의 적어도 일부는 마이크로 전자 요소의 전방 면을 따르는 적어도 하나의 방향으로 각각의 마이크로 전자 요소의 접촉자로부터 변위되어 있을 수 있다.

[0023] 일 특정 실시예에서, 상기 기판은 서로 반대쪽에 있는 상기 제 1 및 2 표면 사이에서 서로 반대쪽에 있는 제 1 및 2 가장자리를 가질 수 있다. 이 제 1 및 2 가장자리는 상기 제 1 방향으로 연장되어 있을 수 있다. 상기 제 2 표면은 상기 제 1 및 2 가장자리에 각각 인접하는 제 1 및 2 주변 영역을 가질 수 있다. 상기 중심 영역은 상기 제 1 및 2 주변 영역을 분리할 수 있다. 상기 단자는 상기 주변 영역들 중의 적어도 하나에서 상기 제 2 표면에서 노출되는 복수의 제 2 단자를 포함할 수 있다. 제 2 단자들 중의 적어도 일부는 어드레스 정보 외의 정보를 전달하도록 될 수 있다. 일 실시 형태에서, 상기 제 2 단자들 중의 적어도 일부는 데이터 신호를 전달하도록 될 수 있다.

[0024] 본 발명의 또 다른 실시 형태에서, 마이크로 전자 패키지는, 제 1 표면, 이 제 1 표면에서 노출되는 복수의 제 1 기판 접촉자, 및 상기 제 1 표면에서 노출되는 복수의 제 2 기판 접촉자를 갖는 기판을 포함할 수 있고, 상기 패키지는 메모리 저장 어레이 기능을 갖는 제 1 및 2 마이크로 전자 요소를 포함한다. 일 실시예에서, 각각의 마이크로 전자 요소는 다른 기능 보다 메모리 저장 어레이 기능을 제공하는 더 많은 수의 능동 소자를 구현할 수 있다. 상기 마이크로 전자 패키지는 상기 마이크로 전자 요소의 접촉자와 상기 기판 접촉자를 서로 전기적으로 연결하는 전도성 구조체를 포함한다. 어떤 경우에는, 전도성 구조체는 각 마이크로 전자 요소의 전방 면 위에서 연장되어 있을 수 있고, 복수의 평행한 단자 컬럼이 기판의 제 2 표면에서 노출될 수 있고 상기 제 1 및 2 기판 접촉자와 전기적으로 연결될 수 있다. 기판의 제 2 표면은 제 1 표면의 반대쪽에 있을 수 있다. 제 2 표면은 제 1 방향 및 이 방향을 가로지르는 제 2 방향으로 연장되어 있을 수 있다.

[0025] 상기 제 1 및 2 마이크로 전자 요소는 상기 제 1 표면에서 서로 떨어져 있고, 또한 각기 제 1 방향으로 연장되어 있는 평행한 제 1 가장자리를 가질 수 있다. 기판의 상기 제 1 표면에 수직인 축방향 면은 상기 제 1 방향으로 연장되어 있고 또한 상기 제 1 가장자리들 사이의 중앙에 있을 수 있다. 상기 제 1 및 2 마이크로 전자 요소는 제 1 표면을 쪽을 향하는 후방 면, 및 전방 면에서 노출되는 복수의 접촉자를 가질 수 있다. 도전성 구조체는 제 1 및 2 마이크로 전자 요소의 접촉자와 상기 제 1 및 2 기판 접촉자를 서로 전기적으로 각각 연결할 수 있다.

[0026] 단자는 기판의 제 2 표면의 중심 영역에서 제 2 표면에서 노출되는 제 1 단자를 포함할 수 있다. 이 제 1 단자는, 상기 제 1 및 2 마이크로 전자 요소의 메모리 저장 어레이의 모든 이용가능한 어드레서블 메모리 위치 중에

서 어드레서블 메모리 위치를 결정하기 위해 상기 패키지 내의 회로에 의해 사용될 수 있는 어드레스 정보의 대부분을 전달하도록 될 수 있다. 상기 중심 영역은 상기 제 2 방향으로의 폭을 가질 수 있다. 중심 영역의 그 폭은 평행한 상기 단자 컬럼들 중의 서로 인접하는 임의의 두 컬럼 사이의 최소 피치의 3.5 배 이하일 수 있다. 상기 축방향 면은 상기 중심 영역과 교차할 수 있다. 일 특정 실시예에서, 상기 단자는 메모리 저장 어레이 내의 어드레서블 메모리 위치를 결정하기 위해 패키지 내의 회로에 의해 사용될 수 있는 어드레스 정보의 적어도 3/4을 전달하도록 될 수 있다.

### 도면의 간단한 설명

[0027]

도 1 은 DRAM 칩을 포함하는 종래의 마이크로 전자 패키지를 도시하는 단면도이다.

도 2 는 회로 판넬 및 제 1 및 2 상호 반대쪽 표면에 서로 반대쪽에 장착되는 복수의 마이크로 전자 패키지를 포함하는 마이크로 전자 어셈블리, 예컨대 DIMM 모듈을 도시하는 모식적인 개략도이다.

도 3 은 도 2 에 나타나 있는 바와 같은 어셈블리에서 제 1 및 2 마이크로 전자 패키지 사이의 전기적 상호 연결 및 회로 판넬을 도시하는 단면도이다.

도 4 는 도 2 에 나타나 있는 바와 같은 어셈블리에서 제 1 및 2 마이크로 전자 패키지 사이의 전기적 연결을 도시하는 모식적인 평면도이다.

도 5 는 본 발명의 일 실시 형태에 따른 마이크로 전자 패키지에서 단자의 배치 및 신호 할당을 도시하는 모식적인 평면도이다.

도 6a 는 도 5 에 나타나 있는 마이크로 전자 패키지를 도시하는 도 5 의 선 6A - 6A 을 따라 취한 단면도이다.

도 6b 도 5 및 도 6a 에 나타나 있는 실시 형태에 따른 접촉자의 배치를 도시하는 도 6a 의 마이크로 전자 요소의 평면도이다.

도 6c 는 도 6b 에 나타나 있는 실시 형태의 일 변형예에 따른 마이크로 전자 요소에서 접촉자의 다른 배치를 도시하는 평면도이다.

도 6d 도 6b 에 나타나 있는 실시 형태의 일 변형예에 따른 마이크로 전자 요소에서 접촉자의 또 다른 배치를 도시하는 평면도이다.

도 6e 는 도 5 도 및 6a 에 나타나 있는 실시 형태의 일 변형예에 따른 마이크로 전자 패키지를 도시하는 단면도이다.

도 7a 는 도 5 및 6a 에 나타나 있는 실시 형태에 따른 단자의 배치를 더 도시하는 평면도이다.

도 7b 는 본 발명의 일 실시 형태에 따라 마이크로 전자 어셈블리 및 이와 서로 전기적으로 연결되는 제 1 및 2 마이크로 전자 패키지를 도시하는 단면도이다.

도 7c 는 본 발명의 일 실시 형태에 따라 회로 판넬 및 이에 전기적으로 연결되는 마이크로 전자 패키지, 예컨대 특히 메모리 모듈을 포함하는 마이크로 전자 어셈블리를 도시하는 개략도이다.

도 8 은 도 5 및 도 6a 에 나타나 있는 실시 형태의 일 변형예에 따른 마이크로 전자 패키지에서 접촉자의 다른 배치를 도시하는 평면도이다.

도 9a 는 도 5 및 도 6a 에 나타나 있는 실시 형태의 다른 변형예에 따른 마이크로 전자 패키지에서 접촉자의 다른 배치를 도시하는 평면도이다.

도 9b 는 본 발명의 일 실시 형태에 따라 마이크로 전자 어셈블리 및 이와 전기적으로 서로 연결된 도 9a 에 나타나 있는 것과 같은 제 1 및 2 마이크로 전자 패키지를 도시하는 단면도이다.

도 10a 는 본 발명의 일 실시 형태에 따라 전기적으로 연결되어 적층된 반도체 칩들의 어셈블리를 내부에 포함하는 마이크로 전자 패키지를 도시하는 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0028]

도 1 과 관련하여 설명되는 실례적인 종래의 마이크로 전자 패키지(12)를 고려하여, , 본 발명자들은, 메모리 저장 어레이 칩을 포함하는 마이크로 전자 패키지 및 이러한 마이크로 전자 패키지를 포함하는 마이크로 전자

어셈블리의 전기적 성능을 개선하는 것을 도와 줄 수 있는 개선이 가능함을 인식하였다.

[0029] 특히 마이크로 전자 패키지가 도 2 - 4 에 나타나 있는 바와 같은 어셈블리로 제공될 때 그 마이크로 전자 패키지의 사용에 대해 개선이 이루어질 수 있는데, 패키지(12A)는 회로 판넬의 일 표면에 장착되고, 다른 유사한 패키지(12B)는 그의 반대쪽에서 회로 판넬의 반대쪽 표면에 장착된다. 패키지(12A, 12B)는 일반적으로 기능적으로 또는 기계적으로 서로 동등하다. 기능적으로 또한 기계적으로 동등한 다른 패키지 쌍(12C, 12D) 및 쌍(12E, 12F)이 동일한 회로 판넬(34)에 장착된다. 회로 판넬 및 그에 결합된 패키지는 보통 이중 인라인 메모리 모듈 ("DIMM")이라고 하는 어셈블리의 일 부분을 형성할 수 있다. 서로 반대쪽에 장착되는 각 쌍의 패키지, 예컨대 패키지(12A, 12B)에 있는 패키지는, 각 쌍의 패키지가 일반적으로 그들 각각의 면적의 90% 이상으로 서로의 위에 놓이도록 회로 판넬의 양쪽 표면에 있는 접촉자에 연결된다. 회로 판넬(34) 내부의 국부적인 배선은 각각의 패키지에 있는 단자, 예컨대 단자(1, 5)를 회로 판넬 상의 대역적 배선에 연결한다. 대역적 배선은 부위(I, II, III)와 같은 회로 판넬(34) 상의 연결 부위에 일부 신호를 전달하는데 사용되는 버스(36)의 신호 컨덕터를 포함한다. 예컨대, 패키지(12A, 12B)는 연결 부위(I)에 결합된 국부적인 배선에 의해 버스(36)에 전기적으로 연결되고, 패키지(12C, 12D)는 부위(II)에 결합된 국부적인 배선에 의해 버스에 전기적으로 연결된다. 패키지(12E, 12F)는 부위(III)에 결합된 국부적인 배선에 의해 버스에 전기적으로 연결된다.

[0030] 회로 판넬(34)은 가위, 또는 패키지(12A)의 일 가장자리(16) 근처에 있는 단자(1)가 패키지(12B)의 동일 가장자리(16)의 근처에 있는 패키지(12B)의 단자(1)에 회로 판넬(34)을 통해 연결되는 "구두끈" 패턴과 유사하게 나타나는 국부적인 상호 연결 배선을 사용하여 각각의 패키지(12A, 12B)의 단자들을 전기적으로 서로 연결한다. 그러나, 회로 판넬(34)에 결합될 때 패키지(12B)의 가장자리(16)는 패키지(12A)의 가장자리(1)로부터 멀리 있다. 도 2 - 4 는, 패키지(12A)의 일 가장자리(22) 근처에 있는 단자(5)가 패키지(12B)의 동일 가장자리(22)의 근처에 있는 패키지(12B)의 단자(5)에 회로 판넬(34)을 통해 연결되어 있는 것을 또한 나타낸다. 어셈블리(38)에서, 패키지(12A)의 가장자리(22)는 패키지(12B)의 가장자리(22)로부터 멀리 있다.

[0031] 각각의 패키지, 예컨대 패키지(12A)에 있는 단자 및 그의 반대쪽에 장착되어 있는 패키지, 즉 패키지(12B)에 있는 대응하는 단자를 회로 판넬을 통해 서로 연결하는 것은 꽤 같다. 도 3 에서 더 볼 수 있듯이, 버스로부터의 동일한 신호가 각각의 패키지에 전달될 때, 유사한 마이크로 전자 패키지(12A, 12B)의 그러한 어셈블리에서, 회로 판넬(34)은 버스(36)의 신호 컨덕터를 패키지(12A)의 단자(1) 및 패키지(12B)의 대응하는 단자(1)와 전기적으로 연결할 수 있다. 유사하게, 회로 판넬(34)은 버스(36)의 신호 컨덕터를 패키지(12A)의 단자(2) 및 패키지(12B)의 대응하는 단자(2)와 전기적으로 연결할 수 있다. 동일한 연결 구성이 버스의 다른 신호 컨덕터 및 각 패키지의 대응하는 단자에도 적용될 수 있다.

[0032] 회로 판넬(34)에 있는 버스(3)와, 각각의 패키지 쌍의 각 패키지, 예컨대 보드의 연결 부위(I)에 있는 패키지(12A, 12B)(EH 2) 사이의 국부적인 배선은 비종결 스터브(unterminated stub)의 형태일 수 있다. 이러한 국부적인 배선은 비교적 길 때 어떤 경우에는 후술하는 바와 같이 어셈블리(38)의 성능에 영향을 줄 수 있다. 더욱이, 회로 판넬(34)은 국부적인 배선이 다른 패키지의 어떤 단자들을 전기적으로 서로 연결할 것을 필요로 하는데, 패키지(12C, 12D)의 쌍 및 패키지(12E, 12F)의 쌍을 버스(36)의 대역적 배선에 연결해야 하며, 그러한 배선은 동일한 방식으로 어셈블리의 성능에 영향을 줄 수 있다.

[0033] 도 4 는 신호를 전달하도록 할당된 단자(1, 2, 3, 4, 5, 6, 7, 8)의 각 쌍의 마이크로 전자 패키지(12A, 12B) 간의 상호 연결을 도시한다. 도 4 에서 보는 바와 같이, 단자의 컬럼(14, 18)은 각각의 패키지(12A, 12B)의 가장자리(16, 22) 근처에 있으므로, 단자의 컬럼(14, 18)이 연장되어 있는 방향(42)을 가로지르는 방향(40)으로 회로 판넬(34)을 가로지를 필요가 있는 배선은 상당히 길게 된다. DRAM 칩의 길이는 각 측에서 10 밀리미터의 범위에 있을 수 있다는 것을 감안하여, 서로 반대쪽에 장착되는 두 패키지(12A, 12B)의 대응하는 단자에 동일한 신호를 보내는데 필요한, 도 2 - 4 에 나타나 있는 어셈블리(38)에 있는 회로 판넬(34)에 있는 국부적인 배선의 길이는 5 내지 10 밀리미터일 수 있고 일반적으로 약 7 밀리미터일 수 있다.

[0034] 어떤 경우에는, 패키지의 단자들을 연결하는 회로 판넬 상의 비교적 긴 비종결 배선은 어셈블리(38)의 전기적 성능에 심각한 영향을 주지 않을 수 있다. 그러나, 회로 판넬의 버스(36)로부터 신호가 도 2 에 나타나 있는 바와 같은 회로 판넬에 연결되는 복수의 패키지 쌍 각각에 전달되는 경우, 본 발명자들은, 버스(36)로부터 각 패키지에 있는 그 버스에 연결되는 단자까지 이르는 스터브, 즉 국부적인 배선의 전기적 길이가 어셈블리(38)의 성능에 영향을 줄 수 있음을 인식했다. 비종결 스터브에서 반사된 신호는 각 패키지의 연결된 단자로부터 역방향으로 다시 버스(36) 상으로 갈 수 있으며, 그래서 버스(36)로부터 패키지에 전달되는 신호를 악화시킬 수 있다. 현재 제조되는 마이크로 전자 요소를 수용하는 어떤 패키지의 경우에는 상기 영향들이 허용될 수 있다.

그러나, 증가된 신호 스위칭 빈도, 낮은 전압 변동 신호 또는 둘다로 작동되는 현재의 또는 미래의 어셈블리에서는 영향이 심각하게 될 수 있음을 본 발명자들은 인식했다. 이들 어셈블리를 위해, 전달된 신호의 안정화 시간, 울림(ringing), 지터(jitter) 또는 심볼간 간섭이 허용 불가능한 정도까지 증가될 수도 있다.

[0035] 본 발명자들이 또한 인식하고 있는 것으로, 비종결 스터브의 전기적 길이는, 회로 판넬 상의 버스(36)를 그 회로 판넬에 장착되어 있는 패키지의 단자와 연결하는 국부적인 배선 보다 일반적으로 길다. 각각의 패키지 내에서 패키지 단자로부터 그 패키지 내의 반도체 칩까지 이르는 비종결 배선이 스터브의 길이에 추가된다.

[0036] 일 특정 실시예에서, 버스(36)는 DIMM과 같은 주요 메모리 저장 어레이를 갖는 어셈블리의 커맨드 어드레스 버스이다. 커맨드 어드레스 버스(36)는, 패키지 내의 회로, 예컨대 존재한다면 로우(row) 어드레스와 컬럼 어드레스 디코더 및 뱅크 선택 회로에 의해 사용될 수 있는 마이크로 전자 패키지에 전달되는 어드레스 정보를 보내, 패키지에 있는 마이크로 전자 요소 내에 있는 메모리 저장 어레이의 이용 가능한 모든 어드레서블(addressable) 메모리 위치로부터 어드레서블 메모리 위치를 결정하도록 구성될 수 있다. 커맨드 어드레스 버스(36)는 상기 어드레스 정보를 도 2에 나타나 있는 연결 부위, 예컨대 부위(I, II, III)에 보내도록 구성될 수 있다. 그리고 이들 상기 어드레스 정보는 회로 판넬의 양 표면에 있는 각 세트의 판넬 접촉자에 국부적인 배선에 의해 분산될 수 있으며, 상기 판넬 접촉자에 패키지(12A, 12B, 12C, 12D, 12E, 12F)가 연결된다.

[0037] 일 특정한 실시예에서, 마이크로 전자 요소가 DRAM 칩이거나 이를 포함하면, 커맨드 어드레스 버스(36)는 마이크로 전자 요소의 커맨드 어드레스 버스의 모든 신호 그룹, 즉 마이크로 전자 패키지에 전달되는 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호 및 클록 신호를 전달하도록 구성될 수 있고, 여기서 커맨드 신호는 기록 인에이블, 로우 어드레스 스트로브 및 컬럼 어드레스 스트로브 신호를 포함하고, 클록 신호는 어드레스 신호를 샘플링하는데 사용되는 클록이다. 클록 신호는 다양한 종류일 수 있지만, 일 실시 형태에서, 이를 단자에 의해 전달되는 클록 신호는 차동 또는 진(true) 및 보충 클록 신호로서 수신되는 하나 이상의 차동 클록 신호 쌍일 수 있다.

[0038] 따라서, 여기서 설명한 본 발명의 어떤 실시 형태는, 그러한 제 1 및 2 패키지가 회로 판넬, 예컨대 회로판, 모듈 보드 또는 카드 또는 가요성 회로 판넬의 양 표면에서 서로 반대쪽에 장착될 때 스터브의 길이를 줄일 수 있도록 구성된 마이크로 전자 패키지를 제공한다. 회로 판넬에서 서로 반대쪽에 장착되는 제 1 및 2 마이크로 전자 패키지를 포함하는 어셈블리는 각각의 패키지 간의 상당히 감소된 스터브 길이를 가질 수 있다. 그러한 어셈블리 내에서 스터브 길이가 감소되면, 특히 안정화 시간, 울림, 지터 또는 심볼간 간섭 중의 하나 이상이 감소되어 전기적 성능이 개선될 수 있다. 더욱이, 회로 판넬의 구조가 간단해지거나 또는 회로 판넬의 설계 또는 제조 또는 설계와 제조의 복잡성과 비용이 감소되는 것과 같은 다른 이점을 얻을 수 있다.

[0039] 따라서, 본 발명의 일 실시 형태에 따른 마이크로 전자 패키지(100)가 도 5 ~ 6b에 도시되어 있다. 이들 도에서 보는 바와 같이, 패키지는 복수의 컬럼(104A, 104B)이 배치되는 기판(102)을 포함하고, 각각의 컬럼(104A, 104B)은 그 컬럼 내에 배치되는 적어도 몇개의 제 1 단자(105)를 갖는다. 선택적으로, 복수의 컬럼(106A, 106B)이 상기 기판(102) 상에 또한 배치되며, 각각의 컬럼(106A, 106B)은 그 컬럼 내에 배치되는 제 2 단자(107)를 갖는다.

[0040] 여기서 사용되는 바와 같이, 단자 또는 접촉자와 같은 전기 전도성 요소가 패키지의 기판 또는 회로 판넬과 같은 지지 요소 "상에" 있거나 또는 "그 위에 배치된다"라는 말은, 지지 요소의 표면에 수직인 방향으로 움직이는 이론적인 점과 접촉하도록 전기 전도성 요소가 지지 요소의 표면에서 이용 가능한 한, 전기 전도성 요소가 그 지지 요소의 일 표면 위에 있어야 한다는 것을 요구하는 것은 아니다. 따라서, 단자 또는 접촉자는 표면 위로 돌출될 수 있고, 그 표면에 대해 후퇴될 수 있으며 또는 그 표면과 동일면을 이를 수도 있다.

[0041] 상기 기판은 유전성 요소를 포함할 수 있는데, 이 요소는 어떤 경우에 필수적으로 폴리머 재료, 예컨대 특히 수지 또는 폴리이미드로 이루어질 수 있고 시트(sheet) 형으로 될 수 있다. 대안적으로, 기판(102)은 예컨대 BT 수지 또는 FR-4 구조의 유리 강화 애피시와 같은 복합 구조를 갖는 유전성 요소를 포함할 수 있다. 다른 실시 예에서, 기판은 12 ppm/°C 미만의 열팽창 계수(CTE)를 갖는 재료로 된 지지 요소를 포함할 수 있으며, 그 위에 단자 및 다른 전도성 구조체가 배치된다. 예컨대, 그러나 낮은 CTE 요소는 필수적으로 유리, 세라믹, 또는 반도체 재료, 또는 액정 폴리머 재료 또는 이들 재료의 조합물로 이루어질 수 있다.

[0042] 단자(105, 107)는 기판의 표면(110)에서 노출되는 복수의 컬럼(104A, 104B, 106A, 106B) 내의 위치에 배치될 수 있다. 여기서, 전기 전도성 요소가 기판의 일 표면에서 "노출된다"라는 말은, 구조체의 외부로부터 상기 표면 쪽으로 이 표면에 수직인 방향으로 움직이는 이론적인 점과 접촉하도록 전기 전도성 요소가 이용 가능함을

나타낸다. 따라서, 구조체의 표면에서 노출되는 그러한 단자 또는 다른 전도성 요소는 그러한 표면으로부터 돌출될 수 있으며, 그러한 표면과 동일면을 이를 수 있거나, 또는 그러한 표면에 대해 후퇴될 수 있고 구조체에 있는 구멍 또는 오목부를 통해 노출될 수 있다. 도 5에 나타나 있는 실시예에서, 컬럼(104A, 104B) 각각은 표면(110)을 따르는 제 1 방향으로 연장되어 있고 복수의 제 1 단자(105)를 포함한다. 컬럼(106A, 106B) 각각은 복수의 제 2 단자(107)를 포함할 수 있고 역시 제 1 방향으로 연장되어 있을 수 있다. 특정한 실시예에서, 일부 제 2 단자 또한 컬럼(104A, 104B) 내에 배치된다. 도 7a와 관련하여 후술하는 바와 같이, 중심 영역(112)은 단자의 평행한 컬럼의 인접한 것들 사이의 최소 피치의 3.5 배 보다 넓지 않다.

[0043] 일 실시예에서, 마이크로 전자 요소내의 메모리 저장 어레이의 모든 이용가능한 어드레서블 메모리 위치로부터 어드레서블 메모리 위치를 결정하기 위해 제 1 단자는 패키지 내의 회로에 의해 사용될 수 있는 어드레스 정보를 전달한다. 따라서, 일 실시 형태에서, 패키지에 있는 마이크로 전자 요소내의 메모리 저장 어레이의 모든 이용가능한 어드레서블 메모리 위치로부터 어드레서블 메모리 위치를 결정하기 위해 제 1 단자는 패키지 내의 회로(예컨대, 존재한다면 로우(row) 어드레스와 컬럼 어드레스 디코더 및 뱅크 선택 회로)에 의해 사용될 수 있는 마이크로 전자 패키지에 전달되는 어드레스 정보를 전달하도록 구성된다. 일반적으로, 제 1 단자에 의해 전달되는 어드레스 정보는 어드레서블 메모리 위치를 결정하는데 충분하다. 특정한 실시 형태에서, 제 1 단자는 그러한 메모리 저장 어레이 내의 어드레서블 메모리 위치를 결정하기 위해 패키지 내의 그러한 회로에 의해 사용되는 모든 어드레스 정보를 전달하도록 구성될 수 있다.

[0044] 그러한 실시 형태의 일 변형예에서, 제 1 단자는 그러한 메모리 저장 어레이 내의 어드레서블 메모리 위치를 결정하기 위해 패키지 내의 그러한 회로에 의해 사용되는 어드레스 정보의 대부분을 전달하도록 구성될 수 있으며, 그러면, 패키지에 있는 상기 제 2 단자와 같은 다른 단자는 어드레스 정보의 나머지 부분을 전달하도록 구성될 것이다. 이러한 변형예에서, 특정 실시 형태에서, 제 1 단자는 그러한 메모리 저장 어레이 내의 어드레서블 메모리 위치를 결정하기 위해 패키지 내의 그러한 회로에 의해 사용되는 어드레스 정보의 3/4 이상을 전달하도록 구성된다.

[0045] 특정 실시 형태에서, 제 1 단자는 칩 선택 정보, 예컨대 칩 내의 메모리 저장 위치에 접근하기 위해 패키지 내의 특정 칩을 선택하는데 사용될 수 있는 정보를 전달하도록 구성되지 않을 수도 있다. 다른 실시 형태에서, 제 1 단자는 정말 텁 선택 정보를 전달할 수 있다.

[0046] 마이크로 전자 요소, 예컨대 반도체 칩의 일 변형에는 메모리 저장 어레이 기능을 제공하도록 구성된다. 일 실시예에서, 마이크로 전자 요소는 다른 기능 보다 메모리 저장 어레이 기능을 제공하는 더 많은 수의 능동 소자를 포함할 수 있다. 그러한 마이크로 전자 요소 중의 일 종류에서, 마이크로 전자 요소의 외부에 있는 복수의 외부 접촉자 중의 일부 접촉자 각각은 마이크로 전자 요소에 공급되는 복수의 어드레스 신호의 각각의 어드레스 신호를 받는데만 사용된다. 이 경우, 각각의 그러한 접촉자는 외부 요소, 예컨대 회로 판넬로부터, 마이크로 전자 요소가 결합되어 있는 마이크로 전자 패키지를 통한 연결부를 경유하여 마이크로 전자 요소에 공급되는 복수의 어드레스 신호들 중의 어드레스 신호를 받을 수 있다.

[0047] 이러한 종류의 마이크로 전자 요소의 일 특정 실시예에서, 외부 접촉자에 존재하는 복수의 어드레스 신호 각각은 마이크로 전자 어셈블리에 의해 사용되는 클록의 에지에 대해, 즉 클록이 제 1 및 2의 다른 전압 상태 사이에서 전이될 때 샘플링될 수 있다. 즉, 각각의 어드레스 신호는, 클록의 낮은 전압 상태와 높은 전압 상태 사이에서의 상승 전이시에, 또는 클록의 높은 전압 상태와 낮은 전압 상태 사이에서의 하강 전이시에 샘플링될 수 있다. 따라서, 복수의 어드레스 신호 모두는 클록의 상승 전이 또는 클록의 하강 전이시에 샘플링될 수 있고, 또는 다른 실시예에서는, 외부 접촉자들 중 하나에 있는 어드레스 신호는 클록의 상승 전이시에 샘플링될 수 있고, 다른 하나의 외부 접촉자에 있는 어드레스 신호는 클록의 하강 전이시에 샘플링될 수 있다.

[0048] 주로 메모리 저장 어레이를 기능을 제공하도록 구성된 다른 종류의 마이크로 전자 요소에서, 그 위에 있는 어드레스 접촉자들 중 하나 이상은 멀티플렉스 방식으로 사용될 수 있다. 이 실시예에서, 마이크로 전자 요소의 특정 외부 접촉자는 외부에서 마이크로 전자 요소에 공급되는 둘 이상의 다른 신호를 받도록 구성될 수 있다. 따라서, 제 1 어드레스 신호는 서로 다른 제 1 및 2 전압 상태 사이에서의 클록의 제 1 전이(예컨대, 상승 전이) 시에 상기 특정 접촉자에서 샘플링될 수 있고, 제 1 어드레스 신호 이외의 신호는, 제 1 전이와는 반대인, 제 1 및 2 전압 상태 사이에서의 클록의 제 2 전이(예컨대, 하강 전이) 시에 상기 특정 접촉자에서 샘플링될 수 있다.

[0049] 그러한 멀티플렉스 방식으로, 2개의 다른 신호는 클록의 동일한 사이클 내에서 마이크로 전자 요소의 동일한 외부 접촉자에서 수신될 수 있다. 일 특정 경우, 이러한 방식의 멀티플렉스에 의해, 제 1 어드레스 신호 및 다른

신호가 동일한 클록 사이클에서 마이크로 전자 요소의 동일한 외부 접촉자에서 수신될 수 있다. 또 다른 실시 예에서, 이러한 방식의 멀티플렉스에 의해, 제 1 어드레스 신호 및 다른 제 2 어드레스 신호는 동일한 클록 사이클에서 마이크로 전자 요소의 동일한 외부 접촉자에서 수신될 수 있다.

[0050] 일 특정 실시예에서, 제 1 단자는 마이크로 전자 패키지에 전달되는 일 그룹의 커맨드 신호, 어드레스 신호, 뱅크 신호 및 클록 신호 모두를 전달하도록 구성될 수 있다. 위에서 언급한 바와 같이, "커맨드 신호"는, 마이크로 전자 패키지 내의 마이크로 전자 요소가 동적 랜덤 액세스 메모리 저장 장치인 경우에 그러한 마이크로 전자 요소에 의해 이용되는 기록 인에이블 신호, 로우 어드레스 스트로브 신호 및 컬럼 어드레스 스트로브 신호이다. "클록 신호"는 어드레스 신호를 샘플링하는데 사용되는 클록으로서 사용되는 신호이다. 예컨대, 도 5에서 보는 바와 같이, 제 1 단자는 클록 신호(CK, CKB), 로우 어드레스 스트로브(RAS), 컬럼 어드레스 스트로브(CAS) 및 기록 인에이블 신호(WE), 어드레스 신호(A0 ~ A15), 및 뱅크 어드레스 신호(BA0, BA1, BA2)를 포함할 수 있다.

[0051] 도 5에 구체적으로 나타나 있지는 않지만, 다른 단자, 예컨대 제 2 단자가 또한 중심 영역에 배치될 수 있으며, 다른 신호, 예컨대 데이터 신호를 패키지의 마이크로 전자 요소에 전달하고/전달하거나 그로부터 받도록 구성될 수 있다. 도 5에 있는 일부 제 1 단자는 전력 공급 전압(VDD)을 전달하기 위해 주어져 있지만, 전력 공급 연결부 및 접지 연결부가 제 1 또는 2 단자들 중에 있을 수 있다. 설명을 쉽고 명확하게 하기 위해, 전력 공급부에 연결되거나 접지되는데 사용되는 단자는 도면에서 생략될 수 있으며 다음 설명에서 더 언급될 필요는 없다.

[0052] 일반적으로, 마이크로 전자 패키지가 제 2 단자를 갖는 경우, 그 제 2 단자는 각기 복수의 제 2 단자를 갖는 하나 이상의 컬럼에 배치된다. 제 2 단자(106A, 106B)는 기판 표면(110)의 제 1 및 2 주변 영역(114A, 114B) 중의 하나 이상에 배치될 수 있으며, 주변 영역(114A, 114B)은 표면(110)의 제 1 및 2의 상호 반대쪽 가장자리(116, 118)에 인접해 있다. 중심 영역(112)은 제 1 및 2 주변 영역(114A, 114B) 사이에 배치될 수 있다.

[0053] 도 6a의 단면도에서 보는 바와 같이, 마이크로 전자 패키지(100) 내의 마이크로 전자 요소(130)는 기판(102)의 제 1 표면(110) 쪽을 향하는 후방면(131), 이 후방면(131)의 반대쪽에 있는 전방면(134), 및 서로 반대쪽에서 전방면과 후방면 사이에 있는 제 1 및 2 가장자리(170, 172)를 갖는다. 마이크로 전자 요소, 예컨대 반도체 칩 또는 반도체 칩의 적층체는 메모리 저장 어레이 기능을 제공하도록 구성될 수 있으며, 일 실시예에서는 주로 메모리 저장 어레이 기능을 제공하도록 구성될 수 있다. 이러한 마이크로 전자 요소에서, 다른 장치와 서로 연결되고 메모리 저장 어레이 기능을 제공하도록 구성되어 있는 능동 소자, 예컨대 트랜지스터의 수는 다른 기능을 제공하도록 구성되어 있는 능동 소자의 수 보다 클 수 있다.

[0054] 따라서, 일 실시예에서, DRAM 칩과 같은 마이크로 전자 요소는 그의 주 기능 또는 유일한 기능으로서 메모리 저장 어레이 기능을 가질 수 있다. 대안적으로, 다른 실시예에서, 그러한 마이크로 전자 요소는 혼합된 용도를 가질 수 있으며, 메모리 저장 어레이 기능을 제공하도록 구성된 능동 소자를 포함할 수 있고, 또한 특히 프로세서 기능 또는 신호 처리기 또는 그래픽 처리기 기능과 같은 다른 기능을 제공하도록 구성된 다른 능동 소자를 포함할 수도 있다. 이 경우, 어떤 경우에 마이크로 전자 요소는, 마이크로 전자 요소의 다른 기능 보다 메모리 저장 어레이 기능을 제공하도록 구성된 더 많은 능동 소자를 가질 수 있다.

[0055] 마이크로 전자 요소(130)의 면(134)에 수직인 축방향 면(17)은, 제 1 방향을 따르며 마이크로 전자 요소(130)의 제 1 및 2 가장자리(170, 172) 사이의 중앙에서 이들 가장자리에 평행하게 제 1 방향을 따르는 선을 따라 기판(102)의 제 2 표면(110)과 교차한다. 도 6a 및 도 6b의 대응하는 평면도에서 보는 바와 같이, 마이크로 전자 요소(130)의 가장자리(170)는 제 1 방향(142)을 따르며, 그 가장자리(170)에 인접하여 마이크로 전자 요소의 전방면(134)에서 노출되어 있는 접촉자(132)의 컬럼(138)은 전방면(134)을 따라 동일한 제 1 방향(142)을 따를 수 있다. 가장자리(170)에 평행한 마이크로 전자 요소(130)의 다른 가장자리(172)는 제 1 방향(142)을 따르며, 마이크로 전자 요소의 전방면(134)에서 노출되어 있는 접촉자(132)의 제 2 컬럼(139)은 가장자리(172)에 인접하여 전방면(134)을 따라 동일한 제 1 방향(142)을 따를 수 있다. 도 6b에 또한 나타나 있는 바와 같이, 마이크로 전자 요소에 있는 접촉자의 컬럼은 컬럼(138)의 경우처럼 완전히 차있을 수 있거나, 또는 접촉자의 컬럼은 그 컬럼 내의 위치들 중 일부에서만 접촉자를 가질 수 있다. 와이어 본드(173)(도 6a)와 같은 전도성 구조체가 접촉자(132)와 기판의 제 1 표면(108)에 있는 대응 접촉자(136)를 전기적으로 연결시킬 수 있다.

[0056] 도 6a를 참조하면, 가장자리(170, 172)에 평행한 제 1 방향을 따르는 마이크로 전자 요소(130)의 축면(174)은 기판의 제 2 표면(110)의 중심 영역(112)과 교차하며, 기판 표면의 중심 영역(112)은, 적어도 제 1 컬럼(104A)과 제 2 컬럼(104B)(각기 적어도 몇 개의 제 1 단자(105)를 가짐)이 마이크로 전자 패키지의 컬럼 내에 배치

되는 곳이다. 제 2 단자가 존재한다면, 그 제 2 단자는 기판 표면(110)의 주변 영역(114A, 114B) 중의 하나 이상에 배치될 수 있다.

[0057] 대안적으로 또는 추가적으로, 하나 이상의 제 2 단자는 컬럼(104A, 104B) 내에 배치될 수 있는 것과 같이 중심 영역에 배치될 수 있다. 도 6a 에서 또한 보는 바와 같이, 단자에 부착되어 있는 결합 요소(154)는, 패키지(100)의 단자를 그 패키지 외부의 요소(예컨대, 회로 판넬의 대응 접촉자)에 결합시키는데 사용될 수 있으며 단자에 부착되는 본드 금속, 예컨대 땜납, 주석, 인듐 또는 공정(eutectic) 또는 다른 전기 전도성 본드 재료를 포함할 수 있다.

[0058] 도 6c 는 도 6b 에 나타나 있는 실시 형태의 일 변형예를 도시하는 것으로, 여기서는, 마이크로 전자 요소(180)의 전방면에서 노출되는 그 마이크로 전자 요소의 접촉자(132)는 마이크로 전자 요소(180)의 각각의 주변 가장자리(170, 172, 176, 178)에 인접하여 정렬되어 컬럼 또는 로우로 배치되어 있다. 가장자리(170, 172)는 서로 평행하고 제 1 방향(142)을 따라 있다. 도 6c 에는 마이크로 전자 요소(180)의 축방향 면(174)의 위치가 나타나 있다. 그러한 변형예에서, 축방향 면(174)은 제 1 방향을 따라 있고 또한 서로 평행한 가장자리(170, 172) 사이의 중앙에 있다.

[0059] 도 6d 는 도 6b 에 나타나 있는 실시 형태의 다른 변형예를 도시하는 것으로, 여기서는, 마이크로 전자 요소(190)의 접촉자는 마이크로 전자 요소의 가장자리(170, 172)에 인접하여 컬럼(188, 189)으로 배치된다. 그러나, 이 경우, 마이크로 전자 요소(190)는 전도성 재분산 층을 갖는 반도체 칩을 포함하며, 접촉자(132)는 재분산 접촉자를 포함할 수 있으며, 그 재분산 접촉자는, 반도체 칩의 접촉자(192, 194)와 접촉하여 형성되는 전도성 트레이스 또는 금속화된 비아(via)에 의해 반도체 칩의 접촉자(192, 194)에 연결된다(또는 금속화된 통로 및 트레이스 둘다에 의해 반도체 칩의 접촉자(192, 194)에 연결될 수 있음). 이 실시예에서, 축방향 면(174)은 재분산 접촉자의 컬럼(188, 189) 사이의 중앙에 있는 선을 따라 마이크로 전자 요소의 면(196)과 교차한다.

[0060] 도 6a 에 나타나 있는 것과 같은 패키지(100)에서, 마이크로 전자 요소(130)와 기판(102)을 서로 전기적으로 연결해 주는 와이어 본드(173)는 마이크로 전자 요소(130)에서부터 시작하여 형성될 수 있는데, 이 경우 와이어 본드는 마이크로 전자 요소의 접촉자(132)에 있는 볼(175)을 형성하며 대응 기판 접촉자(136)에 쇄기 결합된다. 도 6e 는 일 변형예에 따른 패키지(101)를 나타내는데, 여기서 와이어 본드(183)는 기판의 접촉자(136)에서 볼(185)을 형성하며 마이크로 전자 요소(130)의 대응 접촉자(132)에 쇄기 결합된다. 이렇게 형성된 와이어 본드(183)의 경우에 접촉자(132) 위의 높이가 도 6a 에 나타나 있는 와이어 본드(173) 보다 더 낮기 때문에, 도 6e 의 변형예는 원한다면 마이크로 전자 패키지(101)의 높이(103)를 줄이기 위해 사용될 수 있다.

[0061] 도 7a 는 기판의 단자 보유 표면(110) 쪽으로 본 패키지(100)의 평면도이다. 제 1 단자가 배치되어 있는 컬럼(104A, 104B)은 표면(110)의 중심 영역(112) 내에 있을 수 있고, 제 1 단자가 배치되어 있는 컬럼(106A, 106B)은 표면(110)의 하나 이상의 주변 영역(114A, 114B) 내에 있을 수 있다. 기판에 있는 임의의 두 인접한 단자 컬럼들 사이의 최소 거리는 도 7a 에 나타나 있는 바와 같이 최소 피치(150)이다. 이 최소 피치는 특정 컬럼, 예컨대 컬럼(104A) 내의 단자들이 배열되는 방향(126)에 수직인 방향(164)에 대한 것이다. 도 7a 에 나타나 있는 실시예에서, 최소 피치(150)는 서로 가장 가까운 컬럼(104A, 104B) 사이에 있다. 계속 도 7a 를 참조하면, 중심 영역(112)은 피치 방향(164)으로 기판 표면(110)을 따른 폭(152)을 갖는다. 일 특정 실시예에서, 그 폭(152)은 임의의 두 서로 인접하는 단자의 컬럼 사이의 최소 피치(150)의 3.5 배 보다 크지 않을 수 있는데, 즉 서로 가장 가깝게 인접하는 컬럼(104A, 104B) 사이의 최소 피치(150)의 3.5 배 이하일 수 있다.

[0062] 도 7b 는 회로 판넬(354)과 제 1 및 2 마이크로 전자 패키지(100A, 100B)의 마이크로 전자 어셈블리(300)를 도시하는데, 각각의 상기 마이크로 전자 패키지는 도 5 ~ 6e 과 관련하여 전술한 실시 형태들 중의 하나 이상에 따른 구조를 갖는다. 도 7a 를 참조하면, 각각의 패키지(100A, 100B)는 패키지상의 단자의 각 위치에 할당된 동일한 신호를 가질 수 있으며, 각 패키지 상의 단자의 컬럼(104A, 104B, 106A, 106B)은 기판의 가장자리(116)에 대해 x, y 직교 방향(164, 162)으로 동일한 위치에 배치될 수 있다. 패키지(100A, 100B)는 회로 판넬(354)의 제 1 및 2 상호 반대쪽 표면(350, 352)에서 각각 노출되어 있는 접촉자(360, 362)에 각각 전기적으로 연결된다.

[0063] 회로 판넬은 이중 인라인 메모리 모듈(DIMM)에서 사용되는 인쇄 회로 기판, 시스템의 다른 요소와 연결되는 회로 기판 또는 판넬, 또는 마더보드와 같은 다양한 종류의 것일 수 있다. 일 특정 실시 형태에서, 회로 판넬은 12 ppm/°C 미만의 열팽창 계수(CTE)를 갖는 요소를 포함할 수 있으며, 제 1 및 2 표면에 있는 판넬 접촉자는 그 요소를 관통하는 비아를 통해 서로 연결된다. 예컨대, 상기 요소는 필수적으로 반도체, 유리, 세라믹, 또는 액정 폴리머 재료로 이루어질 수 있다.

- [0064] 도 7b 에 나타나 있는 실시예에서, 컬럼(104A, 104B)에 있는 제 1 단자(105)는 제 1 패키지(100A) 상의 그리드(104) 내의 위치에 배치될 수 있고, 제 2 패키지(100B) 상에서 컬럼(104A, 104B)에 있는 제 1 단자(105)는 유사한 그리드(104) 내의 위치에 배치될 수 있다. 단자의 각 그리드는 완전히 차있을 수 있는데, 즉, 각 그리드의 각 위치에 단자가 있다. 대안적으로, 패키지 상의 그리드의 하나 이상의 위치에 단자가 없을 수도 있다. 도 7b 에서 명확히 알 수 있듯이, 각 패키지(100A, 100B) 상에서 제 1 단자를 포함하는 그리드(104)는 회로 판넬의 표면(350)에 평행한 x, y 직교 방향으로 서로의 한 볼 피치의 거리 내에서 정렬될 수 있으며, 볼 피치는 패키지에 있는 단자의 임의의 두 서로 인접한 컬럼 사이의 최소 피치 보다 크지 않다. 일 특정 실시예에서, 그리드(104)는 서로 일치할 수 있다. 여기서, 회로 판넬의 양 표면에 있는 패키지의 단자의 그리드가 서로 "일치"하면, 정렬은 통상적인 제조 허용 오차 내에 있을 수 있거나 또는 제 1 및 2 회로 판넬 표면에 평행한 x, y 직교 방향으로 서로의 한 볼 피치의 절반 미만의 허용 오차 내에 있을 수 있으며, 볼 피치는 전술한 바와 같다.
- [0065] 나타나 있는 바와 같이, 회로 판넬(354) 내의 배선은 패키지(100A)의 컬럼(104A)에 있는 단자와 패키지(100B)의 컬럼(104A)에 있는 단자를 서로 전기적으로 연결시킨다. 전기적 연결을 이루는 배선은 도 7b 에서 점선(320)으로 개략적으로 나타나 있는데, 왜냐하면 그 배선은 도 7b 에 나타나 있는 실시예에서는 안 보일 수 있기 때문이다. 유사하게, 회로 판넬(354) 내의 배선은 패키지(100A)의 컬럼(104B)에 있는 단자와 패키지(100B)의 컬럼(104B)에 있는 단자를 서로 전기적으로 연결시키며, 그러한 단자들 간의 전기적 상호 연결은 도 7b 에서 점선(322)으로 개략적으로 나타나 있다.
- [0066] 또한, 도 7b 에 나타나 있는 바와 같은 특정 실시예에서는, 각 그리드에서 제 1 단자의 두 컬럼(104A, 104B)이 있고 그리드는 서로의 적어도 하나의 볼 피치 내에 정렬되어 있으므로, 패키지(100A)의 제 1 단자들 중의 한 단자(A)와 패키지(100B)의 제 1 단자들 중의 대응하는 단자(A)를 서로 연결하는데 필요한 회로 판넬(354) 상의 배선은 비교적 짧을 수 있다. 구체적으로, 각 패키지에 있는 각각의 그리드(104)가 두 컬럼(104A, 104B)을 가지며 또한 그리드(104)가 전술한 방식으로 정렬되면, 제 1 패키지(100A)의 제 1 컬럼(104A)의 단자는, 회로 판넬의 제 1 표면(350)에 평행한 x, y 직교 방향으로 제 2 패키지(100B)의 제 2 컬럼(104B)의 단자의 한 볼 피치 내에서 정렬되고, 제 1 표면(350)은 회로 판넬의 주면이다. 또한, 제 1 패키지(100A)의 제 2 컬럼(104B)의 단자는, 회로 판넬의 제 1 표면(350)에 평행한 x, y 직교 방향으로 제 2 패키지의 제 1 컬럼(104A)의 단자의 한 볼 피치 내에서 정렬된다.
- [0067] 그러므로, 패키지(100A)의 제 1 컬럼의 제 1 단자와 제 2 패키지(100B)의 제 1 컬럼의 제 1 단자를 전기적으로 서로 연결시키는 회로 판넬(354)상의 스터브의 전기적 길이는 각 패키지에 있는 제 1 단자의 최소 피치의 7 배 보다 작을 수 있는데, 예컨대 도 7a 에서 제 1 단자의 컬럼(104A, 104B) 사이의 피치(150)의 7 배 보다 작다. 다시 말해, 회로 판넬의 제 1 및 2 표면에서 노출되어 있는 전기적으로 결합된 한쌍의 제 1 및 2 판넬 접촉자(360, 362)를 회로 판넬 상의 버스(36)의 대응하는 도체에 연결하는 전도성 요소의 총 결합 길이는 판넬 접촉자의 최소 피치의 7 배 보다 작을 수 있다.
- [0068] 다른 실시예에서, 전기적으로 결합된 한쌍의 제 1 및 2 판넬 접촉자(360, 362)를 연결하는 전도성 요소의 총 결합 길이는 제 1 및 2 표면(350, 352) 사이의 회로 판넬(354)의 두께(356)와 대략 같을 수 있다. 또 다른 실시예에서, 제 1 패키지(100A)의 컬럼(104A)에 있는 제 1 단자와 제 2 패키지(100B)에 있는 컬럼(104A)에 있는 대응하는 제 1 단자 사이의 연결의 전기적 길이는 회로 판넬(354)의 두께(356)와 대략 같을 수 있다.
- [0069] 이들 전기적 연결 길이의 감소로 인해, 회로 판넬 상의 버스(36)(도 2)로부터 패키지의 연결 부위까지의 스터브 길이가 감소될 수 있다. 스터브 길이가 감소됨으로써, 버스(36)의 상기 신호에 대해 특히 안정화 시간, 울림, 지터 또는 심볼간 간섭 중의 하나 이상이 감소되어 전기적 성능이 개선될 수 있다.
- [0070] 더욱이, 회로 판넬(354) 구조의 단순화 또는 회로 판넬의 설계 또는 제작과 관련된 복잡성과 비용의 감소와 같은 다른 이점도 얻을 수 있다. 즉, 회로 판넬에서의 연결시, 전술한 바와 같이 어드레스 정보를 전달하거나 또는 어드레스 정보와 다른 정보를 전달하는 한 세트의 컨덕터를 구성하는 회로 판넬 내의 라우팅 층에 각 패키지의 제 1 단자를 연결하는데 필요한 배선 층의 수가 더 적게 될 수 있다.
- [0071] 또한, 전술한 바와 같이 상기 어드레스 정보 또는 커맨드 및 어드레스 정보를 전달하는데 사용되는 버스(36)를 구현하는데 필요한 회로 판넬 상의 배선의 대역적 라우팅 층의 수는, 그에 부착되는 마이크로 전자 패키지가 본 발명의 원리에 따라 구성될 때, 감소될 수 있다. 구체적으로, 필요한 라우팅 층의 수는 어떤 경우에는 2개 이하의 라우팅 층으로 감소될 수 있다. 일 특정 실시예에서, 상기 어드레스 정보를 라우팅하거나, 커맨드-어드레스 버스(36)의 상기 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호 및 클록 신호 모두를 라우팅하기 위한 1

개 이하의 라우팅 층이 있을 수 있다. 그러나, 회로 판넬에는, 상기 어드레스 정보 외의 정보를 전달하거나 커맨드-어드레스 버스 신호 외의 신호를 전달하는 더 많은 수의 라우팅 층이 있을 수 있다.

[0072] 각 마이크로 전자 패키지의 제 1 단자가 각 마이크로 전자 패키지의 그리드(104)의 단일 컬럼 내의 위치에 배치되는 일 특정 실시예에서, 회로 판넬(354)은, 제 1 및 2 마이크로 전자 패키지(100A, 100B)의 단자들이 전기적으로 연결되어 있는 회로 판넬 상의 연결 부위와 적어도 제 3 마이크로 전자 패키지의 단자들이 전기적으로 연결되는 다른 연결 부위 사이에서 모든 어드레스 정보를 대역적으로 라우팅하기 위한 1개 이하의 라우팅 층을 포함할 수 있다.

[0073] 각 마이크로 전자 패키지의 제 1 단자가 각 마이크로 전자 패키지의 그리드(104)의 2개 이하의 평행한 컬럼 내의 위치에 배치되는 일 특정 실시예에서, 회로 판넬(354)은, 제 1 및 2 마이크로 전자 패키지(100A, 100B)의 단자들이 전기적으로 연결되어 있는 회로 판넬 상의 연결 부위와 적어도 제 3 마이크로 전자 패키지의 단자들이 전기적으로 연결되는 다른 연결 부위 사이에서 모든 어드레스 정보를 대역적으로 라우팅하기 위한 2개 이하의 라우팅 층을 포함할 수 있다. 일 특정 실시형태에서는 상기한 대역적 라우팅을 위한 1개 이하의 라우팅 층이 있을 수 있다.

[0074] 도 7c 는, 회로 판넬 및 그의 제 1 및 2 상호 반대쪽 표면에 대해 서로 반대쪽에 장착되는 복수의 마이크로 전자 패키지를 포함하는, 예컨대 특히 DIMM과 같은 마이크로 전자 어셈블리를 도시한다. 도 7c 에서 보는 바와 같이, 상기 어드레스 신호 또는 커맨드-어드레스 버스 신호는, 각 상의 마이크로 전자 패키지(100A, 100B)가 회로 판넬의 양측에 연결되는 연결 부위(I, II 또는 III) 사이에서 적어도 하나의 방향(143)으로 버스(36), 예컨대 회로 판넬 또는 회로 기판(354) 상의 어드레스 버스 또는 커맨드-어드레스 버스에서 라우팅될 수 있다. 그러한 버스(36)의 신호는 약간 다른 시간에서 각각의 연결 부위(I, II 또는 III)에서 각 패키지 쌍에 도달하게 된다.

[0075] 상기 적어도 하나의 방향(143)은, 각 패키지(100A, 100B) 내에 있는 적어도 하나의 마이크로 전자 요소에 있는 복수의 접촉자의 적어도 하나의 컬럼(138)이 따르는 방향(142)을 가로지르거나 그 방향에 직교할 수 있다. 이렇게 해서, 회로 판넬(354)에 있는 (즉, 그 내부에 있는) 버스(36)의 신호 컨덕터들은 어떤 경우에, 회로 판넬에 연결되는 패키지(100A 또는 100B) 내의 마이크로 전자 요소에 있는 접촉자의 적어도 하나의 컬럼(138)에 평행한 방향(142)으로 서로 떨어져 있을 수 있다.

[0076] 이러한 구성은, 특히 각 마이크로 전자 패키지의 제 1 단자(105)가 그러한 방향으로 있는 하나 이상의 컬럼(104A, 104B)에 배치되어 있을 때, 버스(36)의 신호를 라우팅하는데 사용되는 회로 판넬에 있는 하나 이상의 대역적 라우팅 층의 신호 컨덕터의 라우팅을 단순화하는데 도움을 줄 수 있다. 예컨대, 비교적 적은 제 1 단자가 각 패키지에서 동일한 수직 레이아웃 위치에 배치될 때 회로 판넬에서 커맨드-어드레스 버스 신호의 라우팅을 단순화시킬 수 있다. 따라서, 도 5 에 나타나 있는 실시예에서, 어드레스 신호(A3, A1)를 받도록 구성된 제 1 단자와 같은, 단지 2개의 제 1 단자가 각각의 패키지에서 동일한 수직 레이아웃 위치에 배치된다.

[0077] 일 예시적인 실시예에서, 마이크로 전자 어셈블리(354)는, 어셈블리(354)의 마이크로 전자 패키지(100A, 100B)에 전달되는 적어도 일부의 신호의 버퍼링을 수행하는 반도체 칩을 포함할 수 있는 마이크로 전자 요소(358)를 가질 수 있다. 이 마이크로 전자 요소(358)는 고체 상태 구동 제어기와 같이 로직 기능을 주로 수행하도록 구성될 수 있고, 마이크로 전자 패키지(100A, 100B)에 있는 마이크로 전자 요소(358) 중의 적어도 하나는 각각 비휘발성 플래시 메모리와 같은 메모리 저장 요소를 포함할 수 있다.

[0078] 마이크로 전자 요소(358)는, 마이크로 전자 요소(358)에 포함되는 메모리 저장 요소와의 데이터 전달의 감독으로부터 시스템(1500)(도 18)과 같은 시스템의 주양 처리 유닛을 경감시켜 주는 특수 목적의 프로세서를 포함할 수 있다. 고체 상태 구동 제어기를 포함하는 이러한 마이크로 전자 요소(358)는 시스템(1300)과 같은 시스템의 마더보드(예컨대, 도 18 에 나타나 있는 회로 판넬(1502))에 있는 데이터 버스에 대한 직접적인 메모리 접근을 제공할 수 있다. 일 특정 실시 형태에서, 마이크로 전자 요소(358)는 버퍼링 기능을 가질 수 있다. 이러한 마이크로 전자 요소(358)는 마이크로 전자 어셈블리(354)의 외부에 있는 요소에 대해 마이크로 전자 요소(358)의 각각에 대한 임피던스 고립을 제공하는 것을 도와 주도록 구성될 수 있다.

[0079] 일 특정 실시 형태에서, 마이크로 전자 패키지의 제 1 단자(104)는 마이크로 전자 요소(101)의 작동 모드를 제어하는 정보를 전달하도록 구성될 수 있다. 보다 구체적으로, 제 1 단자는 마이크로 전자 패키지(100)에 전달되는 특정 세트의 커맨드 신호 및/또는 클록 신호 모두를 전달하도록 구성될 수 있다. 일 실시 형태에서, 제 1 단자(104)는 외부 요소로부터 마이크로 전자 패키지(100)에 전달되는 커맨드 신호, 어드레스 신호, 뱅크 어드레

스 신호 및 클록 신호 모두를 전달하도록 구성될 수 있고, 커맨드 신호는 로우 어드레스 스트로브, 컬럼 어드레스 스트로브 및 기록 인에이블을 포함한다. 그러한 실시 형태에서, 제 1 칩은 작동 모드를 제어하는 정보를 발생시키도록 구성될 수 있다. 대안적으로 또는 추가적으로, 제 1 칩은 마이크로 전자 요소의 작동 모드를 제어하는 정보를 부분적으로 또는 완전히 디코딩하도록 구성될 수 있다. 이러한 실시 형태에서, 각각의 제 2 칩은 어드레스 정보, 커맨드 정보, 또는 마이크로 전자 요소의 작동 모드를 제어하는 정보 중의 하나 이상을 완전히 디코딩하도록 구성될 수 있거나 그렇지 않을 수 있다.

[0080] 다른 배치의 단자를 갖는 마이크로 전자 패키지가 제공될 수 있다. 예컨대, 도 8 에 도시되어 있는 마이크로 전자 패키지(400)에서, 4개의 단자 컬럼(404A, 404B, 404C, 404D)은 기판 표면의 중심 영역(112)에 배치되고, 이를 컬럼은, 상기 어드레스 정보를 전달하도록 구성된 또는 일 특정 실시 형태에서는 상기 커멘드 신호, 어드레스 신호, 뱅크 어드레스 신호 및 어드레스 신호를 샘플링하는데 사용되는 클록 신호 모두를 전달하도록 구성된 제 1 단자를 포함한다. 그의 특정 실시예에서, 제 2 단자는 상기 컬럼(404A, 404B, 404C, 404D) 내에 배치될 수 있고, 이들은 제 1 단자에 의해 전달되는 상기 정보 또는 신호 외의 정보를 전달하도록 구성되어 있다. 다른 실시예(미도시)에서, 마이크로 전자 패키지의 제 1 단자는 세 단자 컬럼 내위 위치에 배치될 수 있다.

[0081] 도 9a 및 9b 에 도시되어 있는 마이크로 전자 패키지(500)에서, 제 1 단자는 기판 표면의 중심 영역(512)에 배치되는 단일 컬럼(504) 내의 위치에 배치되며, 그 단일 컬럼은 마이크로 전자 패키지의 가장자리(516, 518)에 평행한 방향으로 있다. 이하, 다른 언급이 없으면, 설명의 용이와 명확성을 위해, 본 발명의 다양한 양태를 도시하는 도에서 제 2 단자는 생략할 수 있는데, 물론 그럼에도 제 2 단자는 그러한 실시 형태에 존재할 수 있다.

[0082] 도 9a 에 나타나 있는 특정 실시예에서, 기판에 있는 단자의 임의의 두 컬럼 사이의 최소 피치는 기판 표면의 주변 영역(514B)에 배치되는 제 2 단자의 인접 컬럼(506B, 506C) 사이의 피치(552)이다. 중심 영역의 폭(554)은 단자의 컬럼(506B, 506C) 사이의 최소 피치(552)의 3.5 배 이하이다.

[0083] 도 10a 는, 마이크로 전자 요소가 전기적으로 서로 연결된 제 1 반도체 칩(632) 및 복수의 제 2 반도체 칩(634)의 수직 적층체(630)를 포함하는 특정 실시예에 따른 마이크로 전자 패키지(600)를 도시하며, 각각의 반도체 칩은 기판(602)으로부터 멀어지는 쪽을 향하는 접촉자 보유 면(631)을 갖는다. 와이어 본드(635)는 반도체 칩(632, 634) 상에 있는 접촉자(626)를 기판상의 대응 접촉자(636)과 전기적으로 서로 연결한다. 반도체 칩(634)의 인접 면들 간에는 스페이서(638)가 배치될 수 있고, 반도체 칩(632)의 접촉자 보유 면(631)과 반도체 칩(634)의 후방면 사이에는 스페이서(638)가 배치될 수 있다. 어떤 경우에는, 각 스페이서와 이러한 스페이서에 인접한 반도체 칩의 면 사이에 접착층(미도시)이 제공될 수 있다. 도 10a 에 나타나 있는 바와 같이, 하나 이상의 제 2 반도체 칩(634)은 제 1 반도체 칩(632)과 전기적으로 서로 연결된다. 예컨대, 도 10a 에서 보는 바와 같이, 수직 방향으로 적층된 3개의 제 2 반도체 칩(634)이 있는데, 이 칩의 면(631)은 서로 평행하다.

[0084] 도 10a 에 나타나 있는 마이크로 전자 패키지(600)에서, 제 1 및 2 반도체 칩(632, 634) 각각은 다른 기능 보다 메모리 저장 어레이 기능을 제공하는 더 많은 수의 능동 소자를 구현하도록 구성될 수 있다. 예컨대, 제 1 및 2 반도체 칩 각각은 메모리 저장 어레이 및 이 메모리 저장 어레이에 데이터를 입력하고 또한 그로부터 데이터를 출력하는데 필요한 모든 회로를 포함할 수 있다. 예컨대, 각 반도체 칩에 있는 메모리 저장 어레이가 기록 가능하다면, 각각의 반도체 칩은, 패키지의 단자로부터 입력되는 외부 데이터를 받도록 구성된 회로 및 그러한 반도체 칩으로부터 패키지의 단자에 출력되는 데이터를 전달하도록 구성된 회로를 포함할 수 있다. 따라서, 각각의 제 1 및 2 반도체 칩(632, 634)은, 그러한 반도체 칩 내의 메모리 저장 어레이로부터 데이터를 입출력할 수 있고 또한 그러한 데이터를 받아 마이크로 전자 패키지 외부의 요소에 전달할 수 있는 동적 랜덤 액세스 메모리(DRAM) 또는 다른 메모리 칩일 수 있다. 다시 말하면, 이러한 경우 각 DRAM 칩 또는 다른 메모리 칩 내부의 메모리 저장 어레이에 주어지거나 또는 그로부터 받는 신호는 마이크로 전자 패키지 내의 추가적인 반도체 칩에 의한 버퍼링을 필요로 하지 않는다.

[0085] 대안적으로, 다른 실시예에서, 하나 이상의 제 2 반도체 칩(634)은 다른 기능 보다 메모리 저장 어레이 기능을 제공하는 더 많은 수의 능동 소자를 구현할 수 있지만, 제 1 반도체 칩(632)은 다른 종류의 칩일 수 있다. 이 경우, 제 1 반도체 칩(632)은 신호를 버퍼링하도록, 즉 하나 이상의 제 2 반도체 칩(634)에의 전달을 위한 단자에서 수신되는 신호를 재생시키거나 단자에의 전달을 위한 제 2 반도체 칩(634) 중의 하나 이상으로부터 수신되는 신호를 재생시키거나 또는 단자로부터 하나 이상의 제 2 반도체 칩(634)으로 그리고 하나 이상의 반도체 칩으로부터 마이크로 전자 패키지의 단자로의 양 방향으로 전달되는 신호를 재생시키도록 구성될 수 있는데, 예컨대 설계, 구성 또는 셋업될 수 있다. 전술한 바와 같이 신호를 재생시키는 것에 대안 대안으로 또는 그에 추가하여, 일 특정 실시예에서, 제 1 반도체 칩은 제 1 단자와 같은 단자에서 수신되는 어드레스 정보 또는 커맨드

정보 중의 적어도 하나를 부분적으로 또는 완전히 디코딩하도록 구성될 수 있다. 그리고 제 1 칩은 하나 이상의 제 2 반도체 칩(634)에의 전달을 위해 그러한 부분적인 또는 완전한 디코딩의 결과를 출력할 수 있다.

[0086] 일 특정 실시예에서, 제 1 반도체 칩은, 하나 이상의 제 2 반도체 칩에 전달되는 커맨드 신호, 어드레스 신호 및 클록 신호를 버퍼링하도록 구성될 수 있다. 예컨대, 제 1 반도체 칩(632)은, 다른 기능을 위해서 보다, 다른 장치, 예컨대 하나 이상의 제 2 반도체 칩(634)에 신호를 전달할 때 버퍼링 기능을 제공하는 더 많은 수의 능동 소자를 구현하는 버퍼 칩일 수 있다. 그리고, 하나 이상의 제 2 반도체 칩은, 메모리 저장 기능을 갖지만 버퍼 회로와 같은 DRAM 칩에 공통적인 회로, 디코더 또는 프리디코더 또는 워드라인 드라이버를 생략할 수 있는 감소된 기능 칩일 수 있다. 그 경우, 제 1 칩(632)은 적층체에서 "마스터" 칩으로 기능할 수 있고 또한 각각의 제 2 반도체 칩(634)에서의 작동을 제어할 수 있다.

[0087] 일 특정 실시예에서, 제 2 반도체 칩은 버퍼링 기능을 수행할 수 없도록 구성될 수 있는데, 그래서 제 1 및 2 반도체 칩의 적층 배치는, 마이크로 전자 패키지에서 요구되는 버퍼링 기능이 제 1 반도체 칩에 의해 수행되고 적층체에 있는 제 2 반도체 칩 중 어떤 것에 의해서도 수행될 수 없도록 구성될 수 있다.

[0088] 여기서 설명하는 임의의 실시 형태에서, 하나 이상의 제 2 반도체 칩은 다음과 같은 기술들 중 하나 이상으로 실현될 수 있다: DRAM, NAND 플래시 메모리, RRAM("저항 RAM" 또는 "저항 랜덤 액세스 메모리"), 상 변화 메모리("PCM"), 자기저항 랜덤 액세스 메모리, 예컨대 터널 접합 장치, 정적 랜덤 액세스 메모리("SRAM"), 스핀-토크 RAM 또는 내용 어드레서를 메모리.

[0089] 도 10b 는 전술한 실시 형태의 일 변형예를 도시하는데, 여기서 마이크로 전자 패키지(601) 내의 제 1 반도체 칩(633)은 패키지 내의 다른 반도체 칩(634)에의 전달을 위한 패키지의 단자, 예컨대 제 1 단자에서 수신되는 적어도 일부의 신호를 버퍼링하도록 구성되어 있다. 이 변형예에서, 제 1 반도체 칩(633)은 플립-칩 방향으로 기판(602)에 장착될 수 있는데, 즉 그의 일 면에 있는 접촉자(643)는 기판(602) 상의 대응 접촉자 쪽을 향하고 예컨대 땜납, 다른 본드 금속 또는 기타 전도성 재료로 그에 결합된다.

[0090] 도 11a 는 다른 변형예에 따른 마이크로 전자 패키지(660)를 도시하는 단면도이고 도 11b 는 대응하는 평면도인데, 여기서는, 제 1 반도체 칩(632)의 접촉자가 제 2 반도체 칩(634A)의 가장자리(618)를 넘어 노출되고 또한 그 반도체 칩(634A)의 접촉자는 상기 제 2 반도체 칩(634A) 바로 위에서 그 제 2 반도체 칩의 가장자리(618)를 넘어 노출되도록 제 2 반도체 칩(634)들은 서로에 대해 계단 형태로 장착된다. 제 1 및 2 반도체 칩과 기판 사이 그리고 칩들 사이의 전기적 연결은, 반도체 칩의 적층체 내의 인접하는 칩들을 전기적으로 연결하는 와이어 본드(635) 또는 칩들을 패키지 기판(662)에 직접 전기적으로 연결하는 와이어 본드(637)에 의해 제공될 수 있다.

[0091] 도 12 는 도 10 과 관련하여 전술한 실시 형태의 다른 변형예에 따른 마이크로 전자 패키지(670)를 도시하는데, 여기서, 하나 이상의 제 2 반도체 칩(634)의 접촉자들 사이의 연결부는, 일 유닛의 적층된 반도체 칩(630)의 하나 이상의 가장자리를 따라, 즉 그러한 유닛(630) 내의 반도체 칩(634)의 가장자리를 따라 연장되어 있는 트레이스 또는 리드(640)를 포함할 수 있다. 유닛(630)은 본드 금속, 예컨대 땜납, 주석, 금, 인듐, 어떤 경우에는 전도성 포스트, 예컨대 마이크로필라를 포함할 수 있는 공정(eutectic) 또는 전기 전도성 범프 또는 둘다에 의해 제 1 반도체 칩(632)의 접촉자(627)와 전기적으로 서로 연결되고 장착된다. 트레이스(654)는 제 1 반도체 칩의 면(631)을 따라 접촉자(627)에서부터 제 2 접촉자(626)까지 이를 수 있고, 상기 접촉자는 예컨대 와이어 본드(645)를 통해 기판과 전기적으로 연결될 수 있다.

[0092] 제 2 반도체 칩(634)들 사이의 전기적 연결부는, 제 2 반도체 칩(634)의 전방 면을 따라 연장되어 있는 트레이스(644)를 더 포함할 수 있다. 도 12 에 또한 나타나 있는 바와 같이, 제 2 반도체 칩의 전방 면(642)은 기판(602)으로부터 멀어지게 상방으로 향할 수 있고 또는 그 기판(602) 쪽으로 하방으로 향할 수도 있다.

[0093] 도 13a 는 다른 마이크로 전자 패키지(680)를 도시하는데, 여기서, 제 2 반도체 칩(634)은, 제 1 칩의 접촉자(627) 쪽을 향하고 또한 본드 금속, 예컨대 땜납, 주석, 금, 인듐, 공정 또는 전기 전도성 범프 또는 둘다에 의해 플립-칩 방식으로 그에 결합되는 접촉자(647)를 갖는다. 트레이스(654)는 접촉자(627)를, 와이어 본드를 통해 기판에 전기적으로 연결되는 제 1 칩 상의 다른 접촉자(626)와 전기적으로 연결할 수 있다.

[0094] 도 13b 는 일 특정 실시예에 따른 마이크로 전자 패키지(690)를 도시하는데, 여기서는, 하나 이상의 반도체 칩(634)들은, 제 2 반도체 칩(634)의 적어도 일부의 두께(652)의 방향, 즉 칩(634)의 면(642)에 수직인 방향으로 연장되어 있는 관통 실리콘 비아("TSV")에 의해 서로 전기적으로 연결된다. 도 13b 에서 보는 바와 같이, 일 실시예에서, TSV(650)는 본드 금속, 예컨대 땜납, 주석, 금, 인듐, 어떤 경우에는 전도성 포스트, 예컨대 마이

크로필라를 포함할 수 있는 공정 또는 전기 전도성 범프 또는 둘다를 통해 제 1 반도체 칩(632)의 접촉자(627)와 전기적으로 연결될 수 있다. 트레이스(654)는 제 1 반도체 칩의 면(631)을 따라 접촉자(627)에서부터 제 2 접촉자(626)까지 이를 수 있고, 이 접촉자는 기판에 와이어 결합될 수 있다.

[0095] 일 실시예에서, 패키지(690)의 단자, 예컨대 제 1 단자, 제 2 단자 또는 둘다에서 수신되는 정보 또는 신호는 기판 접촉자(636)에 결합되어 있는 와이어 본드(645)를 통해 제 1 반도체 칩(632)에 의해 수신될 수 있으며, 상기 기판 접촉자는 마이크로 전자 패키지의 단자에 결합된다. 베퍼 요소로서 작동하는 제 1 반도체 칩(632)은 수신된 정보 또는 신호를 재생시킬 수 있고 그런 다음에 그 재생된 정보 또는 신호를 예컨대 제 1 및 2 칩(632, 634) 사이의 연결 및 제 2 칩(634)의 적층체 내의 TSV(650)를 통해 하나 이상의 제 2 반도체 칩에 전달할 수 있다.

[0096] 도 13c 는 도 13b 에 나타나 있는 마이크로 전자 패키지의 일 변형예를 도시한다. 도 13b 에 나타나 있는 패키지와는 다르게, 어드레스 정보 또는 다른 정보를 재생시키거나 적어도 부분적으로 디코딩하도록, 예컨대 패키지 내의 다른 반도체 칩에 전달되는 신호를 재생시키도록 구성되어 있는 반도체 칩(664)은 기판(602)의 제 1 표면(108)에 인접하여 위치되지 않는다. 대신에, 이 경우, 반도체 칩(664)은 하나 이상의 다른 반도체 칩 위에 있는 패키지 내의 위치에 배치될 수 있다. 예컨대, 도 13c 에서 보는 바와 같이, 상기 칩(664)은 기판(602)의 제 1 면(108)에 인접하여 배치되는 반도체 칩(662) 위에 적어도 부분적으로 있고 또한 반도체 칩(662) 위에 있는 반도체 칩(663A, 663B, 663C) 위에 적어도 부분적으로 있다.

[0097] 일 실시예에서, 반도체 칩(662, 663A, 663B, 663C)은 메모리 저장 어레이를 포함할 수 있다. 전술한 실시예에서 처럼, 그러한 칩(662, 663A, 663B, 663C) 각각은, 그러한 칩에 기록될 데이터 또는 그러한 칩으로부터 판독되고 있는 데이터 또는 둘다를 베퍼링하도록, 예컨대 임시로 저장하도록 구성된 회로를 포함할 수 있다. 대안적으로, 상기 칩(662, 663A, 663B, 663C)은 기능면에서 더 제한될 수 있고, 그러한 칩에 기록될 데이터 또는 그러한 칩으로부터 판독되고 있는 데이터 또는 둘다를 임시로 저장하도록 구성된 적어도 하나의 다른 칩과 함께 사용될 수 있다.

[0098] 반도체 칩(664)은 마이크로 전자 패키지의 단자, 예컨대, 제 1 단자(604)와 제 2 단자(606)가 배치되어 있는 그리드에, 부분적으로 반도체 칩(663A)의 전방 면(631) 위에 있고 또한 기판(602)의 제 1 표면(108)에서 노출되는 접촉자(636)에 연결되는 전기 전도성 구조체, 예컨대 와이어 본드(665)를 통해 전기적으로 연결될 수 있다. 전기 전도성 구조체는, 예컨대 와이어 본드(665)는 칩(663A)에 있는 접촉자(638) 및 칩(663A)의 면(631)을 따라, 칩(664)의 대향 면(641)을 따라 또는 칩(663A, 664) 모두의 면(631, 641)을 따라 연장되어 있는 컨덕터(미도시)를 통해 반도체 칩(664)에 전기적으로 연결될 수 있다. 전술한 바와 같이, 반도체 칩(664)은 전도성 구조체, 예컨대 와이어 본드(665)를 통해 받는 신호 또는 정보를 재생시키거나 적어도 부분적으로 디코딩하도록 구성될 수 있으며, 또한 재생된 또는 적어도 부분적으로 디코딩된 신호 또는 정보를 칩(662, 663A, 663B, 663C)과 같은 패키지 내의 다른 칩에 전달하도록 구성될 수 있다.

[0099] 또한 도 13c 에 나타나 있는 바와 같이, 반도체 칩(662, 663A, 663B, 663C)은 그러한 칩들 중 하나, 두개 또는 세개를 관통할 수 있는 복수의 관통 실리콘 비아("TSV")(672, 674, 676)에 의해 반도체 칩(664) 및 서로에 전기적으로 연결될 수 있다. 각각의 그러한 TSV 는 패키지 내의 배선, 예컨대 반도체 칩(662, 663A, 663B, 663C) 중 둘 이상의 전도성 패드 또는 트레이스와 전기적으로 연결될 수 있다. 일 특정 실시예(미도시)에서, 각각의 관통 실리콘 비아가 이 비아가 관통하는 각각의 반도체 칩(662, 663A, 663B, 663C)과 전기적으로 연결되지 않을 수 있지만, 관통 실리콘 비아는 그러한 모든 반도체 칩의 두께를 통과할 수 있다.

[0100] 또한 도 13c 에 나타나 있는 바와 같이, 복수의 핀(671; fin)을 포함하는 열싱크 또는 열 분산기(668)가 특히 열 접착제, 열전도성 그리스 또는 땜납과 같은 열전도성 재료를 통해 반도체 칩(664)의 일 면, 예컨대 후방면(633)에 열적으로 결합될 수 있다.

[0101] 도 13c 에 나타나 있는 마이크로 전자 어셈블리(695)는, 사이클마다 지정된 수의 데이터 비트를 기판에 제공되어 있는 제 1 및 2 단자를 통해 마이크로 전자 패키지에 또는 그로부터 전달될 수 있는 메모리 모듈로서 작동하도록 구성될 수 있다. 예컨대, 마이크로 전자 어셈블리는 특히 32 개의 데이터 비트, 64개의 데이터 비트 또는 96 개의 데이터 비트와 같은 많은 데이터 비트를, 단자(604, 606)와 전기적으로 연결될 수 있는 회로 판넬과 같은 외부 요소에 또는 그로부터 전달하도록 구성될 수 있다. 다른 실시예에서, 패키지에 또는 그로부터 전달되는 비트는 여러 보정 코드 비트를 포함할 때, 패키지에 또는 그로부터 전달되는 사이클 당 비트의 수는 36개 비트, 72개 비트, 또는 108 개 비트일 수 있다. 여기서 특정된 것 외의 다른 데이터 폭도 가능하다.

- [0102] 도 14a, 14b 및 15 는 전술한 실시 형태 중 하나 이상의 다른 변형예에 따른 마이크로 전자 패키지(1100)를 도시한다. 도 14a, 14b 및 15 에서 보는 바와 같이, 패키지(1100)는 기판(1102)의 제 1 표면(1108)에서 서로 이격되어 있는 제 1 및 2 마이크로 전자 요소(1130, 1131)를 포함한다. 각각의 마이크로 전자 요소(1130, 1131)는, 기판(1102)으로부터 먼쪽을 향하는 각각의 마이크로 전자 요소의 면(1142)으로부터 멀어지게 연장되어 있는 제 1 평행 가장자리(1170) 및 상기 제 1 가장자리가 연장되어 있는 방향을 가로지르는 또는 그에 수직인 방향으로 연장되어 있는 제 2 평행 가장자리(1172)를 갖는다.
- [0103] 마이크로 전자 요소의 접촉자(1138)는 기판(1102)의 제 1 표면(1108)에 있는 대응 기판 접촉자(1148)와 전기적으로 연결된다. 그리고, 기판 접촉자(1148) 중의 일부는 전기 전도성 트레이스(1144)를 통해, 또는 전기 전도성 비아(1146)를 통해 또는 그 트레이스와 비아 모두를 통해, 제 2 표면(1110)의 중심 영역(1112)에 있는 제 1 단자(1104)와 전기적으로 연결된다. 어떤 실시 형태에서, 대신에 기판 접촉자(1148) 중의 일부는 제 2 표면의 하나 이상의 주변 영역(1164)에 있는 제 2 단자(1162)와 전기적으로 연결될 수 있다. 도 14a 는 패키지에 있는 단자(1104, 1162)의 가능한 신호 할당을 도시한다.
- [0104] 전술한 실시 형태에서 처럼, 기판 표면(1110)의 중심 영역(1112)은, 패키지에 있는 임의의 두 인접한 단자 컬럼 사이의 최소 피치(1152)의 3.5 배 이하의 폭(1154)을 가지며, 두 인접한 컬럼 각각에는 복수의 단자가 있다. 기판(1102)의 표면(1110)에 수직인 축방향 면(1150)은, 제 1 및 2 마이크로 전자 요소(1130, 1131)의 제 1 가장자리(1170)들에 평행하게 그 중간을 지나는 선을 따라 표면(1110)과 교차한다. 일 실시예에서, 제 1 단자(1104)의 컬럼이 따르는 축선(1151)이 여기에 나타나 있는 바와 같이 제 1 및 2 마이크로 전자 요소의 인접 가장자리(1134, 1135) 사이에 위치될 수 있다. 이는 단자의 둘 이상의 컬럼의 축선의 경우에도 해당될 수 있다.
- [0105] 대안적으로, 도 14a, 14b 및 15 에는 나타나 있지 않지만, 제 1 단자(1104)의 컬럼이 따르는 축선은 제 1 및 2 마이크로 전자 요소(1130, 1131)의 면(1140)들 중 하나 이상의 면 위에 있을 수 있고, 이는 둘 이상의 컬럼의 경우에도 해당될 수 있다. 표면(1110)의 중심 영역(1112)에는 4개 이하의 단자 컬럼이 있을 수 있다. 전술한 실시 형태에서 처럼, 중심 영역에는 단일의 제 1 단자 컬럼(1104) 보다 많은 단자 컬럼이 있을 필요는 없다. 또한 도 15 에서 보는 바와 같이, 제 1 및 2 마이크로 전자 요소의 면(1142)은 기판(1102)의 제 1 표면(1108)에 평행한 단일 면(1124) 내에서 연장되어 있을 수 있다.
- [0106] 도 16a 및 16b 는 도 14a, 14b 및 15 에 나타나 있는 실시 형태의 일 변형예에 따른 마이크로 전자 패키지(1200)를 도시하는데, 이 패키지는, 마이크로 전자 패키지(1100)(도 14a, 14b 및 15)와 관련하여 전술한 바와 같은 패키지(1200) 내의 동일한 배치 및 전기적 상호 연결을 갖는 제 1 및 2 마이크로 전자 요소(1230, 1231) 외에도, 제 3 및 4 마이크로 전자 요소(1233, 1235)를 더 포함한다. 제 1 및 2 마이크로 전자 요소와 마찬가지로, 제 3 및 4 마이크로 전자 요소 각각은 다른 기능 보다 메모리 저장 어레이를 제공하는 더 많은 수의 능동 소자를 구현할 수 있다. 제 1 및 2 마이크로 전자 요소와 마찬가지로, 제 3 및 4 마이크로 전자 요소(1233, 1235)는 위쪽을 향하게 기판(1202) 상에 장착되고, 마이크로 전자 요소의 각각의 접촉자 보유 면(미도시) 위에서 연장되어 있는 전기적 연결부를 통해 패키지의 제 1 단자(1204)와 전기적으로 연결된다. 상기 전기적 연결부는 전술한 바와 같이 와이어 본드일 수 있다.
- [0107] 마이크로 전자 패키지의 단자(1204)는 전술한 바와 같이 단자 컬럼 사이의 최소 피치의 3.5 배 이하의 폭(1252)을 갖는 중심 영역(1212) 내에 배치될 수 있다. 또한 도 16a 에 나타나 있는 바와 같이, 축방향 면(1250)과 기판(1202)의 교차부는 패키지(1200) 내에 있는 제 1, 2, 3 및 4 마이크로 전자 요소의 모든 평행한 제 1 가장자리(1270) 사이의 중심에 있을 수 있다.
- [0108] 도 14a, 14b 및 15와 관련하여 전술한 바와 마찬가지로, 마이크로 전자 요소(1230, 1231, 1233, 1235)의 접촉자 보유 면(미도시)은 그러한 모든 면들이 동일 면내에 있도록, 즉 도 15에 도시되어 있는 바와 같은 단일 면(1124)과 같은 단일 면에서 연장되어 있도록 패키지(1200) 내에 배치될 수 있다.
- [0109] 도 16b 는 패키지(1200) 상에 있는 단자의 가능한 신호 할당을 도시하는데, 여기서, 제 1 단자(1204)는 중심 영역에서 하나 이상의 컬럼으로 배치되고 제 2 단자(1206)는 패키지의 주변 가장자리(1260, 1261, 1262, 1263) 근처에서 복수의 영역에 배치된다. 이 경우, 제 2 단자(1206)의 일부는 그리드(1270)와 같은 그리드 내의 위치에 배치될 수 있고, 일부 제 2 단자는 그리드(1272)와 같은 그리드 내의 위치에 배치될 수 있다. 또한, 일부 제 2 단자는 그리드(1274)와 같은 그리드 내의 위치에 배치될 수 있으며, 일부 제 2 단자는 그리드(1276) 내의 위치에 배치될 수 있다.
- [0110] 도 16b 에 도시되어 있는 바와 같이, 그리드(1276)에서 제 2 단자(1206)의 신호 클래스 할당은 축방향 면(1250)

내에서 연장될 수 있는 수직 축선(1251)에 대해 대칭일 수 있고, 그리드(1274)에서 제 2 단자의 신호 클래스 할당은 수직 축선(1251)에 대해 대칭일 수 있다. 여기서 사용되는 바와 같이, 클래스 내의 수치 인덱스가 다르더라도, 신호 할당이 동일한 할당 클래스 내에 있으면, 두 신호 클래스 할당은 서로에 대해 대칭일 수 있다. 예시적인 신호 클래스 할당은 데이터 신호, 데이터 스트로브 신호, 데이터 스트로브 보충 신호 및 데이터 마스크 신호를 포함할 수 있다. 일 특정 실시예에서, 제 2 단자가 다른 신호 할당을 갖더라도, 그리드(1276)에서, 신호 할당(DQSH#, DQL#)을 갖는 제 2 단자(1206)는 그들의 신호 할당 클래스에 대해 수직 축선(1251) 둘째로 대칭이며, 이는 데이터 스트로브 보충이다.

[0111] 도 16b 에 또한 나타나 있는 바와 같이, 예컨대 데이터 신호(DQ0, DQ1, ...)에 대한 마이크로 전자 패키지 상의 제 2 단자의 공간적 위치에의 데이터 신호의 할당은 수직 축선(1251)에 대해 모듈로(modulo)-X 대칭을 가질 수 있다. 모듈로-X 대칭은 도 7b 에서 보는 바와 같은 어셈블리(300)에서의 신호 무결성을 유지하는데 도움을 줄 수 있는데, 하나 이상의 쌍의 제 1 및 2 패키지는 회로 판넬에서 서로 반대쪽에 장착되고, 각각 반대로 장착된 패키지 쌍에 있는 제 1 및 2 패키지의 제 2 단자의 대응 쌍을 전기적으로 연결한다. 여기서 사용되는 바와 같이, 단자의 신호 할당이 일 축선에 대해 "모듈로-X 대칭"을 가질 때, 동일한 수의 모듈로-X 를 갖는 신호를 전달하는 단자는 상기 축선에 대해 대칭인 위치에 배치된다. 따라서, 도 7b 에서와 같은 그러한 어셈블리(300)에서, 모듈로-X 대칭으로 인해, 제 1 패키지의 단자(DQ0)가 동일한 인덱스 수의 모듈로 X(이 경우 X는 8)를 갖는 제 2 패키지의 단자(DQ8)에 회로 판넬을 통해 전기적으로 연결될 수 있도록, 전기적 연결이 회로 판넬을 통해 이루어질 수 있으며, 그래서 회로 판넬의 두께를 통과하는, 즉 그 두께에 수직인 본질적으로 곧은 방향으로 연결이 이루어질 수 있다.

[0112] 일 실시예에서, "X"는  $2^n$ (2의 n승)이고, 여기서, n 은 2 이상이고, 또는 X 는  $8 \times N$ (N 은 2 이상)일 수 있다. 따라서, 일 실시예에서, X 는 하프-바이트(4 비트), 바이트(8 비트), 다중 바이트( $8 \times N$ , N 은 2 이상), 워드(32 비트) 또는 다중 워드에서의 비트 수와 같을 수 있다. 이렇게 해서, 일 실시예에서, 도 16b 에서 보는 바와 같이 모듈-8 대칭인 경우, 데이터 신호(DQ0)를 전달하도록 구성된 그리드(1274)에서 패키지 단자(DQ0)의 신호 할당은 수직 축선에 대해 대칭이고, 다른 패키지 단자의 신호 할당은 데이터 신호(DQ8)를 전달하도록 구성되어 있다. 더욱이, 이는 그리드(1276)에서 패키지 단자(DQ0, DQ8)의 신호 할당의 경우에도 마찬가지다. 도 16b 에서 보는 바와 같이, 그리드(1276)에서 패키지 단자(DQ2, DQ10)의 신호 할당은 수직 축선에 대해 모듈로-8 대칭을 가지며, 이는 그리드(1276)에 대해서도 마찬가지다. 여기서 설명하는 바와 같은 모듈로-8 대칭은 패키지 단자(DQ0 ~ DQ15)의 신호 할당에 대해 그리드(1274, 1276)에서 볼 수 있다.

[0113] 나타나 있지는 않지만, 모듈로 수 "X"는  $2^n$ (2의 n승) 외의 수일 수 있고, 2 보다 큰 어떤 수도 될 수 있다. 따라서, 대칭의 근거가 되는 모듈로 수 X 는, 패키지가 구성되는 데이터 크기에 얼마나 많은 비트가 존재하는지에 달려 있다. 예컨대, 데이터 크기가 8 비트 대신에 10 비트이면, 신호 할당은 모듈로-10 대칭을 가질 수 있다. 심지어, 데이터 크기가 홀수 개의 비트를 가질 때 모듈로 수 X 는 그러한 수를 가질 수 있다.

[0114] 도 17a 및 17b는 도 16a 및 16b와 관련한 설명한 실시 형태(1200)의 일 변형예에 따른 마이크로 전자 패키지(1300)를 도시하는데, 패키지(1300)는 제 1 단자(1304)가 배치되는 중심 영역(1312)을 갖는 기판 표면(1310)을 갖는다. 거기서 보는 바와 같이, 인접한 마이크로 전자 요소(1130, 1131)의 가장자리(1360)들이 서로 평행하고 또한 동일한 제 1 방향(1342)으로 연장되어 있다는 점에서, 마이크로 전자 요소(1330, 1331)는 마이크로 전자 패키지(1100)(도 14a, 14b 및 15)의 마이크로 전자 요소(1130, 1131)의 배치와 유사한 방식으로 기판(1302)에 배치된다. 마이크로 전자 요소의 가장자리(1362)는 방향(1342)을 일반적으로 직교하면서 가로지르는 방향(1344)으로 연장되어 있다.

[0115] 어떤 경우에, 각 마이크로 전자 요소의 제 1 가장자리(1360)는 그러한 마이크로 전자 요소의 제 2 가장자리(1362) 보다 큰 길이를 가질 수 있다. 그러나, 다른 경우에, 제 2 가장자리(1362)는 제 1 가장자리(1360) 보다 큰 길이를 가질 수 있다. 도 17a 에서 보는 바와 같은 특정 패키지에서, 마이크로 전자 요소(1330, 1331, 1332, 1333) 중 임의의 것의 제 1 가장자리(1360)를 포함하고 또한 그러한 마이크로 전자 요소의 면에 수직인 면(1370)이 패키지(1300)내의 다른 마이크로 전자 요소의 가장자리(1360)와 교차한다. 예컨대, 도 17a 에서 보는 바와 같이, 마이크로 전자 요소(1333)의 가장자리(1360)를 포함하는 면(1370)은 방향(1344)으로 연장되어 있고 패키지 내의 마이크로 전자 요소(1330)의 가장자리(1360)와 교차한다. 따라서, 면(1370A)은 단지 마이크로 전자 요소(1330)의 가장자리(1360)와 교차한다.

[0116] 추가로, 도 17a 에서 보는 바와 같이, 중심 영역(1312)은 더 제한될 수 있다. 특히, 도 17a 에서 보는 바와 같이, 기판(1302)의 표면(1302) 상에 직사각형의 부분 영역(1372)이 있는데, 제 1, 2, 3 및 4 마이크로 전자 요소

(1330, 1331, 1332, 1333)의 면들 중 어떤 것도 그 부분 영역을 넘어 연장되어 있지 않다. 도 17a 및 17b에 나타나 있는 마이크로 전자 패키지(1300)에서, 중심 영역(1312)은 그러한 직사각형 부분 영역(1372)의 경계를 넘어 연장되어 있지 않다.

[0117] 또한 도 17b는 마이크로 전자 패키지(1300) 내의 단자의 일 가능한 배치를 도시하는데, 여기서, 제 1 단자(1304)는 패키지의 상호 대향하는 가장자리(1316, 1318)와 직교하는 방향으로의 폭(1354)(패키지에 있는 서로 가장 인접한 두 단자 컬럼 사이의 최소 피치의 3.5 배 이하임)에 걸쳐 있는 중심 영역(1312) 내에 배치된다. 주변 영역은, 패키지의 중심 영역의 가장자리와 상호 대향 가장자리(1316, 1318) 사이의 폭(1356, 1357)에 걸쳐 있는, 기판(1302)의 표면(1310)의 나머지 영역을 차지한다.

[0118] 도 5 ~ 17b를 참조하여 전술한 마이크로 전자 패키지 및 마이크로 전자 어셈블리는 도 18에 나타나 있는 시스템(1500)과 같은 다양한 전자 시스템을 구축하는데 사용될 수 있다. 예컨대, 본 발명의 다른 실시 형태에 따른 시스템(1500)은, 다른 전자 구성품(1508, 1510)과 관련하여 전술한 바와 같은 마이크로 전자 패키지 및/또는 마이크로 전자 어셈블리와 같은 복수의 모듈 또는 구성품(1506)을 포함한다.

[0119] 나타나 있는 예시적인 시스템(1500)에서, 이 시스템은 가요성 인쇄 회로 기판과 같은 회로 판넬, 마더보드 또는 라이저 판넬(1502)을 포함할 수 있고, 회로 판넬은 모듈 또는 구성품(1506)을 서로 연결해 주는 많은 커넥터(1504)(이중 하나만 도 18에 나타나 있음)를 포함할 수 있다. 그러한 회로 판넬(1502)은 시스템(1500)에 포함되는 마이크로 전자 패키지 및/또는 마이크로 전자 어셈블리 각각에 신호를 전달하고 또한 그로부터 신호를 받을 수 있다. 그러나, 이는 단지 예시적인 것이고, 모듈 또는 구성품(1506) 사이의 전기적 연결을 이루는데 적합하다면 어떠한 구조도 사용될 수 있다.

[0120] 일 특정 실시 형태에서, 시스템(1500)은 반도체 칩(1508)과 같은 프로세서를 포함할 수 있는데, 그래서 각각의 모듈 또는 구성품(1506)은 클록 사이클에서 N개의 데이터 비트를 병렬로 전달하도록 구성될 수 있고, 프로세서는 클록 사이클에서 M개의 데이터 비트를 병렬로 전달하도록 구성될 수 있으며, 여기서 M은 N 이상이다.

[0121] 일 실시예에서, 시스템(1500)은 클록 사이클에서 32개의 데이터 비트를 병렬로 전달하도록 구성된 프로세서 칩(1508)을 포함할 수 있고, 또한 시스템은 도 5를 참조하여 설명한 바와 같은 마이크로 전자 패키지(100)와 같은 4개의 모듈(1506)을 포함할 수 있으며, 각 모듈(1506)은 클록 사이클에서 8개의 데이터 비트를 병렬로 전달하도록 구성되어 있다(즉, 각 모듈(1506)은 제 1 및 2 마이크로 전자 요소를 포함할 수 있는데, 두 마이크로 전자 요소 각각은 클록 사이클에서 4개의 데이터 비트를 병렬로 전달하도록 구성되어 있음).

[0122] 다른 실시예에서, 상기 시스템(1500)은 클록 사이클에서 64개의 데이터 비트를 병렬로 전달하도록 구성된 프로세서 칩(1508)을 포함할 수 있고, 또한 시스템은 도 16a 및 16b를 참조하여 설명한 바와 같은 마이크로 전자 패키지(1200)와 같은 4개의 모듈(1506)을 포함할 수 있으며, 각 모듈(1506)은 클록 사이클에서 16개의 데이터 비트를 병렬로 전달하도록 구성되어 있다(즉, 각 모듈(1506)은 4개의 마이크로 전자 요소를 포함할 수 있는데, 네 마이크로 전자 요소 각각은 클록 사이클에서 4개의 데이터 비트를 병렬로 전달하도록 구성되어 있음).

[0123] 도 18에 나타나 있는 실시예에서, 구성품(1508)은 반도체 칩일 수 있고, 구성품(1510)은 디스플레이 스크린일 수 있는데, 하지만 다른 구성품도 시스템(1500)에 사용될 수 있다. 물론, 도시의 명확성을 위해 단지 2개의 추가 구성품(1508, 1510)만 도 18에 나타나 있지만, 시스템(1500)은 임의의 수의 그러한 구성품을 포함할 수 있다.

[0124] 모듈 또는 구성품(1506) 및 구성품(1508, 1510)은 공통의 하우징(1501)(파선으로 개략적으로 나타나 있음)에 장착될 수 있고, 필요하다면 서로 전기적으로 연결되어 요망되는 회로를 형성하게 된다. 하우징(1501)은 예컨대 휴대 전화기 또는 개인용 디지털 보조 기기에서 사용될 수 있는 종류의 휴대용 하우징으로 나타나 있고, 스크린(1510)이 그 하우징의 표면에서 노출될 수 있다. 구조체(1506)가 이미징 칩과 같은 광감성 요소를 포함하는 실시 형태에서는, 빛을 그 구조체에 라우팅하기 위한 렌즈(1511) 또는 다른 광학 장치가 또한 제공될 수 있다. 도 18에 나타나 있는 단순화된 시스템은 단지 예시적인 것이고, 데스크탑 컴퓨터, 라우터 등과 같은 보통 고정식 구조체라고 하는 시스템을 포함한 다른 시스템도 전술한 구조를 사용하여 만들어질 수 있다.

[0125] 도 5 ~ 17b를 참조하여 전술한 마이크로 전자 패키지 및 마이크로 전자 어셈블리는 도 19에 나타나 있는 시스템(1600)과 같은 전자 시스템을 구축하는데도 사용될 수 있다. 예컨대, 본 발명의 다른 실시 형태에 따른 시스템(1600)은, 구성품(1506)이 복수의 구성품(1606)으로 대체되어 있다는 점을 제외하고는, 도 18에 나타나 있는 시스템(1500)과 동일하다.

[0126] 각각의 구성품(1606)은 도 5 ~ 17b를 참조하여 전술한 마이크로 전자 어셈블리의 마이크로 전자 패키지의 하나

이상이 될 수 있거나 그를 포함할 수 있다. 일 특정 실시 형태에서, 구성품(1606) 중 하나 이상은 도 17b에 나타나 있는 마이크로 전자 어셈블리(300)의 일 변형예일 수 있는데, 여기서 회로 판넬(354)은 노출되는 가장자리 접촉자를 포함하고, 각 마이크로 전자 어셈블리(300)의 회로 판넬(354)은 소켓(1605) 안으로 삽입되는데 적합하게 되어 있을 수 있다.

[0127] 각각의 소켓(1605)은 그 소켓의 일 측 또는 양측에서 복수의 접촉자(1607)를 포함할 수 있는데, 그래서 각각의 소켓(1605)은 마이크로 전자 어셈블리(300)의 전술한 변형예와 같은 대응 구성품(1606)의 대응하는 노출되는 가장자리 접촉자와 짹을 이루는데 적합하게 될 수 있다. 나타나 있는 예시적인 시스템(1600)에서, 그 시스템은 가요성 인쇄 회로 기판과 같은 제 2 회로 판넬(1602) 또는 마더보드를 포함할 수 있고, 제 2 회로 판넬은 구성품(1606)들을 서로 연결해주는 많은 접촉자(1604)(이들 중 하나만 도 19에 나타나 있음)를 포함할 수 있다.

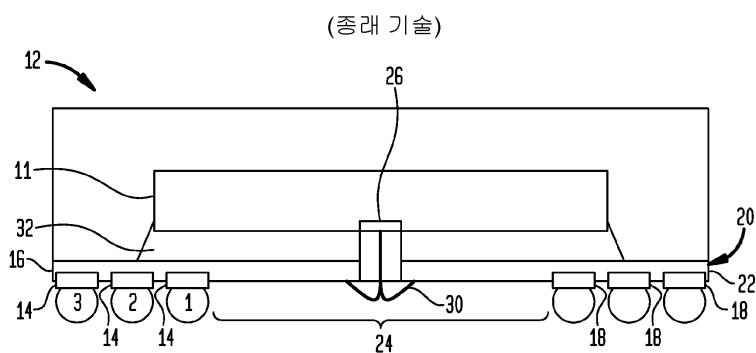
[0128] 일 특정 실시 형태에서, 시스템(1600)과 같은 모듈은 복수의 구성품(1606)을 포함할 수 있으며, 각각의 구성품(1606)은 마이크로 전자 어셈블리(300)의 전술한 변형예이다. 각각의 구성품(1606)은 각각의 구성품(1606)에 신호를 전달하고 그로부터 신호를 받기 위해 제 2 회로 판넬(1602)과 전기적으로 연결될 수 있다. 상기 시스템(1600)의 특정 실시예는 단지 예시적인 것이며, 구성품(1606)들 간의 전기적 연결을 이루는데 적합하다면 어떤 구조도 사용될 수 있다.

[0129] 본 발명의 전술한 실시 형태의 다양한 특징들은 본 발명의 범위와 요지를 벗어나지 않으면서 위에서 구체적으로 설명한 것과 다른 방식으로 결합될 수 있다. 본 개시는 전술한 본 발명의 실시 형태의 그러한 모든 결합 및 변형도 포함하는 것이다.

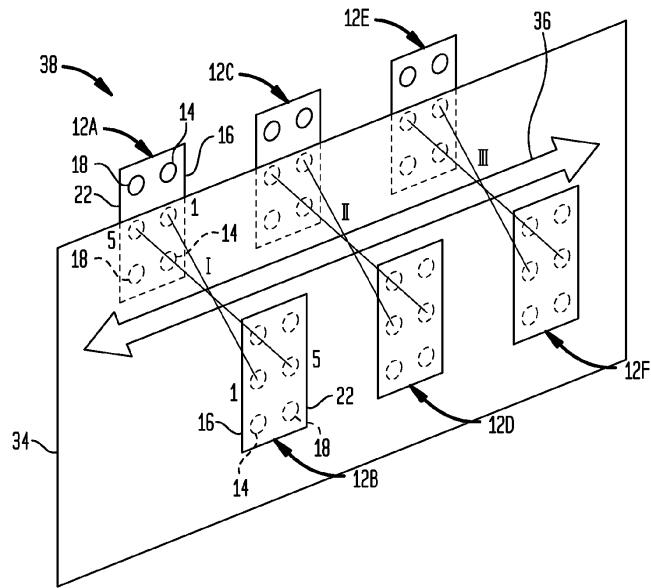
[0130] 여기서 제시된 다양한 종속항 및 특징들은 초기 청구항에 기재되어 있는 것과 다른 방식으로 결합될 수 있다. 개별적인 실시 형태와 관련하여 설명한 특징은 전술한 다른 실시 형태와 공유될 수 있다.

## 도면

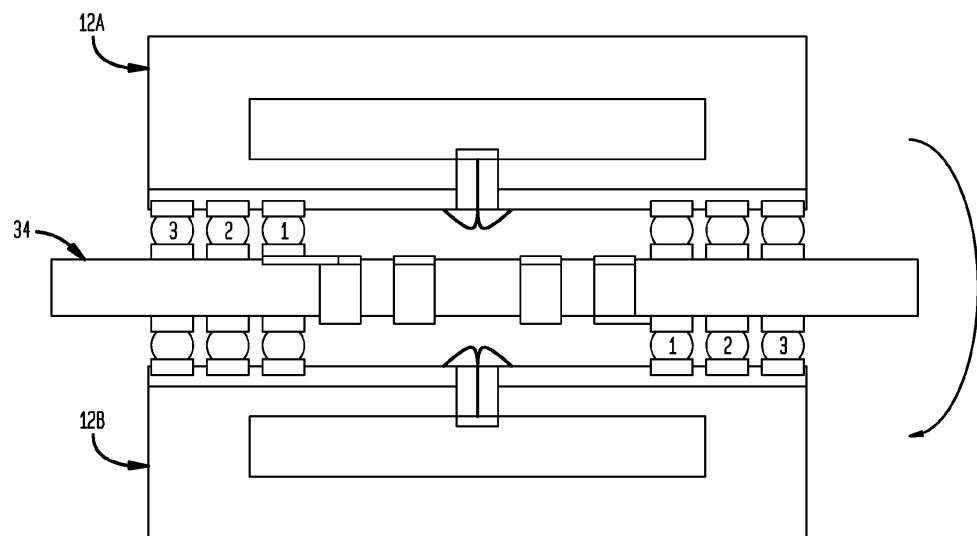
### 도면1



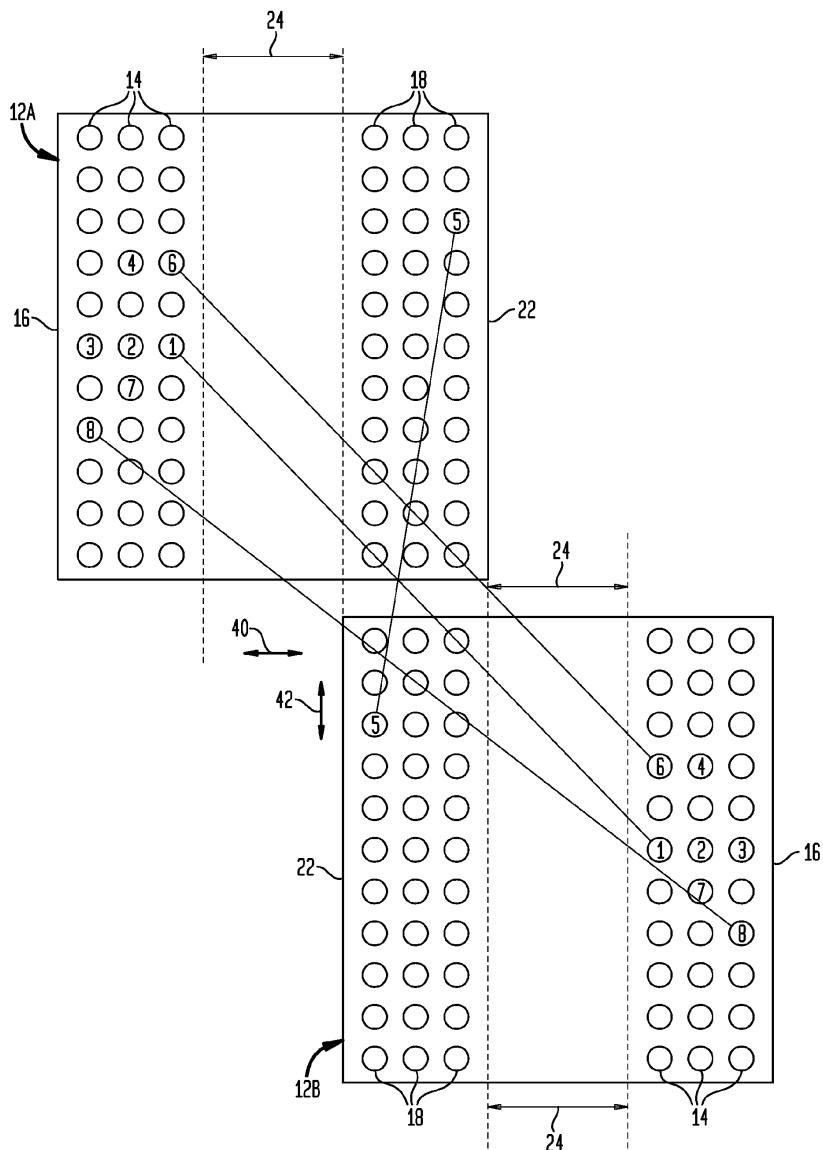
## 도면2



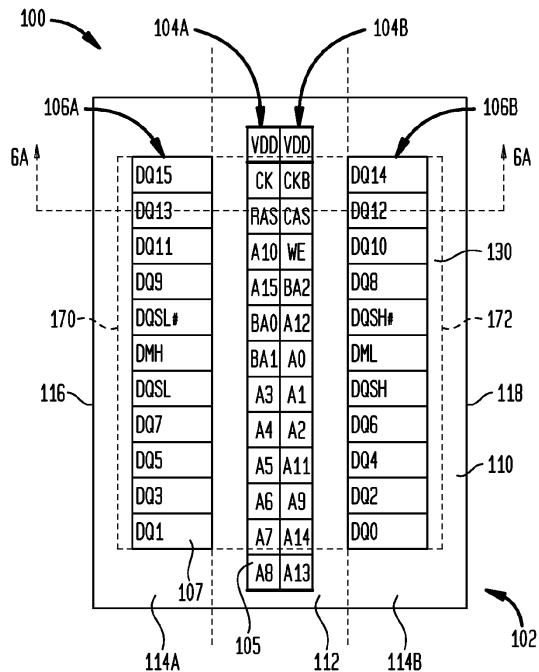
## 도면3



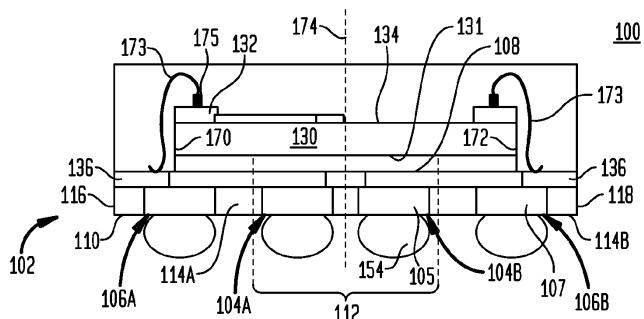
도면4



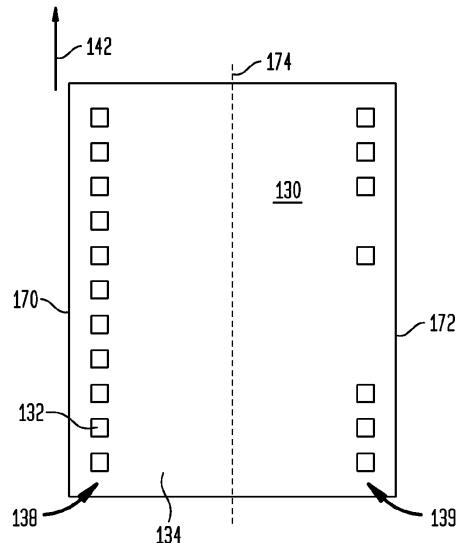
## 도면5



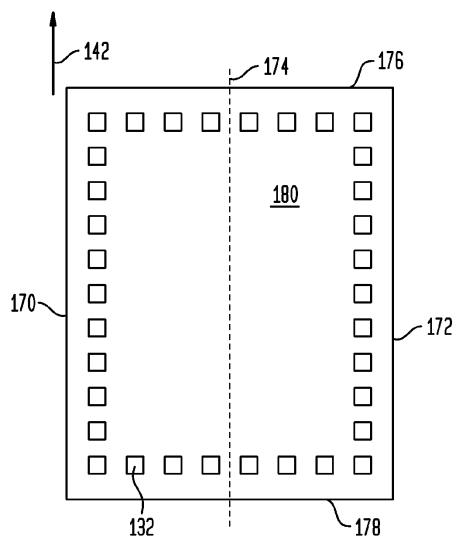
### 도면6a



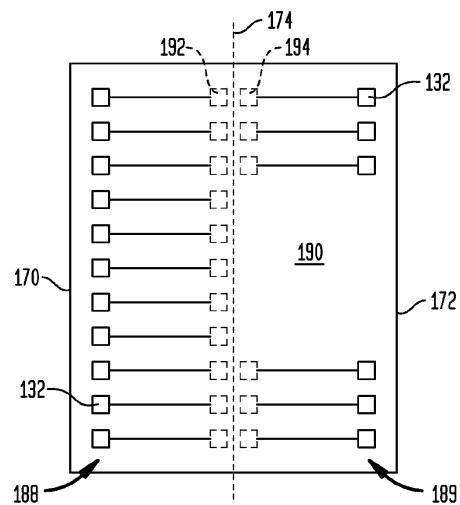
도면6b



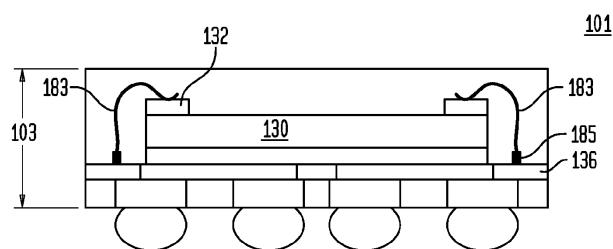
도면6c



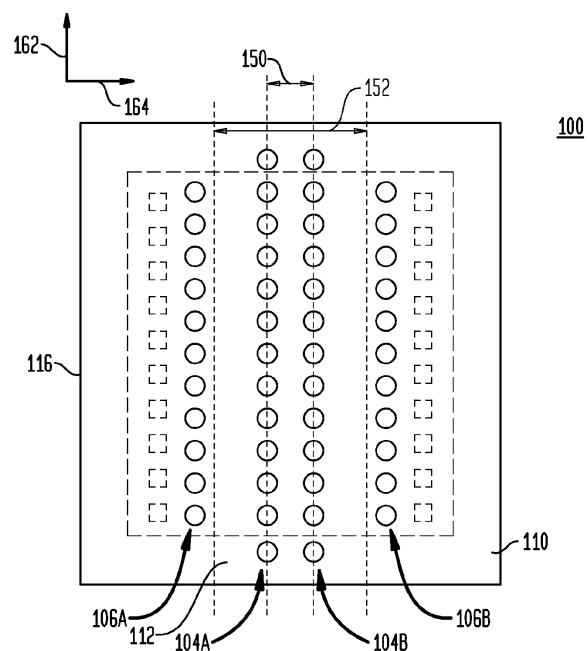
도면6d



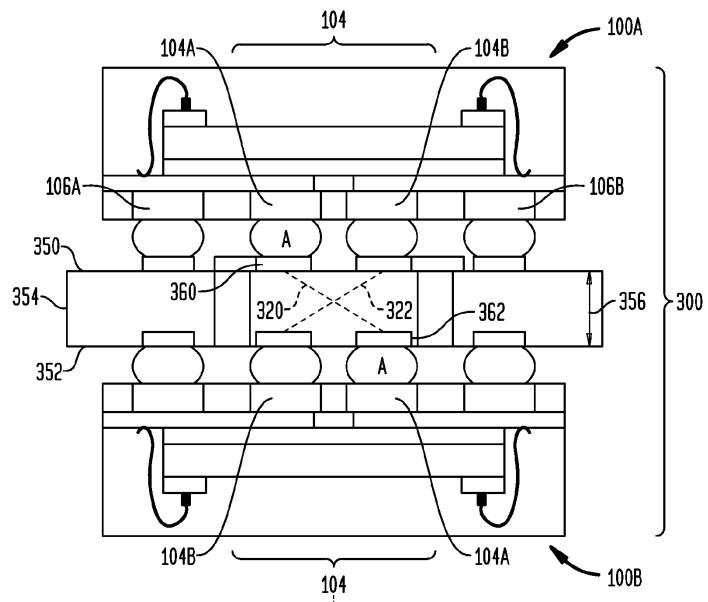
도면6e



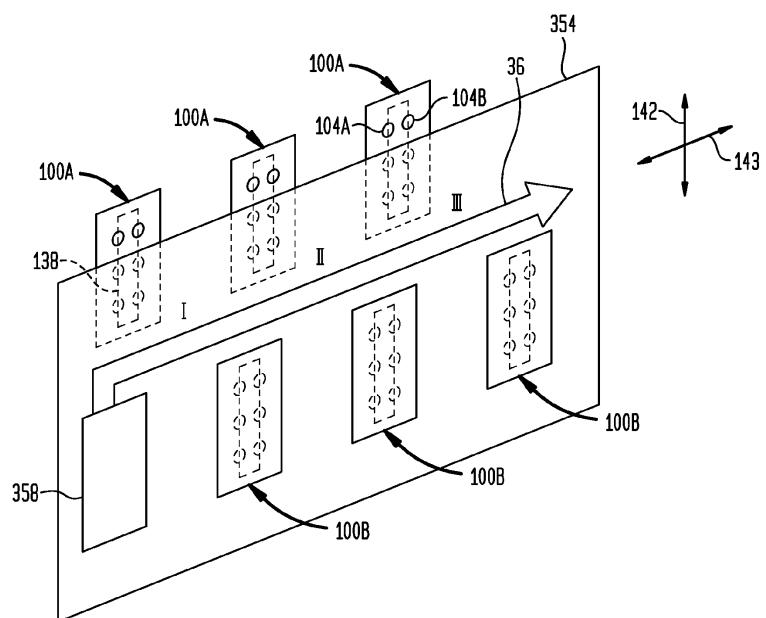
도면7a



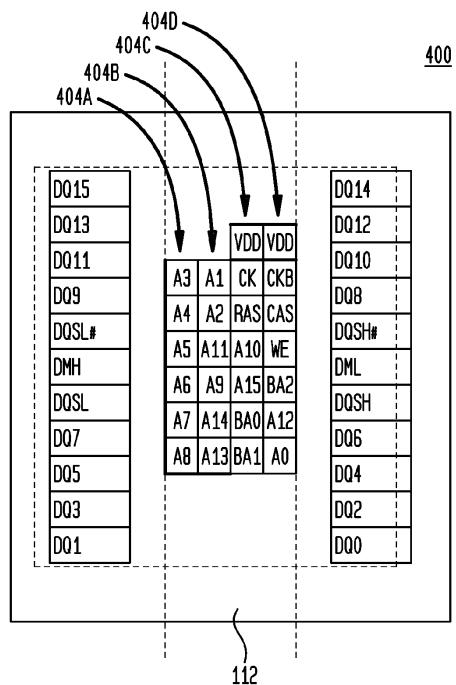
도면7b



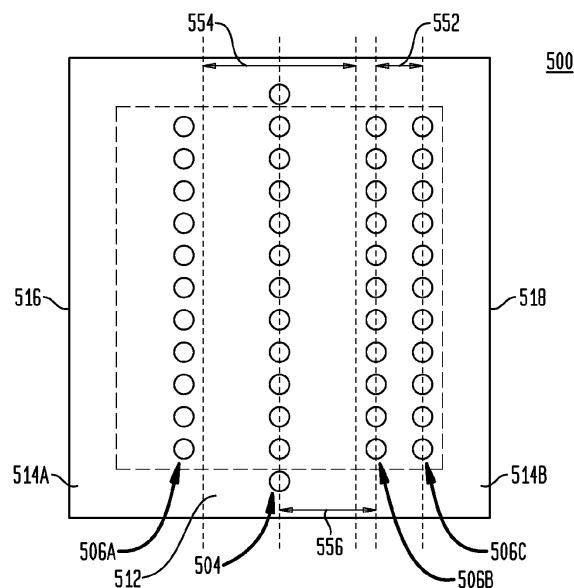
도면7c



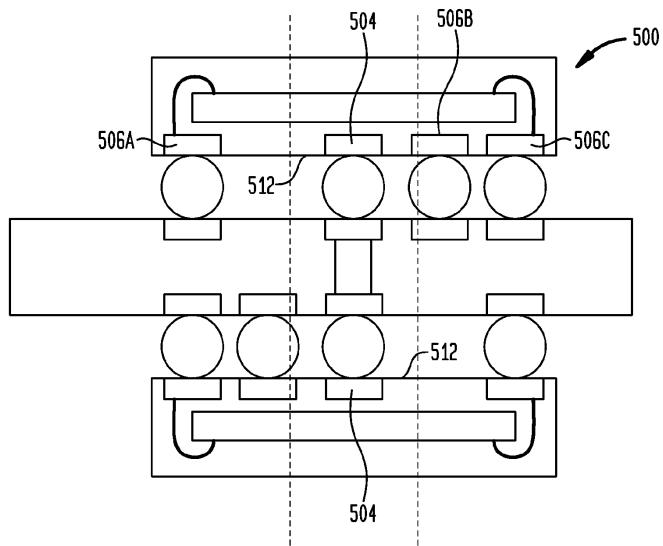
도면8



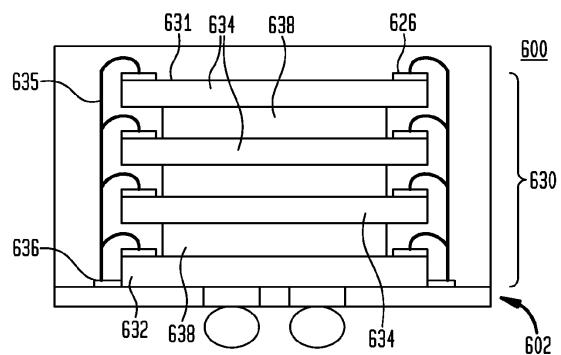
도면9a



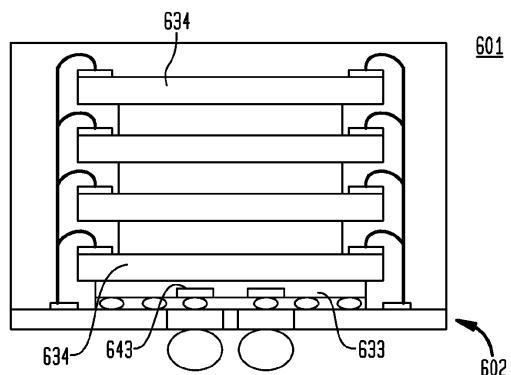
도면9b



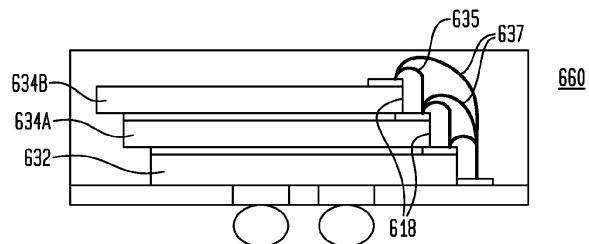
도면10a



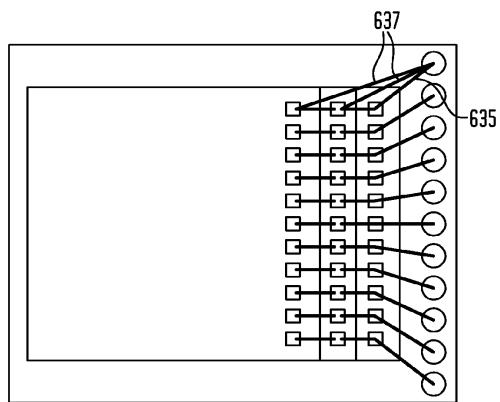
도면10b



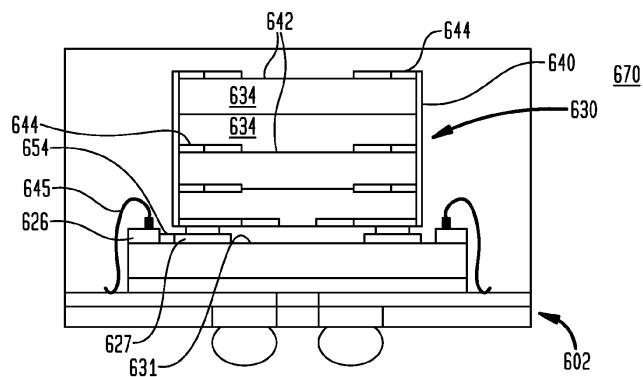
도면11a



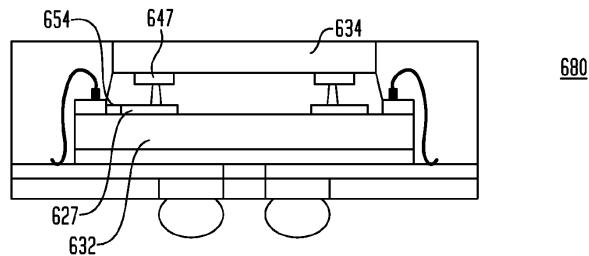
도면11b



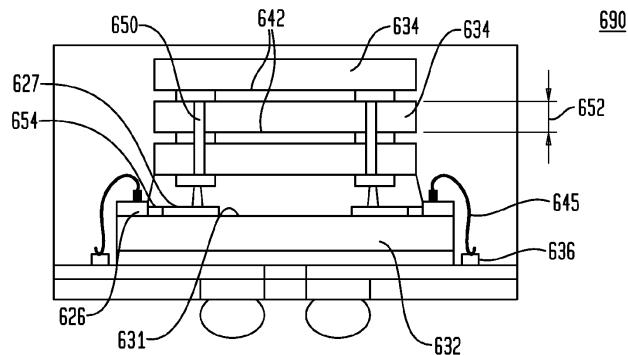
도면12



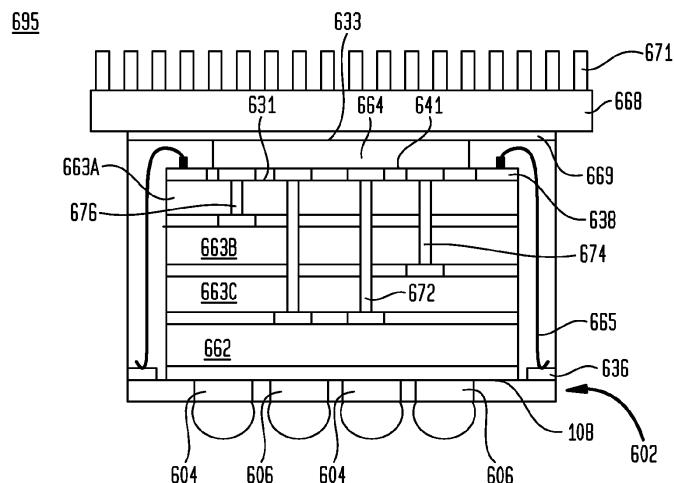
도면13a



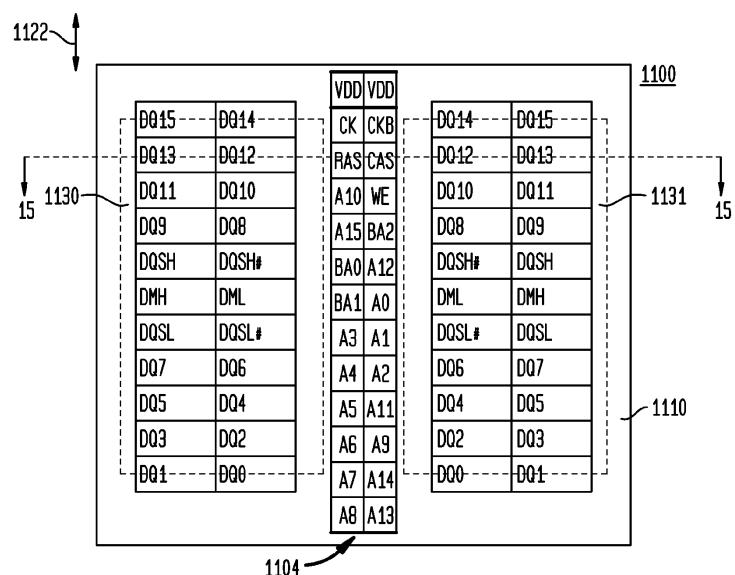
도면13b



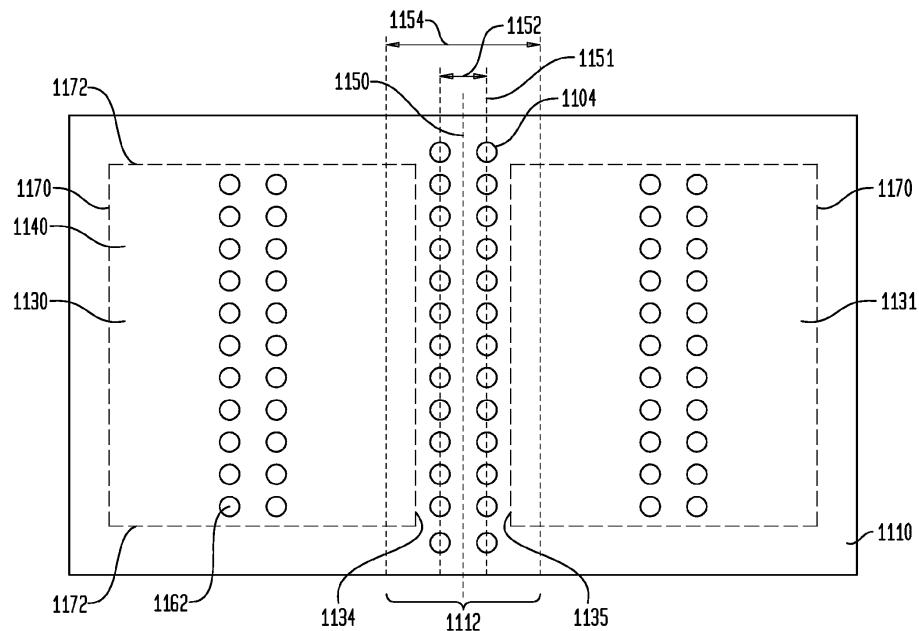
도면13c



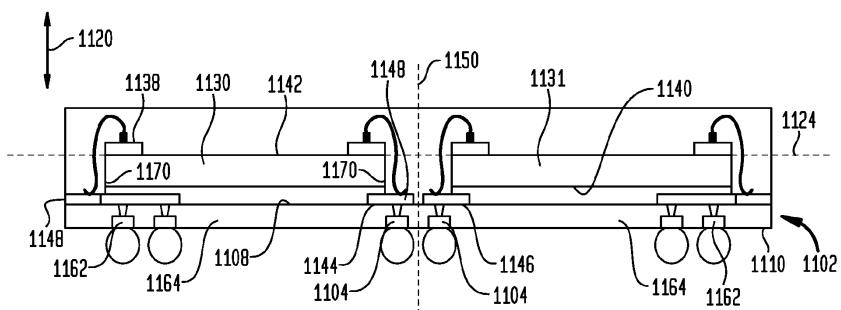
도면14a



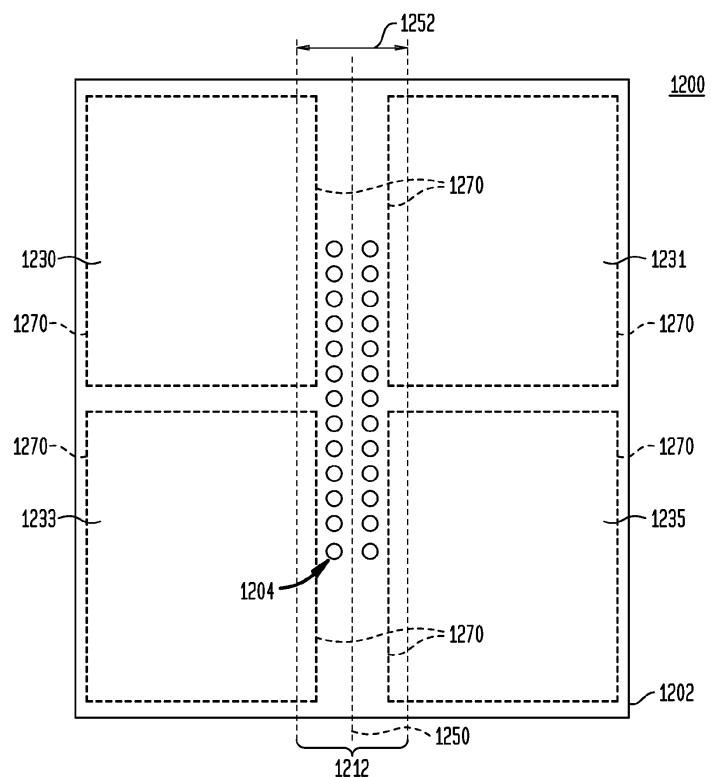
도면14b



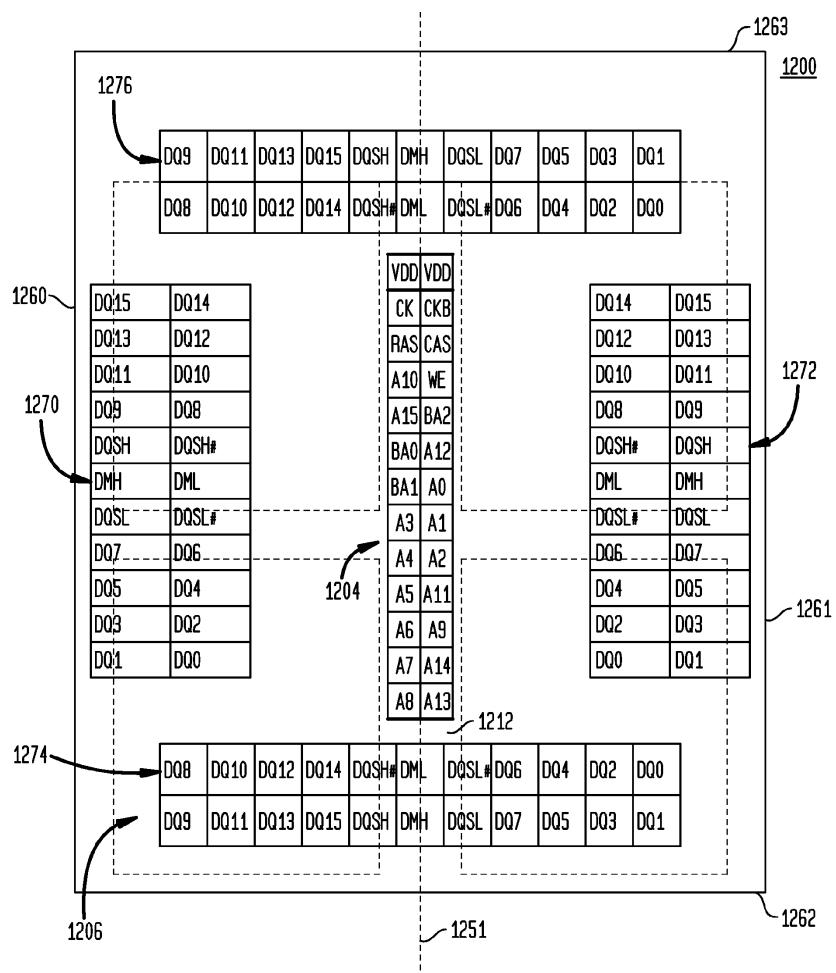
도면15



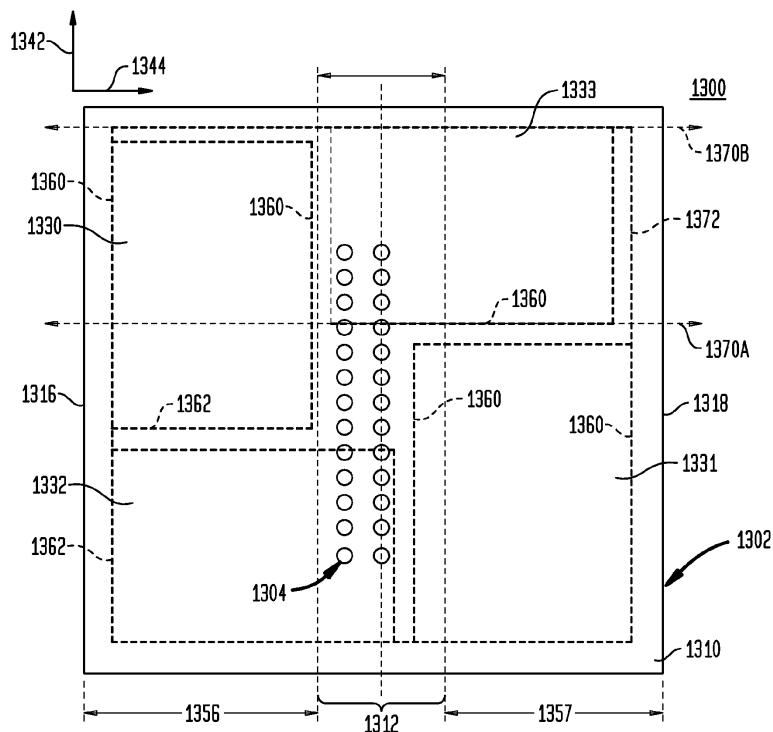
도면16a



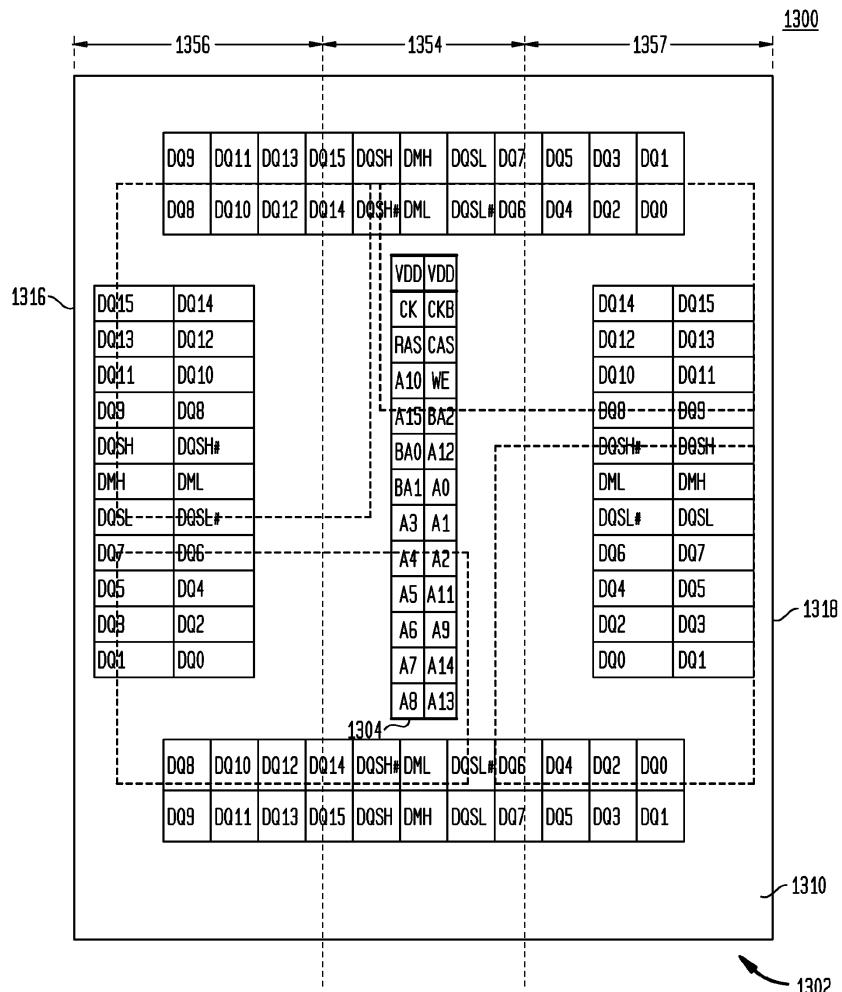
도면16b



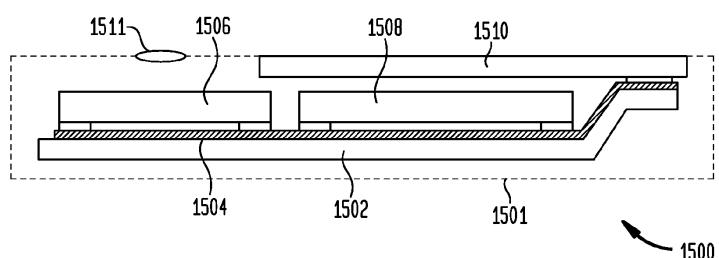
도면17a



도면17b



도면18



도면19

