



(12) 发明专利

(10) 授权公告号 CN 107660310 B

(45) 授权公告日 2022.03.08

(21) 申请号 201580080303.1

N·M·拉哈尔-乌拉比 T·加尼

(22) 申请日 2015.06.26

(74) 专利代理机构 永新专利商标代理有限公司
72002

(65) 同一申请的已公布的文献号

申请公布号 CN 107660310 A

代理人 林金朝 王英

(43) 申请公布日 2018.02.02

(51) Int.Cl.

(85) PCT国际申请进入国家阶段日

2017.11.24

H01L 27/092 (2006.01)

H01L 29/78 (2006.01)

H01L 21/8258 (2006.01)

(86) PCT国际申请的申请数据

PCT/US2015/038091 2015.06.26

(56) 对比文件

US 2015076620 A1, 2015.03.19

US 2015076620 A1, 2015.03.19

CN 102034833 A, 2011.04.27

US 2015091057 A1, 2015.04.02

US 2015035019 A1, 2015.02.05

CN 104380443 A, 2015.02.25

(87) PCT国际申请的公布数据

W02016/209281 EN 2016.12.29

(73) 专利权人 英特尔公司

地址 美国加利福尼亚

审查员 刘雪莲

(72) 发明人 W·拉赫马迪 M·V·梅茨

G·杜威 C·S·莫哈帕特拉

J·T·卡瓦列罗斯 A·S·默西

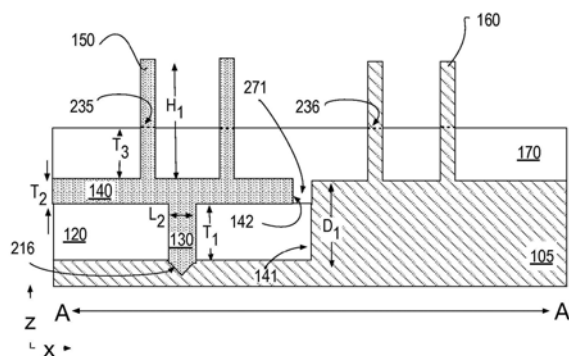
权利要求书3页 说明书13页 附图12页

(54) 发明名称

异质外延N型晶体管与P型晶体管的基于阱的集成

(57) 摘要

非硅鳍状物结构从衬底的阱凹陷中的晶体异质外延阱材料延伸。III-V鳍式FET可以形成于阱凹陷内的鳍状物结构上,而IV族鳍式FET形成于衬底的与阱凹陷相邻的区域中。阱材料可以被围绕穿过隔离材料的柱的非晶隔离材料与衬底电隔离,柱将阱材料耦合到衬底的晶种表面并捕获晶体生长缺陷。可以通过横向外延过生长在阱隔离材料之上扩展柱,并利用高质量的单晶填充阱凹陷。可以使阱材料与相邻衬底区域平面化。可以从阱材料制造n型鳍状物结构,接着从衬底或第二外延阱制造p型鳍状物结构。



1. 一种单片式半导体鳍状物结构,包括:

衬底的第一区域中的第一阱凹陷,所述第一阱凹陷包含设置在阱底部之上的非晶阱隔离材料、以及在所述阱隔离材料之上横向延伸的单晶异质外延阱材料,其中,所述阱材料通过延伸穿过所述阱隔离材料的由异质外延材料构成的一个或多个柱而在所述阱底部处耦合到所述衬底的晶种表面;

设置在所述第一阱凹陷之上和衬底的与所述第一区域相邻的第二区域之上的非晶鳍状物隔离材料;

从所述阱材料延伸并穿过所述鳍状物隔离材料突出出来的第一晶体鳍状物;以及

从衬底的所述第二区域延伸并穿过所述鳍状物隔离材料而突出出来的由IV族材料构成的第二鳍状物。

2. 根据权利要求1所述的鳍状物结构,其中,所述第一阱凹陷的最小横向尺寸比所述柱的最长横向尺寸大至少一个数量级。

3. 根据权利要求1所述的鳍状物结构,其中,所述非晶鳍状物隔离材料围绕设置在所述阱隔离材料之上的晶体异质外延材料的侧壁延伸,将所述晶体异质外延材料与所述衬底的所述第二区域电绝缘。

4. 根据权利要求3所述的鳍状物结构,其中,所述鳍状物隔离材料接触所述阱隔离材料。

5. 根据权利要求1所述的鳍状物结构,其中,

所述第一晶体鳍状物具有比所述晶体异质外延柱材料的线位错密度小至少三个数量级的线位错密度。

6. 根据权利要求2所述的鳍状物结构,其中:

所述第一阱凹陷的最小横向尺寸为至少100 μm ;

所述柱的最长横向尺寸小于4 μm ;

所述柱具有至少2:1的深宽比;并且

所述第一晶体鳍状物和所述第二鳍状物的最小横向尺寸小于10nm。

7. 根据权利要求1所述的鳍状物结构,其中:

所述第一晶体鳍状物延伸出来的所述阱材料的第一表面与所述第二鳍状物延伸出来的所述第二区域中的第二表面成平面。

8. 根据权利要求1所述的鳍状物结构,还包括:

所述衬底的所述第二区域中的第二阱凹陷,所述第二阱凹陷包含包括Ge的单晶IV族阱材料;并且

其中,第二鳍状物包括从Si、Ge和SiGe构成的组中选择的IV族材料。

9. 根据权利要求1所述的鳍状物结构,其中:

所述柱材料包括与所述衬底形成第一异质结的单晶III-V材料;并且

所述第一晶体鳍状物的所述异质外延材料与所述阱材料形成第二异质结。

10. 根据权利要求9所述的鳍状物结构,其中:

所述衬底包括硅;

所述第一晶体鳍状物包括InGaAs;并且

所述第二鳍状物包括硅。

11. 一种集成电路(IC), 包括:

从晶体硅衬底的第一区域中的阱凹陷内包含的晶体III-V材料的一个主体延伸的多个n型鳍式FET, 除了穿过电介质阱隔离材料耦合到所述衬底的晶种表面的由所述晶体III-V材料构成的一个或多个柱之外, 所述阱凹陷内衬有所述电介质阱隔离材料, 所述主体在所述电介质阱隔离材料之上横向延伸; 以及

从所述晶体硅衬底的第二区域延伸的多个p型鳍式FET。

12. 根据权利要求11所述的集成电路, 其中:

所述多个n型鳍式FET被排列在所述阱凹陷的第一横向尺寸之上; 并且

由晶体III-V材料构成的所述一个或多个柱包括并排列在所述第一横向尺寸和与所述第一横向尺寸正交的第二横向尺寸之上的多个柱。

13. 一种制造一对互补场效应晶体管的方法, 所述方法包括:

在晶体硅衬底的第一区域中蚀刻第一阱凹陷;

利用电介质阱隔离材料将所述第一阱凹陷回填到低于超过所述第一阱凹陷的第二区域中的所述衬底表面的水平;

穿过所述阱隔离材料形成一个或多个开口, 所述一个或多个开口暴露阱底部处的晶体衬底表面;

在所述一个或多个开口内的暴露的衬底表面上异质外延生长包括III-V材料的单晶柱;

从所述柱横向过生长单晶III-V材料并且利用单晶III-V材料回填所述第一阱凹陷的其余部分;

对回填的III-V材料的表面进行平面化, 以使其与第二区域中的衬底表面成平面;

在第一区域和第二区域之上将鳍状物掩模图案化;

将第一鳍状物蚀刻到过生长的III-V材料中, 并且将第二鳍状物蚀刻到所述第二区域中;

在所述第一鳍状物和所述第二鳍状物之上形成栅极叠置体; 以及

形成耦合到所述第一鳍状物和所述第二鳍状物的源极/漏极端部的接触金属化。

14. 根据权利要求13所述的方法, 还包括: 在所述第一鳍状物和所述第二鳍状物之上沉积非晶鳍状物隔离电介质, 所述鳍状物隔离电介质覆盖过生长的III-V材料的侧壁。

15. 根据权利要求14所述的方法, 还包括: 将所述鳍状物隔离材料沉积到所述阱隔离材料上, 以将所述过生长的III-V材料与所述第二区域中的晶体材料横向分开。

16. 根据权利要求13所述的方法, 还包括:

在晶体硅衬底的所述第二区域中蚀刻第二阱凹陷;

外延生长包括Ge的单晶IV族阱材料; 以及

将所述第二鳍状物蚀刻到所述IV族阱材料中。

17. 根据权利要求13所述的方法, 其中:

穿过所述阱隔离材料形成所述一个或多个开口还包括蚀刻出最长横向尺寸比所述第一阱凹陷的最小横向尺寸小至少一个数量级的一个或多个开口。

18. 根据权利要求14所述的方法, 还包括:

在所述阱凹陷的未被阱隔离材料覆盖的侧壁上形成非晶间隔体材料, 以防止所述III-

V材料在所述阱凹陷侧壁上的晶种异质外延生长;以及

在将所述非晶鳍状物隔离电介质沉积到通过所述间隔体材料去除所留下的凹陷中之前去除所述间隔体材料。

19. 根据权利要求13所述的方法, 其中:

异质外延生长所述单晶柱和从所述柱横向过生长所述单晶III-V材料还包括生长GaAs、InP、InAs、InGaAs、AlGaAs、GaP、AlAs、InGaP的第一部分; 以及

利用单晶III-V材料回填所述第一阱凹陷的其余部分还包括异质外延生长GaAs、InP、InAs、InGaAs、AlGaAs、GaP、AlAs、InGaP的第二部分。

20. 根据权利要求13所述的方法, 还包括:

掩蔽平面化的所回填的III-V材料;

在所述晶体硅衬底的第二区域中蚀刻第二阱凹陷;

通过异质外延生长包括Ge的材料来回填所述第二阱凹陷; 以及

对包括Ge的所回填的材料的表面进行平面化以使其与所回填的III-V材料的表面成平面。

异质外延N型晶体管与P型晶体管的基于阱的集成

背景技术

[0001] 在便携式电子应用中对集成电路(IC)的需求推动着更大级别的半导体器件集成。开发中的很多高级半导体器件利用了非硅半导体材料,包括化合物半导体材料(例如,GaAs、InP、InGaAs、InAs和III-N材料)。这些非硅材料系统可以用于制造金属氧化物半导体场效应晶体管(MOSFET)和其它形式的高迁移率晶体管(HEMT)。非硅材料系统对于光电子(例如,LED)、光生伏特和传感器也是有用的,其中的一种或多种可以用于与电子器件平台中的基于硅的器件集成。

[0002] 用于制造非硅晶体管的一项技术包括在硅衬底之上形成非平面非硅晶体器件区(例如,鳍状物沟道区)。器件区材料和/或下方材料与衬底形成至少一个异质结构。尽管在理论上这种异质结构能够实现高性能N型器件与常规硅沟道P型器件的单片集成,但迄今为止,不同的器件架构使得采用异质外延N型器件的CMOS电路的大规模制造不切实际。

附图说明

[0003] 在附图中仅通过举例而非限制的方式示出了本文描述的材料。为了例示的简单清楚,附图中示出的元件不一定是按比例绘制的。例如,为了清楚起见,一些元件的尺寸可能相对于其它元件被放大。此外,在认为合适的地方,附图标记在各图之间重复以指示对应或相似的元件。在附图中:

[0004] 图1A是根据一些实施例的在适于制造互补鳍式FET以实现CMOS集成电路(IC)的硅衬底之上的与多个p型鳍状物结构集成的多个基于阱的异质外延n型鳍状物结构的平面图;

[0005] 图1B是根据一些替代实施例的在适于制造互补鳍式FET以实现CMOS集成电路(IC)的硅衬底之上的与多个p型鳍状物结构集成的多个基于阱的异质外延n型鳍状物结构的平面图;

[0006] 图2A示出了根据一些实施例的穿过图1A中所描绘的多个n型和p型鳍状物结构的宽度的截面图;

[0007] 图2B示出了根据一些实施例的穿过图1B中所描绘的多个n型和p型鳍状物结构的宽度的截面图;

[0008] 图3是示出了根据一些实施例的利用图1A所描绘的与p型鳍状物结构集成的基于阱的异质外延n型鳍状物来制造一对互补鳍式FET的方法的流程图;

[0009] 图4A、4B、4C、4D、4E、4F、4G、4H、4I、4J、4K、4L、4M和4N是根据一些实施例的在执行图3中所示的方法时演变的n型和p型鳍状物结构的截面图;

[0010] 图5A、5B、5C和5D是根据一些实施例的在执行栅极替换工艺时演变的n型和p型鳍式FET的沟道区的截面图;

[0011] 图6是示出了根据一些实施例的利用图1B所描绘的与多个p型鳍状物结构集成的多个基于阱的异质外延n型鳍状物结构来制造一对互补鳍式FET的方法的流程图。

[0012] 图7示出了根据本发明的实施例的采用SoC的移动计算平台和数据服务器机器,该SoC包括利用与多个p型鳍状物结构集成的多个基于阱的异质外延n型鳍状物结构的互补鳍

式FET;以及

[0013] 图8是根据本发明的实施例的电子计算装置的功能方框图。

具体实施方式

[0014] 参考附图描述了一个或多个实施例。尽管详细描绘并论述了具体构造和布置,但应当理解,这仅仅出于例示性目的。相关领域的技术人员将认识到,其它构造和布置也是可能的,而不脱离说明书的精神和范围。对相关领域的技术人员显而易见是,可以在除本文详述的系统和应用之外的各种其它系统和应用中采用本文所述的技术和/或布置。

[0015] 在以下具体实施方式中参考了附图,附图形成具体实施方式的一部分并示出了示例性实施例。此外,要理解的是可以利用其它实施例,并且可以做出结构和/或逻辑上的变化而不脱离所主张主题的范围。还应当指出,可以仅仅使用方向和参考,例如,上、下、顶部、底部等来方便说明附图中的特征。因此,以下具体实施方式不应被理解为限制性意义,并且所主张主题的范围仅受所附权利要求及其等同物的限定。

[0016] 在以下描述中,阐述了许多细节。然而,对于本领域技术人员显而易见的是,可以在没有这些具体细节的情况下实践本发明。在一些实例中,以方框图的形式而非详细地示出了公知的方法和器件,以避免使本发明难以理解。贯穿本说明书对“实施例”、“一个实施例”或“一些实施例”的提及是指在本发明的至少一个实施例中包括结合所述实施例所描述的特定特征、结构、功能或特性。因而,在本说明书中的各处出现的短语“在实施例中”、“在一个实施例中”或者“在一些实施例中”未必全都是指本发明的同一实施例。此外,可以在一个或多个实施例中以任何适当方式使所述特定特征、结构、功能或特性相结合。例如,只要是在未指出与第一和第二实施例相关联的特定特征、结构、功能或特性相互排斥的地方,就可以使这两个实施例相结合。

[0017] 如在描述和所附权利要求中使用的,单数形式“一”和“所述”旨在也包括复数形式,除非上下文明确地另行指出。还将理解,文中使用的术语“和/或”是指并且包含一个或多个相关联的所列举项的任何和全部可能的组合。

[0018] 在文中可以使用术语“耦合”和“连接”连同其派生词描述部件之间的功能或结构关系。应当理解,这些术语并非旨在作为彼此的同义词。更确切地说,在特定实施例中,“连接”可以用于指示两个或更多元件相互直接物理接触、光学接触或电接触。“耦合”可以用于指示两个或更多元件相互直接或者间接(其间具有其它居间元件)物理或电接触,和/或所述两个或更多元件相互协作或者相互作用(例如,如在因果关系中)。

[0019] 文中使用的术语“在……之上”、“在……之下”、“在……之间”和“在……上”是指一个部件或一种材料相对于其它部件或材料的相对位置,其中,这种物理关系是值得注意的。例如,在材料的语境下,一种材料或材料设置在另一种材料之上或之下可以是直接接触,也可以具有一种或多种居间材料。此外,设置在两种材料或材料之间的一种材料可以与这两层直接接触或者可以具有一个或多个居间层。相比之下,位于第二材料或材料“上”的第一材料或材料与该第二材料/材料直接接触。在部件组件的语境下做出类似区分。

[0020] 如本说明书和权利要求中所使用的,由术语“……的至少其中之一”或者“……中的一者或多者”连结的项目的列表可以表示所列举的项目的任何组合。例如,短语“A、B或C的至少其中之一”可以表示:A;B;C;A和B;A和C;B和C;或者A、B和C。

[0021] 下文描述从嵌入在硅衬底的阱凹陷内的单晶异质外延阱材料延伸的非硅鳍状物结构的示例性实施例。在一些实施例中,诸如III-V鳍式FET的器件形成在升高的鳍状物结构上,而IV族鳍式FET形成在硅衬底的与阱凹陷相邻的区域中。在一些实施例中,除了穿过阱隔离材料的一个或多个异质外延柱之外,异质外延阱材料还通过非晶隔离材料而大体上与衬底隔离,该异质外延柱将异质外延阱材料耦合到衬底的晶种表面,并且进一步用于通过深宽比捕获(ART)来改善异质外延阱材料的晶体质量。采用横向外延过生长来扩展阱隔离材料之上的柱。利用高质量的晶体生长来回填阱凹陷的其余部分。一旦生长了异质外延阱材料并使其与相邻衬底区域平面化,就可以从阱材料制造n型鳍状物结构,接着从衬底的相邻区域或第二外延阱制造p型鳍状物结构。

[0022] 要注意,本文中的一些实施例采用深宽比捕获(ART)外延技术和横向外延过生长技术二者来制造单晶材料(例如,III-V材料)的岛,其既有充分低的位错密度又有充分大的覆盖区,以通过与在衬底的相邻区域中的p型鳍状物制造兼容的方式被进一步处理成多个高质量单晶n型鳍状物。为了方便平面化处理,例如在鳍状物结构的光刻图案化中重要的是,在衬底中的阱凹陷内过生长单晶材料,并将其平面化到周围衬底的水平。

[0023] 在下文进一步描述的一些实施例中,在阱隔离材料中形成多个等边多边形开口,以暴露衬底晶种表面。在开口内生长的异质外延柱被约束在两个横向维度上,从而增强了柱内的深宽比捕获,并改善了接下来从柱过生长的阱材料的质量。

[0024] 图1A是根据一些实施例的与多个p型鳍状物结构160相邻的多个n型鳍状物结构150的平面图,这两者都设置在硅衬底105之上。鳍状物结构150、160是适于制造互补鳍式FET以实现CMOS集成电路(IC)的单片式鳍状物结构101的部件。鳍状物结构150、160要充当器件层,例如,至少提供载流子传导通道。如本文中使用的,术语“n型”和“p型”指代采用鳍状物作为沟道材料的FET的多数载流子(电子或空穴)的类型。在示例性实施例中,“n型”和“p型”鳍状物150、160是由不同的体相晶格材料来区分的。例如,在一些有利的实施例中,每个n型鳍状物结构150是III-V材料(例如,GaAs、InP、InAs、InGaAs、AlGaAs、GaP、AlAs、InGaP)。至少部分由于高电子迁移率,采用III-V材料的n型多数载流子器件(例如,NMOS FET)是有利的。

[0025] 尽管为了论述清晰的缘故在本文中一贯地采用示例性III-V n型鳍状物结构和III-V n型鳍式FET实施例,但预计熟悉替代半导体材料系统的特性的本领域技术人员将能够将本文描述的技术成功应用到其它异质外延鳍状物结构,而无需关于示例性III-V实施例和替代材料系统之间的突出的不兼容性的一些特定先验知识。例如,诸如但不限于III-N材料系统(例如,AlN、GaN、AlGaIn、InAlGaIn)的替代的非硅材料系统也可以对本文所述的技术和架构负责。

[0026] 在一些实施例中,p型鳍状物结构160用于提供IV族材料(例如,Si、Ge、SiGe)的半导体沟道区。采用IV族材料的p型多数载流子器件至少部分由于高空穴迁移率而是有利的。鳍状物结构150、160中的任一个或两个可以是本征的(未人为引入非本征掺杂),以实现最高载流子迁移率。替代地,鳍状物结构150、160中的任一个或两个可以掺杂有电活性杂质,例如以调谐FET的阈值电压(V_t)。例如,在接下来限定源极/漏极端部时,也可以对鳍状物结构150、160的选定部分进行非本征掺杂。

[0027] 在一个示例性实施例中,衬底105为硅(Si),这对将非硅FET 101与常规硅沟道

MOSFET(未描绘)单片集成是有利的。大体上单晶Si衬底的结晶取向可以是(100)、(111)或(110)中的任一种。其它结晶取向也是可能的。例如,半导体表面可以被误切或偏切,例如,朝向[110]偏切 $2-10^\circ$,例如以方便单晶异质外延材料的成核。其它衬底实施例也是可能的,例如,衬底105为碳化硅(SiC)、蓝宝石、III-V化合物半导体(例如,GaAs)、绝缘体上硅(SOI)衬底、锗(Ge)或硅-锗(SiGe)中的任一种。

[0028] 每个n型鳍状物结构150和p型鳍状物结构160是超过设置在衬底105之上的周围非晶鳍状物隔离材料170而突出出来的非平面半导体主体。非晶鳍状物隔离材料170可以是适合在采用本来不耦合在一起的不同鳍状物的晶体管之间提供电隔离的任何材料。在一些示例性实施例中,鳍状物隔离材料170为二氧化硅。其它适合的材料包括低k材料(例如,相对介电常数低于2.5)。尽管实施例不限于此方面,但其它示例性鳍状物隔离材料包括掺碳氧化物、硅氧烷衍生物和聚合物电介质(例如,苯并环丁烯、多孔甲基硅倍半氧烷)。在一些实施例中,每个n型鳍状物结构150和p型鳍状物结构160都是单晶的,并且在第一维度(例如,y)上具有最短横向长度,在第二维度(例如,x)上具有最长横向长度。关键尺寸可以在n型鳍状物结构150和p型鳍状物结构160之间变化,但在示例性实施例中都小于20nm,并且有利地小于10nm。鳍状物结构可以具有几微米、并且甚至是几百微米长的最长长度,允许接下来将每个鳍状物结构150、160分成很多不同的鳍式FET。

[0029] 在一些实施例中,n型鳍状物结构150和p型鳍状物结构160中的至少一个从衬底105中的阱凹陷内包含的单晶异质外延阱材料延伸。在示例性实施例中,n型鳍状物结构150设置在阱凹陷141之上,以虚线表示为设置在鳍状物隔离材料170下方。P型鳍状物结构160不设置在任何阱凹陷之上,而是直接从衬底105的表面延伸出来。阱凹陷141具有显著大于n型鳍状物结构150的CD的最小横向尺寸。在图1A中所示的示例性实施例中,阱凹陷141具有显著大于n型鳍状物结构150间距的最小横向尺寸,以使得跨越最小横向阱凹陷尺寸 L_1 来排列多个n型鳍状物结构150。尽管最小横向阱凹陷尺寸 L_1 可以改变,但在一些示例性实施例中, L_1 介于 $150\mu\text{m}$ 和 $200\mu\text{m}$ 之间。

[0030] 在一些实施例中,异质外延柱最小限度地将单晶阱材料耦合到衬底的晶种表面。每个柱具有显著小于晶体阱材料的最小横向尺寸的最小横向尺寸,以便在柱的外延生长期在缺陷跑出到柱侧壁时快速终止外延材料中的位错。该技术常常被称为深宽比捕获(ART),可以在一个横向维度上通过不对称沟槽来实施该技术。然而,在有利的实施例中,每个柱的两个正交横向尺寸都显著小于晶体阱材料的最小横向尺寸,以便提供双向缺陷捕获。柱的特定横向尺寸可以根据ART结构的z高度而改变。然而,在图1A中例示的示例性实施例中,柱的最长横向尺寸 L_2 比最小横向阱尺寸 L_1 小了至少一个数量级,并且更有利的是小两个数量级。在 L_1 超过 $100\mu\text{m}$ 的一些实施例中, L_2 小于 $10\mu\text{m}$ 。在 L_1 介于 $150\mu\text{m}$ 和 $200\mu\text{m}$ 之间的一些实施例中, L_2 介于 $0.1\mu\text{m}$ 和 $2\mu\text{m}$ 之间。对于双向ART实施例而言,每个柱都可以具有 L_2 的正交横向尺寸(即,大致正方形或圆形)。

[0031] 如图1A中进一步所示,多个异质外延柱130排列在阱凹陷141的横向区域之上。尽管每个柱130的尺寸被设定为实现增强的双向ART,但很多异质外延柱130方便了从具有充分大的横向尺寸的柱130横向过生长晶体阱材料,以使得能够形成n型鳍状物结构150。可以预先确定异质外延柱130的间距,以满足将完全不同的柱晶种位置合并到具有期望z厚度的晶体阱材料中所需的任何横向过生长速率关系(例如,横向:垂直生长速率比)。

[0032] 在一些实施例中,n型鳍状物结构和p型鳍状物结构二者从晶体异质外延阱材料延伸,其中每个包含在衬底中的阱凹陷内。对于这种双阱实施例而言,n型异质外延阱布局可以大体上如上文在图1A的语境中所述的,并且添加了从衬底外延生长的p型阱材料。这种架构例如可以实现基于双轴鳍状物应变和/或晶体材料组分的阈值电压调谐等。在一些实施例中,异质外延IV族阱材料设置在衬底的与包含异质外延III-V(或III-N)阱材料的第一阱凹陷相邻的区域中的第二阱凹陷内。

[0033] 图1B是设置在硅衬底105之上的多个n型鳍状物结构150和p型鳍状物结构161的平面图。n型鳍状物结构150和p型鳍状物结构161是适于制造根据一些替代实施例的互补鳍式FET以实现CMOS集成电路(IC)的单片式结构102的部件。在图1B中所示的示例性实施例中,p型鳍状物结构161设置在衬底105的与阱凹陷141相邻的第二区域中的第二阱凹陷142之上。在阱凹陷142内不采用任何异质外延(ART)柱。注意,ART结构的横向尺寸至少是晶种表面(例如,Si)和异质外延材料之间的晶格失配的函数,在异质外延阱材料晶格间距与衬底足够密切地匹配的一些情况下可以避免ART结构。例如,在一些硅衬底实施例中,可以在没有ART结构的阱凹陷142内外延生长SiGe合金。

[0034] 图2A示出了根据一些实施例的沿图1A中所示的A-A'线的穿过多个n型和p型鳍状物结构的宽度的截面图。如所示,n型鳍状物结构150沿z方向从晶体异质外延阱材料140延伸。在图2A代表的一些实施例中,鳍状物结构150是单晶异质外延阱材料140(即,鳍状物结构150是阱材料140的一部分)。例如,在n型鳍状物结构150是III-V材料的实施例中,材料140是与n型鳍状物结构150相同的III-V材料。对于这种实施例,阱材料140在与衬底晶种表面216的界面处形成一个异质结。

[0035] 然而,在一些实施例中,鳍状物结构150还包括一个或多个额外异质结235的异质鳍状物。例如,单晶异质外延阱材料140可以在将鳍状物部分与异质鳍状物的子鳍状物部分区分开的界面处与不同的材料形成界面。n型鳍状物结构150可以从阱材料140的表面延伸任意高度 H_1 以穿过厚度 T_3 的鳍状物隔离材料170而突出出来。在一些异质鳍状物实施例中,鳍状物异质结235与周围的鳍状物隔离材料170的表面理想地接近共面(即,在从异质外延阱材料140的顶表面测量的 T_3 的z高度处)。

[0036] 如图2A中进一步所示,异质外延阱材料140设置在非晶阱隔离材料120之上,非晶阱隔离材料120设置在阱凹陷141的底部之上。在例示性实施例中,阱隔离材料120与包围异质外延晶种表面216的衬底105的表面形成界面。阱隔离材料120可以是适合于在衬底105和外延阱材料140之间提供电绝缘的任何非晶材料。在一些示例性实施例中,阱隔离材料120为二氧化硅。也可以采用其它已知材料,包括相对介电常数低于2.5的低k材料。尽管各实施例不限于此方面,但其它示例性阱隔离材料包括掺碳氧化物、硅氧烷衍生物等。阱隔离材料120也是在其中限定ART窗口以方便在异质外延柱130内的缺陷捕获并在晶体阱材料140内实现高晶体质量的材料。因此,阱隔离材料120应当具有厚度 T_1 ,其足以使柱130达到至少2:1、有利地为3:1或更大的深宽比($T_1:L_1$)。阱凹陷141因此应当具有足以容纳厚度 T_1 的隔离材料120和厚度 T_2 的晶体阱材料140的深度 D_1 。

[0037] 在一些实施例中,单晶阱材料140具有非零厚度 T_2 ,使得连续晶体阱材料将多个n型鳍状物结构150连接在一起。这种连续晶体结构可以有利地防止n型鳍状物结构150从下方的非晶阱隔离材料120剥落或脱层。从机械的角度讲,柱130可以帮助将晶体阱材料140锚

定到衬底105。n型鳍状物结构150继而是与阱材料140成一体的。在一些实施例中,晶体阱材料140的顶表面与阱凹陷141的顶表面共面。换言之,晶体阱材料嵌入凹陷内,以与衬底表面大体上平齐,使得隔离材料厚度 T_1 和晶体阱材料厚度 T_2 之和等于凹陷阱深度 D_1 。

[0038] 如上所述,异质外延柱130可以具有横向尺寸 L_2 的等边多边形覆盖区,该横向尺寸 L_2 足够小以提供在晶体柱材料的异质外延生长期间控制缺陷传播的期望的深宽比。阱材料140共享异质外延柱130的结晶度。因为异质外延柱130是由衬底晶种表面216播种的并具有相同的晶体取向,所以材料140在本文中被称作通过延伸穿过阱隔离材料120的一个或多个异质外延柱130而“晶体学耦合”到晶种表面216。与阱材料140共享相同晶体结构的n型鳍状物结构150类似地晶体学耦合到晶种表面216。

[0039] 注意,对于异质外延柱材料和衬底材料之间的晶格失配显著的实施例而言,异质外延柱130和n型鳍状物结构150之间的位错密度可能存在显著差异。例如,在一些实施例中,n型鳍状物结构150内的线位错密度比柱130内的线位错密度小了至少三个数量级,并且有利地的小四个或更多数量级。晶体质量的这种改进是成功实施ART外延技术的标志,并且在透射电子显微(TEM)技术中可以容易被检测到。例如,沿A-A'线的TEM切片可能在阱材料140和n型鳍状物结构150内展现出零线位错,在本文描述的某些尺寸处,这对应于低于 $10^6/\text{cm}^2$ 的线位错密度。在该同一切片内,在柱130内可以见到超过一个线位错,在本文描述的某些尺寸对应于至少 $10^9/\text{cm}^2$ 的线位错密度(例如, 10^{10} - $10^{11}/\text{cm}^2$)。

[0040] 在一些实施例中,非晶鳍状物隔离材料围绕设置在阱隔离材料之上的晶体异质外延材料的侧壁延伸,使晶体异质外延材料与衬底的相邻区域电绝缘。例如,如图2A所示,鳍状物隔离材料170覆盖阱材料侧壁142并填充阱材料140和衬底105之间的横向间隙271以接触阱隔离材料120。异质外延柱130然后是通往衬底105的唯一半导电路径,确保了n型鳍状物结构150和衬底105之间的高电阻/低泄漏电流。

[0041] 图2A还示出了从衬底105的第二区域延伸并穿过鳍状物隔离材料170而突出出来的p型鳍状物结构160。在例示的示例性实施例中,p型鳍状物结构160是单晶硅衬底105的图案化结构。在其它实施例中,p型鳍状物结构160是设置在硅子鳍状物之上的具有IV族异质外延鳍状物(SiGe或Ge)的异质鳍状物,形成异质结236。如图2A所示,因为异质外延阱材料140的顶表面和衬底105之间在平面性,所以p型鳍状物结构160与n型鳍状物结构150具有大体上相同的z高度(即, H_1)。具有大体上均匀的厚度 T_3 的鳍状物隔离材料170然后使近似相同量的p型和n型鳍状物结构暴露,以用于形成晶体管。当然,在异质外延阱材料140的顶表面和衬底105成平面的情况下,可以容易地在n型区域中相对于在p型区域中减薄鳍状物隔离材料170(或者反之亦然)以调节晶体管沟道电流传输宽度。

[0042] 图2B示出了根据一些实施例的沿图1B中所示的B-B'线的穿过多个n型和p型鳍状物结构的宽度的截面图。图2B示出了针对n型鳍状物结构150的与图2A中所示相同的特征。然而,p型鳍状物结构161设置在利用异质外延阱材料145回填的第二阱凹陷142之上,在示例性硅衬底实施例中,该异质外延阱材料145是除硅之外的IV族材料(例如,SiGe或Ge)。在图2B所示的一些实施例中,阱凹陷142明显比阱凹陷141更浅,并且没有依赖于阱隔离120的电介质隔离。如上文在图1B的语境中所述,异质外延阱材料145不必设置在ART结构上(即,没有异质外延柱130的等同物),其中p型异质外延阱材料145和衬底105之间的晶格失配明显小于n型异质外延材料(例如,III-V)。在其它实施例中,p型鳍状物结构161也可以是异质

鳍状物,其中IV族异质外延鳍状物(例如,Si、Ge或第一SiGe合金)设置在IV族子鳍状物异质外延(例如,Ge或第二SiGe合金)之上,形成第二异质结236。

[0043] 可以通过应用各种技术和处理室配置的各种方法来制造单片集成的异质外延n型鳍状物结构、p型鳍状物结构和结合了它们的晶体管。图3是示出了根据一些实施例的利用多个单片集成的n型和p型鳍状物结构制造一对互补鳍式FET的方法301的流程图。例如,可以实践方法301以产生图1A所示的单片式n型和p型鳍状物结构101并进一步从这种鳍状物结构形成互补鳍式FET。在论述方法301时参考了图4A-图4N和图5A-图5D。图4A-图4N是根据一些实施例的在执行方法301的初始阶段时演变的沿图1A所示的C-C'线的n型和p型鳍状物结构的截面图。图5A-图5D还示出了根据一些实施例的互补鳍式FET的形成。

[0044] 首先参考图3,方法301开始于操作310,其中在衬底的未掩蔽部分中限定第一阱凹陷,并且利用阱隔离材料覆盖阱底部。图4A还示出了设置在硅衬底105的工作表面上的硬掩模415,其覆盖将容纳p型鳍状物结构的区域。利用暴露衬底105的表面的第一阱掩模开口410对硬掩模415进行图案化。硬掩模415可以是现有技术中已知适合掩蔽深硅蚀刻的任何组分,例如但不限于二氧化硅、氮化硅、氮氧化硅和基于碳的硬掩模材料(例如,金刚石状碳)。

[0045] 如图4B中进一步所示,例如,利用任何已知的各向异性硅蚀刻工艺(例如,沉积/蚀刻/沉积等)将阱凹陷141蚀刻到衬底105中。蚀刻深度 D_2 可以是数微米深(例如,2-10 μm)。然后将非晶阱隔离材料120回填到阱凹陷141中,在衬底105之上进行平面化,并将其凹陷蚀刻到阱凹陷141的底部处的预定目标厚度 T_1 。上文针对阱隔离材料120描述的任何材料可以通过任何已知的沉积技术被沉积、被回流和/或抛光。可以采用已知适于选定的阱隔离材料120的任何蚀刻工艺来使膜凹陷到厚度 T_1 。

[0046] 返回到图3,方法301在操作320处继续,在此,向阱隔离材料中蚀刻一个或多个ART开口,以暴露阱凹陷的底部处的(多个)单晶晶种表面。在操作320处可以采用任何已知的图案化技术。对于图4C进一步示出的一个示例性实施例而言,多个ART开口430被蚀刻穿过阱隔离材料 T_1 。在一些实施例中,每个ART开口430都是多边形,标称横向CD小于10 μm ,有利地小于4 μm ,并且更有利地在0.1和2 μm 之间。在一些有利的双向ART实施例中,每个ART开口430在x和y横向维度具有大体上相同的标称CD(即,ART开口430为正方形或圆形)。在图4C进一步示出的一些实施例中,在形成ART开口430之前沿阱凹陷的侧壁形成非晶阱间隔体425。阱间隔体425可以是任何电介质材料,例如氮化硅。可以采用任何已知的沉积和各向异性蚀刻来形成向上延伸到阱掩模415的阱间隔体425。

[0047] 返回图3,方法301进行到操作330,其中执行异质外延工艺以在ART开口内生长晶体柱。非晶阱掩蔽、非晶阱隔离和非晶阱间隔体将异质外延生长限制到ART窗口的底部的晶种表面。在一些实施例中,在操作330,使用任何已知的外延生长技术在ART开口中生长III-V族材料,外延生长技术例如但不限于金属有机物化学气相沉积(MOCVD)、分子束外延(MBE)或氢化物气相外延(HVPE)。在操作340,外延工艺继续进行,从ART开口中的柱进行横向外延生长(LEO)。LEO工艺可以一直继续到连续晶体材料跨越阱凹陷间隔体之间的阱凹陷覆盖区为止。然后继续进行LEO工艺或具有较高垂直生长速率条件的外延生长工艺,直到异质外延材料完全回填蚀刻凹陷并在阱凹陷掩模周围延伸。

[0048] 在一些实施例中,在操作330和340采用800 $^{\circ}\text{C}$ 或更高的升高的温度,以外延生长

III-V单晶柱和阱材料。操作330可以依赖于第一外延生长条件(例如,第一III-V生长压力、第一III-V生长温度和第一V/III生长前体比),并且如果首先在衬底晶种表面上生长成核层,则还可以包括多个生长条件。在大体上回填了ART柱时,可以在操作340改变生长条件,以促进在阱隔离材料之上横向生长III-V晶体结构。在一些实施例中,如图4D中所示,继续外延回填工艺,直到III-V晶体材料延伸超过阱凹陷掩模415,例如形成倾斜的侧壁小面。最终可以由在最后的外延回填阶段期间生长的III-V材料形成晶体管沟道。在一些异质鳍状物实施例中,在操作340(图3)执行的异质外延回填工艺还需要从LEO生长条件改变为新的生长条件,新生长条件具有不同的V/III前体比,其在外延回填工艺期间形成异质结235。

[0049] 返回到图3,在操作350,对异质外延晶体阱材料进行平面化,例如,向下到阱掩模或阱掩模下方的衬底表面的水平。在图4E例示的示例性实施例中,将晶体阱材料140平面化到与衬底105的和阱凹陷141相邻的顶表面共面,以去除阱凹陷掩模415。

[0050] 方法301(图3)继续进行操作360,操作360需要在n型晶体阱材料和p型区域两者之上对鳍状物掩模进行图案化。可以在操作360沉积已知适合鳍状物结构蚀刻的任何硬掩模材料或硬掩模材料的叠置体并使用适合横向几何性质和掩模材料的任何常规光刻和蚀刻技术对其进行图案化。在图4F例示的示例性实施例中,沉积复合鳍状物掩模材料435,其采用由体块掩模材料437分隔的一种或多种界面材料436、438。图4G还示出了将掩模材料435同时图案化成p型鳍状物掩模436和n型鳍状物掩模440。

[0051] 返回到图3,方法301继续进行,将鳍状物结构图案化成n型异质外延阱材料和p型衬底材料。在操作370首先掩蔽p型区域,同时将n型阱材料蚀刻到鳍状物结构中,接下来在操作380,掩蔽n型区域,同时蚀刻p型阱材料。在图4H例示的示例性实施例中,各向异性蚀刻445使阱材料140的未被鳍状物掩模440保护的部分凹陷,以形成与鳍状物掩模440对准的鳍状物结构。在通过上方掩蔽材料450(例如金刚石状碳材料)保护p型鳍状物掩模436的同时,执行各向异性n型鳍状物蚀刻445。在示例性III-V实施例中,n型鳍状物蚀刻445可以是用于选定III-V组分的任何已知工艺。

[0052] 如图4I进一步所示,利用任何已知的工艺去除掩蔽材料450。执行间隔体清除455以去除阱凹陷侧壁间隔体,暴露衬底105的侧壁并在阱材料140和衬底105之间留下横向间隙271。如图4J中进一步所示,在通过上方掩蔽材料450(例如金刚石状碳材料)保护n型鳍状物掩模436的同时,执行各向异性p型鳍状物蚀刻465。在示例性硅衬底实施例中,p型鳍状物蚀刻465可以是任何已知的各向异性硅蚀刻工艺。然后去除掩蔽材料450以实现图4K所示的多个掩蔽的n型鳍状物结构468和掩蔽的n型鳍状物结构469。

[0053] 返回到图3,方法301在操作390继续,在此期间,鳍状物隔离电介质被沉积、被平面化并且被凹陷,以暴露n型和p型鳍状物结构的最高部分。在操作390,可以使用适合回填掩蔽的鳍状物结构的任何已知技术来沉积上述任何鳍状物隔离材料,因为实施例不限于此方面。在图4L所示的示例性实施例中,鳍状物隔离材料170回填被掩蔽的鳍状物结构并回填横向间隙271以接触阱隔离120。如图4M中进一步所示,然后执行平面化抛光,接着进行任何已知的凹陷蚀刻470,以同时暴露n型和p型鳍状物结构的目标部分。然后剥离p型和n型鳍状物掩模436、440,以实现上文在图1A的语境中介绍的单片式n型和p型结构101。

[0054] 然后方法301在操作399完成,其中将异质外延n型和p型鳍状物结构处理成鳍式FET。例如,操作399需要形成栅极叠置体和源极/漏极端部,这可以通过任何已知技术进行。

图5A-图5D是根据一些实施例的在执行栅极替换(后栅极)工艺时演变的沿图1A所示的C-C'线的n型和p型鳍式FET的沟道区的截面图。

[0055] 在栅极替换工艺中,在n型和p型鳍状物结构的沟道区之上形成栅极叠置体芯轴。可以采用任何已知的牺牲栅极结构和制造技术。在一些实施例中,形成栅极叠置体芯轴需要电介质沉积/平面化,在电介质中图案化开口,以暴露鳍状物结构,以及利用牺牲栅极叠置体回填开口。在图5A所示的替代实施例中,在n型和p型鳍状物结构之上均厚沉积牺牲栅极叠置体材料570。如图5B进一步所示,将牺牲栅极叠置体材料570图案化成栅极芯轴575。在所示的示例中,在鳍状物结构150、160的至少两个侧壁上和鳍状物隔离170上的着陆部上形成牺牲栅极芯轴575。可以进一步使用任何常规技术沿着鳍状物结构150、160的侧壁和栅极芯轴575形成间隔体电介质(未描绘)。在形成栅极芯轴之后,在鳍状物结构的源极/漏极端部处形成掺杂区域(从图5B的平面向外)。在一些实施例中,通过在源极/漏极端部上沉积适合n型器件和/或p型器件的任何组分的第一重掺杂半导体,来在鳍状物结构150、160中的一个或多个上形成升高的源极/漏极区。如图5C进一步所示,然后沉积层间电介质(ILD) 172,并使其与栅极芯轴575平面化。

[0056] 然后相对于ILD 172选择性去除栅极芯轴575,以暴露鳍状物材料和鳍状物隔离材料170。在去除栅极芯轴之后,在鳍状物结构的至少两个侧壁之上形成永久栅极叠置体。如图5D进一步所示,在p型鳍状物结构160之上沉积栅极叠置体181以完成多个p型(PMOS)晶体管591。在n型鳍状物结构150之上沉积栅极叠置体182以完成多个n型(NMOS)晶体管592。尽管可以利用任何已知的栅极叠置体材料,但在一个示例性实施例中,采用体相对介电常数为9或更大的高k材料,连同逸出功适合n型鳍状物结构150的组分(例如,III-V)和/或p型鳍状物结构160的组分(例如,Si)的栅极金属。然后以图5D所示的形式大体上完成异质外延n型晶体管与p型晶体管的基于阱的集成。使用任何常规的金属化,然后将PMOS和NMOS FET 591、592互连成CMOS电路,例如6T SRAM单元。也可以采用任何常规的后端互连金属化来形成片上系统(SoC)中的处理器、存储器或两者的CMOS电路。

[0057] 图6是示出了根据一些实施例的利用图1B所示的与p型鳍状物结构集成的多个基于阱的异质外延n型来制造一对互补鳍式FET的方法601的流程图。方法601是方法301的扩展,其中利用p型阱材料对第二阱凹陷进行外延回填。方法601需要执行大体上如上所述的操作310、320、330、340和350,以形成与相邻衬底平面化的一个或多个异质外延回填的n阱凹陷。在操作652,在(多个)回填的n阱凹陷之上形成掩模,并且例如大体上通过上文针对(多个)n阱凹陷所描述的方式向衬底中蚀刻一个或多个p阱凹陷。在操作654,在(多个)p阱凹陷内的暴露的衬底表面上生长异质外延膜。例如,可以在(多个)p阱凹陷的未掩蔽部分中形成SiGe。然后在操作656使p阱外延材料与n型异质外延材料的顶表面平面化。在两种异质外延阱材料被平面化的情况下,方法601以大体上与方法301相同的方式进行。例如,在操作660,在n型外延阱材料和p型外延阱材料之上将鳍状物掩模图案化。在操作670、680将鳍状物结构图案化到n型外延阱材料和p型外延阱材料中。在操作690,鳍状物隔离材料被沉积、被平面化并被凹陷,以暴露电隔离的外延n型和p型鳍状物结构。在操作699,在鳍状物结构中形成栅极叠置体和源极/漏极区以完成方法601。

[0058] 图7示出了采用SoC的移动计算平台和数据服务器机器,该SoC包括例如本文别处所述的基于横向生长的异质外延阱材料和ART结构而单片集成的异质外延n型晶体管和p型

晶体管。服务器机器706可以是任何商用服务器,例如包括设置于机架内并联网在一起以用于电子数据处理的任何数量的高性能计算平台,在示例性实施例中,其包括封装的单片SoC 750。移动计算平台705可以是配置为用于电子数据显示、电子数据处理、无线电子数据传输等中的每一个的任何便携式装置。例如,移动计算平台705可以是平板计算机、智能电话、膝上型计算机等中的任一种,并且可以包括显示屏(例如,电容性、电感性、电阻性或光学触摸屏)、芯片级或封装级集成系统710和电池715。

[0059] 无论设置在放大图720中所示的集成系统710内,还是作为服务器机器706内的独立封装芯片,封装的单片SoC 750包括存储器块(例如,RAM)、处理器块(例如,微处理器、多核微处理器、图形处理器等),该处理器块包括例如本文别处所述的基于横向过生长异质外延阱材料和ART结构而与至少一个硅沟道p型FET单片集成的至少一个非硅n型沟道FET(例如,III-V沟道FET)。单片SoC 750还可以耦合到电路板、衬底或内插器760,连同功率管理集成电路(PMIC) 730、包括宽带RF(无线)发射器和/或接收器(TX/RX)(例如,包括数字基带,并且模拟前端模块还包括发送路径上的功率放大器和接收路径上的低噪声放大器)的RF(无线)集成电路(RFIC) 725以及控制器735中的一个或多个。

[0060] 从功能上讲,PMIC 730可以执行电池功率调节、DC到DC转换等,因而其输入耦合至电池715,其输出向其它功能模块提供电流源。如进一步所示,在示例性实施例中,RFIC 725具有耦合至天线(未示出)的输出,以实施多种无线标准或协议中的任何标准或协议,包括但不限于Wi-Fi(IEEE 802.11系列)、WiMAX(IEEE 802.16系列)、IEEE 802.20、长期演进(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、蓝牙、它们的衍生产物以及被命名为3G、4G、5G或更高代的任何其它无线协议。在替代的实施方式中,这些板级模块中的每者可以集成到独立IC上或者集成到单片IC 750中。

[0061] 图8是根据本发明的实施例的电子计算装置的功能方框图。例如,可以在平台705或服务器机器706内部找到计算装置800。装置800还包括容纳若干部件的母板802,所述部件例如但不限于处理器804(例如,应用处理器),其可以进一步结合例如本文别处所述的基于横向过生长异质外延阱材料和ART结构而与至少一个硅沟道p型FET单片集成的至少一个非硅n型沟道FET(例如,III-V沟道FET)。处理器804可以物理和/或电耦合到母板802。在一些示例中,处理器804包括封装在处理器804内的集成电路管芯。通常,术语“处理器”或“微处理器”可以指处理来自寄存器和/或存储器的电子数据以将该电子数据转换成可以进一步存储在寄存器和/或存储器中的其它电子数据的任何器件或器件的部分。

[0062] 在各示例中,一个或多个通信芯片806也可以物理和/或电耦合到母板802。在其它实施方式中,通信芯片806可以是处理器804的一部分。取决于其应用,计算装置800可以包括其它部件,这些部件可以或不物理和电耦合至母板802。这些其它部件包括但不限于易失性存储器(例如,DRAM)、非易失性存储器(例如,ROM)、闪存存储器、图形处理器、数字信号处理器、密码处理器、芯片组、天线、触摸屏显示器、触摸屏控制器、电池、音频编解码器、视频编解码器、功率放大器、全球定位系统(GPS)装置、罗盘、加速度计、陀螺仪、扬声器、照相机和大容量存储装置(例如,硬盘驱动器、光盘(CD)、数字通用盘(DVD)等)等等。

[0063] 通信芯片806可以实现向和从计算装置800传输数据的无线通信。术语“无线”及其派生词可以用来描述通过使用经调制的电磁辐射通过非固态介质传送数据的电路、装置、系统、方法、技术、通信信道等。该术语并非暗示相关联的装置不含有任何电线,尽管在一些

实施例中它们可能不含有。通信芯片806可以实施多种无线标准或协议中的任何标准或协议,包括但不限于文中别处描述的那些标准或协议。如所讨论的,计算装置800可以包括多个通信芯片806。例如,第一通信芯片可以专用于较短距离无线通信,例如Wi-Fi和蓝牙,并且第二通信芯片可以专用于较长距离无线通信,例如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO及其它。

[0064] 尽管已经参考各种实施方式描述了文中阐述的某些特征,但是该描述并非旨在被解释为具有限定意义。因而,对于本公开所属领域技术人员显而易见的对文中描述的实施方式的各种修改以及其它实施方式应当被视为处于本公开的精神和范围内。

[0065] 应当认识到,本发明不限于如此描述的实施例,而是可以利用修改和变化来实践本发明,而不脱离所附权利要求的范围。例如,上述实施例可以包括特征的特定组合,如下文进一步提供的。

[0066] 在一个或多个第一实施例中,单片式半导体鳍状物结构包括衬底的第一区域中的第一阱凹陷,该第一阱凹陷包含设置在阱底部之上的非晶阱隔离材料、以及设置在阱隔离材料之上的单晶异质外延阱材料,其中,阱材料通过延伸穿过阱隔离材料的由异质外延材料构成的一个或多个柱而在阱底部处耦合到衬底的晶种表面。鳍状物结构还包括设置在第一阱凹陷之上和衬底的与第一区域相邻的第二区域之上的非晶鳍状物隔离材料、从阱材料延伸并穿过鳍状物隔离材料而突出出来的第一晶体鳍状物、以及从衬底的第二区域延伸并穿过鳍状物隔离材料而突出出来的IV族材料的第二鳍状物。

[0067] 在第一实施例中的至少一些中,第一阱的最小横向尺寸比柱的最长横向尺寸至少大一个数量级。

[0068] 在第一实施例中的至少一些中,非晶鳍状物隔离材料围绕设置在阱隔离材料之上的晶体异质外延材料的侧壁延伸,将晶体异质外延材料与衬底的第二区域电绝缘。

[0069] 在上文刚提及的实施例中的至少一些中,鳍状物隔离材料接触阱隔离材料。

[0070] 在第一实施例中的至少一些中,第一晶体异质外延鳍状物具有比晶体异质外延柱材料的线位错密度小至少三个数量级的线位错密度。

[0071] 在第一实施例中的至少一些中,第一阱凹陷的最小横向尺寸为至少100 μm ,柱的最长横向尺寸小于4 μm ,柱的深宽比至少为2:1,并且第一和第二鳍状物的最小横向尺寸小于10nm。

[0072] 在第一实施例中的至少一些中,第一鳍状物延伸出来的阱材料的第一表面与第二鳍状物延伸出来的第二区域中的第二表面成平面。

[0073] 在第一实施例中的至少一些中,鳍状物结构还包括衬底的第二区域中的第二阱凹陷,该第二阱凹陷包含包括Ge的单晶IV族阱材料,并且第二鳍状物包括从Si、Ge和SiGe构成的组中选择的IV族材料。

[0074] 在第一实施例中的至少一些中,柱材料包括与衬底形成第一异质结的单晶III-V材料,并且第一鳍状物的异质外延材料与阱材料形成第二异质结。

[0075] 在上文刚提及的实施例中的至少一些中,衬底包括硅,第一鳍状物包括InGaAs,并且第二鳍状物包括硅。

[0076] 在一个或多个第二实施例中,一种集成电路(IC)包括从晶体硅衬底的第一区域中的阱凹陷内包含的单晶III-V材料的一个主体延伸的多个n型鳍式FET,该阱凹陷内衬有电

介质阱隔离材料,除了通过阱隔离材料耦合到衬底的晶种表面的由晶体III-V材料构成的一个或多个柱之外,并且IC还包括从晶体硅衬底的第二区域延伸的多个p型鳍式FET。

[0077] 在第二实施例中的至少一些中,多个n型鳍式FET被排列在阱凹陷的第一横向尺寸之上,并且由晶体III-V材料构成的一个或多个柱包括被排列在第一横向尺寸和与第一横向尺寸正交的第二横向尺寸之上的多个柱。

[0078] 在一个或多个第三实施例中,一种制造一对互补场效应晶体管的方法包括在晶体硅衬底的第一区域中蚀刻第一阱凹陷。该方法还包括利用电介质阱隔离材料将第一阱凹陷回填到低于超过第一阱凹陷的第二区域中的衬底表面的水平。该方法还包括穿过阱隔离材料形成一个或多个开口,所述开口暴露阱底部处的晶体衬底表面。该方法还包括在一个或多个开口内的暴露的衬底表面上异质外延生长包括III-V材料的单晶柱。该方法还包括从柱横向过生长单晶III-V材料以及利用单晶III-V材料回填第一阱凹陷的其余部分。该方法还包括使回填的III-V材料的表面与第二区域中的衬底表面成平面。该方法还包括在第一和第二区域之上将鳍状物掩模图案化。该方法还包括向过生长的III-V材料中蚀刻第一鳍状物以及向第二区域中蚀刻第二鳍状物。该方法还包括在第一和第二鳍状物之上形成栅极叠置体。该方法还包括形成耦合到第一和第二鳍状物的源极/漏极端部的接触金属化。

[0079] 在第三实施例中的至少一些中,该方法还包括在第一和第二鳍状物之上沉积非晶鳍状物隔离电介质,该鳍状物隔离电介质覆盖过生长的III-V材料的侧壁。

[0080] 在上文刚提及的第三实施例中的至少一些中,该方法还包括将鳍状物隔离材料沉积到阱隔离材料上,以将过生长的III-V材料与第二区域中的晶体材料横向分开。

[0081] 在第三实施例中的至少一些中,该方法还包括:在晶体硅衬底的第二区域中蚀刻第二阱凹陷,外延生长包括Ge的单晶IV族阱材料,以及将第二鳍状物蚀刻到IV族材料中。

[0082] 在第三实施例中的至少一些中,该方法还包括:穿过阱隔离材料形成一个或多个开口还包括蚀刻出最长横向尺寸比第一阱凹陷的最小横向尺寸至少小一个数量级的一个或多个开口。

[0083] 在第三实施例中的至少一些中,该方法还包括:在阱凹陷的未被阱隔离材料覆盖的侧壁上形成非晶间隔体材料,以防止III-V材料在阱凹陷侧壁上的晶种异质外延生长,以及在将非晶鳍状物隔离电介质沉积到间隔体材料去除所留下的凹陷中之前去除间隔体材料。

[0084] 在第三实施例中的至少一些中,异质外延生长单晶柱和从柱横向过生长单晶III-V材料还包括生长GaAs、InP、InAs、InGaAs、AlGaAs、GaP、AlAs、InGaP的第一部分,并且利用单晶III-V材料回填第一阱凹陷的其余部分还包括异质外延生长GaAs、InP、InAs、InGaAs、AlGaAs、GaP、AlAs、InGaP的第二部分。

[0085] 在第三实施例中的至少一些中,该方法还包括掩蔽平面化的已回填的III-V材料,在晶体硅衬底的第二区域中蚀刻出第二阱凹陷,通过异质外延生长包括Ge的材料来回填第二阱凹陷,以及对包括Ge的回填的材料的表面进行平面化以使其与回填的III-V材料的表面成平面。

[0086] 然而,上述实施例不限于此方面,并且在各种实施方式中,上述实施例可以包括仅采取这种特征的子集,采取这种特征的不同顺序,采取这种特征的不同组合,和/或采取除明确列举的那些特征以外的额外特征。因此,应当参考所附权利要求连同为这种权利要求

赋予权力的等价方案的完整范围来确定本发明的范围。

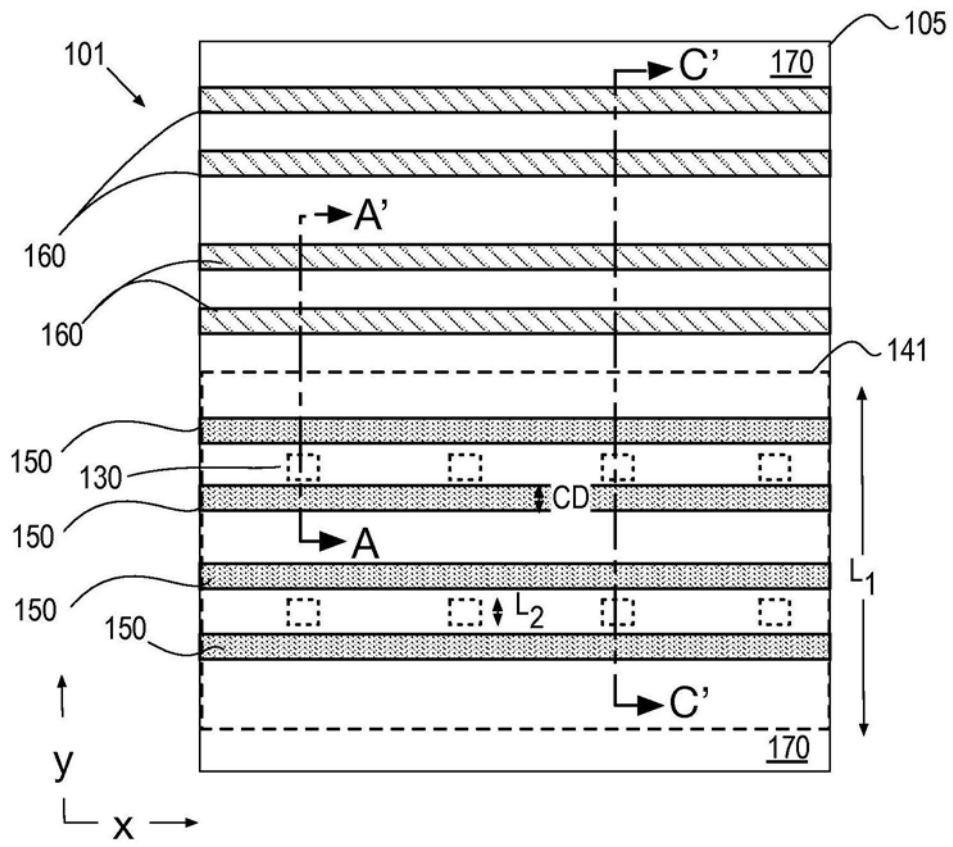


图1A

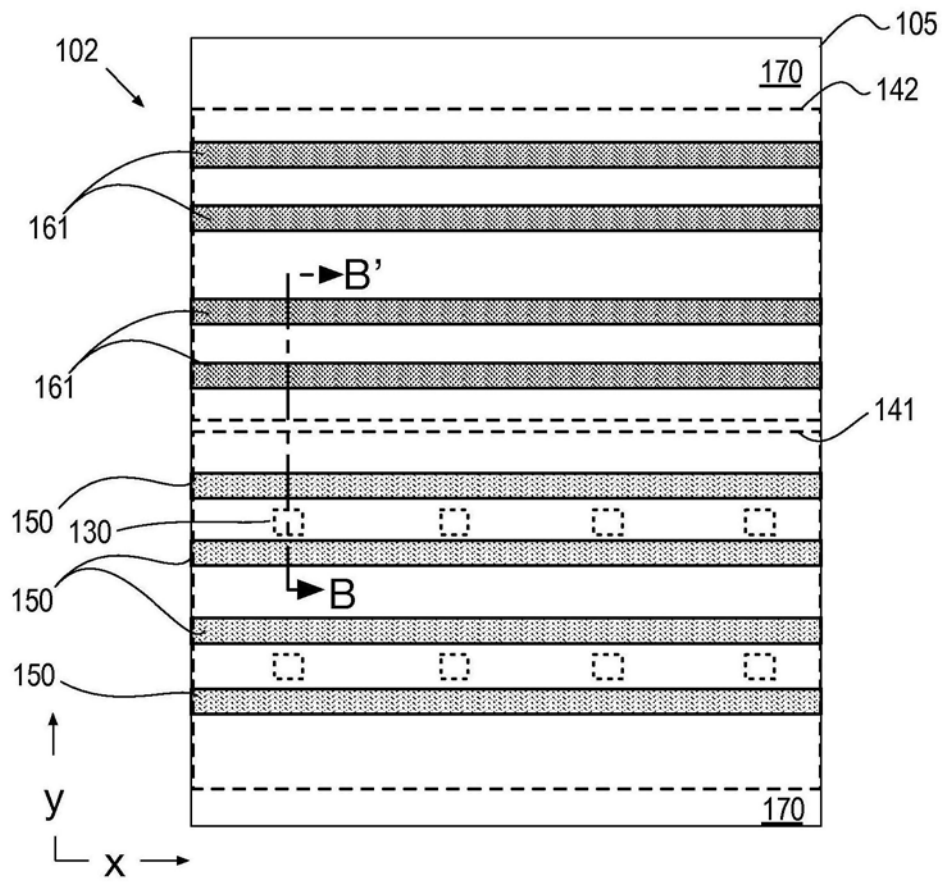


图1B

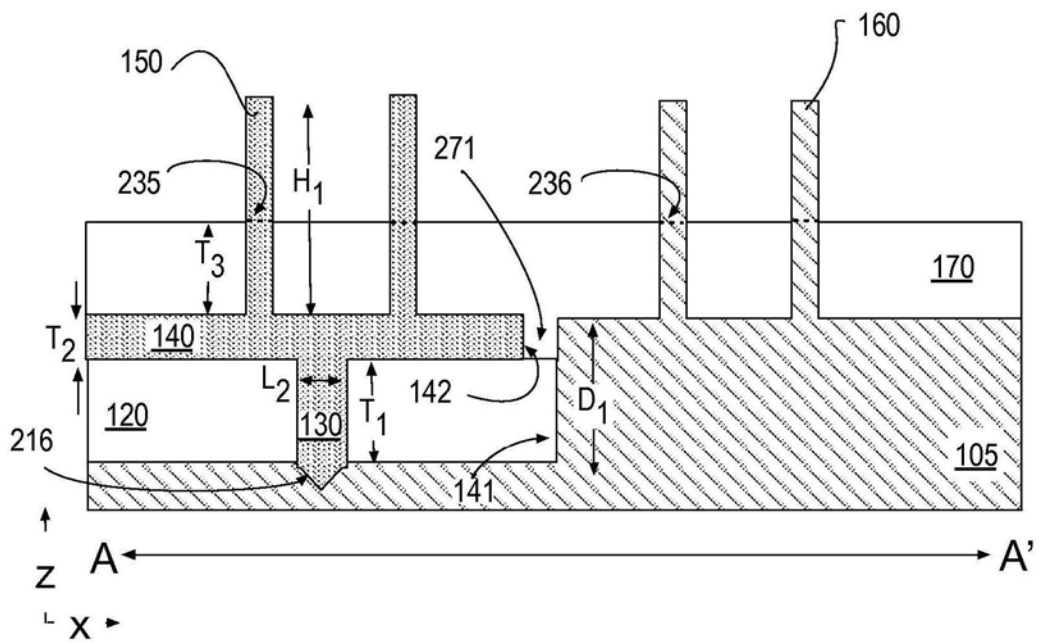


图2A

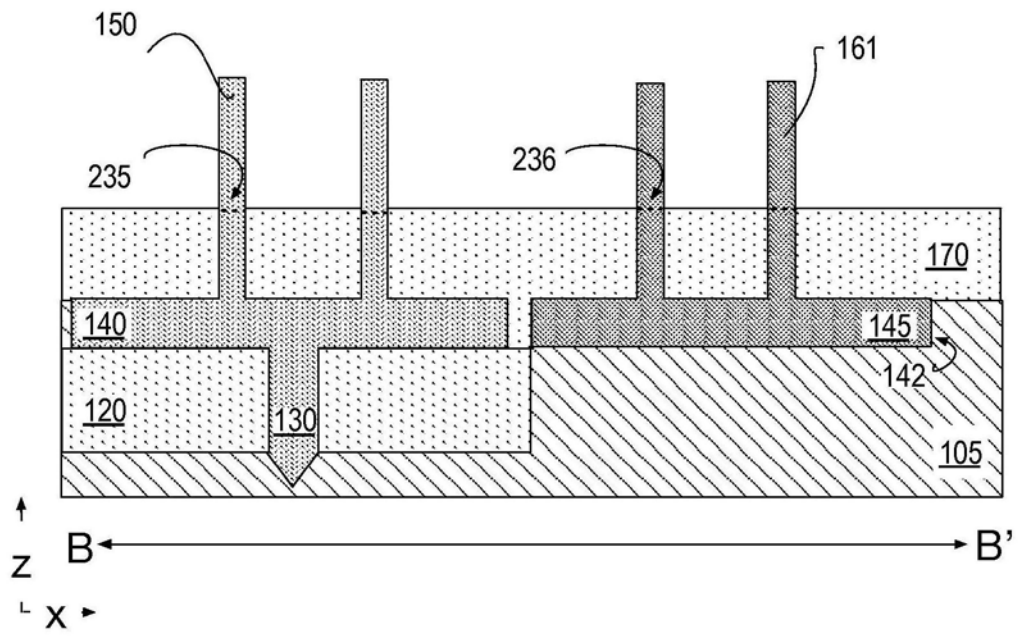


图2B

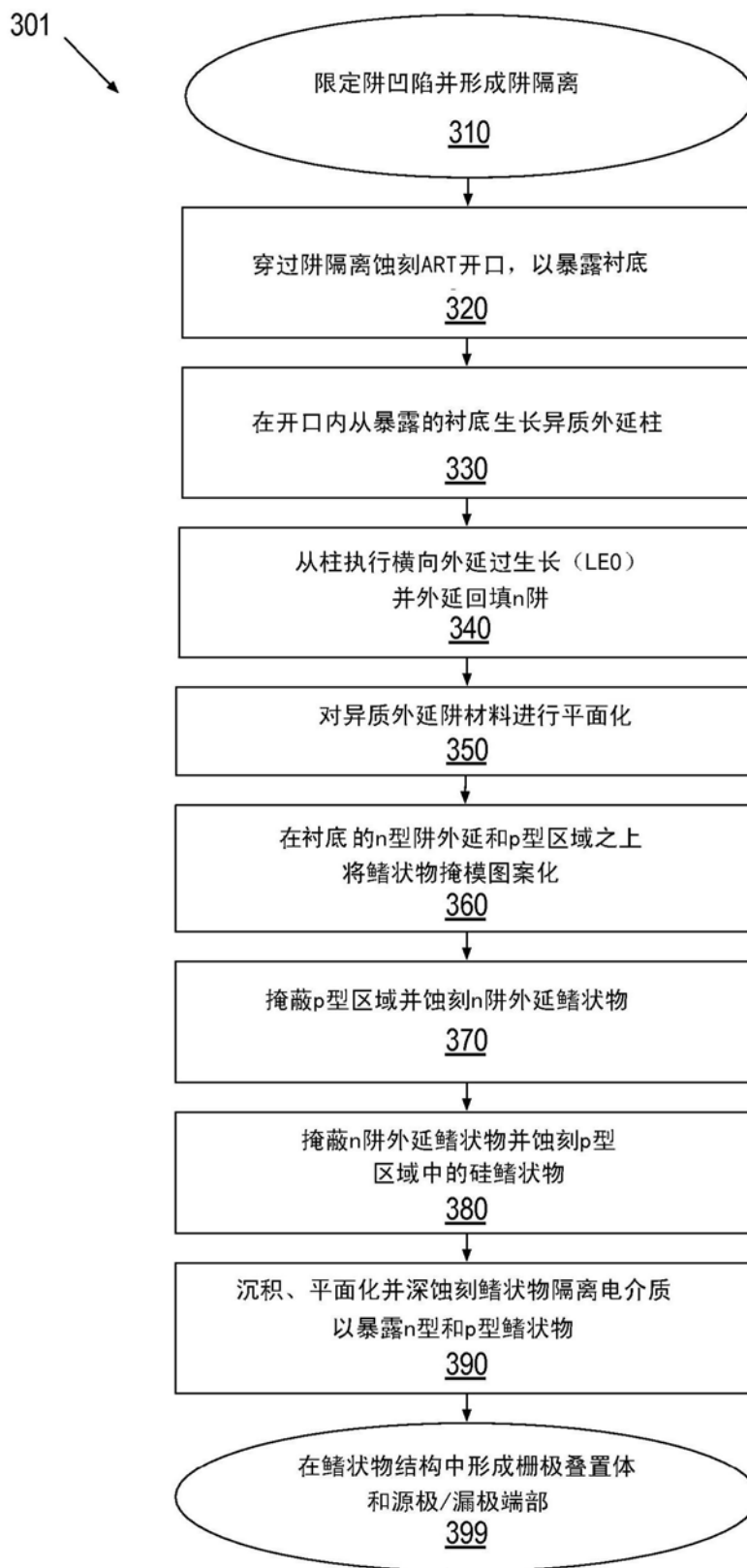


图3

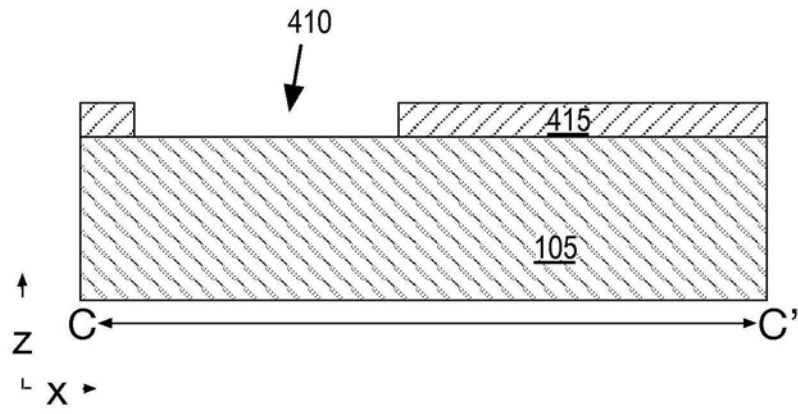


图4A

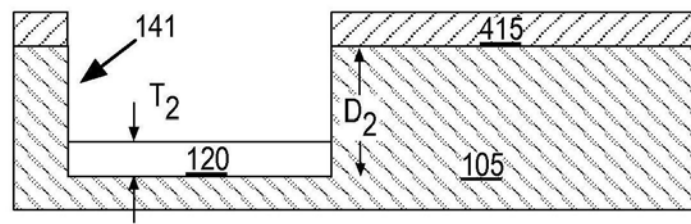


图4B

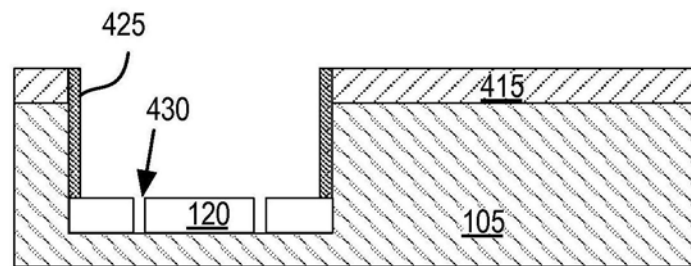


图4C

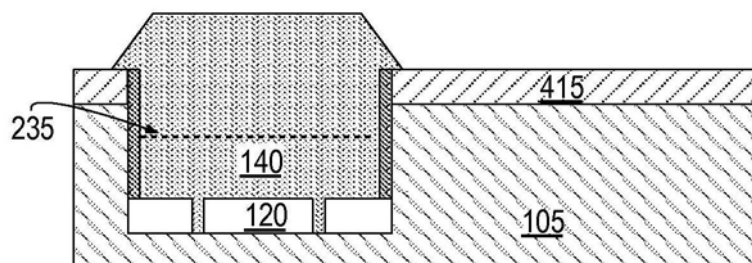


图4D

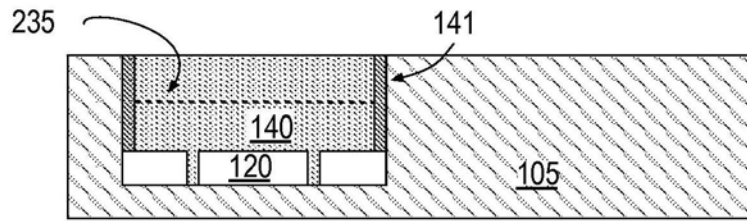


图4E

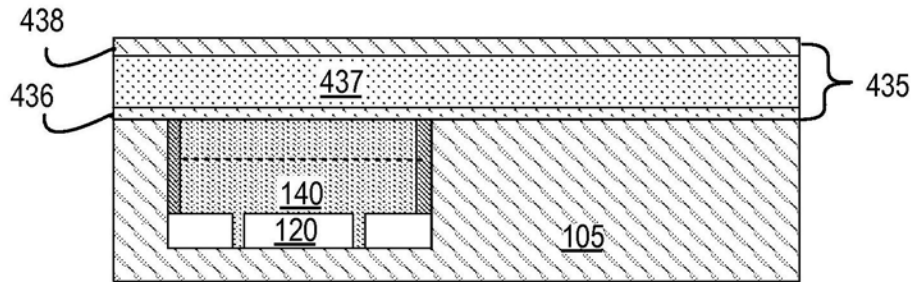


图4F

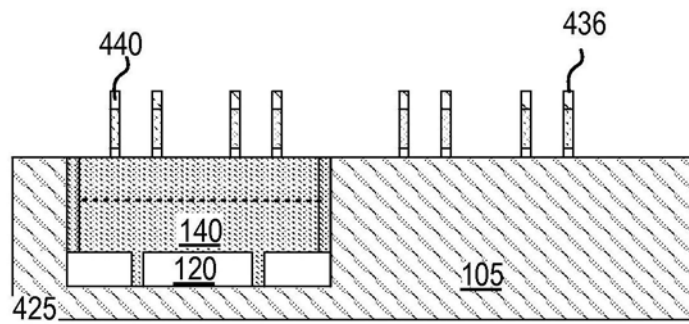


图4G

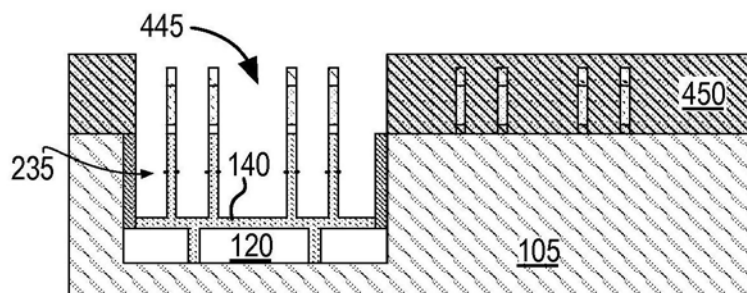


图4H

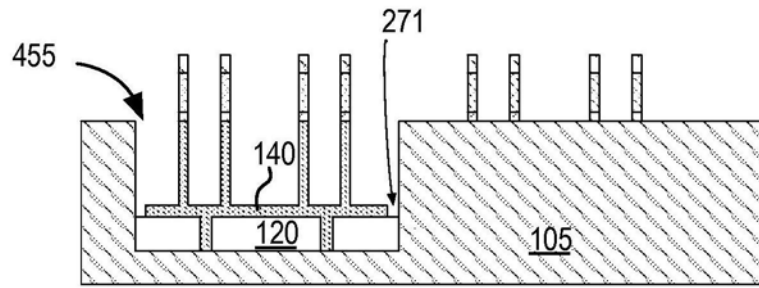


图4I

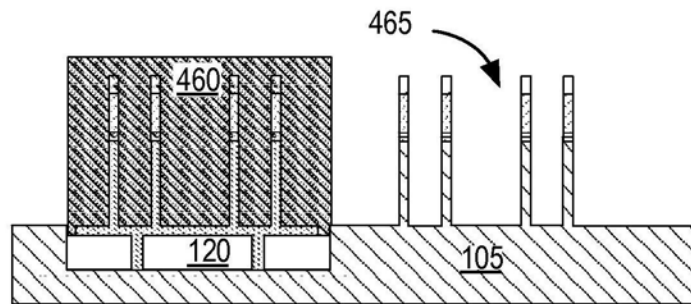


图4J

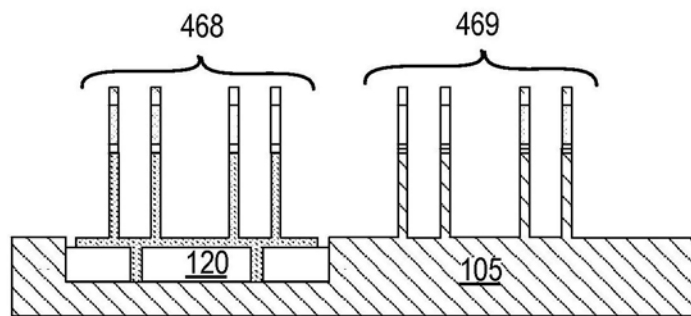


图4K

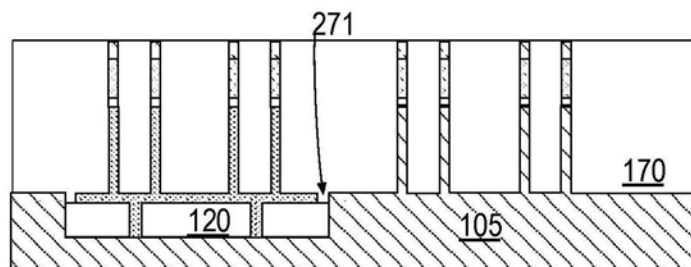


图4L

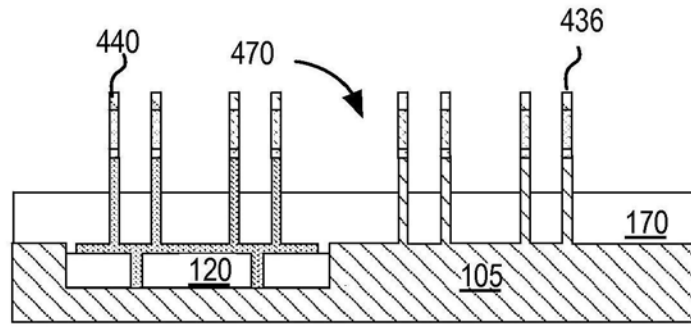


图4M

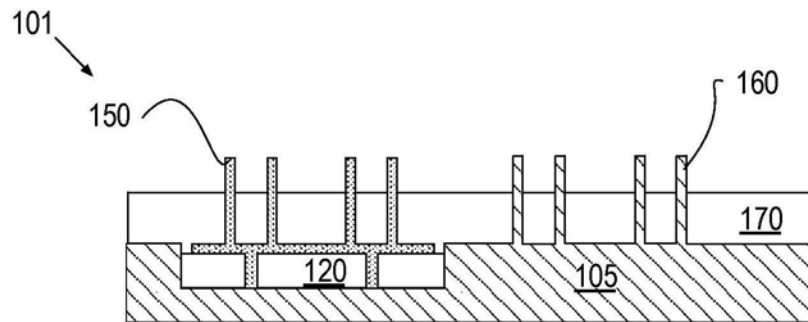


图4N

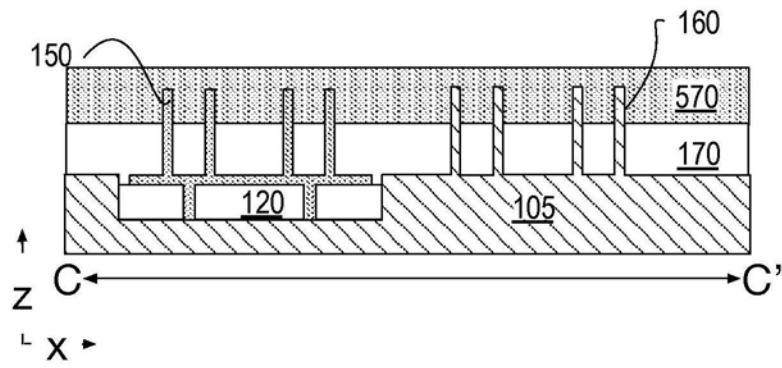


图5A

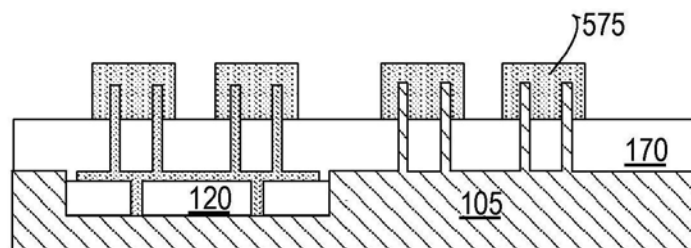


图5B

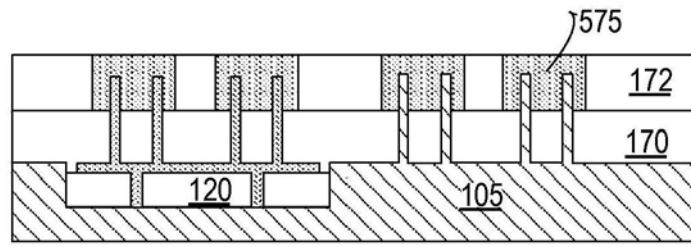


图5C

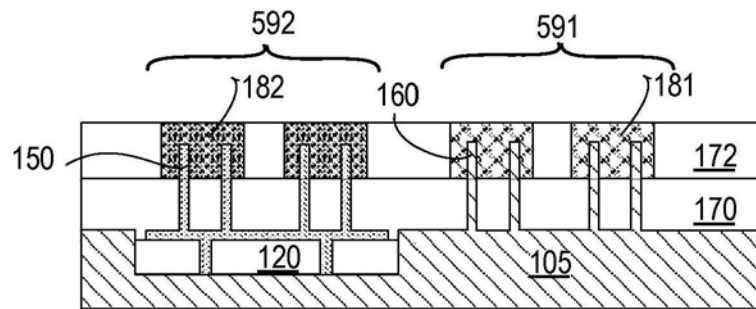


图5D

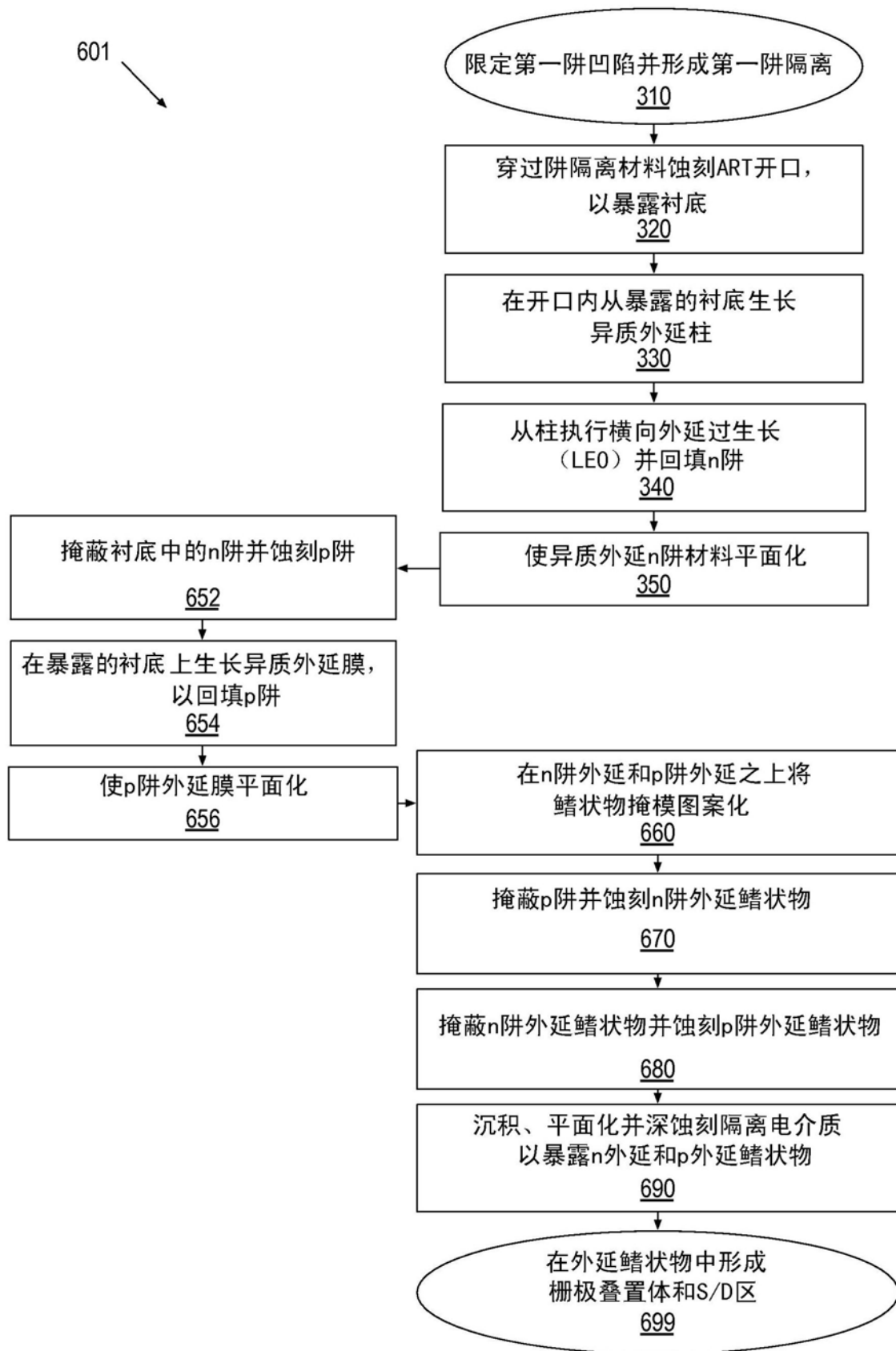


图6

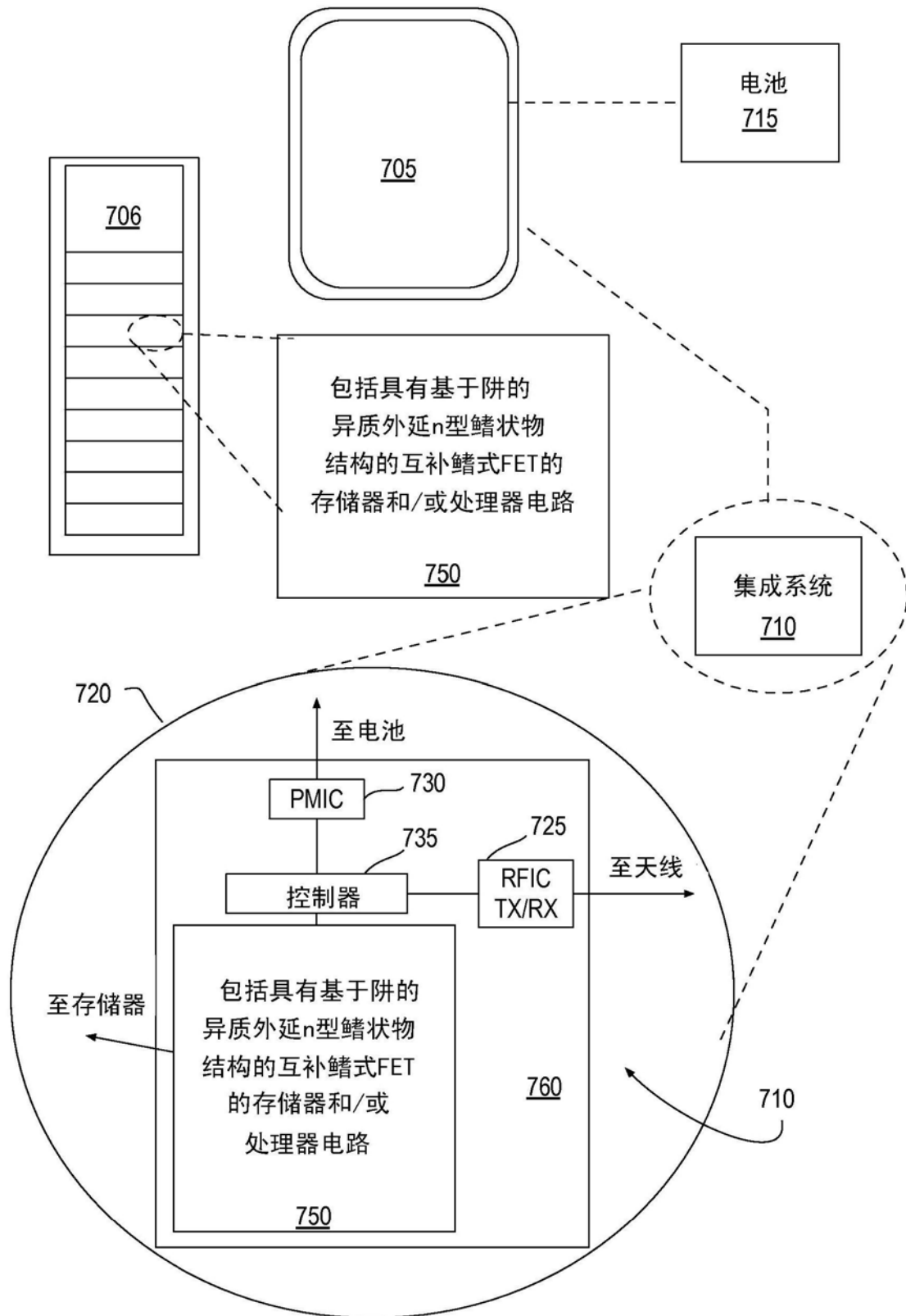


图7

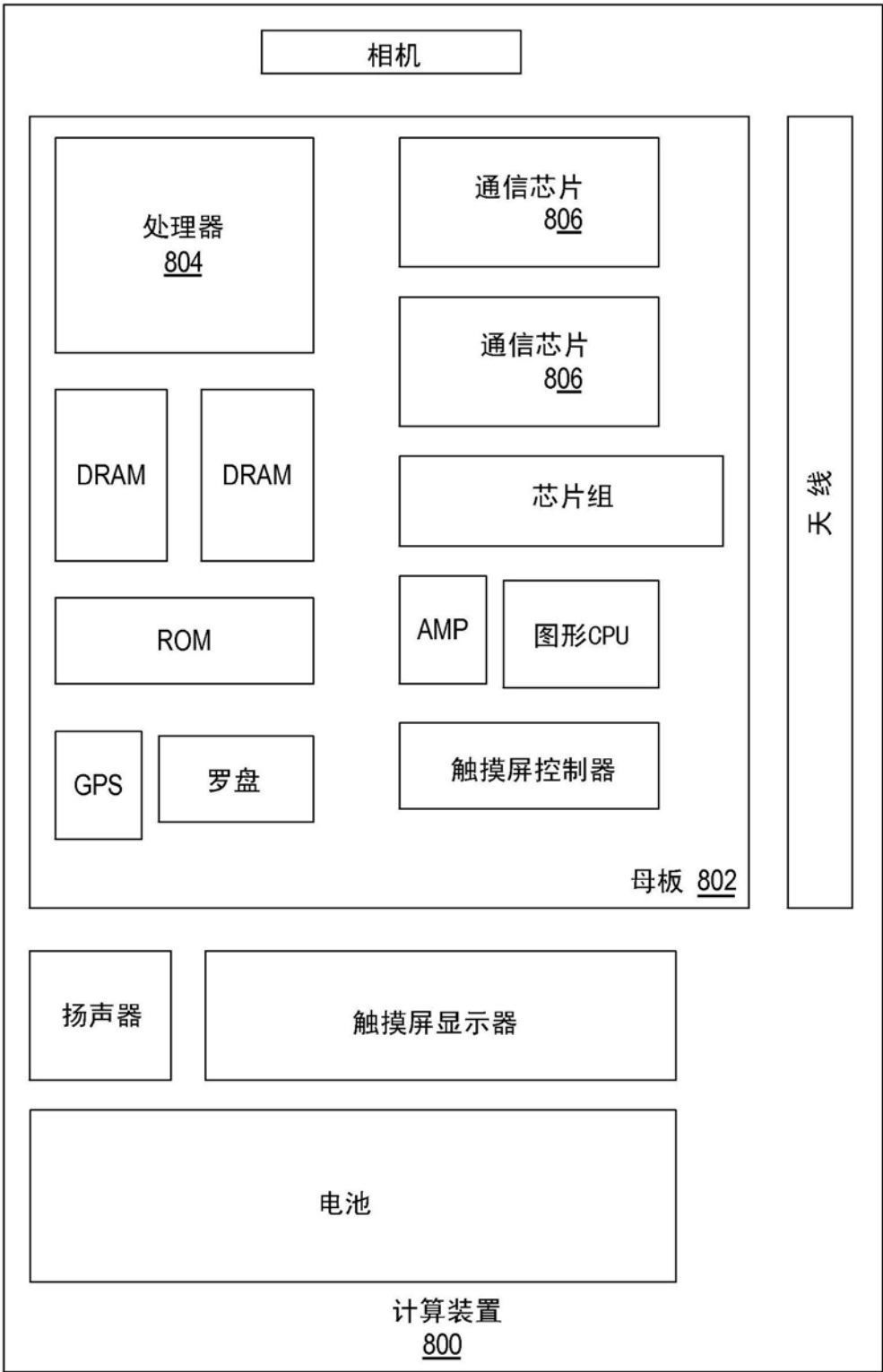


图8