

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 11 月 18 日 (18.11.2004)

PCT

(10) 国際公開番号
WO 2004/100110 A1

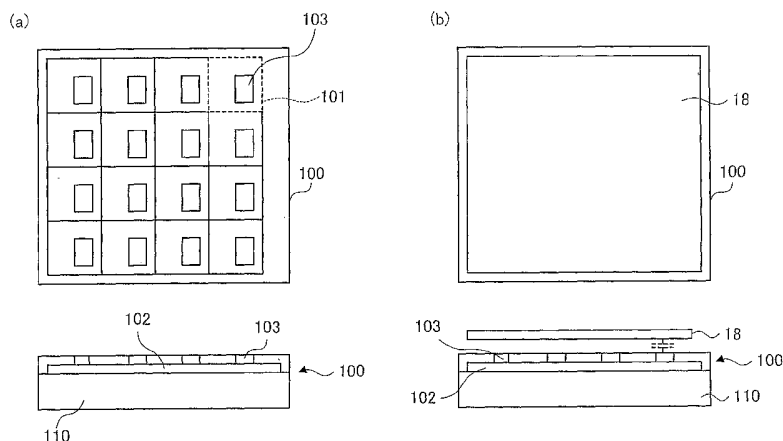
- (51) 国際特許分類⁷: G09F 9/00, G01R 31/00, H05B 33/12, 33/14, H01L 29/786
- (21) 国際出願番号: PCT/JP2004/006235
- (22) 国際出願日: 2004 年 4 月 28 日 (28.04.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-133611 2003 年 5 月 12 日 (12.05.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): インター
ナショナル・ビジネス・マシーンズ・コーポレー

- ション (INTERNATIONAL BUSINESS MACHINES CORPORATION) [US/US]; 10504 ニューヨーク州
アーモンクニューオーチャードロード NY (US).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 坂口 佳民 (SAK-
AGUCHI, Yoshitami) [JP/JP]; 〒2428502 神奈川県大和
市下鶴間1623-14 日本アイ・ビー・エム株式会社||
東京基礎研究所 Kanagawa (JP). 中野 大樹 (NAKANO,
Daiju) [JP/JP]; 〒2428502 神奈川県大和市下鶴間1623
番地14 日本アイ・ビー・エム株式会社||東京基礎研究所内
Kanagawa (JP).
- (74) 代理人: 坂口 博, 外 (SAKAGUCHI, Hiroshi et al.);
〒2428502 神奈川県大和市下鶴間1623番地14 日本ア
イ・ビー・エム株式会社大和事業所内 Kanagawa (JP).

[続葉有]

(54) Title: ACTIVE MATRIX PANEL INSPECTION DEVICE, INSPECTION METHOD, AND ACTIVE MATRIX OLED PANEL MANUFACTURING METHOD

(54) 発明の名称: アクティブマトリックスパネルの検査装置、検査方法、およびアクティブマトリックスOLED
パネルの製造方法



(57) Abstract: Inspection of the function of a TFT array for the AMOLED panel is performed prior to the OLED formation step, thereby reducing the panel manufacturing cost. An active matrix OLED panel manufacturing method includes: an array step [1] for forming a TFT array on a substrate, thereby creating an active matrix panel; an inspection step [2] for inspecting the function of the active matrix panel created; and a cell step [3] for mounting an OLED on an active matrix panel which has been judged to be preferable in the inspection step [2]. In the inspection step [2], an opposing electrode is arranged in the vicinity of the surface where the OLED connection electrode is exposed in the active matrix panel created by the array step [1] and current flowing in the measurement object pixels constituting the active matrix panel is observed.

(57) 要約: AMOLEDパネル用TFTアレイの機能検査をOLED形成工程の前に行い、パネル製作コストを削減する。基板上にTFTアレイを形成してアクティブマトリックスパネルを生成するアレイ工程1と、生成されたアクティブマトリックスパネルの機能検査を

[続葉有]



WO 2004/100110 A1



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

行う検査工程 2 と、検査工程 2 により良品と判断されたアクティブマトリックスパネルに対して OLED を実装するセル工程 3 とを含み、この検査工程 2 は、アレイ工程 1 により生成されたアクティブマトリックスパネルにおける OLED 接続電極が露出する面近傍に対向電極を配置させ、このアクティブマトリックスパネルを構成する測定対象画素を流れる電流を観測する。

明細書

アクティブマトリックスパネルの検査装置、検査方法、およびアクティブマトリックスOLEDパネルの製造方法

5

技術分野

本発明は、アクティブマトリックスOLED (Organic Light Emitting Diode) パネルの検査装置等に係り、より詳しくは、OLED形成プロセス工程前にTFTアレイの機能検査を行う検査装置等に関する。

10

背景技術

OLED (または有機EL (Electro Luminescence) と呼ばれる) は、電場を加えることによって励起する蛍光性の有機化合物に直流電流を流して発光させるものであり、薄型、高視野角、広いガムート (Gamut) 等の点から次世代ディスプレイデバイスとして注目されている。このOLEDの駆動方式にはパッシブ型とアクティブ型が存在するが、大画面、高精細のディスプレイを実現するには、材料、寿命、クロストークの面でアクティブ型が適している。このアクティブ型では、TFT (Thin Film Transistor) 駆動が必要とされており、このTFTアレイには、例えば低温ポリシリコンを使用したものとa-Si (アモルファスシリコン) を使用したものとが注目されている。

従来、例えば液晶表示装置 (LCD) におけるTFTアレイの検査方法として、画素容量への電圧の書き込みを行った後、画素容量に蓄えられた電荷を積分回路により観測し、書き込みが正しく行われたかどうかを検査するものがある (例えば、特許文献1参照。)。また、電界-光変換

素子を使用して、光学的に画素容量への書き込みを検査する手法が開示されている(例えば、特許文献2参照。)。更に、電子ビームによって画素電極に電流を流すと同時に画素電極電位を測定することにより、書き込みを検査する手法についても提案されている。

5

米国特許(USP)第5,179,345号(Page 3-5、Fig. 2)

10 米国特許(USP)第4,983,911号(Page 2-4、Fig. 1
~3)

ここで、アクティブマトリックスOLED(AMOLED)とアクティ
15 ブマトリックス液晶ディスプレイ(AMLCD)とを比較して説明する。
図21(a),(b)は、AMOLEDとAMLCDとの画素回路を比較説明
するための図である。図21(a)はAMOLEDの画素回路、図21(b)
はAMLCDの画素回路を示している。図21(b)において、データ線(
Data)とゲート線(Gate)とに接続されたTFT310によってTFTアレ
20 イの画素回路が形成される。一方、図21(a)に示すAMOLEDでは、
図21(b)に示すものと同様な回路の画素容量の横に、オープン・ドレ
インのドライブ駆動用トランジスタである駆動TFT302が接続され、
発光素子であるOLED301が駆動TFT302に接続されている。

25 AMLCDは、TFT310に電圧を発生させるだけで階調を変える
ことができる。一方、AMOLEDでは、駆動TFT302に所定の電

圧をかけた場合に、流れる電流の値に応じてOLED 301の輝度が変わる。この駆動TFT 302の閾値電圧 V_{th} (threshold voltage)は、プロセスを調整したとしてもばらつきが生じるおそれがある。ばらつきがある場合には、同じ電圧をかけた場合でも、流れる電流が変わってくるので、輝度ムラが生じる。そこで、AMOLEDパネル用TFTアレイの機能検査では、配線の切断(オープン)/短絡(ショート)検査に加えてOLED 301を駆動する駆動TFT 302の特性がパネル全体で均一であることの検査が重要となる。この検査とは、駆動TFT 302の補正回路が機能し、パネル上の駆動TFT 302の V_{th} が揃っていることを確認することである。

ここで、現状のAMOLEDパネルの製造コストを削減するためには、TFTアレイ単体での機能テストを行い、良品だけを次工程に流すことが要求される。AMOLEDパネルの製造では、現状のAMOLED用TFTアレイの歩留まりが十分に高いこと、OLED 301の材料自体が高価であること、製造工程の中でOLED 301の形成プロセスの工程占有時間が長いこと、等の理由により、OLED 301を実装する前に、駆動TFT 302の V_{th} を測定することが望まれる。また、OLED 301を実装する前に、エッチングされる画素電極のエッチング状態を認識し、エッチング不良となるTFTアレイをOLED 301形成前に除外することが要求される。

しかしながら、TFTアレイ単体では、画素回路の構成要素であるOLEDが未実装であり、駆動TFTはオープン・ドレイン状態となっている。即ち、OLEDの実装前の工程では、図21(a)の破線で示されるOLED 301が接続されておらず、正常な回路を構成していない。

従って、駆動TFT302に電流を流すことが基本的に不可能であり、そのままでは、 V_{th} 補正回路の機能検査、TFTアレイの機能検査、画素電極のパターニング状態の検査を行うことができなかった。

- 5 上述した米国特許公報1や米国特許公報2は、図21(b)に示すようなAMLCD用TFTアレイの画素回路を検査する手法が示されているに過ぎず、図21(a)に示す駆動TFT302に電流を供給する機構を備えていない。その結果、米国特許公報1や米国特許公報2を利用してオープン・ドレインとなった駆動TFT302の V_{th} 測定を行うことが
- 10 できない。また、駆動TFTのドレインに配線を接続して電流を流して検査を行う方法が考えられるが、配線接続によりTFTアレイが汚染あるいは破壊される可能性があり、現実的ではない。

- 本発明は、以上のような技術的課題を解決するためになされたもので
- 15 あって、その目的とするところは、AMOLEDパネル用TFTアレイの機能検査をOLED形成工程の前に行うことにある。

また他の目的は、AMOLEDパネル用TFTアレイの機能検査において、特別な追加回路を画素中に用意することなく、機能検査を行うことにある。

- 20 更に他の目的は、駆動TFTのドレイン電極に電流供給端子を接続せずに、駆動TFTの V_{th} 補正回路の機能検査や V_{th} のばらつき検査、または、画素電極のパターニング状態検査を行うことにある。

発明の開示

- 25 かかる目的のもと、本発明が適用されるアクティブマトリックスパネル(TFTアレイ)の検査装置は、OLED(Organic Light Emitting Di

ode)形成前のアクティブマトリックスパネルにおけるOLED接続電極が露出する面近傍に配置される対向電極と、このアクティブマトリックスパネルを構成する駆動TFT(ThinFilmTransistor)のOLED接続電極と電源との間に対向電極を用いて微小容量 C_m を形成する微小容量形成手段と、この微小容量形成手段により形成された微小容量 C_m に基づいてアクティブマトリックスパネルを検査する検査手段と、画素回路に存在する画素容量 C_s と微小容量 C_m でチャージポンプ回路を構成し、閾値電圧 V_{th} 補正後のピンチオフ電圧 V_p を推定するピンチオフ電圧推定手段とを備えた。

10

ここで、この検査手段は、駆動TFTの閾値電圧 V_{th} を推定してアクティブマトリックスパネルを検査することを特徴としている。より詳しくは、電源の電圧を所定電位差だけ変化させ、微小容量形成手段により形成された微小容量 C_m を通して駆動TFTのドレイン・ソース間に過渡電流を流し、駆動TFTから出力される電流波形を観測することにより駆動TFTの閾値電圧 V_{th} を推定する。更に、駆動TFTのソース側に配置された積分回路を用いて流れた電荷量を観測し、微小容量 C_m と所定電位差とに基づいて閾値電圧 V_{th} を推定するように構成することもできる。

20

また、この検査手段としては、アクティブマトリックスパネルを構成する各画素の微小容量 C_m を推定し、この微小容量 C_m のばらつきを評価することを特徴とすることができる。また、電源電圧の電位差を V_d 、駆動TFTのソース側に配置された積分回路を用いて流れた電荷量からピンチオフ時点の電荷量を Q_p 、微小容量を C_m とすると、 $V_p = V_d - Q_p / C_m$ で算出されるピンチオフ電圧 V_p を算出し、算出されたピン

25

チオフ電圧 V_p に基づいてアクティブマトリックスパネルを検査すること
とを特徴とすることができる。

一方、本発明は、OLED形成前のアクティブマトリックスパネルを
5 検査するアクティブマトリックスパネルの検査方法であって、アクティ
ブマトリックスパネルにおけるOLED接続電極が露出する面近傍に対
向電極を配置するステップと、このアクティブマトリックスパネルにお
ける測定対象画素を選択するステップと、対向電極に接続される電源を
駆動電位にし、測定対象画素の駆動TF Tにおけるドレイン・ソース間
10 に所定の電圧 V_d を印加するステップと、測定対象画素の駆動TF Tを
流れる電流を観測するステップとを含む。

ここで、対向電極と駆動TF Tとの間に形成される微小容量 C_m を推
定するステップと、推定された微小容量 C_m に基づいてアクティブマト
15 リックスパネルの不具合箇所を特定するステップとを更に含み、特に、
この不具合箇所を特定するステップは、推定された微小容量 C_m が予め
定められた所定範囲を超えているか否かで不具合箇所を特定すること
を特徴とすれば、過エッチングにより画素電極面積が小さくなる場合やエ
ッチング不足による近接画素電極間の短絡等の不具合を容易に発見する
20 ことができる点で好ましい。

また、この駆動TF Tの閾値電圧 V_{th} を推定するステップと、推定さ
れた閾値電圧 V_{th} に基づいてアクティブマトリックスパネルの不具合箇
所を特定するステップとを更に含めば、OLEDを駆動するための駆動
25 TF Tを、TF Tアレイ単体で評価することができる点で優れている。

更に、この閾値電圧 V_{th} を推定するステップは、駆動TFTのソース側に配置された積分回路を用いて流れた電荷量を観測すると共に、駆動TFTがピンチオフ状態となるまでに流した電荷量からピンチオフ電圧 V_p を求めることで閾値電圧 V_{th} を推定することを特徴とすることができる。そして、アクティブマトリックスパネルを構成する画素について閾値電圧 V_{th} またはピンチオフ電圧 V_p を求め、この閾値電圧 V_{th} またはピンチオフ電圧 V_p の電圧範囲またはばらつきによってアクティブマトリックスパネルの良・不良を判断するステップを更に含むことができる。

10

他の観点から捉えると、本発明が適用されるアクティブマトリックスOLEDパネルの製造方法は、基板上にTFTアレイを形成してアクティブマトリックスパネルを生成するアレイ工程と、生成されたアクティブマトリックスパネルの機能検査を行う検査工程と、検査工程により良品と判断されたアクティブマトリックスパネルに対してOLEDを実装するセル工程とを含み、この検査工程は、アレイ工程により生成されたアクティブマトリックスパネルにおけるOLED接続電極が露出する面近傍に対向電極を配置させ、このアクティブマトリックスパネルを構成する測定対象画素を流れる電流を観測することを特徴としている。

20

ここで、この検査工程は、対向電極を配置することでアクティブマトリックスパネルを構成する駆動TFTのドレインと電源間に微小容量 C_m を形成し、微小容量 C_m を通して駆動TFTに過渡電流を流し、駆動TFTからの出力波形を観測してアクティブマトリックスパネルの機能検査を行うことを特徴とすることができる。特に、アクティブマトリックスパネルを構成する画素毎の微小容量 C_m を推定し、推定された微小

25

容量 C_m のばらつきを評価することによって、パターンニングされた画素電極の不具合箇所を判別することができる。また、駆動TFTからの出力波形を観測して駆動TFTの閾値電圧 V_{th} を推定することでアクティブマトリックスパネルの機能検査を行うことを特徴とすることができる。

- 5 更に、駆動TFTのソース側に積分回路を配置し、積分回路に流れる電荷量に基づいてピンチオフ電圧 V_p を算出すると共に、アクティブマトリックスパネルを構成する画素について駆動TFTの閾値電圧 V_{th} または算出されたピンチオフ電圧 V_p に基づいてアクティブマトリックスパネルの良・不良を判定することを特徴とすることができる。また更に、
- 10 駆動TFTに所定の電圧を印加したときの飽和電流をアクティブマトリックスパネル上の全ての画素について求め、駆動TFTに対する特性ばらつきを評価することを特徴とすることができる。

図面の簡単な説明

15

図1は、本実施の形態が適用されるOLEDパネルの製造工程を説明するための図である。

- 図2は、検査工程において用いられるテスト装置の構成を説明するための図である。
- 20

図3は、(a),(b)は、TFTアレイ上に微小容量 C_m を生成することを説明するための図である。

- 25 図4は、(a),(b)は、最も単純な2TFTによる電圧プログラミング方式の画素回路例を示した図である。

図 5 は、(a), (b) は、 V_{th} 補正機能を具備した 4 T F T で構成される電圧プログラミング方式の画素回路例を示した図である。

5 図 6 は、測定の流れを示したフローチャートである。

図 7 は、閾値電圧 V_{th} の推定処理を詳述するフローチャートである。

図 8 は、駆動 T F T を流れる電流の観測に用いられる積分回路の例を示
10 した図である。

図 9 は、積分回路からの出力例を示した図である。

図 10 は、ピンチオフ電圧 V_p の推定処理における前段として、コンデ
15 ンサを介して昇圧/降圧を行うチャージポンプによる V_{th} 設定の流れを示したフローチャートである。

図 11 は、(a), (b) は、チャージポンプ動作を説明するための図である。

20

図 12 は、ピンチオフ電圧 V_p の測定(推定)処理を示したフローチャートである。

図 13 は、検査結果評価の流れを示したフローチャートである。

25

図 14 は、画素回路が 2 個の T F T で構成される電圧プログラミング方

式パネルへの適用例を示した図である。

図 1 5 は、2 T F T 電圧プログラミング方式画素回路において、測定を行うための駆動波形を示した図である。

5

図 1 6 は、画素回路が 4 個の T F T で構成される電圧プログラミング方式パネルへの実現例を示した図である。

図 1 7 は、初期化作業(シーケンス 1 ~ 4)および V_{th} 書き込み作業(シー
10 ケンス 5 ~ 1 1)の駆動波形を示した図である。

図 1 8 は、チャージポンプ作業の駆動波形を示した図である。

図 1 9 は、検査作業の駆動波形を示した図である。

15

図 2 0 は、(a), (b)は、予測される画素電極のエッチング不良による不
具合例と、微小容量 C_m の推定例を説明するための図である。

図 2 1 は、(a), (b)は、A M O L E D と A M L C D との画素回路を比較
20 説明するための図である。

発明を実施するための最良の態様

以下、添付図面に示す実施の形態に基づいて本発明を詳細に説明する。

図 1 は、本実施の形態が適用される O L E D (Organic Light Emittin
g Diode) パネルの製造工程を説明するための図である。本実施の形態が

適用されるOLEDパネルの製造方法は、OLEDの駆動回路であるTFTアレイ(アクティブマトリックスパネル)を生成するアレイ工程1と、生成されたTFTアレイ単体で機能テストを行う検査工程2を有している。この検査工程2では、配線のオープン/ショートが所定条件以下であり、またTFTの特性がパネル全体で均一であることの検査が行われる。この検査工程2で不良品であると判断されるTFTアレイは、次工程に移行させずに排除される。良品であると判断されるTFTアレイについては、TFTアレイ上にOLEDを形成するセル工程3を経て、最終検査工程4に移行する。この最終検査工程4によって、最後に、良品と不良品とが振り分けられる。本実施の形態では、セル工程3の前に検査工程2を設けることで、OLEDを載せる前に、駆動TFTのばらつきの大きいTFTアレイを排除することが可能となる。検査対象としては、例えばPHSや携帯電話などの表示画面に用いられるアクティブマトリックス(AM)パネルの他、各種AMOLEDパネルが挙げられる。

15

以下に、検査工程2について詳述する。

図2は、検査工程2において用いられるテスト装置10の構成を説明するための図である。テスト装置10は、記憶装置(DataBase)11、計算機(PC)12、測定制御回路(Control Circuits)13、信号生成・信号測定回路(Drive/sense circuits)14、プローブ(Data probes)15、信号生成・信号測定回路(Drive/sense circuits)16、プローブ(Gate probes)17、微小容量の対向電極(Power electrode)18、および微小容量対向電極制御回路(Power control Circuits)19を有している。

25 テスト装置10の記憶装置11には、検査対象となるTFTアレイの良・不良判定に必要な情報や測定に必要な情報が格納されている。計算

機 1 2 は、例えば P C 等によって構成され、入力されたデータに基づき、記憶装置 1 1 に格納された情報に基づいて判定処理を実行する。測定制御回路 1 3 は、後述する検査法の測定シーケンスを管理している。また、信号生成・信号測定回路 1 4, 1 6 は、A M O L E D の駆動信号を生成すると共に、T F T アレイの測定波形を取得するアナログ回路である。この信号生成・信号測定回路 1 4, 1 6 に、後述する積分回路が実装される。プローブ 1 5, 1 7 は、信号生成・信号測定回路 1 4, 1 6 で生成された A M O L E D 駆動信号を測定対象である T F T アレイに供給し、また、T F T アレイから測定波形を取得する。微小容量の対向電極 1 8 は、測定対象である T F T アレイのパネル表面(O L E D 接続電極が露出する面)の近傍(例えば $10\ \mu\text{m}$ 程度の距離)に置かれ、駆動 T F T のドレインと電源間に微小容量 C_m を形成する。例えば、銅板などの、抵抗値の低い平面度の高い金属板で構成されている。更に、微小容量対向電極制御回路 1 9 は、対向電極 1 8 に供給される電源電圧を制御している。

15

テスト装置 1 0 では、後述する検査法の測定シーケンスが測定制御回路 1 3 で管理され、A M O L E D 駆動信号は信号生成・信号測定回路 1 4, 1 6 で生成されて、プローブ 1 5, 1 7 を通して T F T アレイに供給される。また、T F T アレイの測定波形は、プローブ 1 5, 1 7 を通して信号生成・信号測定回路 1 4, 1 6 に入力されて観測される。観測された信号は、測定制御回路 1 3 によりデジタルデータに変換されて計算機 1 2 に入力される。計算機 1 2 では、記憶装置 1 1 に格納された情報を参照しながら、測定データの処理と良・不良判定が行われる。

25 次に、検査工程 2 においてテスト装置 1 0 を用いて実行される駆動 T F T の検査方法について説明する。

図3(a),(b)は、TFTアレイ(アクティブマトリックスパネル)上に微小容量 C_m を生成することを説明するための図である。図3(a)は測定対象であるTFTアレイ(アクティブマトリックスパネル)100を示し、図3(b)はTFTアレイ100に対向電極18を近接配置させた状態を示している。TFTアレイ100は、基板110上に画素(ピクセル)101の集合が形成される。この各画素101に対応してTFT102が形成され、各画素101に対して各々画素電極103が形成される。図3(b)に示すように、AMOLEDパネルであるTFTアレイ100の表面(OLED接続電極が露出する面)近傍に電源に接続される対向電極18が配置され、駆動TFTのドレイン(OLED接続電極)と電源間に微小容量 C_m が形成される。対向電極18を近接させるための対向電極配置手段としては、例えば、高精度な距離センサ(図示せず)の使用や、対向電極18側あるいはTFTアレイ100側に距離決めのためのスペーサ(図示せず)を形成しておくことが考えられる。

15

微小容量 C_m を形成した画素回路の例を、図4および図5に示す。図4(a),(b)は、図21(a)に示したような最も単純な2TFTによる電圧プログラミング方式の画素回路例を示しており、図5(a),(b)は、 V_{th} 補正機能を具備した4TFTで構成される電圧プログラミング方式の画素回路例を示している。図4(a)および図5(a)では、OLED120が実装された状態が示され、図4(b)および図5(b)では、OLED120を実装する代わりに微小容量 C_m を形成した画素回路が示されている。図4(a),(b)において、SW1は、階調電圧を画素容量 C_s に書き込むときにセレクト線(Select)によりオンとなる。またTr.dは駆動TFTであり、ここでは、nチャネルTFTが示されている。図5(a),(b)に示されるSW1は、階調電圧を画素容量 C_{s1} に書き込むときにセレ

20

クト線(Select)によりオンとなる。SW2とSW3は、駆動TFT(Tr.
d)の V_{th} 補正を行うための回路である。SW2は V_{th} 補正制御線($V_{th} cnt.$)によって制御され、SW3は電流スイッチ制御線(Current cnt.)によって制御されて、画素容量 C_s 2に V_{th} が記憶される。

5

スレッシュホールド電圧 V_{th} は、TFTにてOLED120を駆動した場合の基準となる電圧である。スレッシュホールド電圧 V_{th} として、例えば1.5V程度を好ましい値とした場合に、スレッシュホールド電圧 V_{th} が上昇すると、同じゲート電圧 V_{gs} を印加した場合、ドレイン電流値が下がって
10 しまい、画面が暗くなる。また、階調を刻む場合には、黒に近いグレースケール部分が潰れてしまう。一方で、スレッシュホールド電圧 V_{th} が下がると、同じゲート電圧 V_{gs} を印加した場合、ドレイン電流値が上がり、画面が明るくなる。そこで、検査工程2では、スレッシュホールド電圧 V_{th} を推定し、推定されたスレッシュホールド電圧 V_{th} をパネルの良・否を判断
15 する指標の1つとしている。

次に、検査工程2において実行される処理について説明する。

本実施の形態では、図4に示すような V_{th} 補正機能をもたない電圧プログラミング方式画素回路、図5に示すような V_{th} 補正機能をもつ電圧
20 プログラミング方式画素回路の検査を行う。図4に示す画素回路では、データ線(Data)から直接駆動TFTの V_{gs} を設定できる構成を意味し、図4に示す画素回路のみを意味するものではない。図5に示す画素回路は、微小容量 C_m と画素容量 C_s が V_{th} 補正制御スイッチを介して接続される構成を意味し、図5に示す画素回路のみを意味するものではない。
25 ここでは、測定の原理を説明するために、制御信号駆動によるオフセット電圧を考慮していない。オフセット電圧の考慮は、後述する実現例の

説明で行う。

図6は、測定の流れを示したフローチャートである。検査を開始するにあたり、まず、閾値電圧 V_{th} の補正機能付きか否かが判断される(ステップ101)。図4(b)に示したように、 V_{th} 補正機能がない場合には、 V_{th} の推定処理が実行される(ステップ102)。図5(b)に示したような V_{th} 補正機能を有する場合には、チャージポンプにより V_{th} 電圧を設定した後、補正しきれない V_{th} (ピンチオフ電圧 V_p)を推定する処理が実行される(ステップ103)。これらの処理の後、検査結果評価の処理が
10 実行されて(ステップ104)、検査が終了する。

図7は、図6のステップ102に示した閾値電圧 V_{th} の推定処理を詳述するフローチャートである。ここでは、 V_{th} 補正機能を持たない電圧プログラミング方式画素回路の V_{th} を測定する流れが示されている。 V_{th} 推定処理では、まず、測定準備として、ステップ111～ステップ113が実行される。その後、駆動TFTに既知である微小電圧 V_{gs} を与えたときの電流が観測される。即ち、ステップ114およびステップ115にて、駆動TFTの $V_{gs} \div V_{th}$ における振る舞いの観測が実行される。ここで、 V_{gs} は、駆動TFTにおけるゲート・ソース間電圧である。その後、微小容量 C_m が既知ではない場合に、微小容量 C_m の推定がステップ117～ステップ119にて実行される。そして、微小容量 C_m が既知である場合、および微小容量 C_m の推定がなされた後に、微小容量 C_m の実測値(推定値)を使用した V_{th} の推定が、ステップ120～ステップ123にて実行される。
20

25

図7に示す閾値電圧 V_{th} の推定処理では、まず、セレクト線(Select)

にON電位を印加することにより測定ラインの選択がなされる(ステップ 1 1 1)。図4(b)に示す例では、SW1が導通状態となる。次に、データ線(Data)に駆動TFTであるTr.dをオンできる電圧を印加し、微小容量Cmに接続される電源をGND電位にする(ステップ1 1 2)。これにより、図4(b)では、Tr.dが導通状態となり、Cmの両端の電位がGNDとなり、Cmの電荷が放電されて0になる。その後、データ線(Data)に駆動TFTをオフにできる電圧が印加され、微小容量Cmに接続される電源を駆動電位にする(ステップ1 1 3)。これにより、駆動TFTをオフにしたままVdsに電圧を印加できる。図4(b)ではTr.dのドレイン・ソース間に電圧Vdが印加される。以上の流れによって、測定準備が行われる。

次に、データ線(Data)に駆動TFTをオンできる微小ON電位Vgsが印加される。また、非測定画素のデータ線(Data)にOFF電位が印加される(ステップ1 1 4)。これにより、駆動TFTは導通を開始し、微小容量Cmの駆動TFT側電極電位はGND電位めがけて変化する。このとき、駆動TFTはVgsにより決定される一定電流を流している。図4(b)では、駆動TFTであるTr.dがCmから一定電流を流すことになる。そして、駆動TFTのソースが接続されている配線に積分回路を接続することにより、この積分回路を用いて駆動TFTを流れる電流を観測できる(ステップ1 1 5)。以上の流れによって、駆動TFTの $V_{gs} \simeq V_{th}$ における振る舞いの観測が行われる。

図8は、駆動TFTを流れる電流の観測に用いられる積分回路の例を示した図である。ここでは、図4(b)に示す回路に、積分回路130が接続された場合が示されており、このような積分回路130は、図2に

示す信号生成・信号測定回路 14, 16 に設けられる。図 8 に示す積分回路 130 は、オペレーショナル・アンプ (Operational Amplifier) 131、キャパシタ C_i 、リセットスイッチ SW_{reset} が備えられている。ここでは、駆動 T F T である $Tr.d$ のソース側は、積分回路 130 のイマジナリ・

5 ショート (仮想的短絡) により GND 電位となる。尚、積分回路 130 の動きについては、米国特許 (U S P) 第 5, 179, 345 号にも詳しい。積分回路 130 は、他の画素回路に対しても同様に接続することが可能である。積分回路 130 からの出力は、図 2 に示す測定制御回路 13 に設けられる A/D 変換回路によってデジタルデータに変換され、計算機 1

10 2 に取り込まれることにより、以降の推定処理が可能となる。

図 7 に戻り、その後、微小容量 C_m の値が既知か否かで処理が分かれる (ステップ 116)。例えば、T F T アレイ 100 と、この T F T アレイ 100 に近接させる対向電極 18 との距離が非常に正確に制御でき、

15 かつ、電極の平坦度が十分高かった場合などでは、計算で求めた C_m 値あるいは一回行なった C_m 測定結果を繰り返し使用することが考えられる。このような態様では、 C_m が既知の場合と言える。このように微小容量 C_m が既知である場合には、ステップ 120 以降の V_{th} の推定処理へ移る。微小容量 C_m の値が不明である場合には、ステップ 117 ～ス

20 テップ 119 による C_m の推定処理が行われる。ここでは、計算機 12 に取り込まれた積分波形の水平となる出力電圧 V_a が求められ (ステップ 117)、積分回路の容量 C_i から駆動 T F T を通過した総電荷量 Q_a が求められる (ステップ 118)。より具体的には、

$$Q_a = C_i * V_a$$

25 にて総電荷量 Q_a が求められる。求められたこの総電荷量 Q_a を微小容量 C_m にかかる電圧 (図 4 (b) では V_d) で除することにより、微小容量

C_mの値が推定できる(ステップ119)。即ち、電源振幅電圧をV_{drv}とすると、

$$C_m = Q_a / V_{drv}$$

で微小容量C_mの値が推定できる。

5

図9は、図8の積分回路130からの出力例を示した図である。横軸は時間、縦軸は電圧を取っている。測定開始後、駆動TFTが一定電流を流している期間(飽和領域)では、傾き一定の電圧が発生する。その後、傾き変化点で傾きが変わり始め、電流値が0、即ち、駆動TFTが電流
10 を流していない状態で、出力波形の傾きが水平になる。傾き変化点は、駆動TFTの動作点が飽和領域から線形領域に移る点ということができる。積分波形の傾きが変化(ピンチオフ)する出力電圧V_{op}と、積分波形が水平となる出力電圧V_aを求め、これらの値を上述した微小容量C_mや閾値電圧V_{th}の推定に用いる。尚、図9に示すような積分回路出力曲
15 線は、計算機12で微分され、単位時間当りの電圧変化量が求められて、傾き変化点が決定される。このときの積分回路出力電圧がV_{op}である。但し、図9は原理を説明するためのもので、オフセット電圧が0Vの場合を示している。オフセット電圧とは、後述するV_{out}(図15参照)のように、制御信号を駆動したときに、制御信号配線から寄生容量を介して
20 GND配線に出入りする電荷による電圧である。実際の検査装置では、図14以降にて示す実現例に説明しているようにオフセット電圧を考慮に入れて計算が行われる。ここでは、原理の説明を容易にするために、このオフセット電圧を無視している。

25 図7に戻り、その後、V_{th}の推定処理が行われる。具体的には、図9にて説明したように、積分波形の傾きが変化するところ(傾き変化点)を

求め、このときの積分回路 130 の出力電圧 V_{op} が求められる (ステップ 120)。この求められた出力電圧 V_{op} と積分回路 130 の容量 C_i とから、駆動 T F T がピンチオフ (Pinch-off) 状態となるまでに流した電荷量 Q_p を求める (ステップ 121)。即ち、

$$5 \quad Q_p = C_i * V_{op}$$

が求まる。この値を C_m で除して求めた電圧と微小容量 C_m にかかる電圧 (図 4 (b) では V_d) との差は、駆動 T F T のピンチオフ電圧 V_p を意味する。即ち、電源振幅電圧 V_{drv} を用いて表すと、ピンチオフ電圧 V_p は、

$$10 \quad V_p = V_{drv} - Q_p / C_m$$

で求まる (ステップ 122)。ここで、データ線 (Data) に印加された駆動 T F T をオンできる微小 ON 電圧 V_{gs} と、ピンチオフ電圧 V_p の差を求めれば、駆動 T F T の V_{th} を求めることができる (ステップ 123)。即ち、

$$15 \quad V_{th} = V_{gs} - V_p$$

以上の流れによって、閾値電圧 V_{th} を推定することができる。その後、セレクト線 (Select) に OFF 電位を供給し、測定ラインを開放することで (ステップ 124)。 V_{th} 推定の一連の処理が終了する。

20 次に、図 6 に示したステップ 103 である、 V_{th} 補正機能がある場合のピンチオフ電圧 V_p の推定処理について説明する。

図 10 は、ピンチオフ電圧 V_p の推定処理における前段として、コンデンサを介して昇圧/降圧を行うチャージポンプによる V_{th} 設定の流れを示したフローチャートである。具体的には、図 5 (b) に示す V_{th} 補正機能がある電圧プログラミング方式画素回路によって実行される。ここで
25 は、まず、ステップ 201 ~ ステップ 205 にて測定準備が実行される。

その後、ステップ208～ステップ210にてチャージポンプ動作が実行され、ステップ211～ステップ213にて V_{th} 補正の処理が行われる。その後、ステップ214のピンチオフ電圧 V_p の測定が行われる。

- 5 図5(b)を参照しながら、図10に示すフローチャートを説明すると、まず、測定準備として、セレクト線(Select)にON電位を印加してSW1を導通状態にすることにより、測定ラインが選択される(ステップ201)。また、微小容量 C_m に接続される電源をGND電位にし、電流SW制御線(Current cnt.)とデータ線(Data)にOFF電位(非測定画素のデータ線(Data)にON電位)を印加して、画素容量 C_s の初期化準備が行われる(ステップ202)。この状態で、 V_{th} 補正制御線(V_{th} cnt.)に設定期間(一定期間のみ)ON電位を印加して、画素容量 C_s の初期化が行われる(ステップ203)。一方、データ線(Data)にON電位(非測定画素のデータ線(Data)にOFF電位)を印加して、 V_{th} 補正準備を行い(ステップ204)、その後、 V_{th} 補正制御線(V_{th} cnt.)に設定期間(一定期間のみ)ON電位を印加することにより、 V_{th} 補正を実行する(ステップ205)。データ線(Data)にON電位を印加するのは、駆動TF T(Tr. d)のゲート電圧をできる限り大きくするためである。ここで、図8に示したような積分回路130の出力に電流を確認することにより、駆動TF TがON状態か否かの判断がなされる(ステップ206)。駆動TF TがON状態であれば、 V_{th} 補正が完了したものと、ステップ214に移行する。駆動TF TがON状態でないときには、ステップ207へ移行し、チャージポンプ動作が実行される。このように、測定準備では、ステップ202にて非測定画素のデータ線にON電位を印加し、ステップ203にて V_{th} 補正を行うと、非測定画素の画素容量 C_s に充電される電圧は最大で V_{th} になる。そして、ステップ204で非測定画素のデータ線(
- 10
- 20
- 25

Data)にOFF電位を印加することにより、非測定画素の画素容量 C_s に充電される電圧は V_{th} よりもON電位とOFF電位との差電位だけ低くなり、非測定画素を完全にOFFできる。

チャージポンプ動作に際して、まず、電流SW制御線(Current cnt.)にON電位、データ線(Data)にOFF電位を印加し、チャージポンプ動作の準備が行われる(ステップ207)。その後、チャージポンプ動作では、最初に、微小容量 C_m に接続される電源を駆動電位にし、 V_{th} 補正制御線(V_{th} cnt.)に設定期間(一定期間のみ)ON電位を印加することにより、画素容量 C_{s2} の充電が行われ、駆動TFT(Tr. d)のゲート電圧を大きくする(ステップ208)。ここで、図8に示したような積分回路130の出力に電流を確認することによって、駆動TFTがON状態になったか否かが判断される(ステップ209)。ON状態になった場合には、 V_{th} を超える電圧が C_{s2} に発生したことが確認でき、ステップ211以降の V_{th} 補正処理に移行する。ステップ209で駆動TFTがON状態になっていない場合には、データ線(Data)にON電位を印加し、駆動TFTをON状態に近付ける。ここで、微小容量 C_m に接続される電源をGND電位に落とし、微小容量 C_m の電荷をGNDに放電し、データ線(Data)にOFF電位を印加して(ステップ210)、ステップ208へ戻る。駆動TFTがON状態になるまで、ステップ208～ステップ210の処理が繰り返される。

図11(a),(b)は、ステップ207～ステップ210のチャージポンプ動作を説明するための図である。ステップ207およびステップ208の手順によって、図11(a)に示すように、画素容量 C_{s2} の駆動TFT(Tr. d)ゲートに接続される電極の電位が上昇する。即ち、準備とし

て、電流SW制御線(Current cnt.)にON電位を与えてSW3をONし、データ線(Data)を0Vにする。この段階で、微小容量C_mに接続される電源を駆動電位V_dにし、V_{th}補正制御線(V_{th} cnt.)に対して設定期間、ON電位を印加してSW2をONさせ、画素容量C_{s2}の充電が行われ

5 て、駆動TF T (Tr. d)のゲート電圧を上昇させる。

一方、図11(b)に示すように、駆動TF T (Tr. d)がON状態になっていない場合には、データ線(Data)にON電位(+V)を印加する。そして、V_{th}補正制御線(V_{th} cnt.)にOFF電位を印加してSW2をOFF

10 した状態で、微小容量C_mに接続される電源をGND電位に落とす。データ線(Data)にON電位(+V)を印加しても駆動TF T (Tr. d)がONしない場合があるが、駆動TF T (Tr. d)はSW2に比べてチャネル幅が十分に大きいことから、そのリーク電流によってステップ210の処理が可能となる。

15

以上のようなチャージポンプ動作の後、V_{th}補正処理では、データ線(Data)にON電位を印加したまま、微小容量C_mに接続される電源をGND電位にすることにより、微小容量C_mを放電する(ステップ211)。

データ線(Data)にON電位を印加するのは、駆動TF T (Tr. d)を確実に

20 ON状態にするためである。その後、データ線(Data)にOFF電位を印加し、電流SW制御線(Current cnt.)にOFF電位を印加する。そして、データ線(Data)にON電位(非測定画素のデータ線(Data)にOFF電位)を印加してV_{th}補正準備を行い(ステップ212)、V_{th}補正制御線(V_{th} cnt.)に一定期間ON電位を印加し、V_{th}補正機能を設定期間ONさせることで、V_{th}補正を完了する(ステップ213)。その後、ステップ2

25 14へ移行してピンチオフ電圧V_pの測定が実行される。

図12は、ステップ214におけるピンチオフ電圧 V_p の測定(推定)処理を示したフローチャートである。ピンチオフ電圧 V_p の測定(推定)処理では、ステップ302およびステップ303にて、駆動TFTの $V_{gs} \simeq V_{th}$ における振る舞いの観測が実行される。その後、微小容量 C_m が既知ではない場合に、微小容量 C_m の推定がステップ305～ステップ307にて実行される。そして、微小容量 C_m が既知である場合、および微小容量 C_m の推定がなされた後に、ピンチオフ電圧 V_p の推定が、ステップ308～ステップ310にて実行される。

10

図12に示す処理では、まず、データ線(Data)にON+微小電位を印加し、電流SW制御線(Current cnt.)に一定期間ON電位を印加することで(ステップ301)、微小容量 C_m の電荷を放電する。そして、微小容量 C_m に接続される電源電極に駆動電位を与え、電流SW制御線(Current cnt.)にON電位を印加して、駆動TFTのドレインに電圧 V_{ds} を印加する(ステップ302)。ここで、駆動TFTから流出する電荷を、図8および図9を用いて説明した積分回路130により観測する(ステップ303)。積分回路130の出力は、図2に示す測定制御回路13の中のA/D変換回路を使用してデジタルデータに変換され、計算機12に取り込まれることにより、以降の推定が可能となる。

ここで、微小容量 C_m の値が既知であるか否かで処理が分かれる(ステップ304)。微小容量 C_m の値が不明である場合には、ステップ305～ステップ307の微小容量 C_m の推定処理に移行する。微小容量 C_m の値が既知である場合には、そのままステップ308～ステップ310のピンチオフ電圧 V_p の推定処理に移行する。図9を参照して説明する

25

と、微小容量 C_m の推定処理では、まず、計算機12に取り込まれた積分波形の水平となる出力電圧 V_a が求められる(ステップ305)。得られた出力電圧 V_a と積分回路130の容量 C_i から、

$$Q_a = C_i * V_a$$

により、駆動TF Tを通過した総電荷量 Q_a が求まる(ステップ306)。そして、微小容量 C_m にかかる電源振幅電圧 V_{drv} (図5では V_d)で、この総電荷量 Q_a を除することにより、即ち、

$$C_m = Q_a / V_{drv}$$

によって、微小容量 C_m の値を推定することができる(ステップ307)

10 。

次に、ピンチオフ電圧 V_p の推定では、まず、図9に示したような積分波形の傾きが変化(Pinch-off)する出力電圧 V_{op} を求める(ステップ308)。そして、このときの積分回路130の出力電圧 V_{op} と積分回路130の容量値 C_i から、駆動TF Tがピンチオフ(Pinch-off)状態となるまでに流した電荷量 Q_p が求まる(ステップ309)。この電荷量 Q_p は、

$$Q_p = C_i * V_{op}$$

で算出される。このようにして得られた電荷量 Q_p の値を C_m で除して求めた電圧と微小容量 C_m にかかる電源振幅電圧 V_{drv} (図5では V_d)との差は、駆動TF Tのピンチオフ電圧 V_p を意味する。即ち、

$$V_p = V_{drv} - Q_p / C_m$$

によってピンチオフ電圧 V_p が求まる(ステップ310)。ここで、 V_{th} 補正回路が正常に作動した場合には、 V_{th} 補正後の V_{gs} は V_{th} となるはずである。即ち、

$$V_{gs} = V_{th}$$

25

となる。従って、理想的な状態では、求められたピンチオフ電圧 V_p は、

$$V_p = V_{gs} - V_{th} = 0$$

となる。以上のように、 V_{th} 補正後にピンチオフ電圧 V_p を推定することにより、 V_{th} 補正機能の良否を判定することができる。正常に V_{th} 補正が行われた場合には、上述のように、ピンチオフ電圧 V_p は十分に小さな電圧を示す。

以上のようにして、図6に示すステップ102の V_{th} 推定、ステップ103のピンチオフ電圧 V_p の推定が行われた後、ステップ104の検査結果評価が行われる。

図13は、検査結果評価の流れを示したフローチャートである。図2に示す計算機12は、推定した V_{th} あるいはピンチオフ電圧 V_p のパネル全体における分布を計算する(ステップ401)。そして、記憶装置11に格納されている値、即ち、予め設定された許容範囲に、計算された分布が収まっているか否かが判断される(ステップ402)。許容範囲に収まっていない場合には、例えば計算機12のディスプレイに不良の表示を行う(ステップ403)。収まっている場合には、例えば計算機12のディスプレイに良の表示を行い(ステップ404)、処理が終了する。

20

次に、2TFT電圧プログラミング方式画素回路、および4TFT電圧プログラミング方式画素回路の各々において、更に具体的な実現例を用いて本実施の形態を詳述する。

図14は、画素回路が2個のTFTで構成される電圧プログラミング方式パネルへの適用例を示した図である。また、図15は、この2TFT電圧プログラミング方式画素回路において、測定を行うための駆動波

形が示されている。図 1 4 に示す適用例では、パネルの一部として 3×3 画素が示されている。図 1 4 では、測定対象画素は中央の画素であり、測定対象画素の GND 配線に積分回路 1 3 0 が接続されている。図 1 5 に示す駆動波形では、測定対象画素である図 1 4 の中央の画素 (Select 2、Data 2) の駆動 T F T に微小電位 (Inspection voltage) を印加すると、積分回路出力 V_{out} に現れる電流の様子を観測することができる。実際の測定では、上述した測定法を全ての画素について繰り返し行われる。ここで、図 1 4 に示される積分回路 1 3 0 では、積分回路 1 3 0 の反転入力に接続される GND 線が独立しているかのように描かれているが、実際には、幾つかの GND 配線 (または全ての GND 配線) が束ねられて共通になっている場合もある。このようにして束ねられた GND 配線のグループ数だけ積分回路 1 3 0 を用意すれば、グループ毎に並行して測定することが可能となる。尚、P チャネル駆動 T F T を用いた場合には、GND 配線が電源配線になる。

15

ここで、図 1 5 の上段に示されるシーケンス (Sequence) に基づいて説明する。

- ・シーケンス 1 : 全ての画素に OFF 電圧を書き込み、パネルを消灯状態にする。
- 20 ・シーケンス 3 : Select 2 を ON することにより、測定対象画素の存在するラインを選択する。
- ・シーケンス 4 : Data 2 に ON 電位を印加して (Initialize)、測定対象画素の C_m の電荷を放電する。
- ・シーケンス 6 : V_d に駆動電位を印加して、駆動 T F T のドレインに電
- 25 圧を印加する。
- ・シーケンス 7 : 積分回路 1 3 0 を起動し、測定を開始する。

- ・シーケンス 8 : Data 2 に V_{th} を超える微小電位である検査電圧 (Inspection voltage) を印加し、駆動 T F T を微 ON 状態にする。このとき、Data 2 の電圧変化により積分回路出力 V_{out} にオフセット電圧が発生する。
- 5 ・シーケンス 9 : 積分回路出力 V_{out} に定電流が観測できる。駆動 T F T が飽和領域で定電流を流しているため積分回路出力 V_{out} は一定の傾きで変化する。
- ・シーケンス 1 2 : Data 2 に O F F 電位を印加する。このとき、Data 2 の電圧変化により積分回路出力 V_{out} に発生していたオフセット電圧がキ
- 10 ャンセルされる。
- ・シーケンス 1 3 : 測定を終了する。

以上のシーケンスは、図 2 に示した計算機 1 2 によって管理され、計算機 1 2 から測定制御回路 1 3 に出力される指令に基づき、測定制御回路 1 3 によって各動作が制御される。これらのシーケンスにより得られた積分回路 1 3 0 の出力波形 (積分回路出力 V_{out} の波形) を測定制御回路 1 3 にて A/D 変換し、以下の計算が順次、計算機 1 2 によって実行される。

15

[容量 C_m の測定]

- 20 図 1 5 のシーケンス 1 2 とシーケンス 1 3 における V_{out} の電位差 (ΔV_{out}) は、 C_m から流れた電荷量 Q_a を意味している。配線 Data 2 に検査電圧 (Inspection voltage) を印加、あるいは除去を行うタイミング (シーケンス 8 とシーケンス 1 2) で、 V_{out} にオフセット電圧 (V_{offset}) が生じる。これは、配線 Data 2 の電位を変化させることにより寄生容量を介
- 25 して G N D 配線に電荷の出入りが生じるためである。つまり、シーケンス 1 2 とシーケンス 1 3 での V_{out} の電位差 (ΔV_{out}) は、測定対象画素

の C_m から流れ出した電荷量 Q_a による電圧を表している。

$$Q_a = \Delta V_{out} * C_i$$

ここで、 C_i は積分回路の容量である。また、 C_m はシーケンス 4 で放電した後、シーケンス 8～9 で電圧 V_d に充電される。従って、

$$5 \quad C_m = Q_a / V_d$$

を計算することにより、容量 C_m を推定することができる。

[V_{th} の推定]

積分回路 130 の出力で図 9 に示すような傾き変化点を求め、シーケ
10 ンス 11 における V_{out} から ΔV_{out} だけ戻った電位を測定基準電圧とし、
この測定基準電圧と傾き変化点電圧の電位差 (ΔV_{outp}) を求めると (これは、 V_{offset} を発生させる電荷を除外して、 C_m からの電荷のみを考慮するための操作である。)、

$$V_{th} = V_{gs} - (V_d - \Delta V_{outp} * C_i / C_m)$$

15 より、 V_{th} が推定できる。この値を全ての画素について求めることにより、
パネルにおける V_{th} のばらつきを評価することができる。

[V_{gs} - I_d 特性の推定]

全ての画素について、シーケンス 9 における V_{out} の傾きを求めること
20 により、ある V_{gs} における駆動電流のばらつきを評価できる。シーケ
ンス 8 で印加する微小電位を複数選ぶことにより、 V_{gs} に対する I_d が複
数求まり、これを全ての画素で比較することにより、駆動 TFT の特性
ばらつきが評価できる。

25 次に、4 TFT 電圧プログラミング方式画素回路における実現例につ
いて説明する。

図16は、画素回路が4個のTFTで構成される電圧プログラミング方式パネルへの実現例を示した図である。図16ではパネルの1部(2画素分)を示しており、測定対象画素は左側の画素である。実際の測定では上述した測定法を全ての画素について繰り返し行う。

- 5 図17～図19は測定を行う駆動波形を示しており、一連のシーケンスを連続して表現している。検査対象画素の上下の画素は、全てSelect、Current cnt.、Vth cnt. をオフにして行っている。検査手順は大きく、初期化作業(Initialize)、Vth書き込み作業(Vth Writing)、チャージポンプ作業(Charge Pumping)、検査作業(Inspection)に大別できる。図1
- 10 0に示したフローチャートと同様に条件判断が行われる。

図17は、初期化作業(シーケンス1～4)およびVth書き込み作業(シーケンス5～11)の駆動波形を示した図である。

(i) 初期化作業(シーケンス1～4)

- 15 ・シーケンス1：画素容量Cs1の初期化。
 ・シーケンス3：画素容量Cs2の初期化。

(ii) Vth書き込み作業(シーケンス5～11)

- ・シーケンス6：検査対象画素のSelectをオンにする。
 ・シーケンス7：データとして最大値より少し低い電圧値を書き込むこ
 20 とで、画素容量Cs2を通して駆動TFTのゲート電圧を大きくする。
 ・シーケンス9：シーケンス7で駆動TFTのゲートにVth以上の電圧が印加できれば、Vth cnt. をオンにすることで、駆動TFTを通してCs2の電極電圧をVthにすることができる。このとき、積分回路により電流が確認される。電流が確認されない場合には、次工程としてチャージポンプ作業(シーケンス12)に移り、電流が確認されたら、検査作業(シーケンス25)に移行する。

このように、ここでは、測定対象画素の駆動TFTに大きめのデータ電圧を印加し、 $V_{th\text{cnt.}}$ を開くことで、 C_{s2} の駆動TFTゲート側電極に V_{th} を発生させる。そのあふれた電流の有無を積分回路出力 V_{out} で観測する。

5

図18は、チャージポンプ作業の駆動波形を示した図である。各シーケンスに沿って説明する。

- ・シーケンス15： V_d をオンにして C_m に電圧をかける。
- ・シーケンス17： $V_{th\text{cnt.}}$ をオンにして、画素容量 C_{s2} に C_m の電荷を流入させる。このとき、チャージポンプが完了する(V_{th} が書き込まれる)と、駆動TFTがオンし、積分回路130で電流が確認される。
- ・シーケンス20：データを書くことによって駆動TFTのゲート電圧を上げ、その間に V_d をオフさせて駆動TFTのリーク電流を利用し、 C_m の電位をGNDに戻す。

15

このシーケンス17で電流が確認されるまで、シーケンス14～22が繰り返される。チャージポンプ作業が完了した後、再度、 V_{th} 書き込み作業(シーケンス5～11)が行われる。これは駆動TFTのヒステリシスを考慮したもので、電圧の低い状態からポンプして V_{th} を書いた場合と、電圧の高い状態から V_{th} を書いた場合とで値がずれることがあり、通常動作である電圧の高い状態から V_{th} を書き込むために行われる。このようにして、チャージポンプ動作では、 V_d をON/OFFすることで、 C_m を介して C_{s2} に電荷を蓄積していく。 V_{th} が書き込まれると駆動用TFTがONし、電流が確認される。

25

図19は、検査作業の駆動波形を示した図である。各シーケンスに沿

って説明する。

- ・シーケンス 26 : V_{th} 書き込み作業をした直後はデータが書かれた状態であり、その状態から、更に検査のための微小電圧を書き込む。
 - ・シーケンス 27 : 容量 C_m の電位を GND に下げる。
 - 5 ・シーケンス 29 : 容量 C_m に V_d の電圧をかける。
 - ・シーケンス 31 : Current cnt. をオンにして、 C_m から過渡電流を流す。このとき、積分回路出力 V_{out} が変化し、その様子を確認することができる。但し、Current cnt. をオンにしたことで、Current cnt. の変化に対するオフセット電圧が発生する。駆動 TFT の飽和領域で定電流が
 - 10 流れるため、 V_{out} は一定の傾きで変化する。
 - ・シーケンス 32 : C_m の電圧が下がり、駆動 TFT のピンチオフ電圧を過ぎると、電流は止まり、 V_{out} は水平になる。
 - ・シーケンス 34 : Current cnt. をオフにすると、Current cnt. のオフセット電圧が消える。
 - 15 ・シーケンス 36 : 測定終了。
- このようにして、 V_{th} を書き込んだ状態から更に微小電圧を印加すると、積分回路出力に電流の様子が確認される。

以上の手順により得られた積分回路出力波形より、以下の計算を行う。

20

[容量 C_m の推定]

図 19 のシーケンス 35 とシーケンス 36 における V_{out} の電位差 (ΔV_{out}) は、 C_m から流れた電荷量 (Q_a) を意味している。

$$Q_a = \Delta V_{out} * C_i$$

- 25 ここで、 C_i は積分回路 130 の容量である。また、 C_m はシーケンス 27 で放電した後、シーケンス 29 ~ 32 で電圧 V_d に充電される。従っ

て、

$$C_m = Q_a / V_d$$

を計算することにより、容量 C_m が推定できる。

5 [ピンチオフ電圧 V_p の推定]

積分回路130の出力で、図9に示すような傾き変化点を求め、シーケンス33における V_{out} から ΔV_{out} だけ戻った電位を測定基準電圧とし、この測定基準電圧と傾き変化点電圧の電位差(ΔV_{outp})を求めると(これは、 V_{offset} を発生させる電荷を除外して、 C_m からの電荷のみを考慮するための操作である。)、

$$V_p = V_d - \Delta V_{outp} * C_i / C_m$$

より、ピンチオフ電圧 V_p が推定できる。この値を全ての画素について求めることにより、パネルにおける V_p のばらつきを評価できる。

15 [V_{gs}-I_d特性の推定]

全ての画素について、シーケンス31における V_{out} の傾きを求めることにより、ある V_{gs} における駆動電流のばらつきを評価できる。シーケンス26で印加する微小電位を複数選ぶことにより、 V_{gs} に対する I_d が複数求まり、これを全ての画素で比較することにより、駆動TFTの特性ばらつきが評価できる。

[V_{th}の推定]

更に、印加された電圧と駆動TFTの V_{gs} の相関関係が明らかな場合には、それぞれのピンチオフ電圧と印加電圧から、 V_{th} の絶対値を求めることもできる。特に印加電圧と V_{gs} が比例関係にあるとみなしてよい場合には、次式で V_{th} が求まる。

$$V_{th} = (V_{data1} * V_{p1} - V_{data2} * V_{p2}) / (V_{data1} - V_{data2})$$

ここで、 V_{data1} および V_{data2} はデータに印加した電圧、 V_{p1} および V_{p2} は各印加電圧におけるピンチオフ電圧である。

5

以上のようにして、例えば、画素毎の V_{th} の推定や $V_{gs}-I_d$ 特性の推定、 V_{th} 補正回路の効果の判定を行うことができる。画素毎の V_{th} の値や $V_{gs}-I_d$ 特性などを認識することで、予め定められている設計値に対して不具合のある画素をOLED形成前に認識することができる。その

- 10 結果、アクティブマトリックスOLEDパネルのばらつきを認識でき、不適切なパネルをOLED形成前に除外することが可能となる。

- 尚、パネル全画素の微小容量 C_m を推定し、そのばらつきを評価することにより、パターンニングされた画素電極(駆動TFTのドレイン側に接
15 続された電極)の不具合箇所の特定制と、不具合種類(画素電極の形成不良や近隣画素間の短絡)の判別を行うことができる。即ち、微小容量 C_m の不連続な部分を知ることによって、画素電極自身による不具合を判定することもできる。

図20(a),(b)は、予測される画素電極のエッチング不良による不具合例と、微小容量 C_m の推定例を説明するための図である。図20(a)では、予測される画素電極の不具合例が表現されており、過エッチングによる画素電極形成の失敗例(B2の画素電極)と、エッチング不足により近接画素電極同士が短絡する例(C5、C6の画素電極)が示されている。

25

図20(b)に、全体の画素電極の中から、図20(a)に示すセレクト

配線側でA～C、データ配線側で0～8の27個の画素電極における推定された微小容量 C_m 値の例を示している。図20(b)に示す例では、画素電極面積が設計値と一致する画素の推定 C_m 値は2.0となる。 C_m の値は、TFTアレイ基板上に近接させる電極と画素電極間距離によりばらつきを生じるが、このばらつきはなだらかに変化することが予想される。図20(b)に示す例では、 C_m 値が所定範囲である1.9～2.1の範囲でなだらかにばらつく様子を示している。図20(a)に示す第1の故障箇所(2Bの画素電極)では、画素電極面積が小さくなったため、 C_m 値は所定範囲を超え、近隣画素の C_m 値に比べて不連続に小さくなっている。これにより、過エッチングによる不具合を判別できる。また、図20の第2の故障箇所(C5、C6の画素電極)では、2つの画素電極が接続されたために、 C_m 値は所定範囲を超え、近隣画素の C_m 値に比べて不連続に大きくなっている。これにより、短絡による不具合を判別できる。このように、微小容量 C_m を推定し、そのばらつきを評価することで、不具合箇所の特定と不具合種類の判別を行うことが可能となる。

以上、詳述したように、本実施の形態では、AMOLEDパネルの表面(OLED接続電極が露出する面)近傍に電源に接続される対向電極18を置き、駆動TFTのドレインと電源間に微小容量 C_m を形成した。そして、この電源電圧を電位差 V_d だけ変化させることにより、微小容量 C_m を通して駆動TFTのドレイン・ソース間に過渡電流を流した。その後、駆動TFTから出力される電流波形を観測することにより、駆動TFTの V_{th} を推定している。ここで、駆動TFTの V_{th} 推定法として、既知の V_{gs} を設定した後、上述のように過渡電流を流し、駆動TFTのソース側に配置された積分回路130を用いて流れた電荷量を観測

する。そして、ピンチオフ時点の電荷量 Q_p を求め、微小容量 C_m と電位差 V_d からピンチオフ電圧 V_p を求め、ゲート・ソース間電圧 V_{gs} から、 V_{th} を推定することができる。また、本実施の形態では、積分回路により求めた駆動TFTを流れた総電荷量 Q_a と微小容量 C_m の電位差

5 V_d から正確な C_m を求めた後、 V_{th} を推定するように構成した。

更に、本実施の形態では、画素回路に存在する画素容量 C_s と微小容量 C_m で所謂チャージポンプ回路を構成し、駆動TFTの V_{gs} を、 V_{th} を超える電圧に上昇させた後、駆動TFTを通して画素容量 C_s の電荷

10 を放電させて V_{th} を容量 C_s に記憶し、 V_{th} 補正後のピンチオフ電圧 V_p を推定している。このとき、微小容量 C_m に接続される電源を駆動TFTがオンする電圧に V_{gs} が近づくように変化させている期間中に V_{th} 補正回路を作動させ且つ駆動TFTをオフさせるようにデータ線(階調設定用配線)を駆動し、電源がこれとは逆向きに変化する期間中に V_{th} 補正

15 回路を停止させ且つ駆動TFTをオンさせるようにデータ線を駆動することを繰り返して、画素容量 C_s に V_{th} を超える電圧を発生させている。

尚、駆動TFTのピンチオフ電圧 V_p 推定法として、画素容量 C_s に

20 V_{th} 記憶後、過渡電流を流し、駆動TFTのソース側に用意した積分回路130を用いて流れた電荷量を観測し、ピンチオフ時点の電荷量 Q_p を求め、微小容量 C_m と電位差 V_d からピンチオフ電圧 V_p を推定する。このとき、積分回路130により求めた駆動TFTを流れた総電荷量 Q_a と微小容量 C_m の電位差 V_d から正確な C_m を求めた後、前述のよう

25 にしてピンチオフ電圧 V_p を推定する。

このようにして、アクティブマトリックスパネル(TFTアレイ100)上全画素について V_{th} あるいはピンチオフ電圧 V_p を求め、これらの電圧範囲及びばらつきにより、パネルの良・不良を判定する。このとき、ピンチオフ電圧 V_p が0Vの場合、微小電圧を画素容量 C_s に書き込み、

5 駆動TFTを流れる電流のばらつきを測定することにより、パネルの良・不良を判定することができる。また、ピンチオフ電圧 V_p が0Vの場合、複数の微小電圧を画素容量 C_s に書き込み、それぞれの印加電圧におけるピンチオフ電圧 V_p と、印加電圧比とから V_{th} を求めるように構成することもできる。

10

更に、上述のようにして得られた積分波形から、駆動TFTにある V_{gs} を印加したときの飽和電流(積分波形の傾き)をパネル上全画素について求め、駆動TFTの特性ばらつきを評価することができる。ここで飽和領域における駆動TFTのドレイン電流(I_d)の近似式は、

$$15 \quad I_d = 0.5 \beta \cdot (V_{gs} - V_{th})^2$$

但し、 $\beta = \mu \cdot C_{ox} \cdot W/L$

μ : 移動度(プロセスによって決まる)

C_{ox} : ゲートとチャネル間の単位面積あたりの容量

W/L : TFTのチャネル幅とチャネル長の比

20 となる。この β とは、プロセスとTFT構造から決定され、 I_d の大きさを決定する重要な係数である。従って、飽和電流を比較することによって、 V_{th} だけではなく、 β のばらつきに基づいて検査をすることが可能となる。

25 かかる構成を採用することによって、本実施の形態では、OLED未実装のTFTアレイに対して、画素電極へのコンタクトを行うことなく、

- 駆動TFTの閾値電圧 V_{th} の測定と、駆動TFTにおける V_{th} 補正後のピンチオフ電圧 V_p の測定を行うことが可能となる。そして、これらの測定をパネルの全画素に対して行うことにより、駆動TFTの特性や V_{th} 補正回路の効果について、パネル内におけるばらつきを求めることができる。また、この結果を利用して、パネルの良・不良判定を行うことが可能となる。これによって、不良TFTアレイの次工程への流出量を大幅に削減でき、パネル製作コストを削減することができる。また、パネル開発段階では、図2に示したテスト装置を故障診断として利用することにより、開発期間の短縮が期待できる。
- 10 尚、本実施の形態では、nチャネル駆動TFTを使用した場合について説明したが、pチャネル駆動TFTを使用した場合にも適用することができる。pチャネル駆動TFTを使用した場合には、図8に示した積分回路130の非反転入力(図8に示すオペレーショナル・アンプ131の+入力)をGNDから電源(V_d)に変更すれば良い。

15

以上説明したように、本発明によれば、AMOLEDパネル用TFTアレイの機能検査をOLED形成工程の前に行うことが可能となり、パネル製作コストを大幅に削減することが可能となる。

20

請求の範囲

1. OLED (Organic Light Emitting Diode) 形成前のアクティブマトリックスパネルにおける OLED 接続電極が露出する面近傍に配置される対向電極と、前記アクティブマトリックスパネルを構成する駆動 TFT (Thin Film Transistor) の前記 OLED 接続電極と電源との間に前記対向電極を用いて微小容量 C_m を形成する微小容量形成手段と、前記微小容量形成手段により形成された前記微小容量 C_m に基づいて前記アクティブマトリックスパネルを検査する検査手段とを備えたことを特徴とするアクティブマトリックスパネルの検査装置。
2. 前記検査手段は、前記駆動 TFT の閾値電圧 V_{th} を推定して前記アクティブマトリックスパネルを検査することを特徴とする請求項 1 記載のアクティブマトリックスパネルの検査装置。
3. 前記検査手段は、前記電源の電圧を所定電位差だけ変化させ、前記微小容量形成手段により形成された前記微小容量 C_m を通して前記駆動 TFT のドレイン・ソース間に過渡電流を流し、当該駆動 TFT から出力される電流波形を観測することにより当該駆動 TFT の閾値電圧 V_{th} を推定することを特徴とする請求項 2 記載のアクティブマトリックスパネルの検査装置。
4. 前記検査手段は、前記駆動 TFT のソース側に配置された積分回路を用いて流れた電荷量を観測し、前記微小容量 C_m と前記所定電位差とに基づいて前記閾値電圧 V_{th} を推定することを特徴とする請求項 3 記載のアクティブマトリックスパネルの検査装置。

5. 前記検査手段は、前記アクティブマトリックスパネルを構成する各画素の前記微小容量 C_m を推定し、当該微小容量 C_m のばらつきを評価することを特徴とする請求項1記載のアクティブマトリックスパネルの検査装置。

6. 前記検査手段は、電源電圧の電位差を V_d 、前記駆動TFTのソース側に配置された積分回路を用いて流れた電荷量からピンチオフ時点の電荷量を Q_p 、微小容量を C_m とすると、

10
$$V_p = V_d - Q_p / C_m$$

で算出されるピンチオフ電圧 V_p を算出し、算出された当該ピンチオフ電圧 V_p に基づいて前記アクティブマトリックスパネルを検査することを特徴とする請求項1記載のアクティブマトリックスパネルの検査装置。

15

7. 画素回路に存在する画素容量 C_s と前記微小容量 C_m でチャージポンプ回路を構成し、閾値電圧 V_{th} 補正後のピンチオフ電圧 V_p を推定するピンチオフ電圧推定手段を更に備えたことを特徴とする請求項1記載のアクティブマトリックスパネルの検査装置。

20

8. OLED (Organic Light Emitting Diode) 形成前のアクティブマトリックスパネルを検査するアクティブマトリックスパネルの検査方法であって、前記アクティブマトリックスパネルにおけるOLED接続電極が露出する面近傍に対向電極を配置するステップと、前記アクティブマトリックスパネルにおける測定対象画素を選択するステップと、前記対向電極に接続される電源を駆動電位にし、前記測定対象画素の駆動T

25

F T (ThinFilmTransistor)におけるドレイン・ソース間に所定の電圧 V_d を印加するステップと、前記測定対象画素の前記駆動T F Tを流れる電流を観測するステップとを含むアクティブマトリックスパネルの検査方法。

5

9. 前記対向電極と前記駆動T F Tとの間に形成される微小容量 C_m を推定するステップと、推定された前記微小容量 C_m に基づいて前記アクティブマトリックスパネルの不具合箇所を特定するステップとを更に含む請求項8記載のアクティブマトリックスパネルの検査方法。

10

10. 不具合箇所を特定するステップは、推定された前記微小容量 C_m が予め定められた所定範囲を超えているか否かで不具合箇所を特定することを特徴とする請求項9記載のアクティブマトリックスパネルの検査方法。

15

11. 前記駆動T F Tの閾値電圧 V_{th} を推定するステップと、推定された前記閾値電圧 V_{th} に基づいて前記アクティブマトリックスパネルの不具合箇所を特定するステップとを更に含む請求項8記載のアクティブマトリックスパネルの検査方法。

20

12. 前記閾値電圧 V_{th} を推定するステップは、前記駆動T F Tのソース側に配置された積分回路を用いて流れた電荷量を観測すると共に、当該駆動T F Tがピンチオフ状態となるまでに流した電荷量からピンチオフ電圧 V_p を求めることで閾値電圧 V_{th} を推定することを特徴とする

25 請求項11記載のアクティブマトリックスパネルの検査方法。

1 3. 前記アクティブマトリックスパネルを構成する画素について前記閾値電圧 V_{th} または前記ピンチオフ電圧 V_p を求め、当該閾値電圧 V_{th} または当該ピンチオフ電圧 V_p の電圧範囲またはばらつきによって当該アクティブマトリックスパネルの良・不良を判断するステップを更に含む請求項12記載のアクティブマトリックスパネルの検査方法。

1 4. 基板上にTFT (Thin Film Transistor) アレイを形成してアクティブマトリックスパネルを生成するアレイ工程と、生成された前記アクティブマトリックスパネルの機能検査を行う検査工程と、前記検査工程により良品と判断されたアクティブマトリックスパネルに対してOLED (Organic Light Emitting Diode) を実装するセル工程とを含み、前記検査工程は、前記アレイ工程により生成された前記アクティブマトリックスパネルにおけるOLED接続電極が露出する面近傍に対向電極を配置させ、当該アクティブマトリックスパネルを構成する測定対象画素を流れる電流を観測することを特徴とするアクティブマトリックスOLEDパネルの製造方法。

1 5. 前記検査工程は、前記対向電極を配置することで前記アクティブマトリックスパネルを構成する駆動TFTのドレインと電源間に微小容量 C_m を形成し、当該微小容量 C_m を通して当該駆動TFTに過渡電流を流し、当該駆動TFTからの出力波形を観測して当該アクティブマトリックスパネルの機能検査を行うことを特徴とする請求項14記載のアクティブマトリックスOLEDパネルの製造方法。

1 6. 前記検査工程は、前記駆動TFTからの出力波形を観測して当該駆動TFTの閾値電圧 V_{th} を推定することで前記アクティブマトリッ

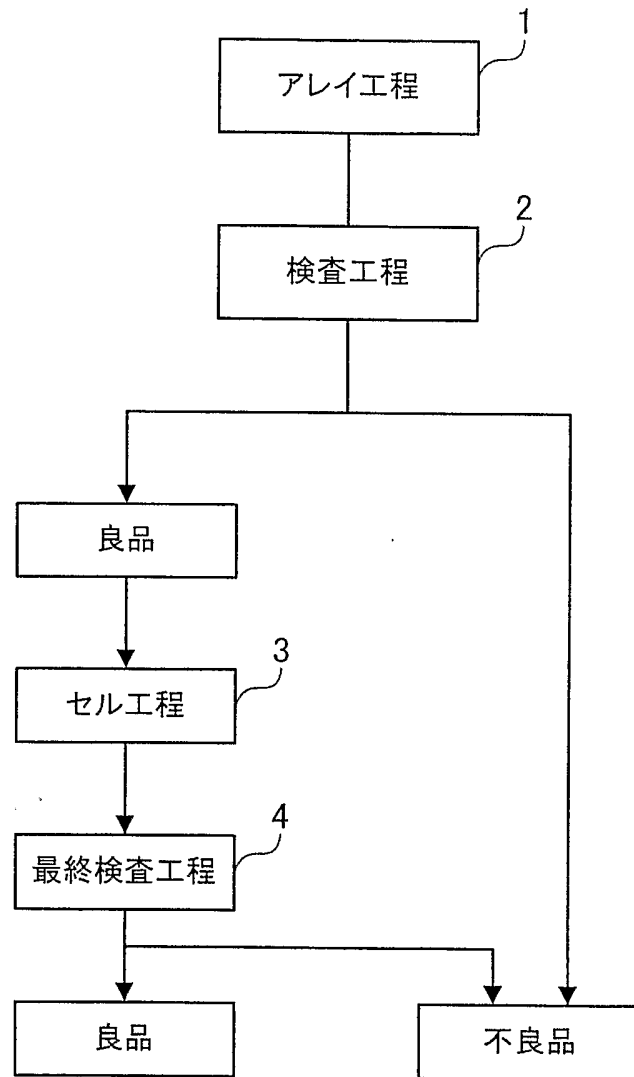
クスパネルの機能検査を行うことを特徴とする請求項 15 記載のアクティブマトリックス OLED パネルの製造方法。

17. 前記検査工程は、前記駆動 TFT のソース側に積分回路を配置
5 し、当該積分回路に流れる電荷量に基づいてピンチオフ電圧 V_p を算出
すると共に、前記アクティブマトリックスパネルを構成する画素につい
て当該駆動 TFT の閾値電圧 V_{th} または算出された当該ピンチオフ電圧
 V_p に基づいて当該アクティブマトリックスパネルの良・不良を判定す
ることを特徴とする請求項 16 記載のアクティブマトリックス OLED
10 パネルの製造方法。

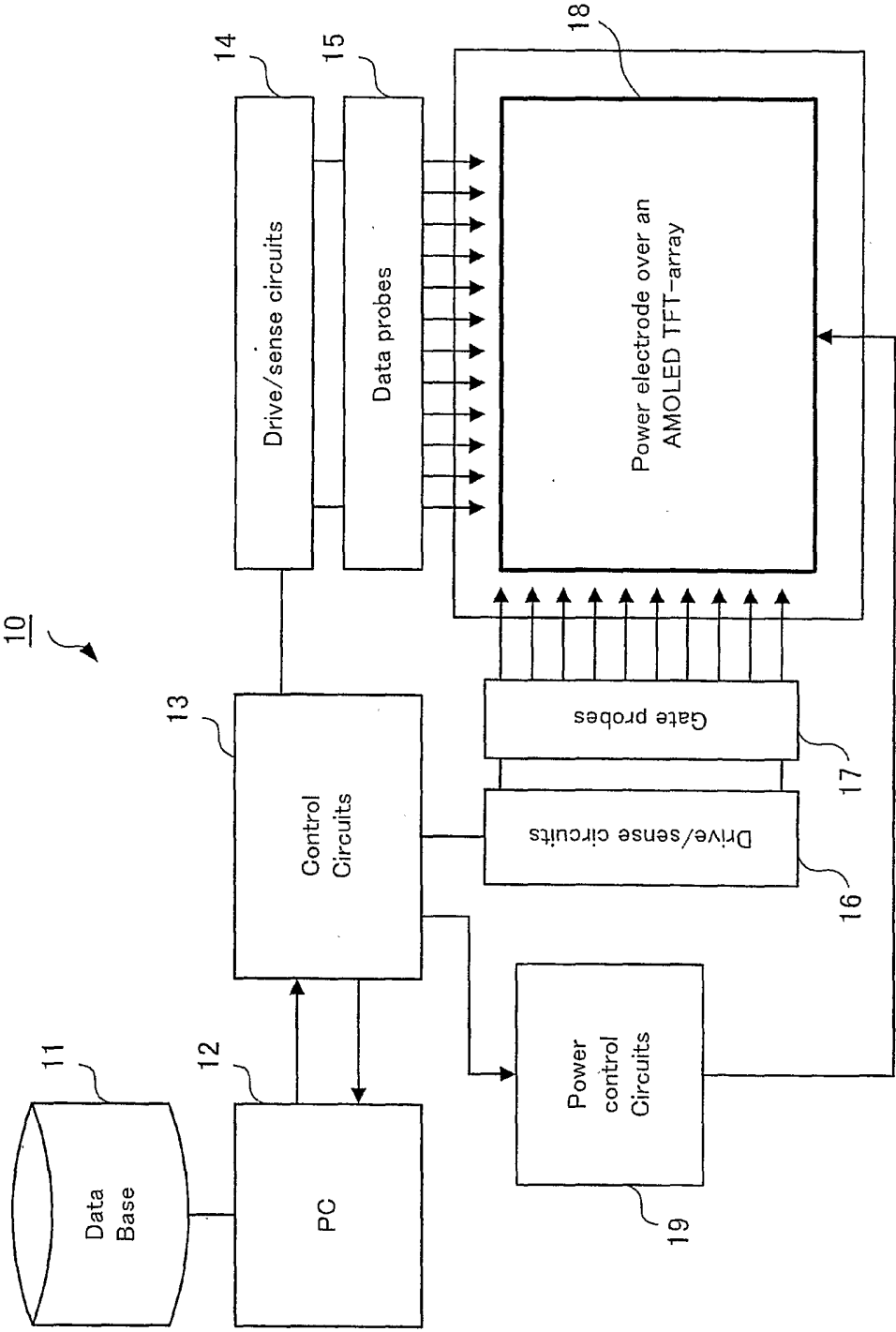
18. 前記検査工程は、前記アクティブマトリックスパネルを構成す
る駆動 TFT に所定の電圧を印加したときの飽和電流を当該アクティブ
マトリックスパネル上の画素について求め、当該駆動 TFT に対する特
15 性ばらつきを評価することを特徴とする請求項 14 記載のアクティブマ
トリックス OLED パネルの製造方法。

19. 前記検査工程は、前記アクティブマトリックスパネルを構成す
る画素毎の微小容量 C_m を推定し、推定された当該微小容量 C_m のばら
20 つきを評価することによって、パターンングされた画素電極の不具合箇
所を判別することを特徴とする請求項 14 記載のアクティブマトリク
ス OLED パネルの製造方法。

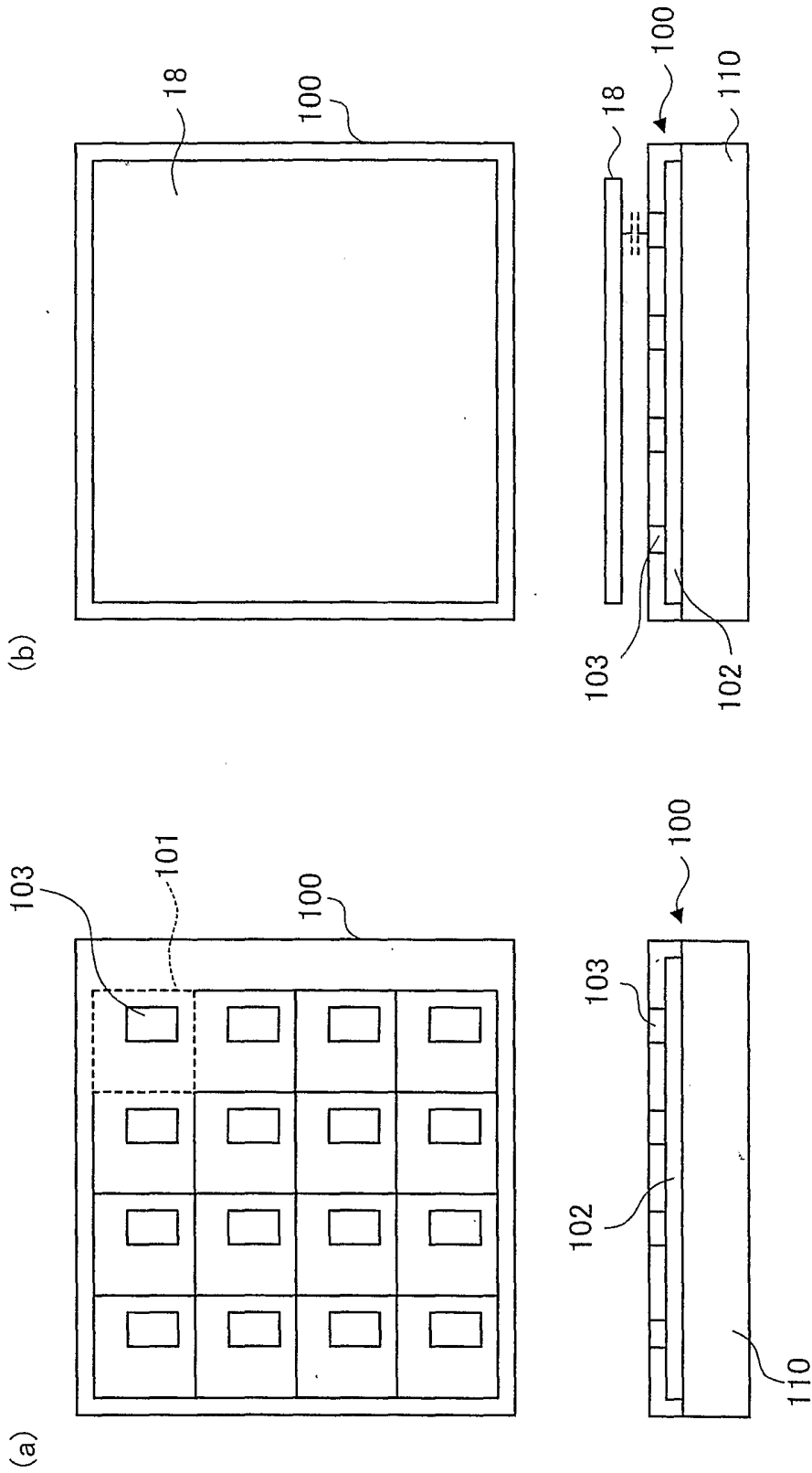
1/21



第 1 図

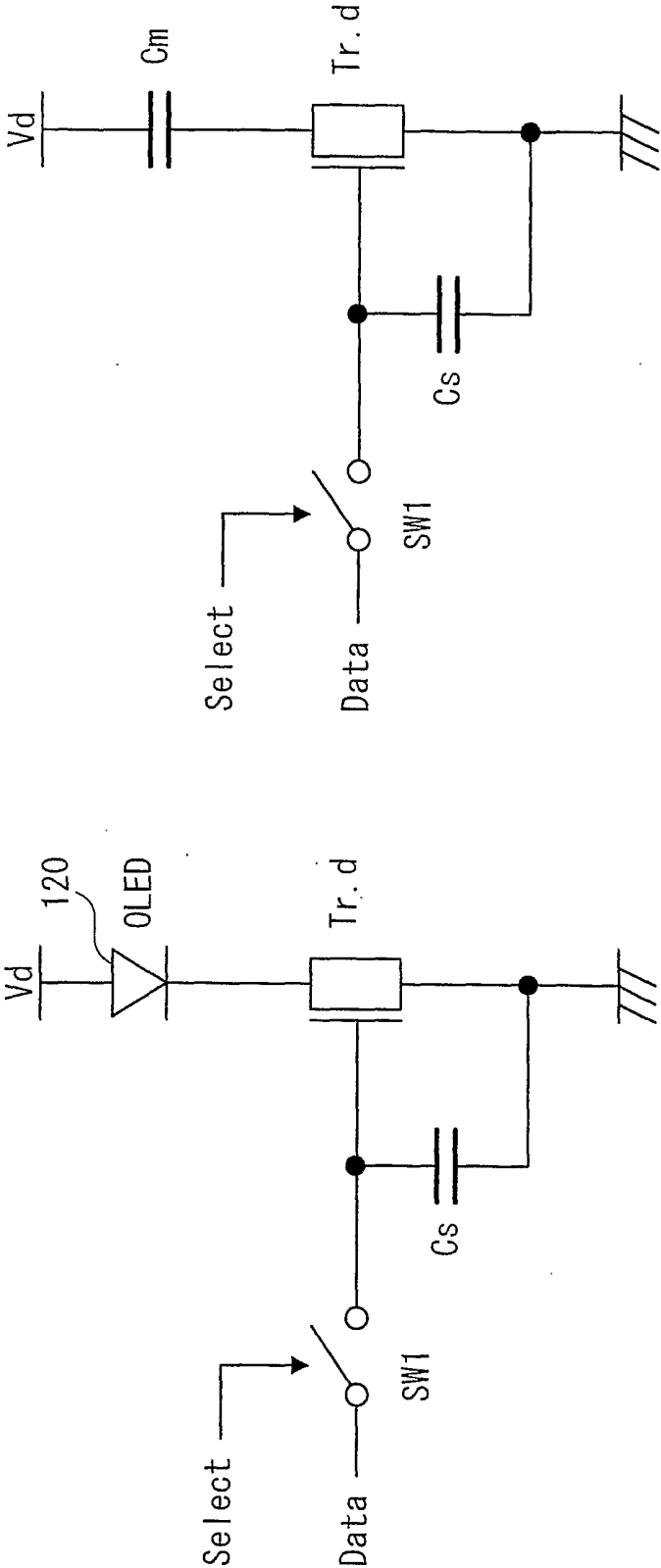


第 2 図

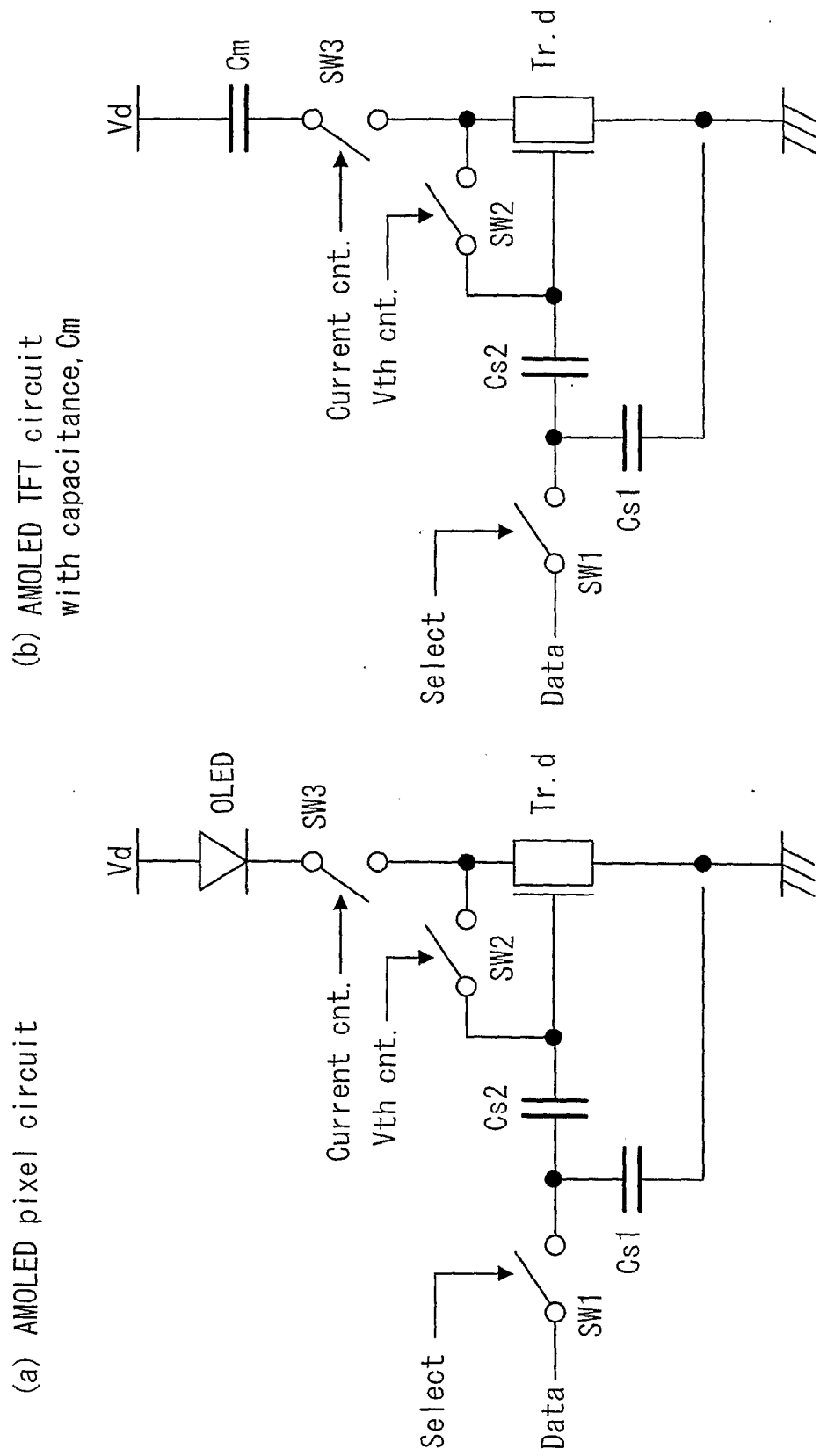


第 3 図

(a) AMOLED pixel circuit
(b) AMOLED TFT circuit with capacitance, C_m

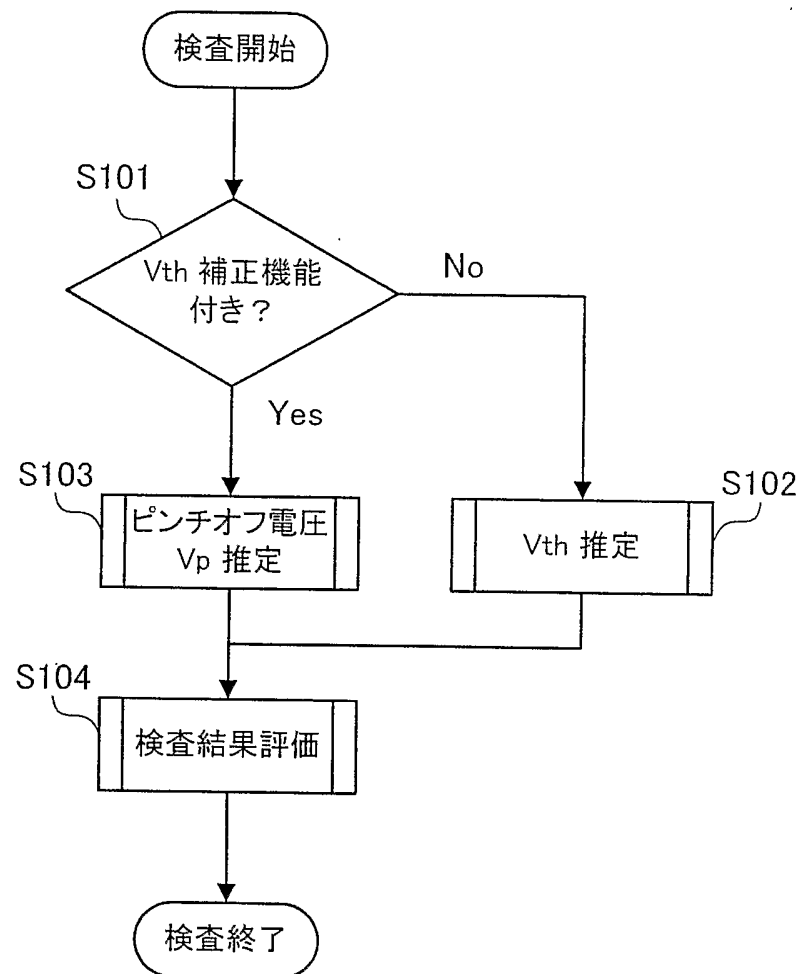


第 4 図



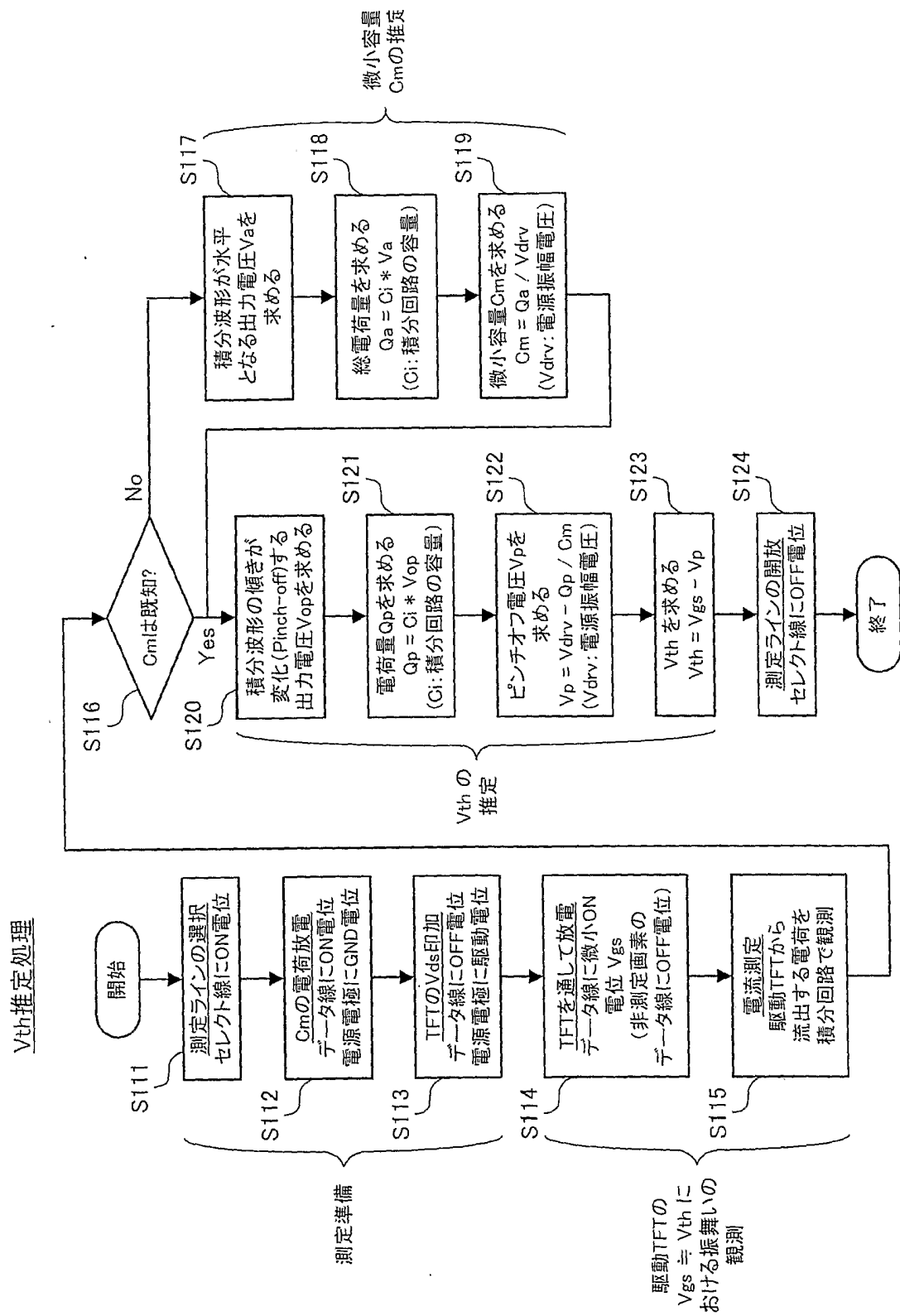
第 5 図

6/21

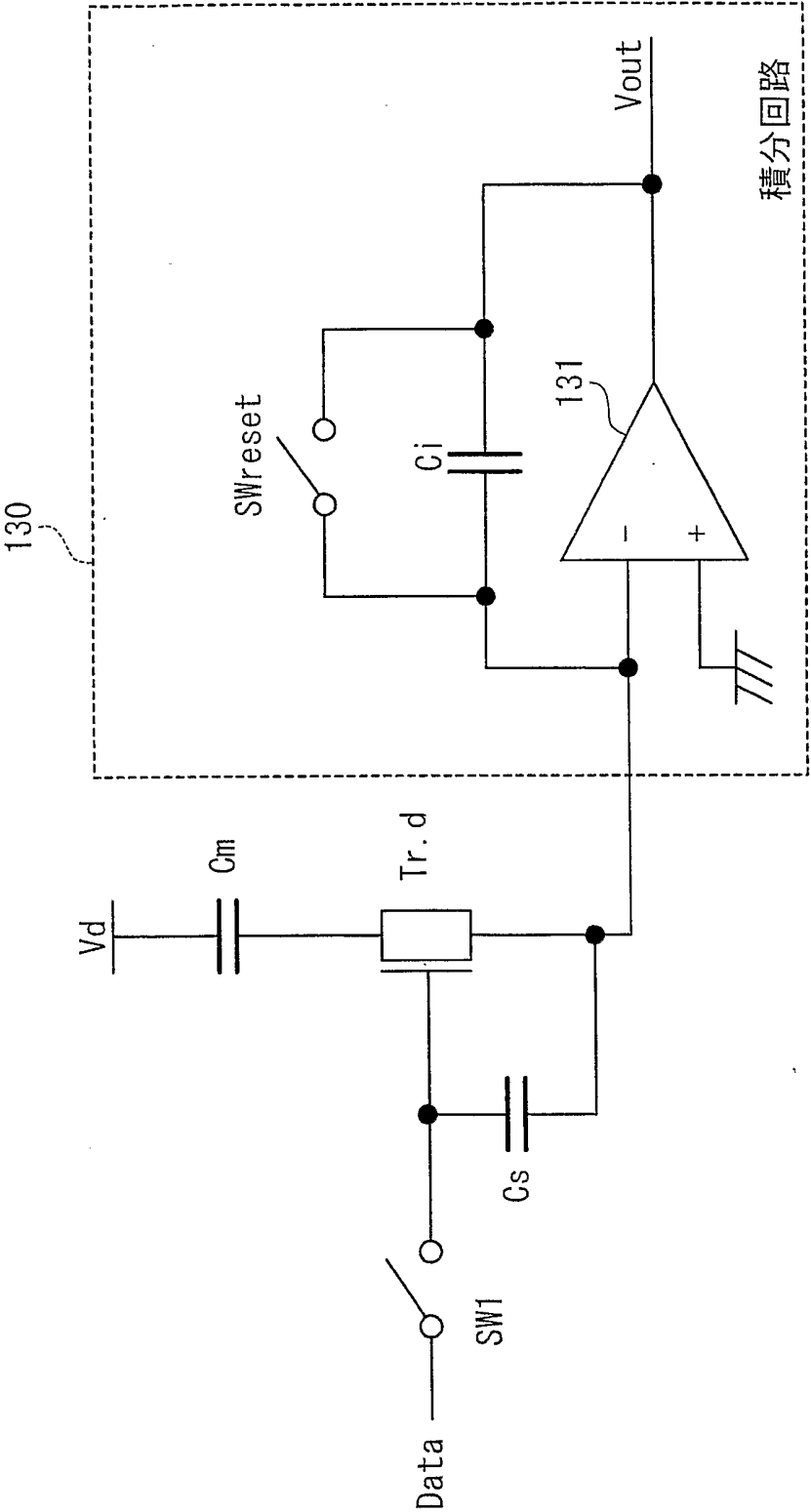


第 6 図

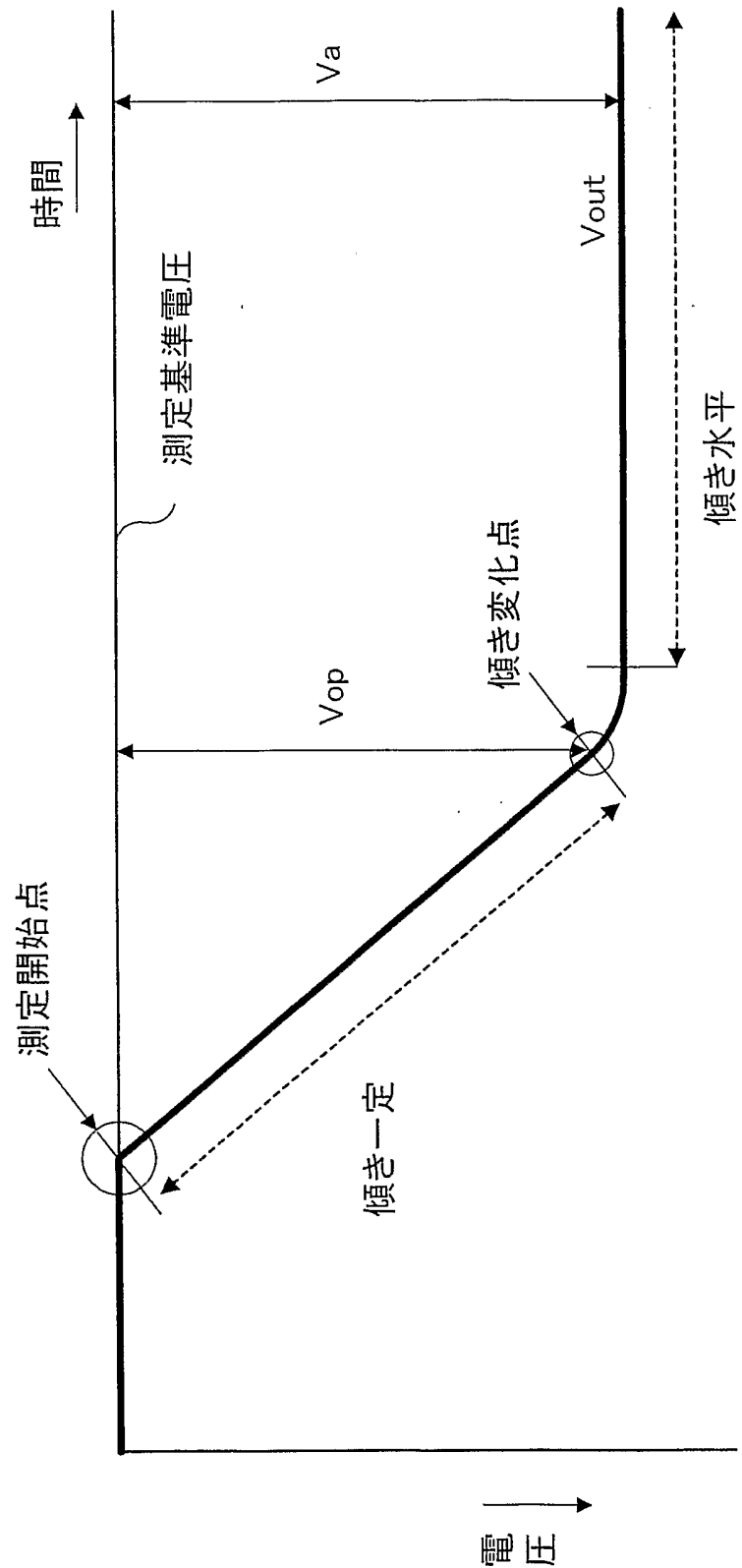
7/21



第7図

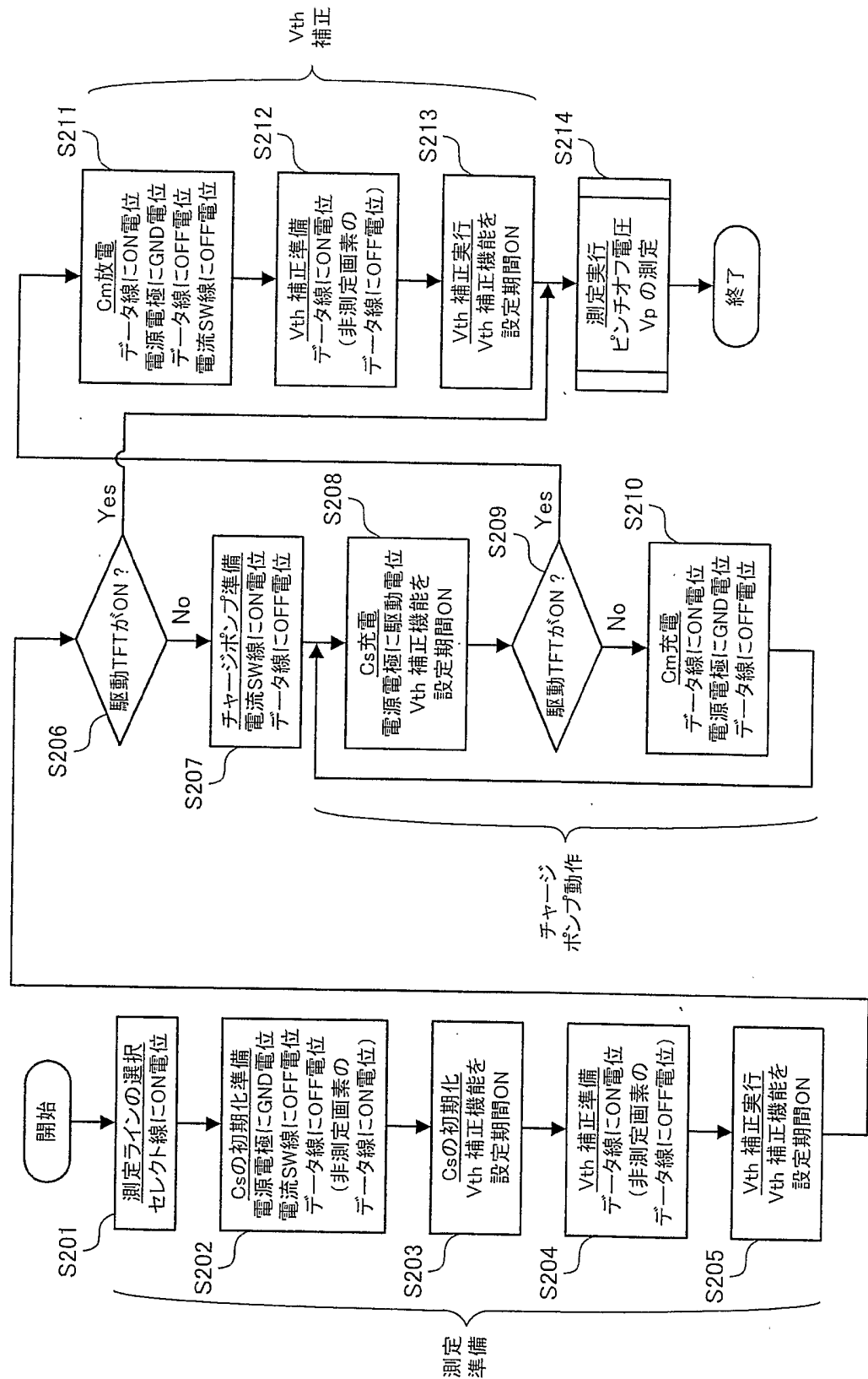


第 8 图

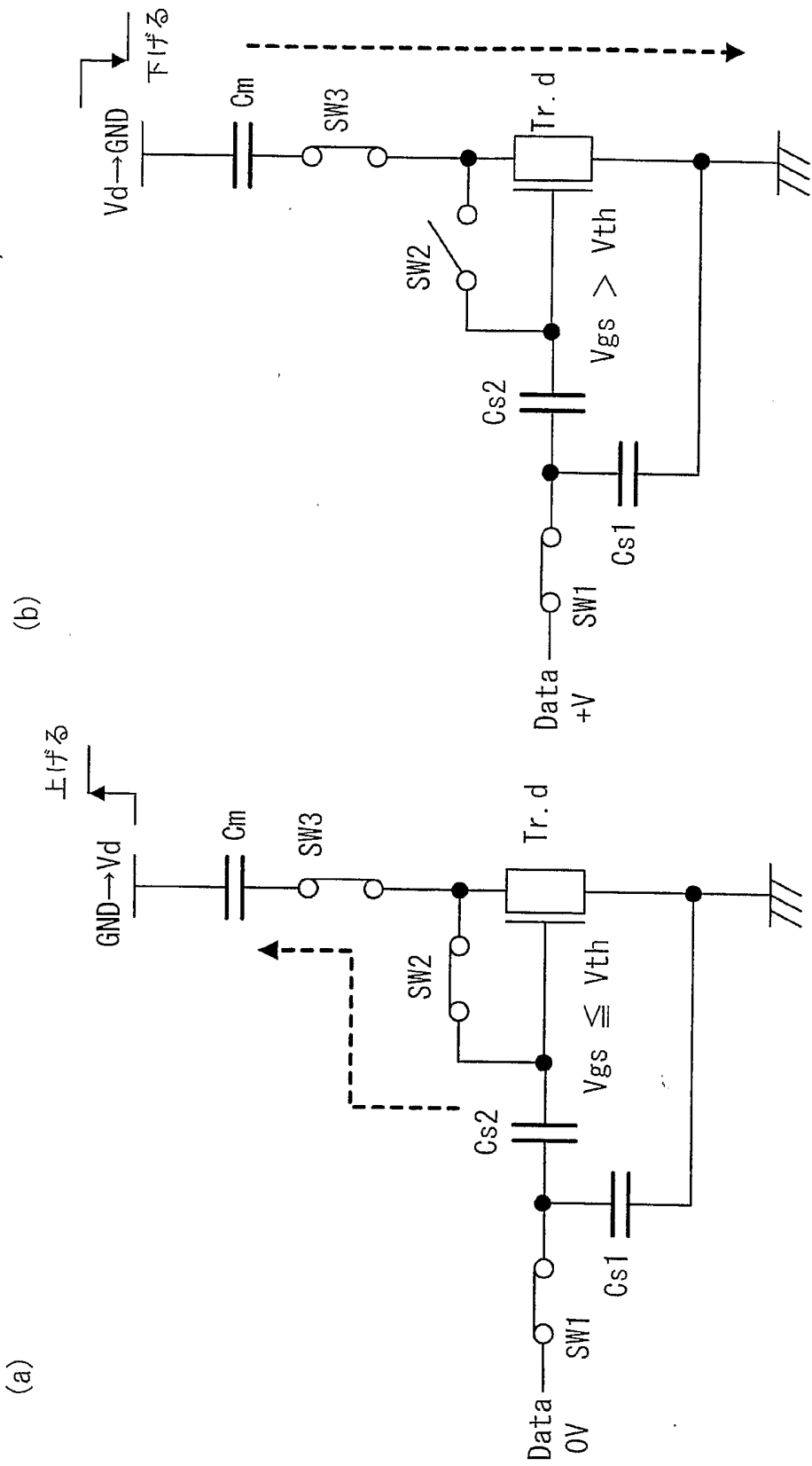


第 9 図

10/21

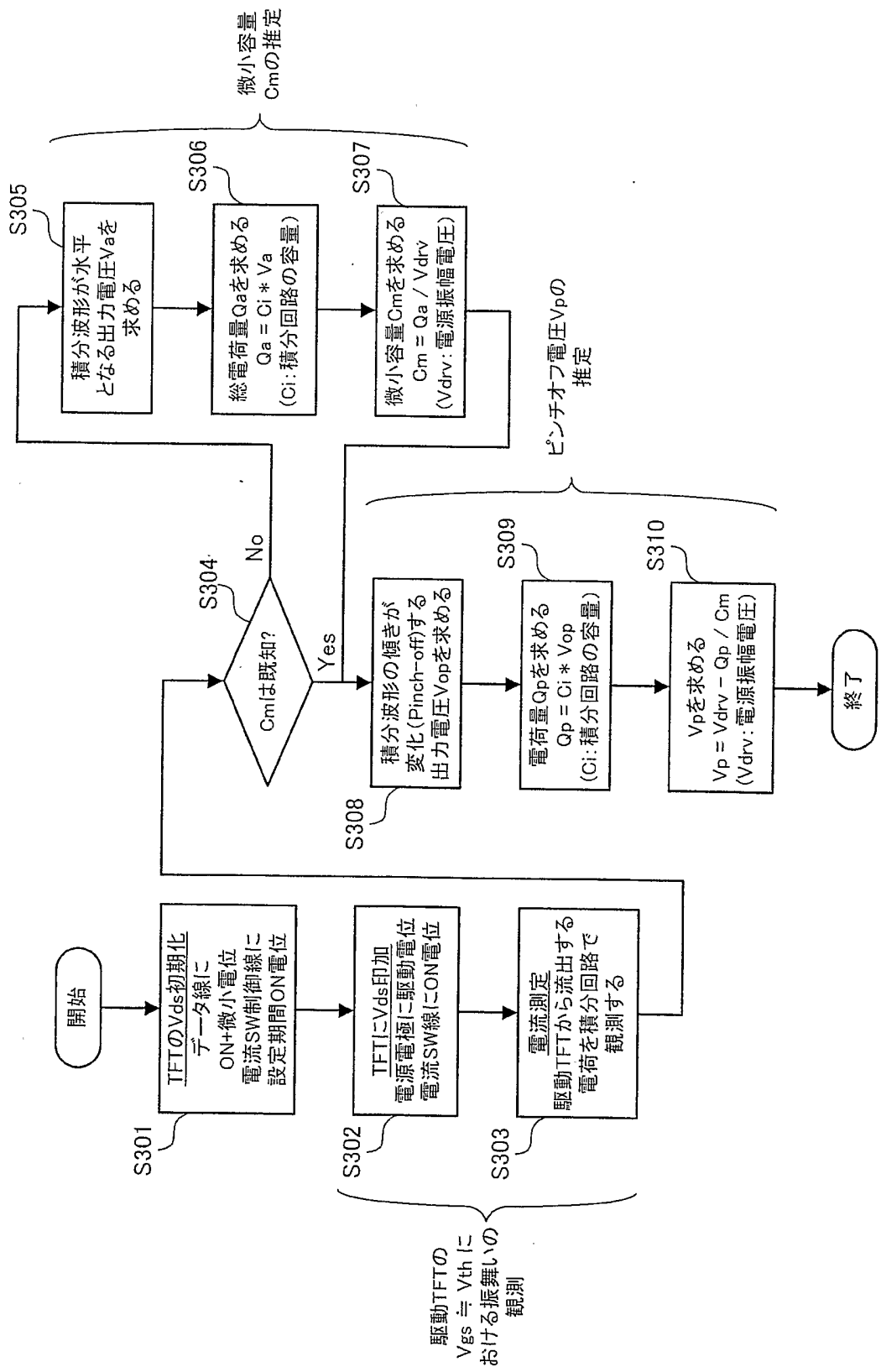


第10図



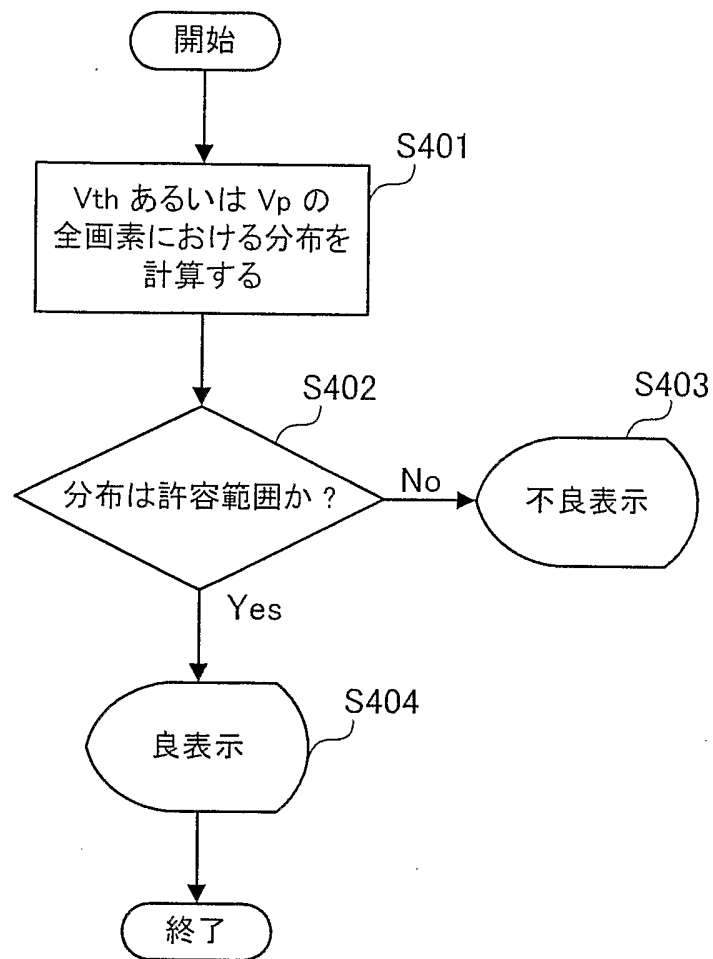
第 1 1 図

12/21



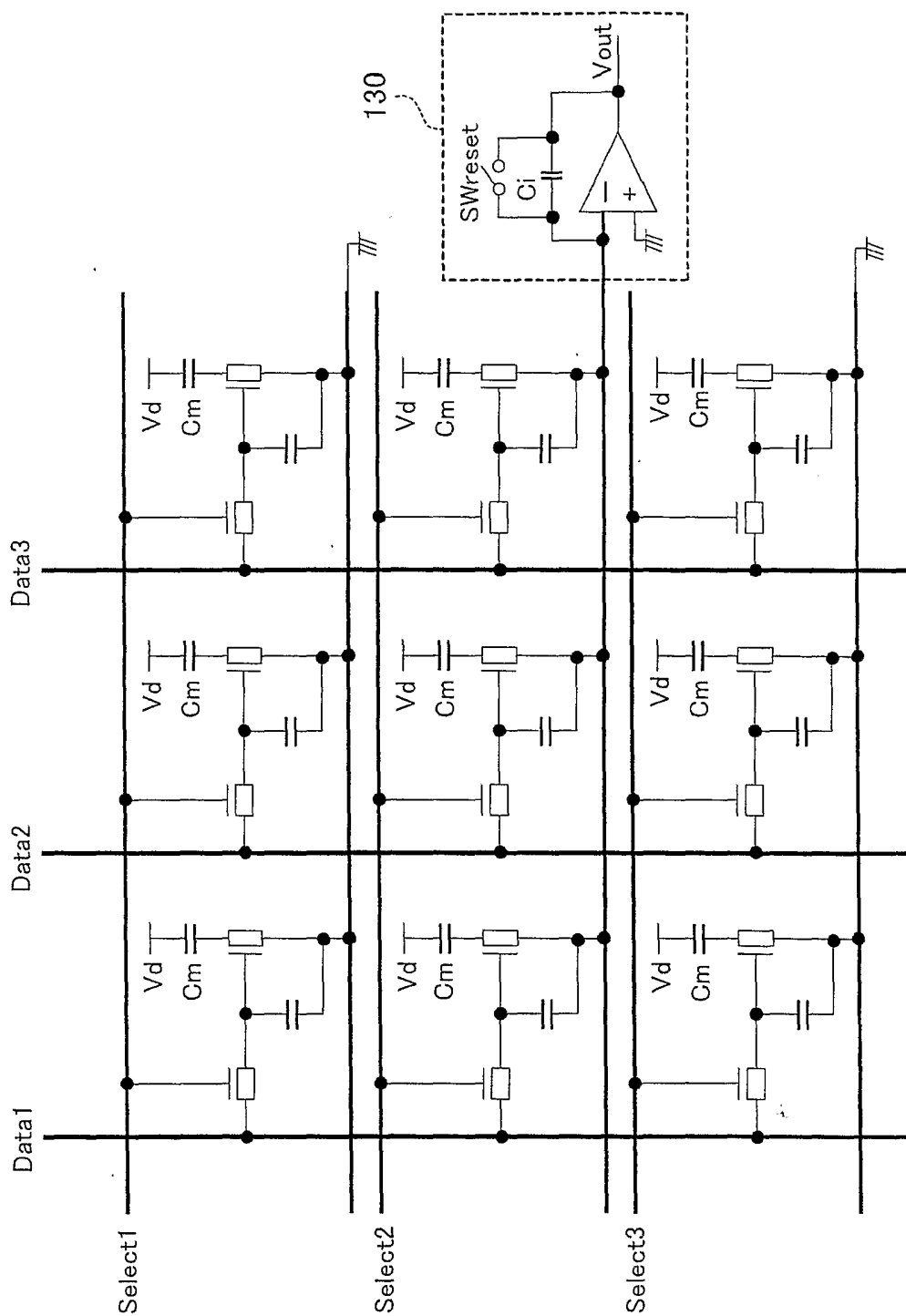
第 1 2 図

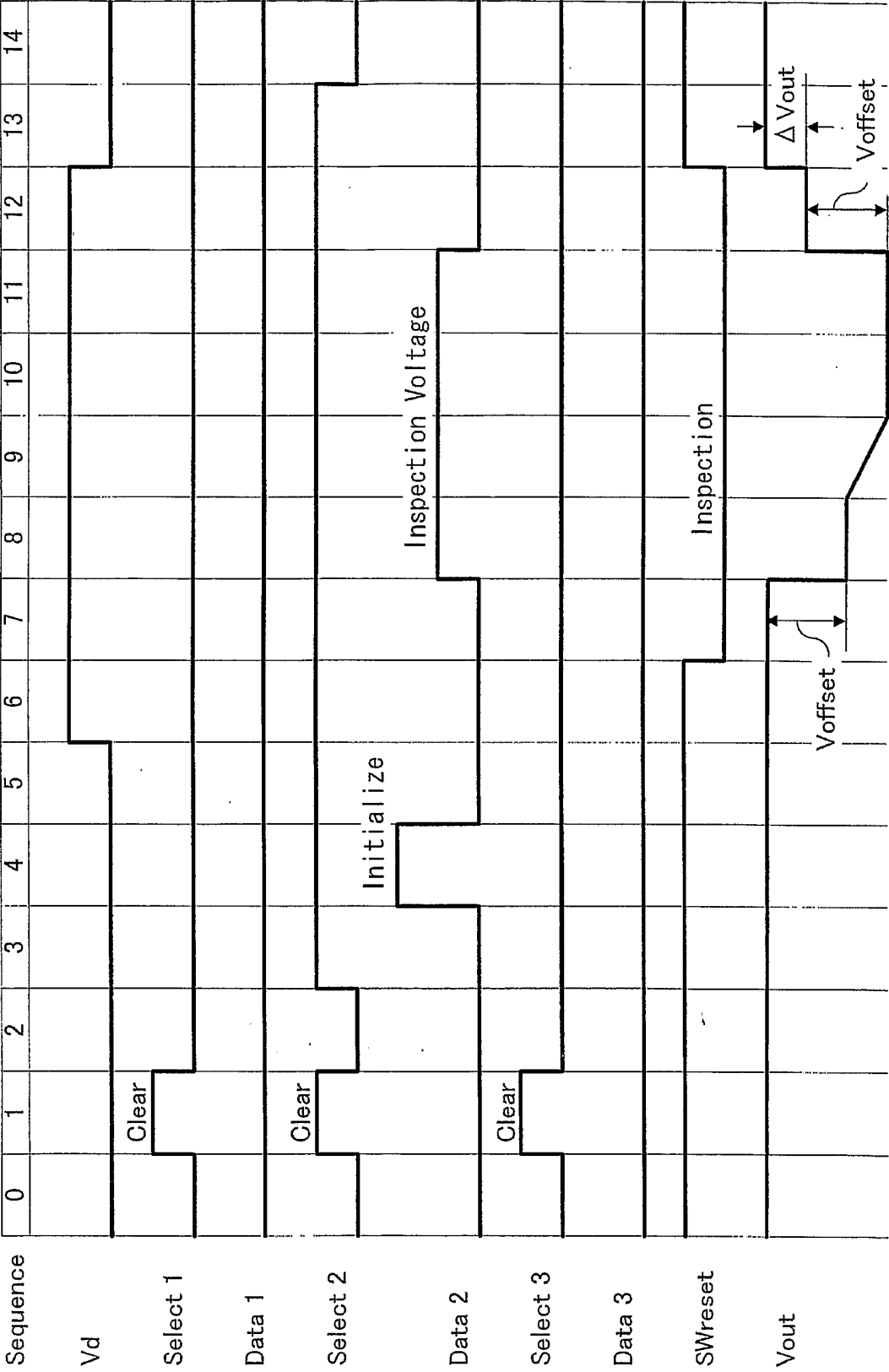
13/21



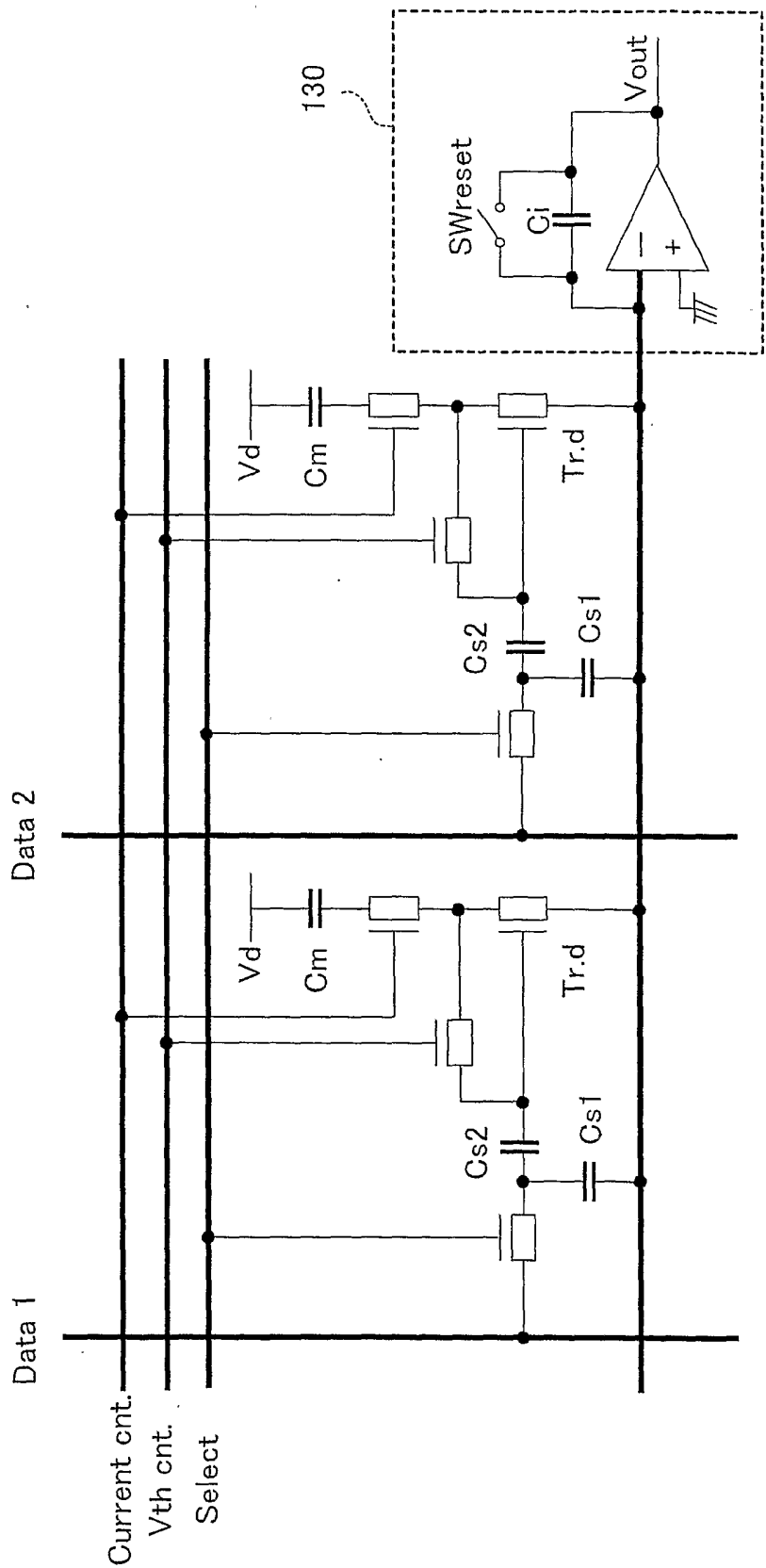
第 1 3 図

14/21

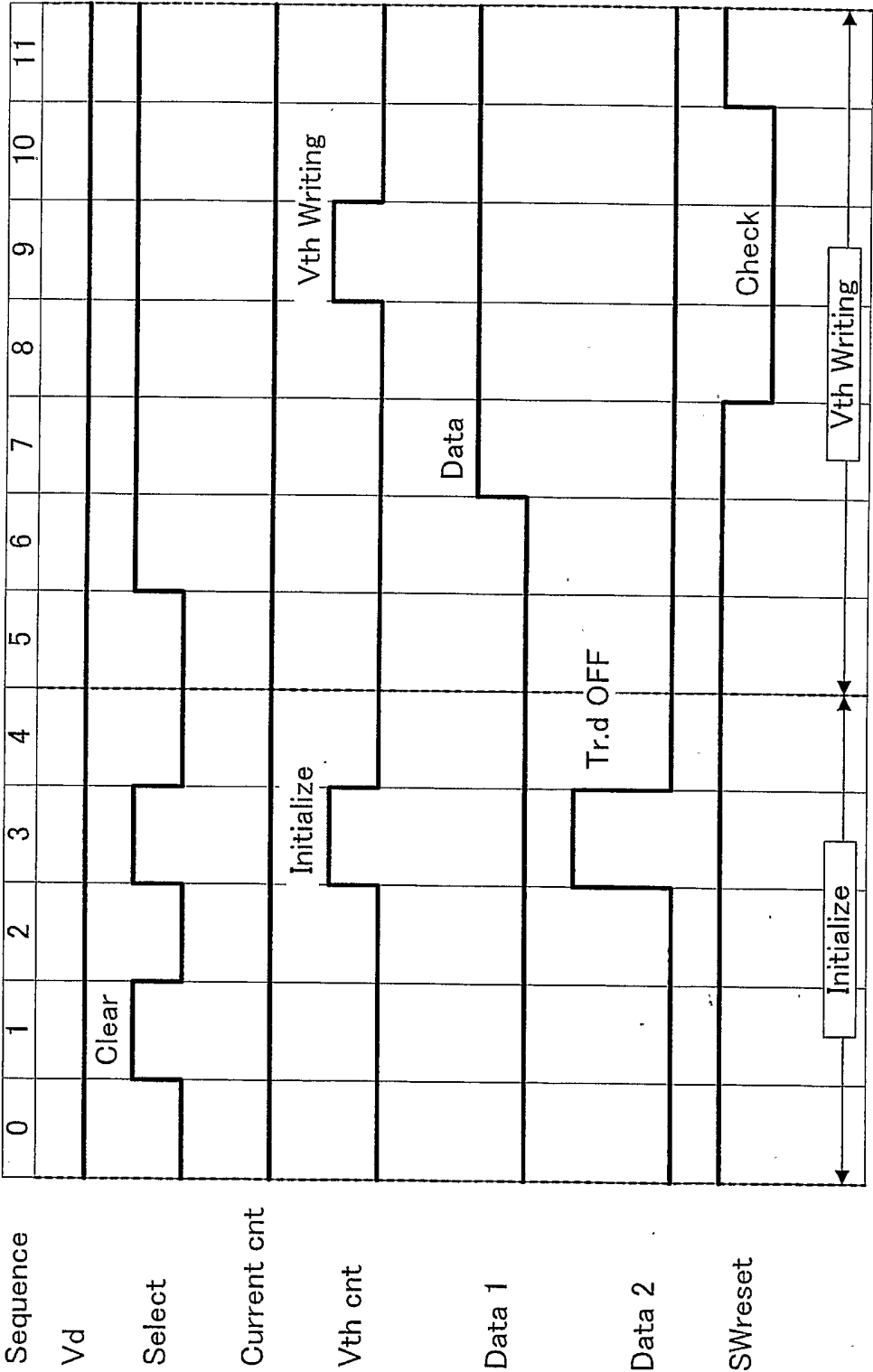




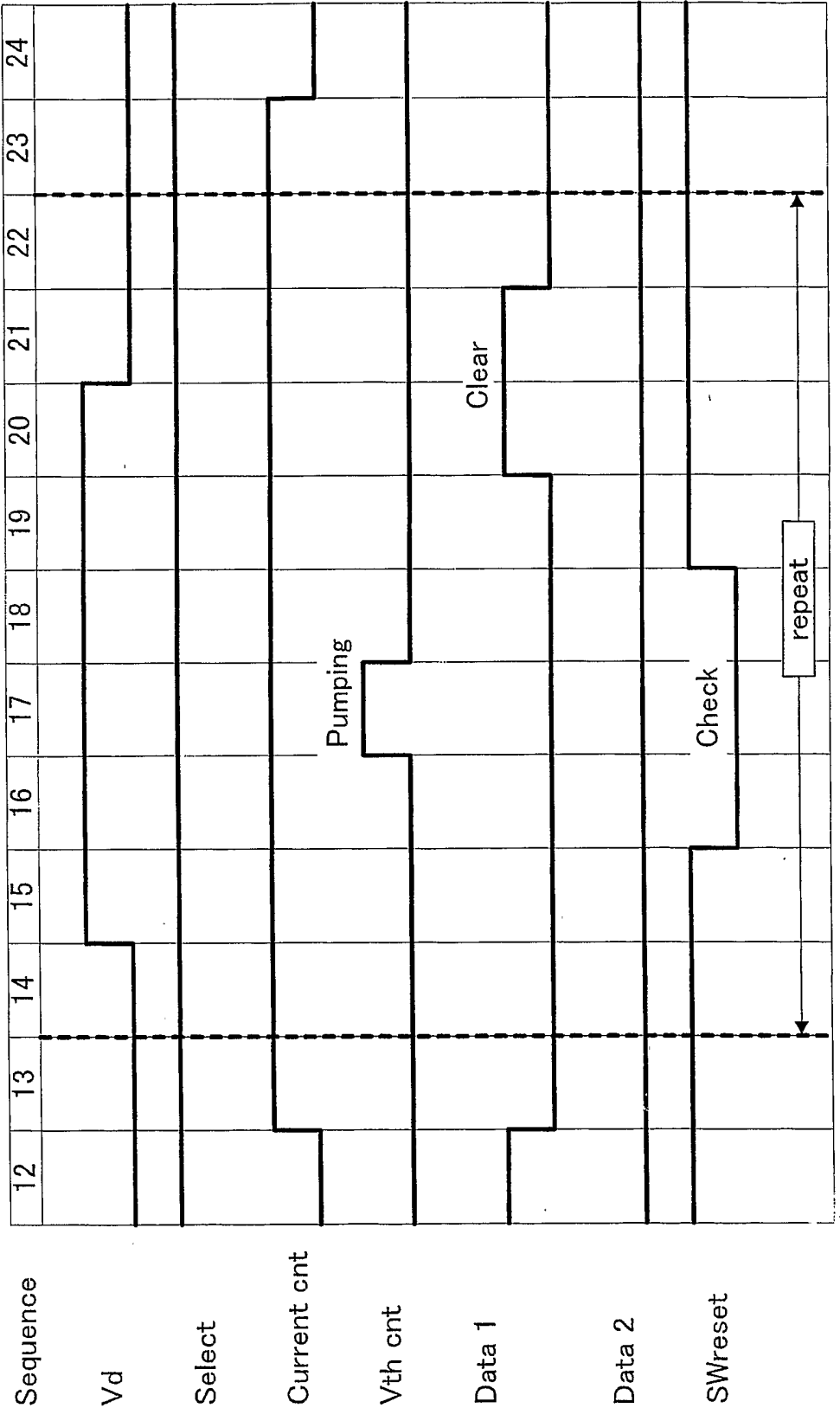
第 1 5 図



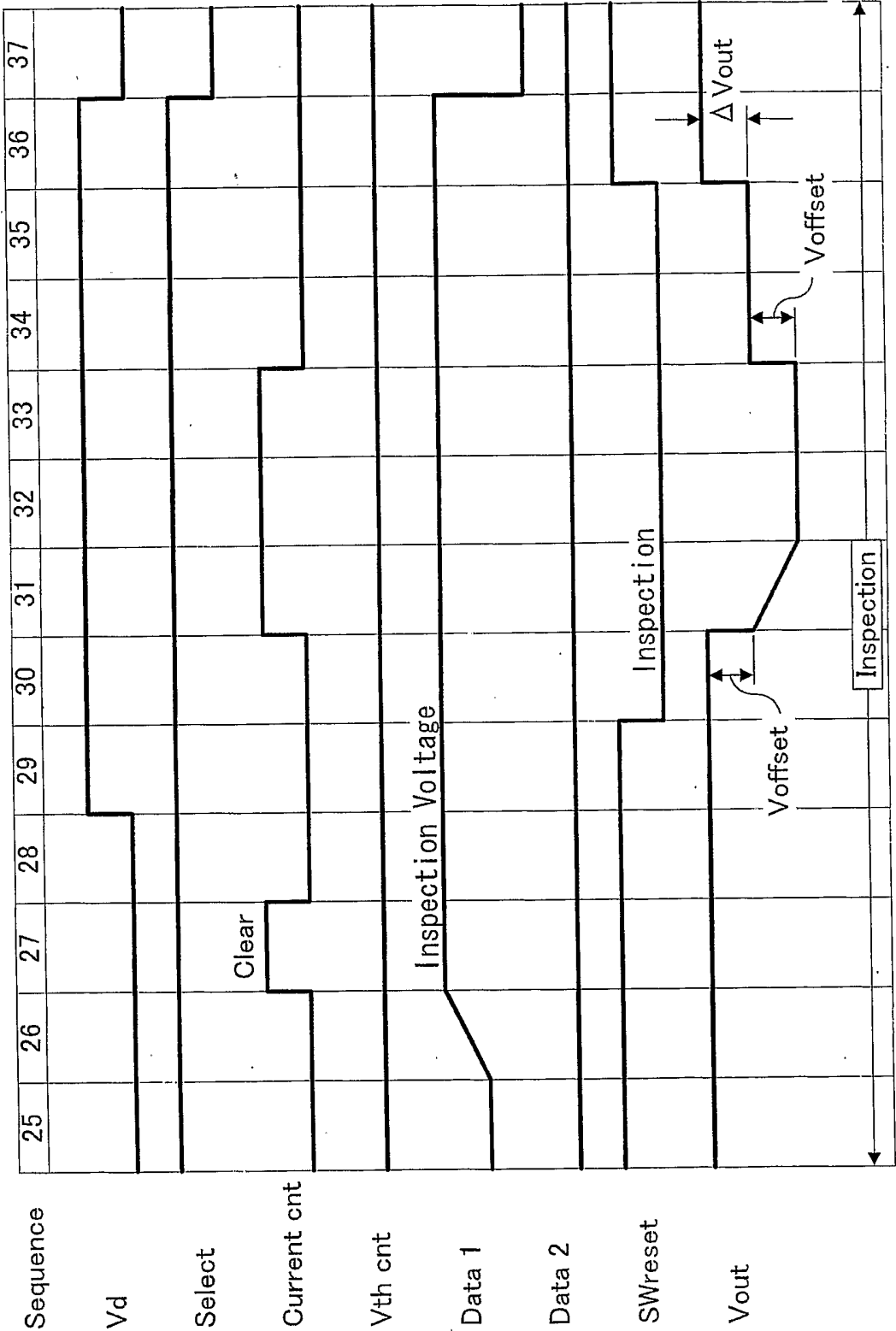
第 16 图



第 1 7 図

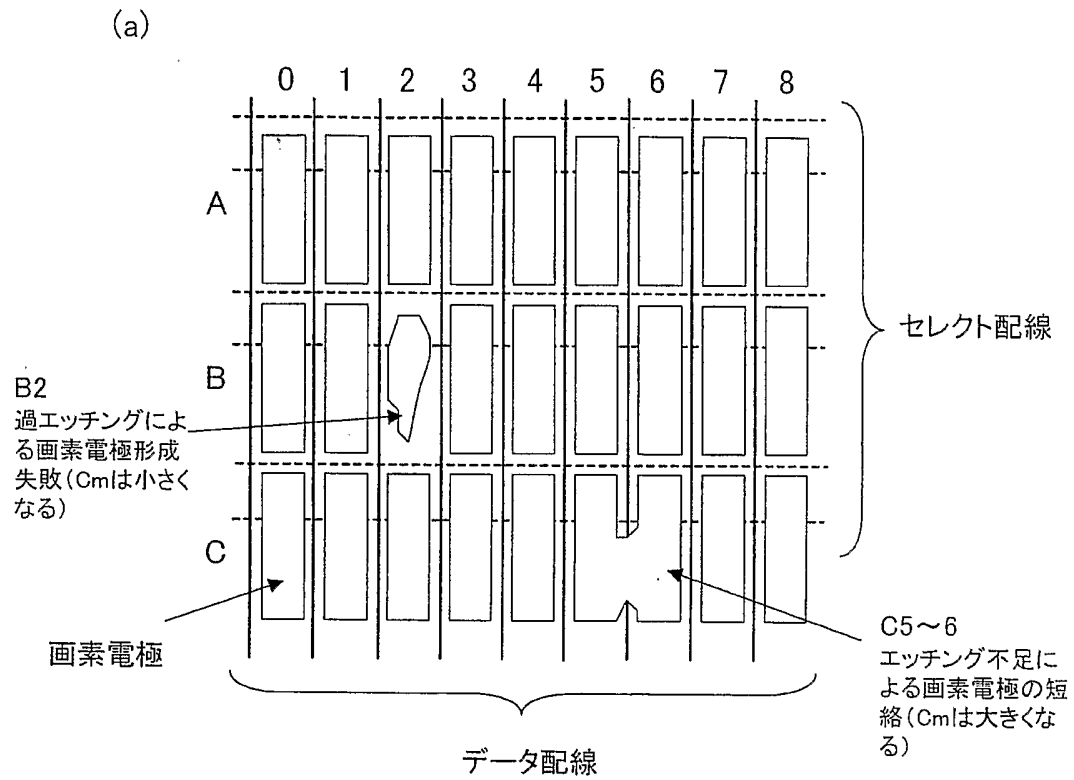


第 1 8 图



第 19 図

20/21

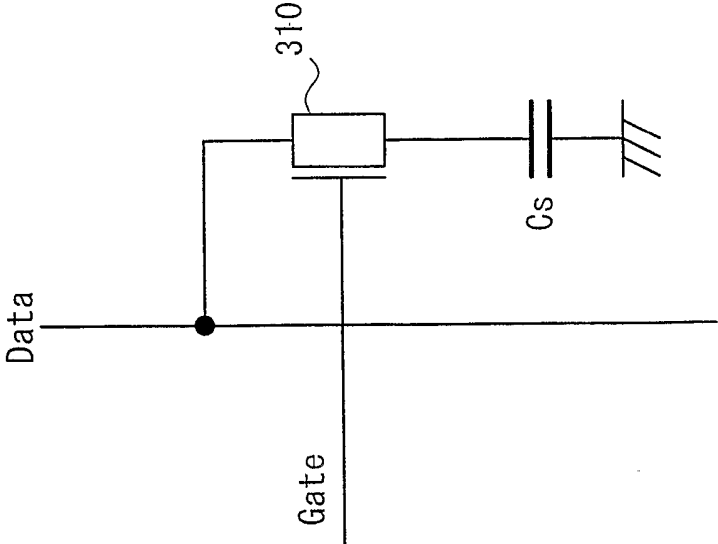


(b)

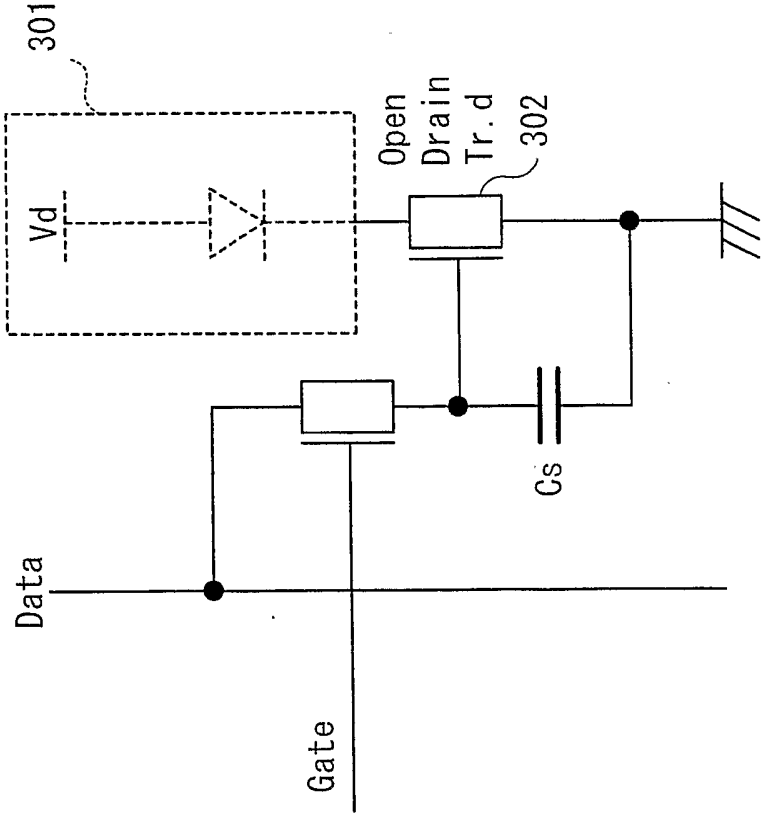
	0	1	2	3	4	5	6	7	8
A	2.0	2.0	2.1	2.1	2.1	2.1	2.0	2.0	1.9
B	2.0	2.0	0.8	2.1	2.1	2.0	2.0	1.9	1.9
C	2.0	2.1	2.1	2.1	2.0	4.1	4.1	1.9	1.9

第 20 図

(b) AMLCD



(a) AMOLED



第 2 1 図

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/006235

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G09F9/00, G01R31/00, H05B33/12, H05B33/14, H01L29/786

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G09F9/00, G01R31/00-25, H05B33/00-28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-108243 A (Semiconductor Energy Laboratory Co., Ltd.), 10 April, 2002 (10.04.02), Full text; Figs. 1 to 20 & US 2002/0044124 A1	1-19
Y	JP 2002-40082 A (Industrial Technology Research Institute), 06 February, 2002 (06.02.02), Full text; Figs. 1 to 9 & US 2002/0014851 A1	1-19
Y	JP 2002-297053 A (Sanyo Electric Co., Ltd.), 09 October, 2002 (09.10.02), Full text; Figs. 1 to 5 & US 2002/0167472 A1 & CN 001383116 A	1-19

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 August, 2004 (03.08.04)Date of mailing of the international search report
24 August, 2004 (24.08.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G09F9/00, G01R31/00, H05B33/12, H05B33/14, H01L29/786

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G09F9/00, G01R31/00-25, H05B33/00-28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2002-108243 A (株式会社半導体エネルギー研究所) 2002.04.10 全文, 第1-20図 & US 2002/0044124 A1	1-19
Y	J P 2002-40082 A (財団法人工業技術研究院) 2002.02.06 全文, 第1-9図 & US 2002/0014851 A1	1-19

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

03.08.04

国際調査報告の発送日

24.8.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

中塚直樹

2M

8908

電話番号 03-3581-1101 内線 6499

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-297053 A (三洋電機株式会社) 2002. 10. 09 全文, 第1-5図 & US 2002/0167472 A1 & CN 001383116 A	1-19