



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I753686 B

(45)公告日：中華民國 111 (2022) 年 01 月 21 日

(21)申請案號：109142862

(22)申請日：中華民國 109 (2020) 年 12 月 04 日

(51)Int. Cl. : *H01L23/051 (2006.01)**H01L23/498 (2006.01)**H01L23/31 (2006.01)*

(71)申請人：矽品精密工業股份有限公司 (中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路 3 段 123 號

(72)發明人：陳麒任 CHEN, CHI JEN (TW)；許習彰 HSU, HSI CHANG (TW)；許元鴻 HSU, YUAN HUNG (TW)；林長甫 LIN, CHANG FU (TW)；江東昇 JIANG, DON SON (TW)

(74)代理人：陳孚竹；張家彬

(56)參考文獻：

TW I712135B

TW M553878U

US 2009/0302431A1

審查人員：修宇鋒

申請專利範圍項數：20 項 圖式數：4 共 24 頁

(54)名稱

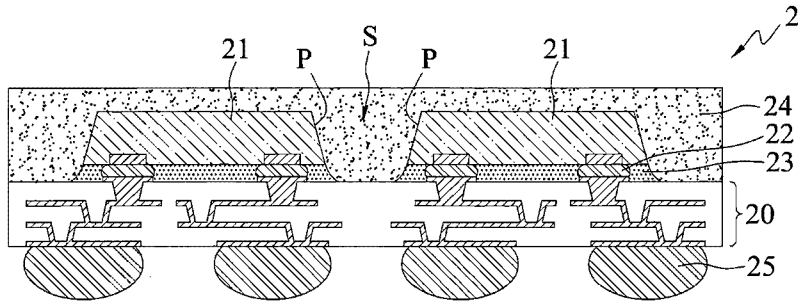
電子封裝件及其製法

(57)摘要

一種電子封裝件，係先於複數電子元件之至少其中一者之至少一側面上形成斜面，再將該複數電子元件設於一承載結構上，以令兩相鄰之電子元件以其斜面構成一空間，再將封裝層形成於該承載結構上並填入該空間中以包覆該兩相鄰之電子元件，俾藉由該空間之設計，分散該電子元件所受之應力，避免因應力集中而發生破裂之問題。

An electronic packaging which forms a slope surface on at least one side surface of at least one of a plurality of electronic components, and then sets the plurality of electronic components on a carrier structure, so that two adjacent electronic components form a space by the slope surface. Afterwards, an encapsulation layer is formed on the carrier structure and filled into the space to cover the two adjacent electronic components so as to disperse a stress on the electronic components through the design of the space to avoid cracking due to stress concentration.

指定代表圖：



【圖 2C】

符號簡單說明：

2:電子封裝件

20:承載結構

21:電子元件

22:導電凸塊

23:包覆層

24:封裝層

25:導電元件

P:斜面

S:空間

I753686

【發明摘要】

【中文發明名稱】 電子封裝件及其製法

【英文發明名稱】 ELECTRONIC PACKAGING AND MANUFACTURING  
METHOD THEREOF

【中文】

一種電子封裝件，係先於複數電子元件之至少其中一者之至少一側面上形成斜面，再將該複數電子元件設於一承載結構上，以令兩相鄰之電子元件以其斜面構成一空間，再將封裝層形成於該承載結構上並填入該空間中以包覆該兩相鄰之電子元件，俾藉由該空間之設計，分散該電子元件所受之應力，避免因應力集中而發生破裂之問題。

【英文】

An electronic packaging which forms a slope surface on at least one side surface of at least one of a plurality of electronic components, and then sets the plurality of electronic components on a carrier structure, so that two adjacent electronic components form a space by the slope surface. Afterwards, an encapsulation layer is formed on the carrier structure and filled into the space to cover the two adjacent electronic components so as to disperse a stress on the electronic components through the design of the space to avoid cracking due to stress concentration.

【指定代表圖】 圖2C

【代表圖之符號簡單說明】

2:電子封裝件

20:承載結構

21:電子元件

22:導電凸塊

23:包覆層

24:封裝層

25:導電元件

P:斜面

S:空間

**【特徵化學式】**

無。

## 【發明說明書】

【中文發明名稱】 電子封裝件及其製法

【英文發明名稱】 ELECTRONIC PACKAGING AND MANUFACTURING  
METHOD THEREOF

### 【技術領域】

【0001】 本發明係有關一種半導體裝置，尤指一種覆晶封裝型式之電子封裝件及其製法。

### 【先前技術】

【0002】 隨著電子產業的蓬勃發展，電子產品也逐漸邁向多功能、高性能的趨勢。目前應用於晶片封裝領域之技術繁多，例如晶片尺寸構裝（Chip Scale Package，簡稱CSP）、晶片直接貼附封裝（Direct Chip Attached，簡稱DCA）或多晶片模組封裝（Multi-Chip Module，簡稱MCM）等覆晶型封裝模組，或將晶片立體堆疊化整合為三維積體電路（3D IC）晶片堆疊模組。

【0003】 圖1係為習知3D IC式半導體封裝件1之剖面示意圖。首先，提供一具有相對之轉接側10a與置晶側10b之矽中介板（Through Silicon interposer，簡稱TSI）10，且該矽中介板10具有複數連通該置晶側10b與轉接側10a之導電矽穿孔（Through-silicon via，簡稱TSV）100，並於該置晶側10b上形成線路結構101以供接置多個具有複數鍍錫凸塊12之半導體元件11，再以底膠13包覆該些鍍錫凸塊12，並形成封裝層14以包覆該半導體元件11，且研磨該封裝層14，以令該半導體元件11之上表面外露出該封裝層14。接著，將該矽中介板10以其轉接側10a透

過複數導電元件15設於一封裝基板16上，並使該封裝基板16電性連接該些導電矽穿孔100，再以底膠17包覆該些導電元件15。接著，形成封裝膠體18於該封裝基板16上，以令該封裝膠體18包覆該封裝層14與該矽中介板10。最後，形成複數錫球160於該封裝基板16之下側，以供接置於一電路板19上。

【0004】惟，習知半導體封裝件1中，於封裝時，該底膠13或該封裝層14可能會形成於該半導體元件11的角落處或非作用面之邊緣，致使該半導體元件11的內部應力增高與應力集中問題，導致破裂發生，而使該半導體封裝件1之可靠度不佳。

【0005】因此，如何克服上述習知技術的問題，實已成目前亟欲解決的課題。

#### 【發明內容】

【0006】鑑於上述習知技術之種種缺失，本發明係提供一種電子封裝件，係包括：承載結構；複數電子元件，係間隔設置於該承載結構上，其中，該電子元件係具有相對之作用面與非作用面及鄰接該作用面與非作用面之側面，該複數電子元件之至少其中一者之作用面之寬度係大於該非作用面之寬度，以令該複數電子元件之至少其中一者之至少一側面形成斜面，且令二相鄰之該電子元件之間形成有一空間，使該空間之至少其中一側具有該斜面；以及封裝層，係形成於該承載結構上，以包覆該複數電子元件。

【0007】本發明復提供一種電子封裝件之製法，係包括：提供複數電子元件，其中，該電子元件係具有相對之作用面與非作用面及鄰接該作用面與非作用面之側面，且該複數電子元件之至少其中一者之作用面之寬度係大於該非作用面之寬度，以令該複數電子元件之至少其中一者之至少一側面形成斜面；將該複

數電子元件間隔設置於一承載結構上，以令二相鄰之該電子元件之間形成有一空間，使該空間之至少其中一側具有該斜面；以及形成封裝層於該承載結構上，以包覆該複數電子元件。

【0008】 前述之電子封裝件及其製法中，該複數電子元件之構造係彼此不同。

【0009】 前述之電子封裝件及其製法中，該電子元件之作用面上具有複數電性連接該承載結構之電極墊。

【0010】 前述之電子封裝件及其製法中，該電子元件之作用面與該側面之鄰接處係形成有倒角。

【0011】 前述之電子封裝件及其製法中，該空間之寬度係朝該承載結構漸縮。

【0012】 前述之電子封裝件及其製法中，該電子元件係藉由複數導電凸塊電性連接該承載結構。進一步，復包括於形成該封裝層之前，於該電子元件與該承載結構之間形成有包覆層，以令該包覆層包覆該複數導電凸塊，且於形成該封裝層時，該封裝層復包覆該包覆層。

【0013】 前述之電子封裝件及其製法中，該電子元件之非作用面係外露於該封裝層之表面。

【0014】 前述之電子封裝件及其製法中，該複數電子元件之間係形成有複數該空間。

【0015】 前述之電子封裝件及其製法中，復包括於該承載結構相對設置該電子元件之另一側上形成複數導電元件。

【0016】 由上可知，本發明之電子封裝件及其製法中，主要藉由該電子元件之至少一側面呈斜面之設計，以令兩相鄰之電子元件以其斜面構成一空間，使該封裝層產生於該電子元件內部之應力得以減少，故相較於習知技術，

本發明可分散該電子元件所受之應力，以避免該電子元件因應力集中而發生破裂之問題，因而能提高該電子封裝件之可靠度。

#### 【圖式簡單說明】

- 【0017】 圖1係為習知半導體封裝件之剖面示意圖。
- 【0018】 圖2A至圖2C係為本發明之電子封裝件之製法的剖視示意圖。
- 【0019】 圖2A'係為圖2A之另一製作方式的剖視示意圖。
- 【0020】 圖2A''係為圖2A之另一態樣的剖視示意圖。
- 【0021】 圖2C'及圖2C''係為圖2C之其它態樣的剖視示意圖。
- 【0022】 圖2D係為圖2C之後續製程的剖視示意圖。
- 【0023】 圖2D'及圖2D''係為圖2D之其它態樣的剖視示意圖。
- 【0024】 圖3A-1至圖3A-5係為圖2A之各種不同態樣的局部下視示意圖。
- 【0025】 圖4係為圖2D之另一態樣的剖視示意圖。

#### 【實施方式】

【0026】 以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

【0027】 須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中

所引用之如「上」等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

【0028】圖2A至圖2C係為本發明之電子封裝件2之製法之剖視示意圖。

【0029】如圖2A所示，提供一整版面基材結構2a，其包含複數陣列排設之電子元件21，且各該電子元件21之至少一側面21c係為斜面P。

【0030】該電子元件21可為主動元件、被動元件、封裝結構或其組合者，且該主動元件係如半導體晶片，而該被動元件係如電阻、電容及電感。於本實施例中，該電子元件21係為半導體晶片，並具有相對之作用面21a與非作用面21b，以令該側面21c（或該斜面P）鄰接該作用面21a與非作用面21b，且該作用面21a上具有複數電極墊210。例如，該作用面21a之寬度D1係大於該非作用面21b之寬度D2，以令該側面21c形成該斜面P。

【0031】再者，該電子元件21之側面21c可藉由該切單製程之刀具形成該斜面P，如圖2A所示之錐狀缺口V。或者，如圖2A'所示，該電子元件21之側面21c可於該切單製程後，再以刀具整形（如研磨或切割等方式）而呈該斜面P。

【0032】又，如圖2A''所示，該電子元件21'之作用面21a與該側面21c之鄰接邊角處可依需求形成有倒角B。

【0033】另外，該斜面P之佈設係可依需求形成於該電子元件21之至少一側面21c上，如圖3A-1至圖3A-5所示之電子元件21之作用面21a與非作用面21b為如正方形之四邊形。應可理解地，有關該電子元件21,21'之形體之種類繁多，並無特別限制。

【0034】如圖2B所示，接續圖2A之製程，沿如圖2A所示之切割路徑L對該整版面基材結構2a進行切單製程，以分離各該電子元件21，再於一整版面形式(panel form)或晶圓級形式(wafer form)之承載結構20上沿水平方向X上間隔佈設

至少兩個電子元件21，且二相鄰之該電子元件21係以其斜面P相向配置（如該斜面P呈斜坡狀態），使二相鄰之電子元件21之間形成有一空間S。

【0035】該承載結構20可為具有核心層與線路結構之封裝基板（substrate）或無核心層（coreless）之線路構造，且其構成係於介電材上形成複數線路層200，如線路重佈層（redistribution layer，簡稱RDL）。於本實施例中，該承載結構20係無核心層（coreless）之線路構造。然而，於其它實施例中，該承載結構20亦可為具有複數導電矽穿孔（Through-silicon via，簡稱TSV）之半導體基板，以作為矽中介板（Through Silicon interposer，簡稱TSI）。應可理解地，該承載結構20亦可為其它可供承載如晶片等電子元件之承載單元，如導線架（lead frame），但並不限於上述。

【0036】再者，該空間S之寬度R係由頂側（遠離該承載結構20之側）至底側（靠近該承載結構20之側）呈現不一致，例如，該空間S之寬度R可由頂側往底側之方向（即朝該承載結構20）漸縮，即該空間S呈錐狀，故透過此寬度R變化之方式，減低該電子元件21所受之應力作用。

【0037】又，該電子元件21係於其各該電極墊210上形成導電凸塊22，以令該電子元件21以覆晶方式藉由該些導電凸塊22電性連接該承載結構20之線路層200，且於該作用面21a與該承載結構20之間形成包覆層23以包覆該些導電凸塊22。例如，該導電凸塊22係為金屬柱（如銅柱）、焊錫材或其組合，且該包覆層23係為底膠。

【0038】另外，於本實施例中，該些電子元件21雖均為相同類型（即主動元件），但其內部構造可相同或不相同。

【0039】如圖2C所示，形成一封裝層24於該承載結構20上，以包覆該包覆層23與該些電子元件21。接著，於該承載結構20之下側（或植球側）上形成複數如錫球之導電元件25。之後，進行切單製程，以獲取該電子封裝件2。

【0040】該封裝層24可為絕緣材，如聚醯亞胺（polyimide，簡稱PI）、乾膜（dry film）、環氧樹脂（epoxy）、模封化合物（molding compound）或其它適當材料。於本實施例中，該封裝層24係採用壓合（lamination）或模壓（molding）之方式形成於該承載結構20上，以令該封裝層24填滿該間隙S。

【0041】再者，該封裝層24之楊氏模數（Young's modulus）係大於該包覆層23之楊氏模數。於本實施例中，該封裝層24之楊氏模數係為20GPa以上。

【0042】又，可藉由整平製程或薄化製程，使該電子元件21之非作用面21b與該封裝層24之上表面24b共平面，如圖2C'所示，以令該電子元件21之非作用面21b外露於該封裝層24。例如，當形成該封裝層24於該承載結構20上時，該封裝層24係覆蓋該電子元件21之非作用面21b，再以研磨或切割方式移除該封裝層24之部分材質（亦可依需求同時移除該電子元件21之非作用面21b之部分材質），使該電子元件21之非作用面21b齊平於該封裝層24之上表面24b。

【0043】另外，若接續圖2A''所示之製程（電子元件21'形成有倒角B），可獲取如圖2C'所示之電子封裝件2'。或者，如圖2C''所示之電子封裝件2''，該包覆層23亦可填滿該空間S。

【0044】如圖2D所示，於後續製程中，可將圖2C所示之電子封裝件2（或如圖2C'所示之電子封裝件2'）藉由該些導電元件25接置於一如電路板（PCB）或其它具線路之電子裝置26上，且該電路板（PCB）或其它具線路之電子裝置26下可植設複數錫球27。

【0045】應可理解地，該電子封裝件3,3'亦可配置不相同態樣的電子元件21,21',21'',31，如圖2D'或圖2D''所示，以形成各種型態的空間S',S''。例如，該空間S'之其中一側為斜面P，而另一側為斜面P與倒角B；或者，該空間S''之其中一側為斜面P，而另一側為平直面A；甚者，如圖4所示之電子封裝件4，其設有複

數電子元件21,21',21'',31，且該複數電子元件21,21',21'',31之間具有複數個空間S',S'',S1。

【0046】另一方面，該些電子元件21亦可為不相同類型的電子元件。例如，一電子元件21（主動元件）係為特殊應用積體電路（Application-specific integrated circuit，簡稱ASIC）型半導體晶片，而另一電子元件21係為封裝結構，其包含有封裝材、控制晶片及至少一高頻寬記憶體（High Bandwidth Memory，簡稱HBM）型晶片之封裝模組，並以控制晶片電性結合該些導電凸塊22。

【0047】因此，本發明之製法，主要先於該電子元件21,21',21''之至少一側面21c上形成該斜面P，以令兩相鄰之電子元件21,21',21''之至少一者以其斜面P所構成之空間S,S',S'',S1可作為應力緩衝區，使該封裝層24產生於該電子元件21,21',21'',31內部之應力得以減少，即該電子元件21,21',21'',31的內部能避免應力增大之現象，故相較於習知技術，本發明之製法可分散該電子元件21,21',21'',31所受之應力，避免該電子元件21,21',21'',31因應力集中而發生破裂之問題，提高該電子封裝件2,2',2'',3,3',4之可靠度。

【0048】再者，藉由該封裝層24、該包覆層23及/或其它適當材料填滿該空間S，能強化該空間S,S',S'',S1的強度，使該電子元件21,21',21'',31的內部不會發生應力集中造成該電子封裝件2,2',2'',3,3',4破裂之現象。

【0049】本發明復提供一種電子封裝件2,2',2'',3,3',4，係包括：一承載結構20、複數電子元件21,21',21'',31、以及一封裝層24。

【0050】所述之複數電子元件21,21',21'',31係間隔設置於該承載結構20上，其中，該電子元件21,21',21''係具有相對之作用面21a與非作用面21b及鄰接該作用面21a與非作用面21b之側面21c，且該複數電子元件21,21',21'',31之至少其中一者之作用面21a之寬度D1係大於該非作用面21b之寬度D2，以令該複數電子元件21,21',21'',31之至少其中一者之至少一側面21c形成斜面P，且令二相鄰之該

電子元件21,21',21'',31之間形成有一空間S,S',S'',S1，使該空間S,S',S'',S1之至少其中一側具有該斜面P。

【0051】 所述之封裝層24係形成於該承載結構20上，以包覆該複數電子元件21,21',21'',31。

【0052】 於一實施例中，該複數電子元件21,21',21'',31之構造係彼此不同。

【0053】 於一實施例中，該電子元件21,21',21'',31之作用面21a上具有複數電性連接該承載結構20之電極墊210。

【0054】 於一實施例中，該電子元件21'之作用面21a與該側面21c之鄰接處係形成有倒角B。

【0055】 於一實施例中，該空間S,S',S'',S1之寬度R係朝該承載結構20漸縮。

【0056】 於一實施例中，該電子元件21,21',21'',31係藉由複數導電凸塊22電性連接該承載結構20。進一步，該電子元件21,21',21'',31與該承載結構20之間係形成有包覆層23，以令該包覆層23包覆該複數導電凸塊22，且該封裝層24復包覆該包覆層23。

【0057】 於一實施例中，該電子元件21'之非作用面21b係外露於該封裝層24之上表面24b。

【0058】 於一實施例中，該電子封裝件2,2',2'',3,3',4復包括形成於該承載結構20相對設置該電子元件21之側上的複數導電元件25。

【0059】 綜上所述，本發明之電子封裝件及其製法，係藉由該電子元件之斜面，以形成錐狀空間，使該封裝層產生於該電子元件內部之應力得以減少，分散該電子元件所受之應力，避免該電子元件因應力集中而發生破裂之問題，提高該電子封裝件之可靠度。

【0060】 上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對

上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

## 【符號說明】

### 【0061】

1:半導體封裝件

10:矽中介板

10a:轉接側

10b:置晶側

100:導電矽穿孔

101:線路結構

11:半導體元件

21c:側面

12:鐳錫凸塊

13:底膠

14,24:封裝層

15,25:導電元件

16:封裝基板

160,27:鐳球

17:底膠

18:封裝膠體

19:電路板

2,2',2'',3,3',4:電子封裝件

2a:整版面基材結構

20:承載結構

200:線路層

21,21',21'',31:電子元件

21a:作用面

21b:非作用面

210:電極墊

22:導電凸塊

23:包覆層

24b:上表面

26:電子裝置

A:平直面

B:倒角

D1,D2,R:寬度

L:切割路徑

P:斜面

S,S',S'',S1:空間

V:錐狀缺口

X:水平方向

## 【發明申請專利範圍】

【請求項1】 一種電子封裝件，係包括：

承載結構；

第一電子元件與第二電子元件，係間隔設置於該承載結構上，其中，該第一電子元件與該第二電子元件皆具有相對之作用面與非作用面及鄰接該作用面與非作用面之側面，該第一電子元件之作用面之寬度係大於該非作用面之寬度，以令該第一電子元件之至少一側面形成斜面，且該第一電子元件之斜面與該第二電子元件之側面之間形成有一空間，使該空間之至少其中一側具有該斜面；以及

封裝層，係形成於該承載結構上，其中，該封裝層完全填滿該第一電子元件之斜面與該第二電子元件之側面之間的具有該斜面之該空間，且該第一電子元件之斜面與該第二電子元件之側面之間的具有該斜面之該空間僅形成有該封裝層。

【請求項2】 如請求項1所述之電子封裝件，其中，該第一電子元件與該第二電子元件之構造係彼此不同。

【請求項3】 如請求項1所述之電子封裝件，其中，該第一電子元件或該第二電子元件之作用面上具有複數電性連接該承載結構之電極墊。

【請求項4】 如請求項1所述之電子封裝件，其中，該第一電子元件之作用面與該側面之鄰接處係形成有倒角。

【請求項5】 如請求項1所述之電子封裝件，其中，該空間之寬度係朝該承載結構漸縮。

【請求項6】 如請求項1所述之電子封裝件，其中，該第一電子元件或該第二電子元件係藉由複數導電凸塊電性連接該承載結構。

【請求項7】 如請求項6所述之電子封裝件，其中，該第一電子元件與該承載結構之間係形成有包覆層，以令該包覆層包覆該複數導電凸塊，且該封裝層復包覆該包覆層。

【請求項8】 如請求項1所述之電子封裝件，其中，該第一電子元件或該第二電子元件之非作用面係外露出該封裝層。

【請求項9】 如請求項1所述之電子封裝件，更包括第三電子元件，其中，該第一電子元件、第二電子元件與第三電子元件之間係形成有複數該空間。

【請求項10】 如請求項1所述之電子封裝件，復包括複數形成於該承載結構相對設置該第一電子元件或該第二電子元件之另一側上之導電元件。

【請求項11】 一種電子封裝件之製法，係包括：

提供第一電子元件與第二電子元件，其中，該第一電子元件與該第二電子元件皆具有相對之作用面與非作用面及鄰接該作用面與非作用面之側面，且該第一電子元件之作用面之寬度係大於該非作用面之寬度，以令該第一電子元件之至少一側面形成斜面；

將該第一電子元件與該第二電子元件間隔設置於一承載結構上，以令該第一電子元件之斜面與該第二電子元件之側面之間形成有一空間，使該空間之至少其中一側具有該斜面；以及

形成封裝層於該承載結構上，其中，該封裝層完全填滿該第一電子元件之斜面與該第二電子元件之側面之間的具有該斜面之該空間，且該第一電子元件之斜面與該第二電子元件之側面之間的具有該斜面之該空間僅形成有該封裝層。

【請求項12】 如請求項11所述之電子封裝件之製法，其中，該第一電子元件與該第二電子元件之構造係彼此不同。

【請求項13】 如請求項11所述之電子封裝件之製法，其中，該第一電子元件或該第二電子元件之作用面上具有複數電性連接該承載結構之電極墊。

【請求項14】 如請求項11所述之電子封裝件之製法，其中，該第一電子元件之作用面與該側面之鄰接處係形成有倒角。

【請求項15】 如請求項11所述之電子封裝件之製法，其中，該空間之寬度係朝該承載結構漸縮。

【請求項16】 如請求項11所述之電子封裝件之製法，其中，該第一電子元件或該第二電子元件係藉由複數導電凸塊電性連接該承載結構。

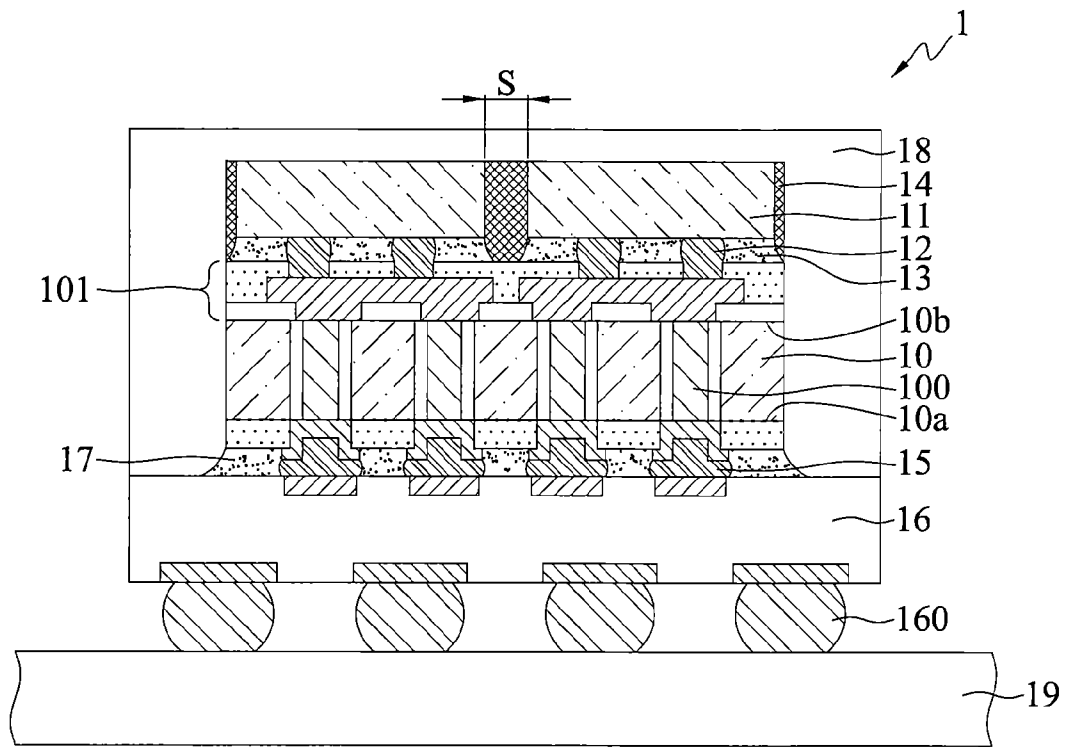
【請求項17】 如請求項16所述之電子封裝件之製法，復包括於形成該封裝層之前，於該第一電子元件與該承載結構之間形成有包覆層，以令該包覆層包覆該複數導電凸塊，且於形成該封裝層時，該封裝層復包覆該包覆層。

【請求項18】 如請求項11所述之電子封裝件之製法，其中，該第一電子元件或該第二電子元件之非作用面係外露出該封裝層。

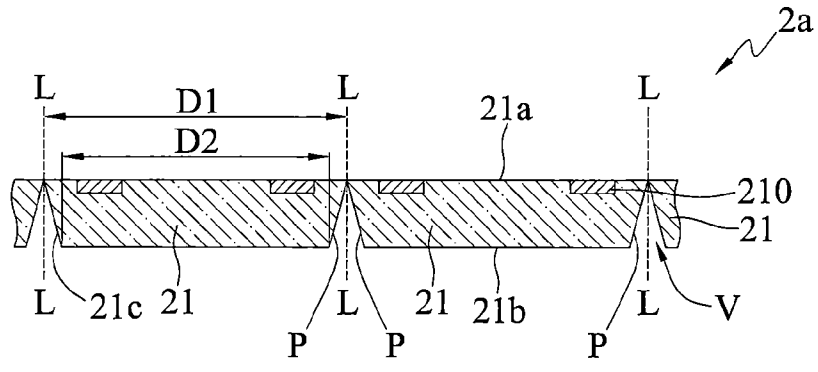
【請求項19】 如請求項11所述之電子封裝件之製法，更包括提供第三電子元件，其中，該第一電子元件、第二電子元件與第三電子元件之間係形成有複數該空間。

【請求項20】 如請求項11所述之電子封裝件之製法，復包括於該承載結構相對設置該第一電子元件或該第二電子元件之另一側上形成複數導電元件。

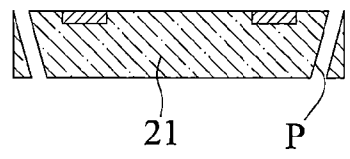
【發明圖式】



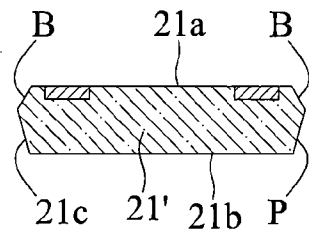
【圖 1】



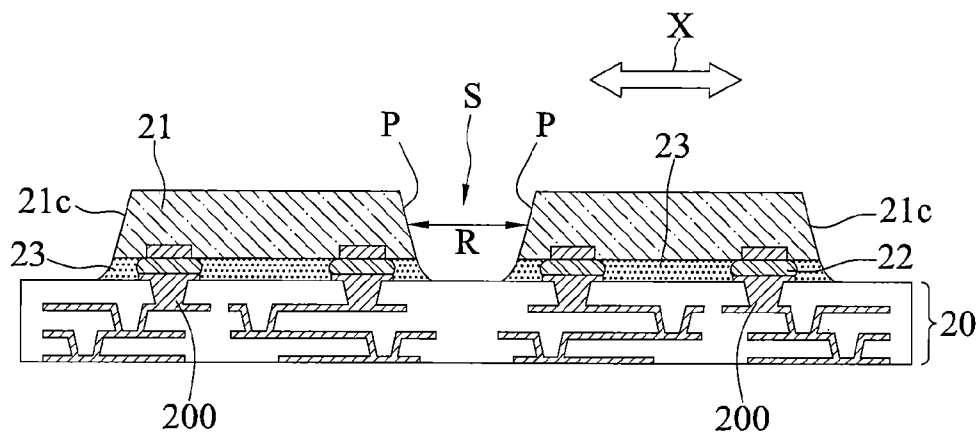
【圖 2A】



【圖 2A'】

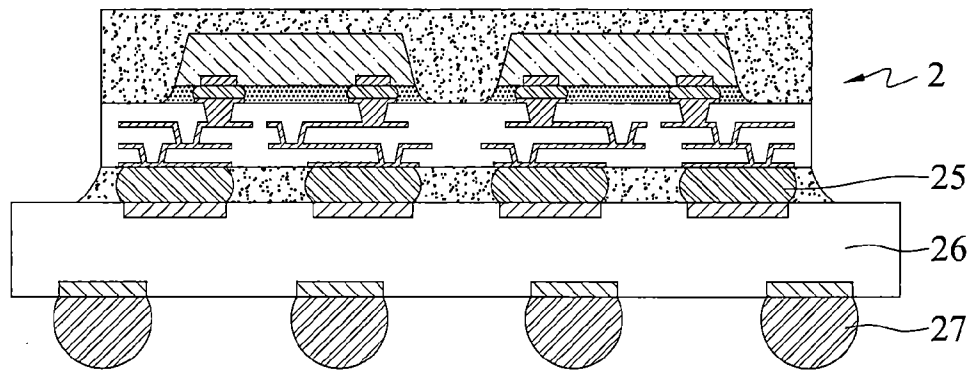


【圖 2A''】

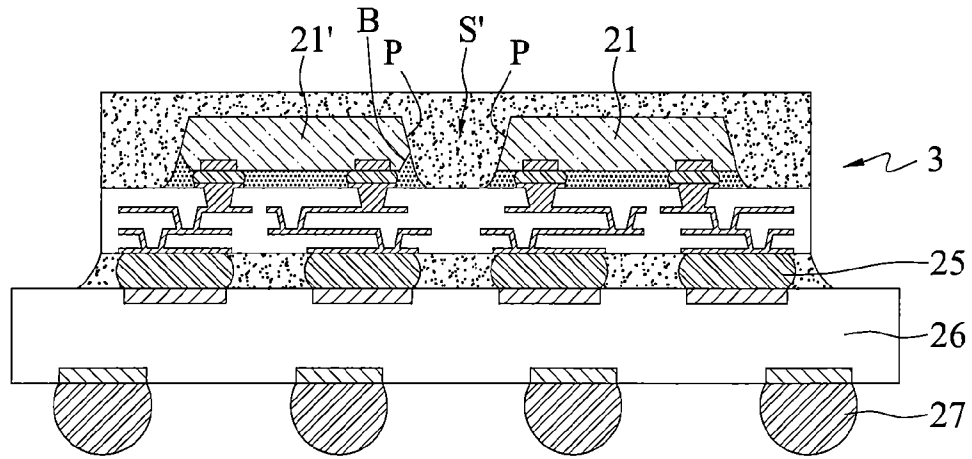


【圖 2B】

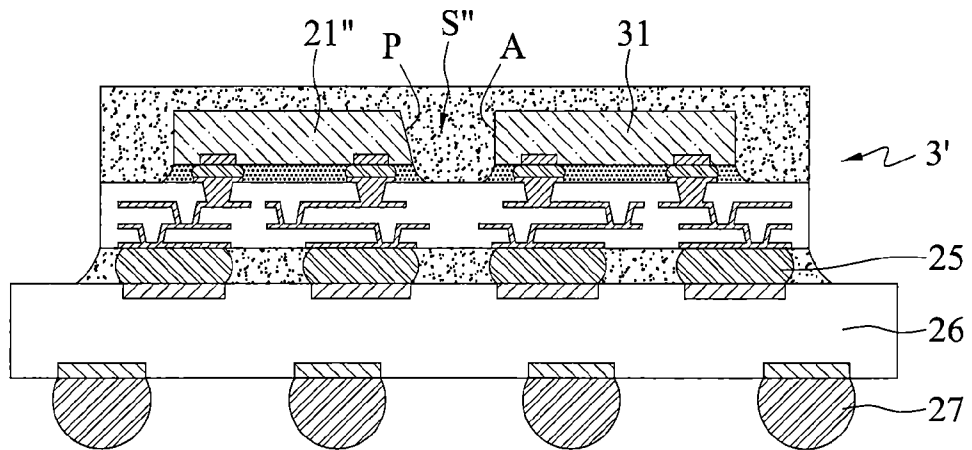




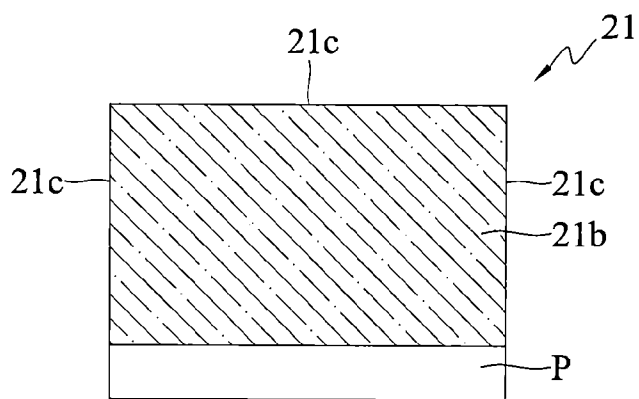
【圖 2D】



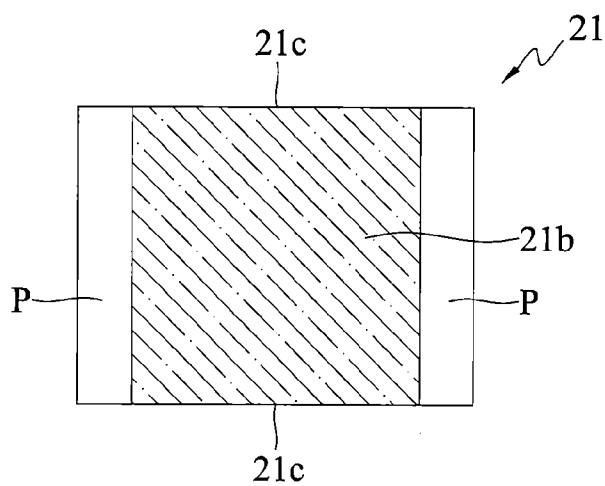
【圖 2D'】



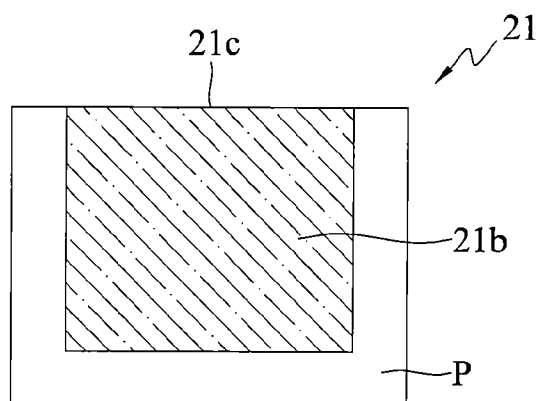
【圖 2D''】



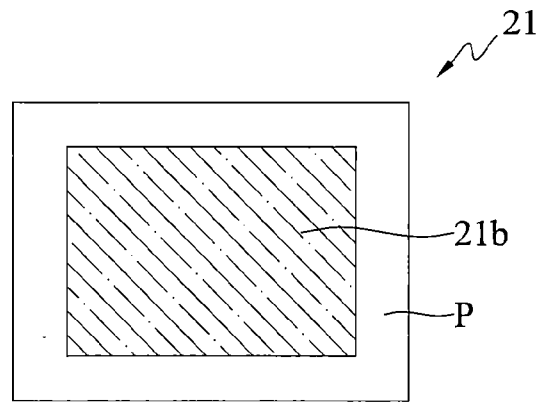
【圖 3A-1】



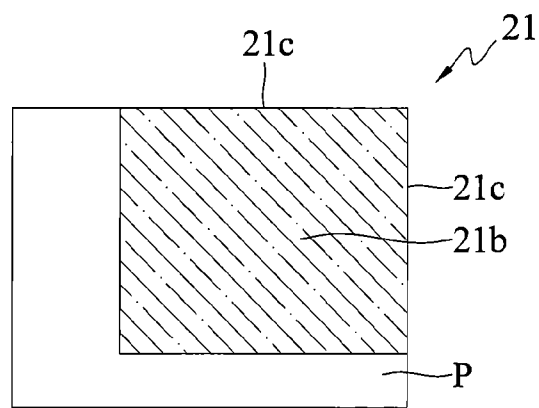
【圖 3A-2】



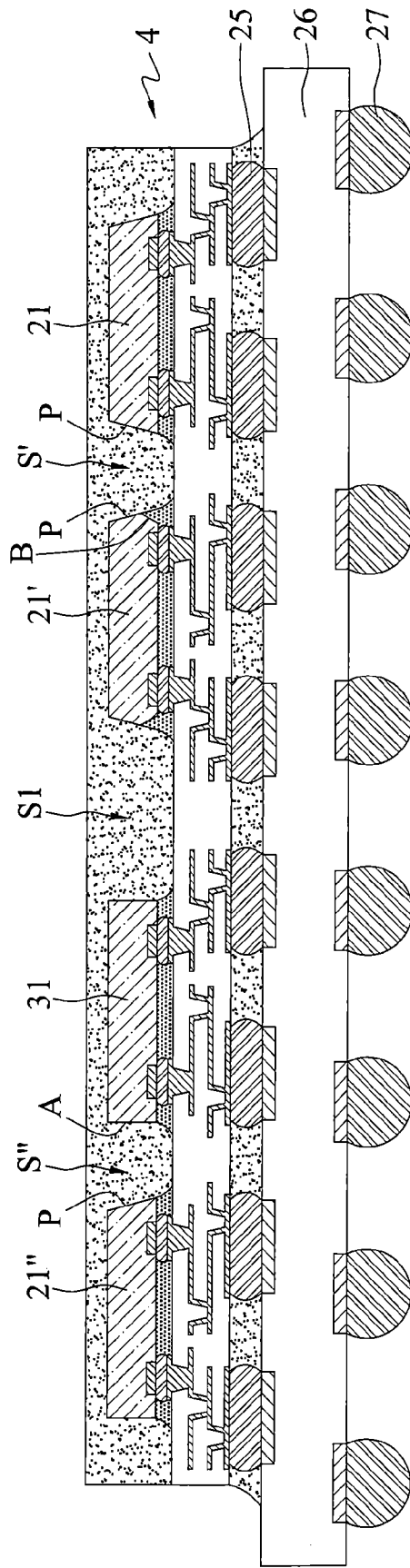
【圖 3A-3】



【圖 3A-4】



【圖 3A-5】



【圖 4】