【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成16年12月16日(2004.12.16)

【公開番号】特開2001-267559(P2001-267559A)
【公開日】平成13年9月28日(2001.9.28)
【出願番号】特願2000-74751(P2000-74751)
【国際特許分類第７版】
　ＨＯ１Ｌ　29/78
　ＨＯ１Ｌ　21/8238
　ＨＯ１Ｌ　27/092
【ＦＩ】
　ＨＯ１Ｌ　29/78　　３０１Ｇ
　ＨＯ１Ｌ　27/08　　３２１Ｄ
　ＨＯ１Ｌ　29/78　　３０１Ｃ
　ＨＯ１Ｌ　29/78　　３０１Ｊ

【手続補正書】
【提出日】平成16年1月8日(2004.1.8)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
半導体基板表面に形成されたＭＯＳトランジスタにおいて、
前記半導体基板表面に形成されたソース、ドレイン領域と、
前記ソース及びドレイン領域間であって前記半導体基板上に絶縁膜を介して設けられたフローティングゲートと、
前記フローティングゲートに絶縁膜を介して設けられた入力ゲートと複数の閾値制御ゲートとを有し、
前記複数の閾値制御ゲートと前記フローティングゲートとの間の容量の比が、所定の比率に設定され、
活性化状態は、前記閾値制御ゲートに第１の電圧が印加されて前記入力ゲートに対して第１の閾値電圧にされ、非活性化状態は、前記閾値制御ゲートに第２の電圧が印加されて前記入力ゲートに対して前記第１の閾値電圧よりも高い第２の閾値電圧にされることを特徴とするＭＯＳトランジスタ。
【請求項２】
半導体基板表面に形成されたＭＯＳトランジスタにおいて、
前記半導体基板表面に形成されたソース、ドレイン領域と、
前記ソース及びドレイン領域間であって前記半導体基板上に絶縁膜を介して設けられた第１のゲートと、
前記第１のゲートに容量を介して設けられた入力ゲートと閾値制御ゲートとを有し、
活性化状態は、前記閾値制御ゲートに第１の電圧が印加されて前記入力ゲートに対して第１の閾値電圧にされ、非活性化状態は、前記閾値制御ゲートに第２の電圧が印加されて前記入力ゲートに対して前記第１の閾値電圧よりも高い第２の閾値電圧にされることを特徴とするＭＯＳトランジスタ。
【請求項３】
請求項2において、

前記容量は、前記半導体基板表面に形成され前記入力ゲート及び閾値制御ゲートを構成する不純物領域と、前記第１のゲートに接続され前記不純物領域上に絶縁膜を介して設けられた第２のゲートとにより構成されることを特徴とするＭＯＳトランジスタ。
【請求項４】
請求項２において、
前記閾値制御ゲートが複数設けられ、当該複数の閾値制御ゲートの前記容量の比が、所定の比率に設定されていることを特徴とするＭＯＳトランジスタ。
【請求項５】
請求項１または２において、
前記ＭＯＳトランジスタは、２つの電源間に接続されたＮチャネルトランジスタとＰチャネルトランジスタであり、それぞれの前記閾値制御ゲートには、前記第１の電圧として低レベル及び高レベル電圧が、前記第２の電圧として高レベル及び低レベル電圧がそれぞれ印加され、前記入力ゲートに共通に入力信号が供給されることを特徴とするＭＯＳトランジスタ。
【請求項６】
半導体基板表面に形成されたＭＯＳトランジスタにおいて、
前記半導体基板表面に形成されたソース、ドレイン領域と、
前記ソース及びドレイン領域間であって前記半導体基板上に絶縁膜を介して設けられたフローティングゲートと、
前記フローティングゲートに絶縁膜を介して設けられた入力ゲートとを有し、
高速動作用トランジスタは、前記フローティングゲートと入力ゲートとが短絡され、低消費電力動作用トランジスタは前記フローティングゲートと入力ゲートとが絶縁されていることを特徴とするＭＯＳトランジスタ。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】０００６
【補正方法】変更
【補正の内容】
【０００６】
この例は、例えばＮＡＮＤゲートを構成するＣＭＯＳトランジスタ回路Ｑ３は、低閾値電圧トランジスタで構成し、その低閾値電圧トランジスタ回路に対して、電流供給用の高閾値電圧トランジスタＱ１，Ｑ２を設ける。そして、活性動作状態では、電流供給用トランジスタＱ１，Ｑ２を導通状態にし、電源VDDから電源用大容量Ｃ１０，Ｃ２０を介して低閾値電圧トランジスタ回路Ｑ３に電流を供給する。その場合、トランジスタ回路Ｑ３は、低閾値電圧であるので高速動作が可能である。一方、非活性状態（低消費電力状態）では、電流供給用トランジスタＱ１，Ｑ２に制御信号ＳＬ=Hレベル、／ＳＬ＝Ｌレベルをそれぞれ印加して、トランジスタＱ１，Ｑ２を非導通状態にする。これらのトランジスタＱ１，Ｑ２は高い閾値電圧であるので、完全に非導通にしてオフリーク電流をなくすことができるので、低閾値電圧トランジスタ回路Ｑ３がオフリーク電流の発生により電流を供給することはなく、内部トランジスタ回路Ｑ３の電力消費を防止することができる。また、特開平１１－２６１３８２号には、発振周波数を制御する別のトランジスタを設けることなく小さな回路面積で済む半導体発振回路が開示される。スタンバイ時には、半導体発振回路に含まれるインバーター回路を構成するＰＭＯＳトランジスタとＮＭＯＳトランジスタにそれぞれ印加するコントロール電圧を制御することで、少なくとも一方のトランジスタをオフ状態にし、半導体発振回路の発振を停止させ、低消費電力が実現されることが記載されている。