



(43)申请公布日 2019.11.22

权利要求书2页 说明书8页 附图6页

1. 一种半导体晶圆组件,所述半导体晶圆组件包括:
第一晶圆,其包括集成电路,并具有包括氧化物层的第一表面;
第二晶圆,其具有第一表面和第二表面,所述第一表面包括接合到第一半导体晶圆的所述氧化物层的氧化物层,其中所述第一晶圆和所述第二晶圆限定腔;
半导体管芯,其在所述腔内,所述半导体管芯被机械地和电气地连接到所述第一晶圆;
以及
第三晶圆,其包括集成电路,并且具有第一表面,所述第一表面被接合到所述第二晶圆的所述第二表面,从而将所述半导体管芯封装在所述腔内。
2. 根据权利要求1所述的半导体晶圆组件,其中,所述半导体管芯通过凸块接合、线互连、超声波接合和氧化接合中的至少一种被机械地和电气地连接到所述第一晶圆。
3. 根据权利要求1所述的半导体晶圆组件,其中,所述腔被气密密封以封装所述半导体管芯。
4. 根据权利要求1所述的半导体晶圆组件,其中,所述第三晶圆的集成电路靠近所述第三晶圆的所述第一表面并且被电气地连接到所述第一晶圆和所述第二晶圆。
5. 根据权利要求1所述的半导体晶圆组件,其中,所述第一晶圆的集成电路靠近所述第一晶圆的所述第一表面,其被电气地连接到所述第二晶圆和所述第三晶圆。
6. 根据权利要求1所述的半导体晶圆组件,其中,所述晶圆组件被配置为在所述晶圆组件被划片时产生一个或多个堆叠的集成电路,其各自包括一个或多个封装的半导体管芯。
7. 根据权利要求1所述的半导体晶圆组件,还包括到所述半导体管芯的至少一个电气路径,其通过所述第一晶圆、所述第二晶圆和所述第三晶圆中的至少一个到达所述晶圆组件的外表面。
8. 根据权利要求1所述的半导体晶圆组件,还包括所述半导体管芯与所述第一晶圆、所述第二晶圆和所述第三晶圆中的一个或多个之间的一个或多个热界面。
9. 根据权利要求1所述的半导体晶圆组件,其中,所述第二晶圆和所述第三晶圆被凸块接合,以便限定提供与所述腔的热隔离的气隙。
10. 根据权利要求1所述的半导体晶圆组件,其中,所述第一晶圆的所述集成电路靠近所述第一表面,并且所述第一晶圆包括通过所述第一晶圆到达所述集成电路的电气路径。
11. 根据权利要求1所述的半导体晶圆组件,其中:
所述第二晶圆的第二表面和所述第三晶圆的第一表面各自包括氧化物层;并且
所述第二晶圆和所述第三晶圆在它们相应的氧化物层处氧化接合在一起。
12. 根据权利要求1所述的半导体晶圆组件,其中,所述第一晶圆、所述第二晶圆和所述第三晶圆中的一个或多个限定了从所述晶圆组件外部到所述腔的导管。
13. 根据权利要求12所述的半导体晶圆组件,其中,所述导管和所述腔至少部分地填充有导热材料。
14. 根据权利要求12所述的半导体晶圆组件,其中,将所述导管和所述腔抽空并密封,从而提供真空封装。
15. 根据权利要求12所述的半导体晶圆组件,其中,在密封之前,将所述导管和所述腔抽空并用液体或气体回填。
16. 根据权利要求1所述的半导体晶圆组件,其中,所述第二晶圆包括互连到所述第一

晶圆和所述第三晶圆的集成电路的有源集成电路。

17. 根据权利要求1所述的半导体晶圆组件,其中,所述半导体管芯还包括至少一个氧化物层,其氧化接合到所述第一晶圆和所述第三晶圆中的至少一个。

18. 一种将管芯封装到半导体晶圆组件中的方法,所述方法包括:

将腔刻蚀成氧化接合的半导体晶圆堆叠;

将半导体管芯定位在所述腔中;

将所述半导体管芯机械地和电气地安装到所述晶圆堆叠;并且

通过将盖晶圆接合到所述晶圆堆叠来将所述半导体管芯封装在所述腔内。

19. 根据权利要求18所述的方法,其中,机械地和电气地安装所述半导体管芯包括选自凸块接合、线互连、超声波接合和氧化接合的工艺。

20. 根据权利要求18所述的方法,其中,将所述盖晶圆接合到所述晶圆堆叠还包括:

在所述晶圆堆叠的第一表面上创建氧化物层;

在所述盖晶圆的第一表面上创建氧化物层;以及

将所述晶圆堆叠的第一表面的氧化物层接合到所述盖晶圆的第一表面的氧化物层,以创建晶圆组件并在所述腔周围形成气密密封。

21. 根据权利要求18所述的方法,还包括形成从所述晶圆组件外部通过所述盖晶圆到达所述腔的导管。

22. 根据权利要求21所述的方法,还包括将足够量的热材料递送到所述导管以填充所述导管或者所述导管和所述腔的至少一部分。

23. 根据权利要求18所述的方法,还包括在所述半导体管芯上形成热材料层。

24. 根据权利要求18所述的方法,还包括对所述晶圆组件进行划片以产生一个或多个半导体芯片,每个半导体芯片包括一个或多个封装的半导体芯片。

25. 根据权利要求18所述的方法,还包括抽空并密封所述导管和所述腔以提供真空封装。

26. 根据权利要求18所述的方法,还包括在密封之前将所述导管和所述腔抽空并用液体或气体回填。

氧化接合的晶圆堆叠中的管芯封装

背景技术

[0001] 本公开涉及集成电路、半导体器件和其他小型化器件的制造,并且更特别地,涉及包括封装在氧化接合晶圆堆叠中的半导体管芯(die)的三维集成电路(3D-IC)的制造。

[0002] 随着半导体器件大小已经减小,3D器件集成已成为增加集成电路和/或半导体器件密度的期望方法,其相比于2D设计提供小得多的形状因子以及更高的性能和更低的功率。3D-IC组件包括两个或更多个有源电子部件(例如,传感器和读出电路)堆叠层,其使用水平层内和垂直(通过硅通孔,TSV)层间连接,使得它们表现为单个器件。封装到封装堆叠和管芯到管芯(D2D)堆叠允许选择“已知良好管芯”来用于堆叠,并且相比于3D可以提供更高的产量但是性能改善有限。2D方法有时使用需要长连接的线接合,这会减缓速度并限制可能的连接的数量。更简洁的2.5D解决方案使用凸块接合到中介层,其提供电路之间的路由,但仍然比真正的3D电路产生更高的功率和更低性能。此外,由于管芯的超薄性质,D2D堆叠难以处理并且易于破损和污染。晶圆到晶圆(W2W)3D堆叠允许TSV缩小到更小的直径,其中更薄的晶圆允许更高的3D连接密度,从而导致更高的带宽、性能和功率改进、并提供更低的制造成本。然而,3D堆叠可能遭受降低的产量,这是因为如果3D-IC中的N个芯片中的任何一个有缺陷,则整个3D-IC将是有缺陷的。此外,晶圆堆叠对于相同大小的晶圆是最佳的,并且由于非硅材料(例如,III-V族)通常在比硅CMOS逻辑或DRAM更小的晶圆上制造,因此晶圆层级异构集成(heterogeneous integration)可能造成制造和产量挑战。

[0003] 使用氧化接合的3D集成已经主要用于接合整个晶圆,这是因为对于管芯层级处的接合,该处理不那么成熟。焊料密封晶圆层级封装已经被证明,这是因为已经接合了具有腔的晶圆。已知的技术可用于将集成电路管芯直接金属到金属接合到硅晶圆上,但是这些技术对于高层数晶圆堆叠管芯具有处理应力、产量、互连密度和热限制上的限制。其他技术已将多个管芯集成到中介层上,但既没有在z轴上进一步扩展堆叠超过2-3层,也没有实现异构或气密密封的器件。

[0004] 本公开考虑了一种新的和改进的用于使用管芯封装制造3D-IC的方法,其克服了当前的限制。一些实施例还解决了片上热管理的需求,允许更高的功率耗散和更大的封装密度。

发明内容

[0005] 本公开涉及封装一个或多个器件管芯的氧化接合的半导体晶圆组件,以及用于形成它们的工艺。在一个实施例中,晶圆组件包括:第一晶圆,其具有包括氧化物层的第一表面;第二晶圆,其具有第一表面和第二表面,第一表面包括接合到第一晶圆的氧化物层的氧化物层,并且其中第一晶圆和第二晶圆限定腔。半导体管芯被机械地和电气地连接到腔中的第一晶圆,并且具有第一表面的第三晶圆封装管芯,所述第一表面被接合到第二晶圆的第二表面。管芯可以通过凸块接合、线互连,超声波接合和/或氧化接合来连接。封装可包括气密密封。晶圆中的每个可以包括集成电路(IC)和一个或多个硅通孔(TSV),以用于电气地连接晶圆和管芯之间的IC,并且连接到外部器件和晶圆。

- [0006] 在另一个实施例中,可以在半导体管芯和晶圆中的一个或多个之间形成热界面。
- [0007] 在另一个实施例中,第二(中间)晶圆和第三(盖)晶圆被凸块接合,以便限定提供与腔的热隔离得气隙。
- [0008] 在另一实施例中,第二(中间)晶圆的第二表面和第三(盖)晶圆的的第一表面各自包括氧化物层。第二晶圆和第三晶圆可以在它们相应的氧化物层处氧化接合在一起。
- [0009] 在另一个实施例中,第一晶圆、第二晶圆和第三晶圆中的一个或多个可以具有从晶圆组件外部到腔的导管。导管和腔可以至少部分地填充有导热或其他功能材料。导管和腔可以被抽空和密封,提供真空封装以增强热隔离。在密封腔之前,可以抽空导管和腔并用液体或气体回填。
- [0010] 在另一方面,制造半导体晶圆组件的方法,其将一个或管芯封装在刻蚀到氧化接合的半导体晶圆堆叠中的腔中。该方法通常包括以下步骤:将管芯定位在腔中,将管芯机械地和电气地安装到晶圆堆叠,并且通过以多种方式中的一种方式将盖晶圆接合到晶圆堆叠来将管芯封装在腔内。应用半导体处理步骤(例如,光刻、沉积、退火、化学和机械抛光、刻蚀等)来构造组件并且根据上述实施例连接(例如,凸块接合、线互连、超声波接合、氧化接合等)管芯。
- [0011] 从以下详细描述中将更好地理解所公开实施例的其他目的和优点。

附图说明

- [0012] 下面参考附图讨论本公开的至少一个实施例的各方面。将理解的是,为了说明的简单和清楚,图中所示的元件不一定精确地或按比例绘制。例如,为了清楚起见,一些元件的尺寸可能相对于其他元件被夸大,或者一个功能块或元件中可以包括若干物理部件。在认为适当的情况下,附图标记可以在图中重复以指示相应或类似的元件。出于清楚的目的,并非每个部件都可以在每个图中被标记。图出于说明和解释的目的被提供,且不在作为本发明的限制的定义。在图中:
- [0013] 图1是根据示例性实施例的用于将一个或多个器件管芯封装在氧化接合的3D-IC晶圆堆叠中的三种替代方法的流程图;
- [0014] 图2A-2F是3D-IC晶圆堆叠的未组装和部分组装的部件的示意性截面图示,并且图2G和图2H是根据某些实施例的3D-IC半导体晶圆组件的示意性截面图示;
- [0015] 图3A-3C是3D-IC晶圆堆叠的部分组装的部件的示意性截面图示,并且图3D是根据某些实施例的3D-IC晶圆组件的示意性截面图示;以及
- [0016] 图4A-4C是3D-IC晶圆堆叠的部分组装的部件的示意性截面图示,并且图4D是根据某些实施例的3D-IC晶圆组件的示意性截面图示。

具体实施方式

- [0017] 在以下详细描述中,阐述了许多具体细节以便提供对本公开的方面的透彻理解。本领域普通技术人员将理解的是,可以在不独立地实现这些具体细节中的一些的情况下实践这些。在其他情况下,可能没有详细描述众所周知的方法、过程、部件和结构,以免使实施例模糊。
- [0018] 优选实施例的以下描述本质上仅是示例性的,并且决不旨在限制本公开、其应用

或用途。此外,要理解的是,本文采用的措辞和术语仅用于描述的目的,并且不应视为限制。应当理解的是,为了清楚起见,某些特征在单独的实施例的上下文中描述,但是也可以在单个实施例中组合提供。相反,为简洁起见,各种特征在单个实施例的上下文中描述,但也可单独提供或以任何合适的子组合提供。

[0019] 除非明确地如此描述,否则本文使用的元件、动作或指令不应被解释为关键或必要的。如本文所使用的,冠词“一”和“一个”旨在包括一个或多个项目,并且可以与“一个或多个”互换使用。此外,除非另有明确说明,否则短语“基于”旨在意为“至少部分地基于”。将进一步理解的是,术语“包括”、“具有”、“包含”和“含有”以及这些术语的任何形式是开放式连接动词。结果,“包括”、“具有”、“包含”或“含有”一个或多个步骤或元件的方法或器件拥有那些一个或多个步骤或元件,但不限于仅拥有那些一个或多个步骤或元件。此外,所描述的以某种方式配置的器件或晶圆结构以至少该方式配置,但是也可以以未示出的方式配置。

[0020] 出于以下描述的目的,术语“上部”、“下部”、“顶部”、“底部”、“垂直”、“水平”、“正面”、“背面”及其派生词应涉及所公开的结构和方法,如以附图取向。术语“在顶部”、“相邻”、“定位在”或“定位在顶部”意味着第一元件(诸如第一器件结构或层)存在于第二元件(诸如第二器件结构或层)之上或附近,其中可以存在中间元件(诸如界面结构或层),并且不一定意味着例如第一晶圆层和第二晶圆层在两层界面处没有任何中介导电层、绝缘层或半导体层的情况下彼此直接接触。

[0021] 诸如球栅阵列(BGA)的半导体元件可以用作航空传感器架构和/或其他半导体架构的一部分。在光子学领域,基于磷化铟(InP)和砷化镓(GaAs)的III-V族材料由于与这些材料的直接带隙相关的优异光子特性而成为关键的使能者。在大多数情况下,半导体元件中的每个被焊接到主电路板(例如,母板、阵列等),从而创建半导体阵列。如本文使用的,术语“管芯”指代已经用IC制造的一小块半导体材料,包括但不限于CMOS、光电子器件、红外探测器、MEMS等,并且术语“晶圆”用于指代可以包括衬底层和/或用于IC制造的薄片半导体材料。晶圆通常被配置成圆形,但可以是与氧化接合处理兼容的任何大小或形状,包括但不限于矩形面板大小或划片(dice)形状和大小。术语“凸块”和“凸块化”指代将焊球附接到晶圆或管芯的接合衬垫(例如,在TSV连接器衬垫处)从而形成与晶圆堆叠或组件中的其他器件和/或晶圆的连接点的半导体封装技术。可以诸如通过DBH接合、无电镀镍浸金、凸块下金属化等将接合衬垫氧化接合到支撑晶圆。仅为了清楚起见,术语“半导体晶圆组件”指代多个半导体晶圆与根据当前公开的方法的实施例中的任何一个的制造产生的封装在其中的至少一个管芯的复合结构,而术语“晶圆堆叠”用于指代半导体晶圆组件制造的任何中间阶段的晶圆和管芯结构。

[0022] 在大多数D2W应用中,电子部件被构建在两个半导体晶圆上。一个晶圆被划片,并将单体化的管芯对准并(例如,通过接合、线互连等)连接到第二晶圆的管芯位置上。与W2W方法一样,在接合之前或之后,在D2W应用中执行减薄和TSV互连创建。

[0023] 参照图1,流程图示出了用于形成半导体晶圆组件的方法10(具有多个替代实施例),其中器件管芯被封装在三个半导体晶圆内,每个半导体晶圆可以包括IC。在下文中参考图2A-2H、图3A-3D和图4A-4D详细描述方法10的实施例的各个步骤。实施例包括用于在要被用于制造晶圆组件的半导体晶圆中的一个或多个上常规地创建电路(例如,迹线、部件、

电气通孔)的未示出的步骤。方法10的实施例开始于共同的初始步骤12(在两个硅晶圆的相对面中形成对应的TSV)、步骤14(将TSV凸块衬垫形成和直接接合杂化(DBH)氧化接合到晶圆上并在相对面上沉积氧化物层)、步骤16(平面化且接合晶圆)以及步骤18(显露TSV、形成TSV衬垫和DBH氧化接合TSV衬垫、在晶圆堆叠的顶表面上沉积且平面化氧化物层以及然后的硬保护掩模以为刻蚀顶表面做准备)。然后,方法10的实施例略微分叉,以适应晶圆和完成的晶圆组件的封装管芯之间的变化连接选项。每个实施例包括用于将一个或多个腔刻蚀到晶圆堆叠中、去除硬保护掩模、以及制备第三晶圆的变体以用作腔密封盖的步骤(例如,相应步骤20、30、40)。

[0024] 通过方法10的三个示例性实施例的变化的最终步骤实现最终半导体晶圆组件的不同配置。在第一实施例中,步骤22(安装和接合管芯,盖晶圆抛光)、步骤24(盖晶圆接合)和可选步骤26(导管刻蚀、热填充;划片)形成晶圆组件,使得被接合到底部晶圆的的一个或多个管芯凸块被气密密封在刻蚀腔中。在第二实施例中,步骤32(管芯和腔制备)、步骤34(管芯附和盖晶圆凸块化)和步骤36(盖晶圆附和、底部晶圆TSV凸块化、划片)形成晶圆组件,使得盖晶圆封装并且被凸块接合到安装的管芯以及中间晶圆。方法10的第三实施例类似于第一实施例,除了步骤42(管芯安装和接合、热界面形成)、步骤44(清洁、氧化接合盖晶圆)和步骤46(底部晶圆TSV凸块化、划片)导致盖晶圆和接合到封装管芯的热界面之间的氧化接合。虽然仅在步骤26中示出了导管(或通风口)的可选刻蚀和底部填充有热材料,但应理解,这些操作可用于任何实施例中。

[0025] 图2A-2H、图3A-3D和图4A-4D示意性地示出了对应于方法10的实施例的连续单独的处理步骤的晶圆结构。参考图2A中所示的半导体晶圆组件100的第一实施例的示意性截面图示,本文公开了使得晶圆(或衬底)能够在器件封装中接合3D-IC集成的技术,其使用一个或多个半导体晶圆(例如,底部晶圆102、中间晶圆104和盖晶圆106)的氧化接合来将管芯108气密地封闭在密封的体积(诸如已经被刻蚀到晶圆102、104、106中的一个或多个中的腔110)内。该技术允许以适合于晶圆级3D-IC集成的格式并入器件管芯类型,这可能是常规处理所不能满足的。管芯108通常由诸如硅的半导体材料形成,但可以预见的是,可以使用其他材料。管芯108与底部晶圆102和可选的盖晶圆106的机械和电气集成可以通过DBH接合或通过凸块112和衬垫114处使用凸块接合来执行。在其他实施例中,管芯108可以通过线或类似的互连和/或通过氧化物或超声波接合而被机械地和电气地连接。

[0026] 图2B是在晶圆组件100的前端处理中使用的未组装的底部晶圆102和中间晶圆104的示意性截面图(对应于方法10的步骤12)。中间晶圆104可以包括硅或其他可刻蚀材料,而底部晶圆102和顶部晶圆106可以包括硅或不同材料,诸如碳化硅、熔融石英、玻璃、蓝宝石、砷化镓、磷化铟、绝缘体上硅(SOI)、金属、陶瓷和其他介电、导电或半导体材料。在该实施例中,晶圆102、104可以包括半导体晶圆,诸如硅半导体晶圆,但是也可以使用其他类型的材料。晶圆102、104通常是平面的。底部晶圆102包括底表面116和面向腔的顶表面118,并且中间晶圆104包括面向腔的底表面120和顶表面122。底部晶圆102可以包括设置在面向腔的表面118上或略低于面向腔的表面118的IC 124。中间晶圆104还可以具有IC 126、128,其被放置在面向腔的底表面120和顶表面122中的任一者或两者之上或略低于面向腔的底表面120和顶表面122中的任一者或两者。

[0027] 多个TSV 130a、130b等(通常为130)可以形成在晶圆102、104中的每个中并且填充

有导电材料(铜、铝、钨、掺杂的多晶硅等)。TSV 130选择性地布置成提供多个电气互连,其允许晶圆102、104将电信号传输到例如给定晶圆内和/或(图2A的)器件管芯108之间的电子部件。可以使用各种半导体处理方法形成TSV 130。例如,在一些实施例中,执行一系列光刻和化学工艺以从晶圆102、104去除材料以产生通孔130。在一些实施例中,添加工艺用于将额外材料添加到晶圆102、104以产生TSV 130。

[0028] 参考图2C(其对应于方法10的步骤14),处理底部晶圆102和中间晶圆104的邻接表面118、120以制备用于接合的晶圆以创建中间晶圆堆叠132(在图2D中示出)。在该实施例中,处理表面118、120以添加一个或多个凸块衬垫134,以用于将来与器件管芯102互连(在图1A中示出)。然后可以在晶圆102、104的相对表面118、120上形成氧化物层136、138。当硅暴露于氧气(或包含氧气的流体,例如空气)时,在硅晶圆表面上形成二氧化硅。当硅在环境条件下暴露于空气时,可以在表面118、120上形成氧化物薄层(例如,10 Å)。各种半导体处理技术用于在硅表面上创建二氧化硅。这些技术通常涉及使用较高温度和不同环境(例如,流体)来处理硅晶圆以可控制地在硅上生长二氧化硅层。例如,通常在O₂或H₂O环境中使用超过600℃的温度。然而,350℃通常是有源硅晶圆的限制,以便避免降级晶圆的性能。然后可以抛光每个表面118、120上形成的氧化物层,以产生与凸块衬垫134共面的平滑氧化物层表面136、138。可以使用各种技术来创建平滑表面。例如,可以通过抛光、刻蚀或两者的组合来实现晶圆表面118、120的化学或机械平面化以产生平滑表面。在一些实施例中,晶圆102、104的表面118、120可以通过将晶圆暴露于磨料和/或腐蚀性化学品连同与晶圆表面118、120接触并相对于晶圆表面移动的抛光衬垫来进行平滑。在一些实施例中,表面118、120被平滑至小于10埃的表面粗糙度。

[0029] 然后可以将晶圆102、104接合在一起以形成晶圆堆叠132,如图2D所示(对应于方法10的步骤16),其描绘了晶圆堆叠132的截面视图。晶圆102、104可以通过DBH而氧化接合在一起,并通过使它们的平面化氧化物表面118、120彼此接触进行退火,以在晶圆112、114之间创建共价胶层(bondline)139。共价胶层139通常比常规晶圆组件中当前用于将晶圆结合在一起的有机粘合剂接合更薄并且具有更低的耐热性。因为共价胶层139相对较薄(例如,比焊料凸块和底部填充物更薄),所以互连可以以高得多的间隔密度放置在晶圆102、104上。

[0030] 参考图2E(其对应于方法10的步骤18),然后可以将晶圆堆叠132的底部晶圆102的暴露的底表面116和晶圆堆叠132的顶部晶圆104的顶表面122减薄并平面化以显露TSV 130的端部140,并且互连衬垫142可以在显露的TSV端部140处氧化接合到表面116、122上。然后可以选择性地添加和平面化氧化物层(未示出),并且在晶圆表面122的区域上形成硬掩模144以保护免受随后的刻蚀处理。

[0031] 参考图2F(其对应于方法10的步骤20),然后可以通过刻蚀不受硬保护掩模144保护的中间晶圆104的顶表面122的区域146,在晶圆堆叠132中形成腔110(各自在图2E中示出)。使用(例如包括TiW合金的)硬保护掩模144允许宽得多的处理温度范围,使得能够使用广泛的技术将器件管芯(未示出)安装在腔110中。可以将腔110刻蚀到中间晶圆104中,向下到底部晶圆102和中间晶圆104之间先前形成(步骤16)的氧化物胶层139处的掩埋氧化物(BOX)层148为止。BOX层148用作腔刻蚀处理的刻蚀停止,显露用于连接到先前在晶圆102、104的表面上形成(步骤14)的器件管芯108(在图2G中示出)的凸块衬垫134。腔110的外周边

可以由基本上平面的BOX层148与腔110的基本垂直的侧壁150、152的交叉限定(并且由待添加的盖晶圆106的底表面154进一步限定)。可以以基于要封装的管芯的数量和大小以及热管理设计要求的尺寸来刻蚀腔110,利用硅刻蚀方法,优选地深反应离子刻蚀(DRIE),产生了与BOX层148正交的几乎垂直的侧壁。可替选地,可以使用反应离子刻蚀(RIE)或各向异性化学刻蚀(其可以导致偏斜的或倾斜的侧壁)来刻蚀腔110。腔110的功能包括提供器件管芯108环境保护、高密度电路互连、物理封装和热界面、以及隐藏器件功能性并提供防止逆向工程的器件安全性。盖晶圆106的底表面154(其可包括面向下的IC 156)可以同时制备以用于通过氧化物层形成和平面化的氧化接合。

[0032] 参考图2G(其对应于方法10的步骤22),然后可以将一个或多个均匀或异质器件管芯108经由凸块158机械地和电气地连接到暴露在腔110中的凸块衬垫134。管芯安装工艺可以包括多种技术,包括超声波接合、(例如经由凸块接合134)焊料凸块化、或氧化接合、线接合、环氧树脂胶合,并且可以包括管芯与接合管芯的晶圆102、104之间的表面中的任何一个上的多个构造中的电气、机械或热界面。表一呈现了可用于安装器件管芯108的示例瞬态液相焊料凸块技术。

| | <u>材料系统</u> | <u>处理时间和温度</u> | <u>重新熔化温度</u> |
|--------|-------------|----------------|---------------|
| | Cu-In | 180C 下 4 min | > 307C |
| | Cu-Sn | 280C 下 4 min | > 415C |
| [0033] | Ag-Sn | 250C 下 60 min | > 600C |
| | Ag-In | 175C 下 120 min | > 880C |
| | Au-Sn | 260C 下 15 min | > 278C |
| | Au-In | 200C 下 0.5 min | > 495C |
| | Ni-Sn | 300C 下 6 min | > 400C |

[0034] 表一

[0035] 参考图2H(其对应于方法10的步骤24),在将管芯108安装到腔110中的凸块衬垫134之后,可以去除硬掩模层144(如图2G所示),允许盖晶圆106安装到晶圆堆叠132。在所示的实施例中,腔110因此在中间晶圆104的顶表面118的剩余部分与盖晶圆106的底表面154之间的晶圆界面160、162处以极其稳健的氧化接合进行封闭。可选地,可以在管芯108上形成热材料层164,从而在管芯108和盖晶圆106之间提供热界面。另外或可替选地,可以在管芯108与其他晶圆102、104中的一个或多个和/或其他管芯之间形成类似的热界面(未示出),以便帮助对3D-IC晶圆组件100进行热管理。盖晶圆106可以在界面160、162处氧化接合,以形成完整的半导体晶圆组件100。在一些实施例中,盖晶圆106可以包括由完全独立的半导体制造工艺产生的晶圆上晶圆堆叠的外层。底部晶圆102的底表面116中的TSV 130中显露的端部166和形成在底部晶圆102的底表面116上的互连衬垫142可以提供用于管芯108和晶圆102、104、106之间到外部器件和晶圆(未示出)的一个或多个连接的电气路径。在其他实施例中,中间晶圆104的顶表面118的剩余部分和盖晶圆106的底表面154可以使用焊料或热压接合在界面162、164处接合。如所指出的,接合工艺可以在界面160、162处密封腔

110,以便形成封装器件管芯108的气密密封。

[0036] 顶表面118和底表面154可以在没有任何外部压力的情况下在界面160、162处接合。然而,在诸如热压接合的一些实施例中,施加额外的压力以迫使表面118、154彼此接触。管芯108可以通过金属特征(例如,凸块衬垫、通孔等)或暴露在腔110内的电路与3D晶圆组件100中的晶圆102、104、106中的任何一个或全部互连,其中每个可以包含一个或多个导电IC 124、126、166(包括有源或无源IC),其可以是任何表面上的平面,或者通过晶圆垂直布置。

[0037] 再次参考图2A(其一些特征对应于处理步骤26),可以通过例如晶圆102、104、106中的任何一个或全部刻蚀孔或导管168,以便允许进入热材料或结构材料以与封装的管芯108接触。可替代地,该导管168可用于用期望的气体或液体清洗或回填腔110,以增强嵌入的IC的某些特性。导热材料170(例如,非导电冷却流体,或用于热、电气、化学、保护性功能或机械目的的任何数量的材料)可以填充腔110的一部分或全部,并且然后导管168可以(例如,用焊料等)插入或填充有导热材料170。可替代地,导管168可以用作进出腔110的热通风孔。然后通过常规手段对完成的3D-IC晶圆组件100的第一实施例进行划片。

[0038] 本领域技术人员将理解的是,所公开的技术提供的优点,包括独立于形成晶圆堆叠的W2W工艺来管理D2W产量损失的能力,所述晶圆堆叠可以被接合到诸如上面描述的3D-IC晶圆组件100。通过仅将“已知良好的管芯”并入到器件中并且从而避免堆叠产量损失来改善由本文公开的工艺产生的器件产量,这降低了总成本。此外,接合薄管芯的能力允许在保持薄断面封装和短电气路径长度的同时堆叠利用TSV垂直连接的多个器件层(包括来自不同技术的那些器件层)。不同的器件管芯通常具有不同的厚度(例如,100 μm -700 μm)。为了适应多个管芯封装晶圆组件实施例中不同的管芯厚度,可以将中间晶圆104制造成具有比最厚的互连管芯108的厚度更大的厚度(并且因此的腔深度),以便消除紧密匹配III-V族器件厚度的需要,并且还提供热隔离。另外,可以采用盲前侧通孔工艺以用于将晶圆连接到D2W组件100以便控制成本,并且允许用于管芯安装和外部晶圆连接的焊料烧结处理的回退位置。在各个芯片/管芯已经从阵列切除之后,执行用于将各个管芯的附件底部填充在一起的常规有机接合;而本文描述的技术允许在晶圆层级处执行接合。在一些实施例中,共价胶层可以比有机胶层薄10倍。

[0039] 图3A-3D是经历根据第二方法实施例(对应于方法10的步骤30-36)的处理的晶圆堆叠200的分解和集成视图的示意性截面图示,以制造氧化接合的晶圆组件的替代实施例,该氧化接合的晶圆组件将器件管芯202封装在由底部晶圆206、中间晶圆208和盖晶圆210形成的腔204中。用于制造该替代晶圆组件的前端半导体工艺可以与结合第一方法实施例的图2A-2D描述的那些相同。在图3A-3D中描绘的晶圆处理结果具有一些相似性(例如,一般半导体处理技术、晶圆的取向和组成等),但在若干方面与图2E-2H中所示的不同。图3A示出了包括底部晶圆206和中间晶圆208的晶圆堆叠200,一个或多个腔204已经被刻蚀在其中。如图3B-3D所示,可以在该第二实施例中利用不同的后端工艺,以在盖晶圆210的底表面216上形成凸块衬垫212和凸块214(其可以是连接到管芯202的热凸块)。盖晶圆210在连接点220处被凸块接合到安装的管芯202的背面218和中间晶圆208。将盖晶圆210凸块接合到中间晶圆208(与第一方法实施例的氧化接合相反)导致3D-IC半导体晶圆组件222,诸如图3D中描绘的,其中中间晶圆208和盖晶圆210限定气隙224,而不是将器件管芯202封装在气密密封

的腔中。盖晶圆210可以通过焊球接合224电气地和机械地耦合到中间晶圆208,该焊球接合224例如使得电信号能够在晶圆组件222中的晶圆206、208、210和管芯202之间通过。一旦盖晶圆210被接合,就可以将完成的电气连接226添加到晶圆组件222以用于连接到外部器件、晶圆等,并且晶圆组件可以被进一步处理和/或划片。

[0040] 图4A-4D是经历根据第三方法实施例(对应于方法10的步骤40-46)的处理的晶圆堆叠400的分解和集成视图的示意性截面图示,以制造氧化接合的晶圆组件的替代实施例,该氧化接合的晶圆组件将器件管芯402封装在由底部晶圆406、中间晶圆408和盖晶圆410限定的封闭腔404中。用于制造该替代晶圆组件的前端半导体工艺可以与结合第一方法实施例的图2A-2D描述的那些相同。在图4A-4D中描绘的晶圆处理结果具有一些相似性(例如,一般半导体处理技术、晶圆的取向和组成等),但在若干方面与图2E-2H中所示的不同。来自第一实施例的一个变型在图4B中示出,其中可以在将管芯402附接在腔404中之前或之后,在器件管芯402上形成热界面层412(或诸如上面描述的其他功能层)。然后可以以与上面描述的那些类似的方式将热界面层412平面化、清洁和氧化接合,这是因为可以同时是盖晶圆410的相对的底表面418。用于外部连接到其他晶圆(未示出)的电气凸块420可以被添加到底部晶圆406的表面422,如图4D所示。盖晶圆410可以在顶表面区域414、416处电气地和机械地耦合到中间晶圆408并且耦合到热层412。中间层406和盖层408之间的接合导致复合3D-IC晶圆组件424具有封装器件管芯402的气密密封的腔404。表面414、416、418可以在将晶圆接合在一起之前被制备成平面化的氧化物表面(类似于例如关于图2A-2H描述的)。

[0041] 在不脱离本公开的范围的情况下,可以对如上面参考对应图示所描述的示例性实施例进行各种修改,旨在将前面的描述中包含的以及在附图中示出的所有内容解释为说明性的而非限制性的。因此,本公开的广度和范围不应受任何上述示例性实施例的限制,而应仅根据所附以下权利要求及其等同物来限定。

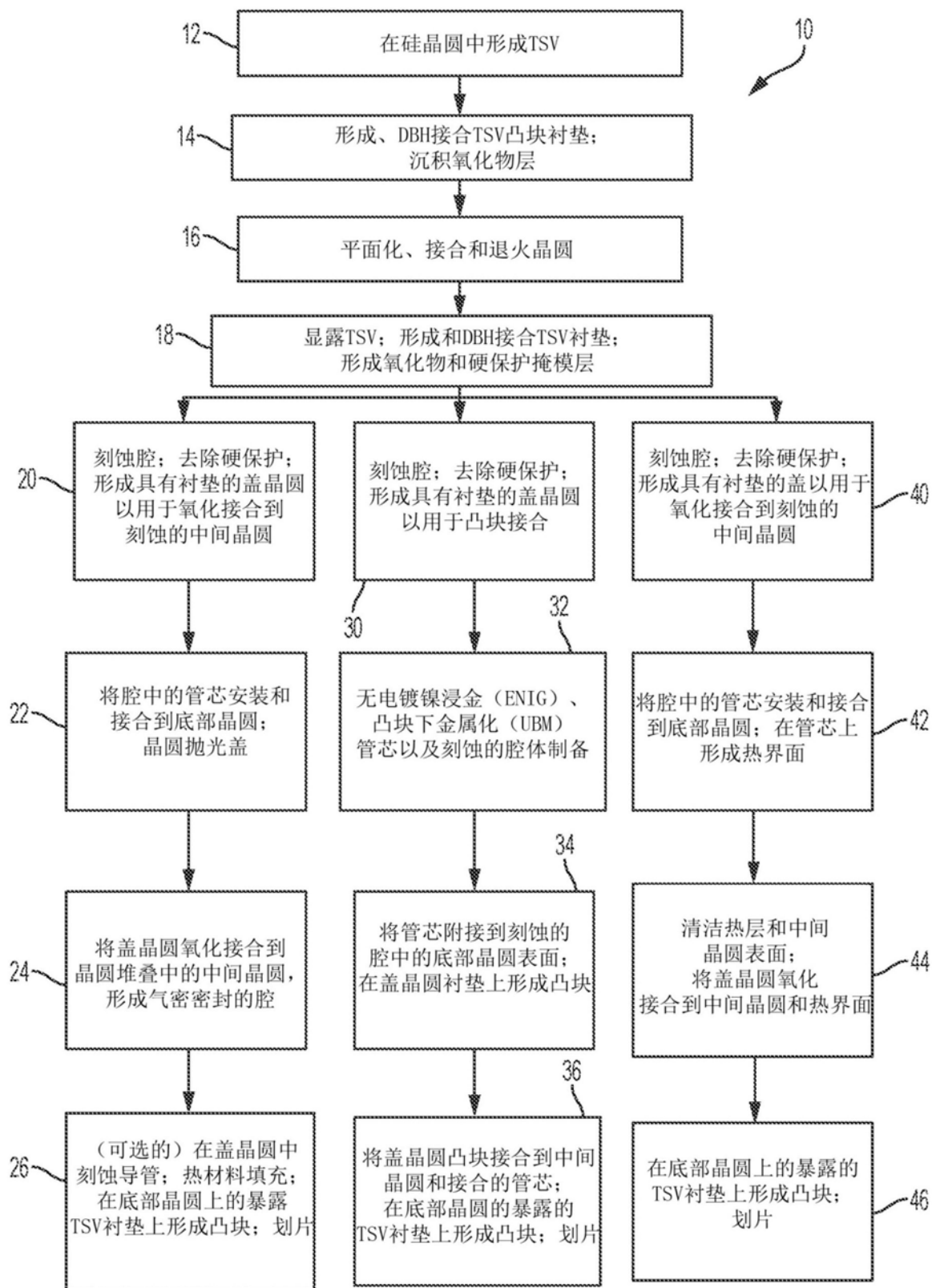


图1

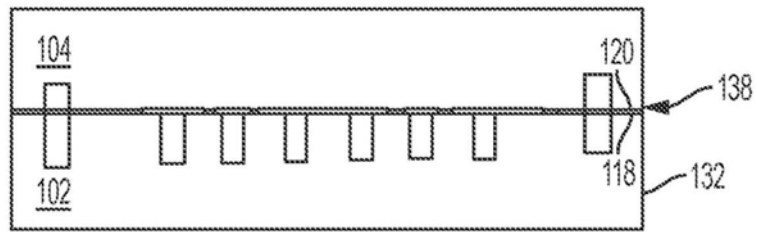


图2D

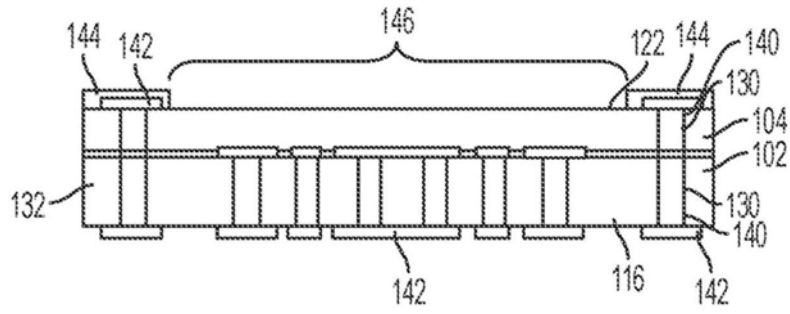


图2E

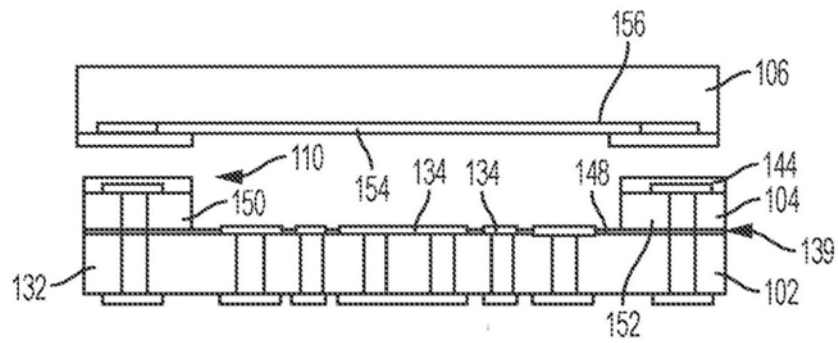


图2F

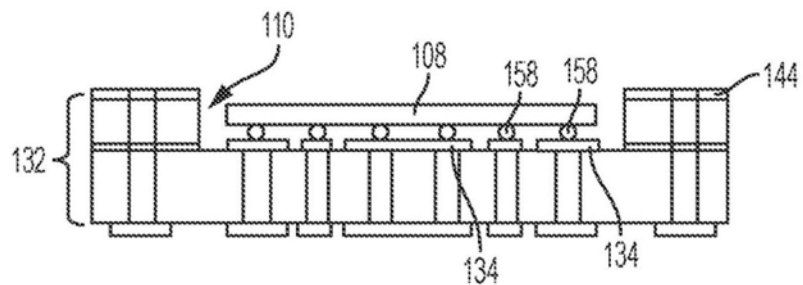


图2G

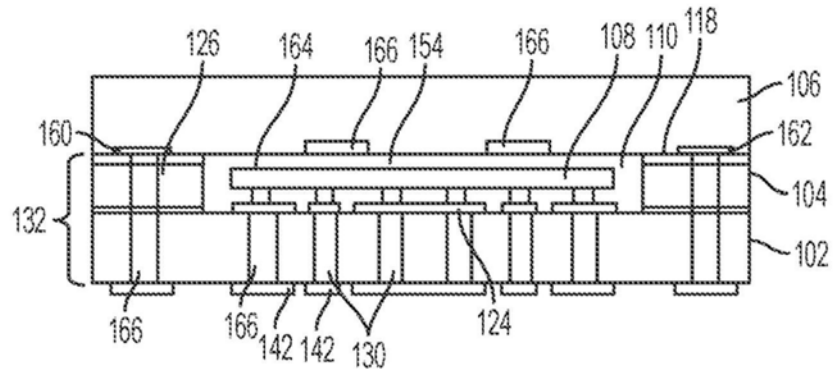


图2H

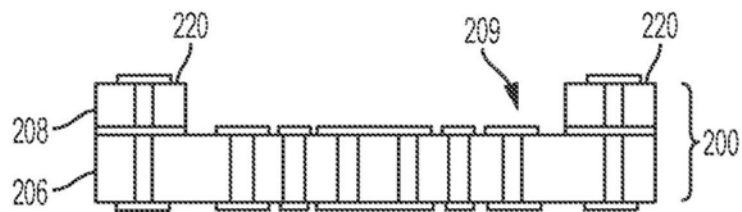


图3A

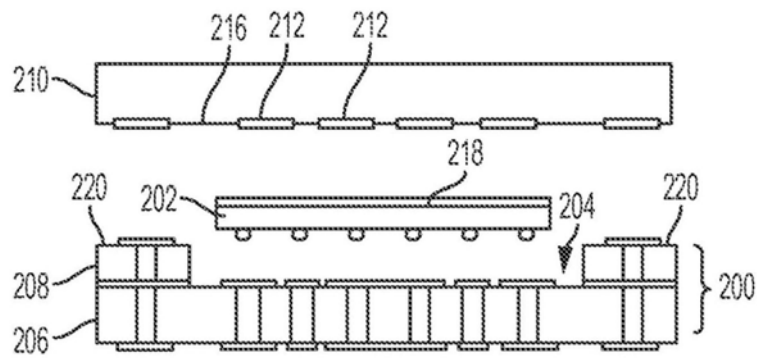


图3B

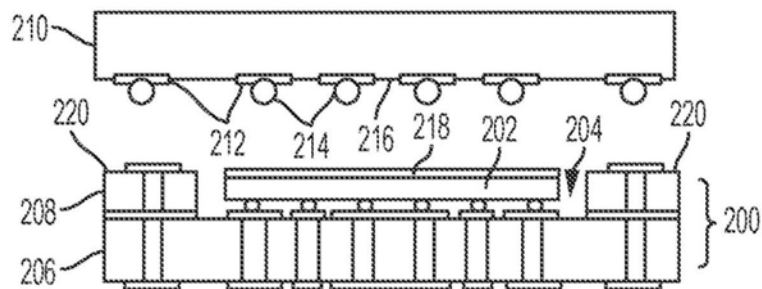


图3C

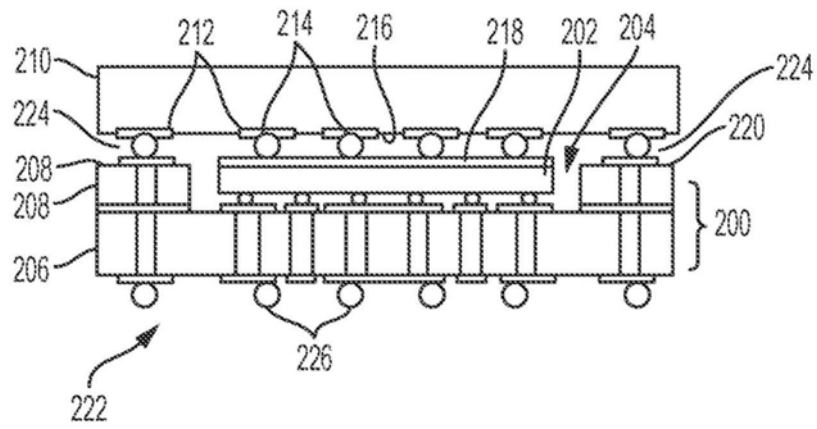


图3D

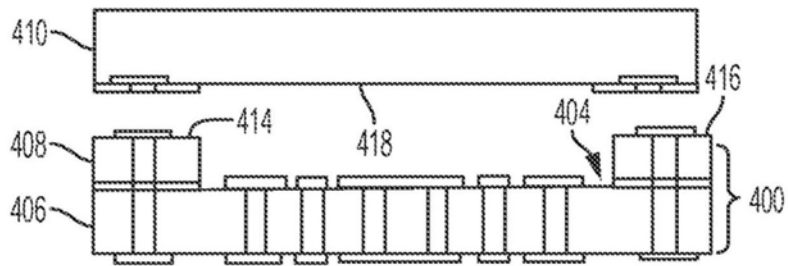


图4A

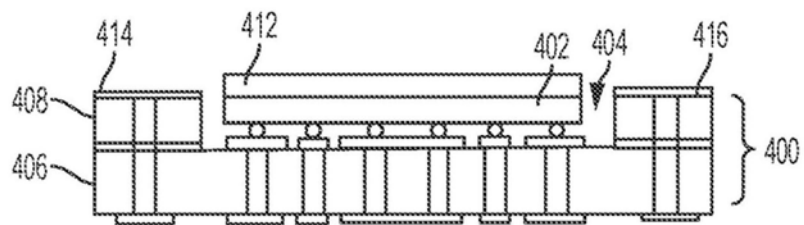


图4B

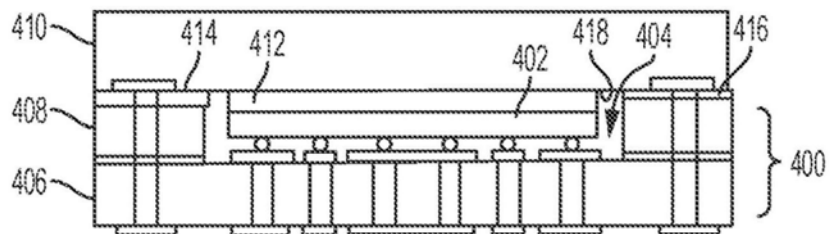


图4C

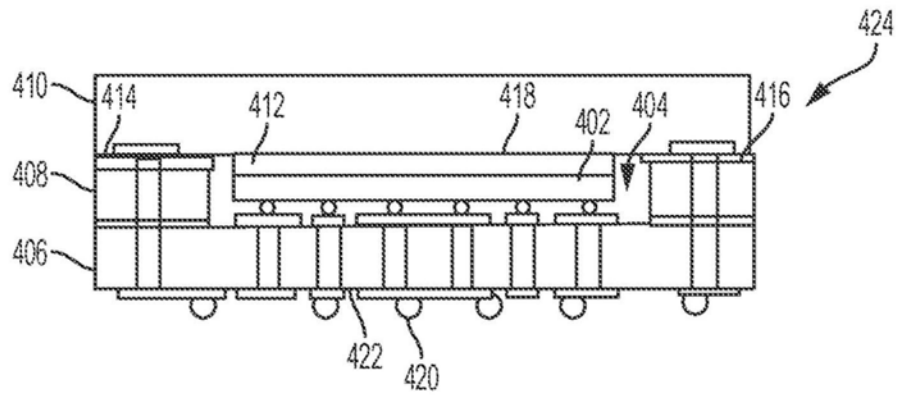


图4D