



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2018-0098692  
(43) 공개일자 2018년09월04일

- (51) 국제특허분류(Int. Cl.)  
H02P 21/22 (2016.01) H02P 21/14 (2016.01)  
H02P 27/08 (2006.01)
- (52) CPC특허분류  
H02P 21/22 (2016.02)  
H02P 21/14 (2013.01)
- (21) 출원번호 10-2018-7024462
- (22) 출원일자(국제) 2016년08월24일  
심사청구일자 2018년08월24일
- (85) 번역문제출일자 2018년08월24일
- (86) 국제출원번호 PCT/JP2016/074599
- (87) 국제공개번호 WO 2017/154239  
국제공개일자 2017년09월14일
- (30) 우선권주장  
JP-P-2016-048451 2016년03월11일 일본(JP)

- (71) 출원인  
히다치 오토모티브 시스템즈 가부시카가이샤  
일본국 이바라키켄 히다치나카시 다카바 2520반지
- (72) 발명자  
이이지마 후미야  
일본 3720023 군마켄 이세사키시 가스카와쵸  
1671-1 히다치 오토모티브 시스템즈 가부시카가이샤 나이  
고세키 도모노부  
일본 3720023 군마켄 이세사키시 가스카와쵸  
1671-1 히다치 오토모티브 시스템즈 가부시카가이샤 나이  
야츠기 도미시게  
일본 3720023 군마켄 이세사키시 가스카와쵸  
1671-1 히다치 오토모티브 시스템즈 가부시카가이샤 나이
- (74) 대리인  
김태홍, 김진희

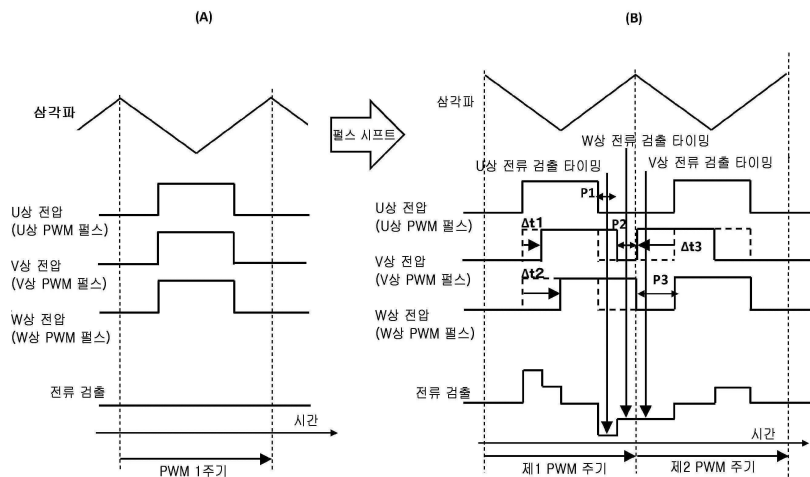
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **모터 구동 장치 및 모터 구동 장치에서의 상전류 검출 방법**

**(57) 요약**

본원 발명은, 모터 구동 장치 및 모터 구동 장치의 상전류 검출 방법에 관한 것이며, 자세하게는, 인버터의 직류 모션 전류를 검출하는 전류 검출기를 이용하여 3상의 상전류를 검출하는 기술에 관한 것이다. 본원 발명의 제어부는, PWM 펄스의 위상을 시프트시키는 펄스 시프트 처리에 의해 PWM 제어의 제1 PWM 주기와 제2 PWM 주기에서 각 상의 PWM 펄스의 위상 관계를 상이하게 하고, 제1 PWM 주기와 제2 PWM 주기의 2주기에서 전류 검출기의 출력으로부터 3상 각각의 상전류를 검출한다. 그리고, 제어부는, 상전류 검출치에 기초하여 전류 검출기의 오프셋 오차를 구하고, 전류 검출치를 오프셋 보정하기 위한 보정치를 학습한다.

**대표도**



(52) CPC특허분류  
*H02P 27/085* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

3상 브러시리스 모터에 교류 전력을 공급하는 인버터와, 상기 인버터의 직류 모선(母線) 전류를 검출하는 전류 검출기와, 상기 전류 검출기의 출력을 입력하여 상기 인버터를 PWM 제어하는 제어부를 포함하는 모터 구동 장치로서,

상기 제어부는, 각 상의 PWM 펄스의 온/오프의 조합이 미리 정해진 조합일 때의 상기 전류 검출기의 출력으로부터 각 상의 상전류를 검출하는 상전류 검출 수단을 구비하고,

상기 상전류 검출 수단은, PWM 펄스의 위상을 시프트시키는 펄스 시프트 처리에 의해 상기 PWM 제어의 제1 PWM 주기와 제2 PWM 주기에서 각 상의 PWM 펄스의 위상 관계를 상이하게 하고, 상기 제1 PWM 주기와 상기 제2 PWM 주기의 2주기에서 상기 전류 검출기의 출력으로부터 3상 각각의 상전류를 검출하는 제1 검출 수단을 포함하는 것인, 모터 구동 장치.

#### 청구항 2

제1항에 있어서,

상기 제1 검출 수단은, 상기 제1 PWM 주기의 후반에 1상 또는 2상의 전류를 검출하고, 상기 제1 PWM 주기의 직후의 상기 제2 PWM 주기의 전반에 나머지 2상 또는 1상의 전류를 검출하는 것인, 모터 구동 장치.

#### 청구항 3

제2항에 있어서,

상기 제1 검출 수단은, 상기 제1 PWM 주기에 있어서 상기 PWM 펄스의 위상을 지연시키는 펄스 시프트 처리를 실시하고, 상기 제2 PWM 주기에 있어서 상기 PWM 펄스의 위상을 진행시키는 펄스 시프트 처리를 실시하는 것인, 모터 구동 장치.

#### 청구항 4

제1항에 있어서,

상기 제어부는, PWM 펄스의 위상을 시프트시키는 펄스 시프트 처리에 의해 상기 PWM 제어의 1주기에서 상기 전류 검출기의 출력으로부터 3상 각각의 상전류를 검출하는 제2 검출 수단과, 상기 제1 검출 수단을 작동시키는 제1 조건과 상기 제2 검출 수단을 작동시키는 제2 조건 중 어느 것이 성립되는지에 따라서 상기 제1 검출 수단과 상기 제2 검출 수단 중 어느 한쪽을 작동시키는 선택 작동 수단을 더 포함하는 것인, 모터 구동 장치.

#### 청구항 5

제1항에 있어서,

상기 제어부는, 상기 상전류 검출 수단에 의해 검출된 3상 각각의 상전류에 기초하여 상기 전류 검출기에 의한 전류 검출치를 오프셋 보정하는 오프셋 보정 수단을 더 포함하는 것인, 모터 구동 장치.

#### 청구항 6

3상 브러시리스 모터에 교류 전력을 공급하는 인버터와 상기 인버터의 직류 모선 전류를 검출하는 전류 검출기를 포함하고 상기 인버터가 PWM 제어되는 모터 구동 장치에 있어서 상전류를 검출하는 방법으로서,

상기 PWM 제어의 제1 PWM 주기에 있어서 PWM 펄스의 위상을 시프트시키는 펄스 시프트 처리에 의해 1상 내지 2상의 상전류 검출 구간을 생성하는 제1 단계와,

상기 제1 PWM 주기에 생성된 상전류 검출 구간에서의 상기 전류 검출기의 출력으로부터 상기 1상 내지 2상의 상전류를 검출하는 제2 단계와,

상기 PWM 제어의 제2 PWM 주기에 있어서 PWM 펄스의 위상을 시프트시키는 펄스 시프트 처리에 의해 나머지 2상 내지 1상의 상전류 검출 구간을 생성하는 제3 단계와,

상기 제2 PWM 주기에 생성된 상전류 검출 구간에서의 상기 전류 검출기의 출력으로부터 상기 나머지 2상 내지 1상의 상전류를 검출하는 제4 단계

를 포함하는, 모터 구동 장치에서의 상전류 검출 방법.

**청구항 7**

제6항에 있어서,

상기 제1 단계는, 상기 제1 PWM 주기에 있어서 PWM 펄스의 위상을 지연시키는 펄스 시프트 처리를 실시하여 상기 제1 PWM 주기의 후반에 1상 내지 2상의 상전류 검출 구간을 생성하고,

상기 제3 단계는, 상기 제1 PWM 주기의 직후인 상기 제2 PWM 주기에 있어서 PWM 펄스의 위상을 진행시키는 펄스 시프트 처리를 실시하여 상기 제2 PWM 주기의 전반에 나머지 2상 내지 1상의 상전류 검출 구간을 생성하는 것인, 모터 구동 장치에서의 상전류 검출 방법.

**청구항 8**

제6항에 있어서,

3상 각각의 상전류의 검출치에 기초하여 상기 전류 검출기에 의한 전류 검출치를 오프셋 보정하는 제5 단계를 더 포함하는, 모터 구동 장치에서의 상전류 검출 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은, 모터 구동 장치 및 모터 구동 장치에서의 상전류 검출 방법에 관한 것이며, 자세하게는, 인버터의 직류 모선(母線) 전류를 검출하는 전류 검출기의 출력으로부터, 3상 브러시리스 모터의 3상의 상전류를 각각에 검출하는 기술에 관한 것이다.

**배경 기술**

[0002] 특허문헌 1에는, 인버터의 전원측 또는 접지측에 A/D 변환부를 갖는 1 선트식 전류 검출 회로가 접속되고, 각 상의 듀티 지령치를 캐리어 주기의 처음, 중앙, 마지막에 고정함과 함께, 각 상 듀티 지령치를 소정 방향으로 시프트하는 기능을 가지며, 모터의 각 상전류를 검출하여 A/D 변환하는 전류 검출 타이밍을 소정 위치에 대응시켜 고정하는 모터 제어 장치가 개시되어 있다.

**선행기술문헌**

**특허문헌**

[0003] (특허문헌 0001) 일본 특허 공개 제2013-251971호 공보

**발명의 내용**

**해결하려는 과제**

[0004] 인버터의 직류 모선 전류를 검출하는 전류 검출기를 구성하는 연산 증폭기의 오프셋 전압은, 주위 온도 등에 의해 변동하고, 이러한 오프셋 전압의 변동에 의해 전류 검출치에 오프셋 오차가 생기게 된다.

[0005] 이러한 온도 변화 등에 의한 전류 검출치의 오프셋 오차는 3상 각각의 상전류 검출치에 부가되게 되는 한편, 3상의 상전류의 총합은 0이 되므로, 3상 각각의 상전류를 전류 검출기로 검출함으로써 오프셋 오차를 구할 수 있다.

[0006] 그리고, 오프셋 오차에 따라서 전류 검출치를 보정하는 오프셋 보정을 행함으로써, 온도 변화가 있더라도 상전

류의 검출 정밀도가 유지되고, 나아가서는, 모터 토크의 제어 정밀도가 유지된다.

[0007] 그러나, 각 상의 듀티 지령치를 캐리어 주기의 소정 위치에 고정하고, 전류 검출 타이밍을 상기 소정 위치에 대응시켜 고정하여 상전류를 검출하는 방식에서는, 듀티 지령치에 따라서는, 상전류를 검출할 수 없는 상이 생기거나 상전류 검출 기간이 필요 기간보다 짧아지거나 하여, 상기 오프셋 오차의 검출에 필요한 3상 전류 검출치를 구할 수 없게 되는 경우가 있다.

[0008] 이 때문에, 각 상의 듀티 지령치를 캐리어 주기의 소정 위치에 고정하는 방식의 상전류 검출 처리에서는, 오프셋 오차의 검출 빈도(오프셋 보정량의 갱신 빈도)가 낮아져, 온도 환경의 변화에 대하여 오프셋 보정량을 반응 좋게 추종시킬 수 없어 상전류의 검출 정밀도가 저하되어 버릴 가능성이 있었다.

[0009] 본 발명은 상기 문제점을 감안하여 이루어진 것으로, 3상 전부에 관해 상전류를 검출할 수 있는 기회를 확대할 수 있는 모터 구동 장치 및 모터 구동 장치의 상전류 검출 방법을 제공하는 것을 목적으로 한다.

### 과제의 해결 수단

[0010] 그 때문에, 본원 발명에 관한 모터 구동 장치는, 3상 브러시리스 모터에 교류 전력을 공급하는 인버터와, 상기 인버터의 직류 모션 전류를 검출하는 전류 검출기와, 상기 전류 검출기의 출력을 입력하여 상기 인버터를 PWM 제어하는 제어부를 포함하는 모터 구동 장치로서, 상기 제어부는, 각 상의 PWM 펄스의 온/오프의 조합이 소정의 조합일 때의 상기 전류 검출기의 출력으로부터 각 상의 상전류를 검출하는 상전류 검출 수단을 구비하고, 상기 상전류 검출 수단은, PWM 펄스의 위상을 시프트시키는 펄스 시프트 처리에 의해 상기 PWM 제어의 제1 PWM 주기와 제2 PWM 주기에서 각 상의 PWM 펄스의 위상 관계를 상이하게 하고, 상기 제1 PWM 주기와 상기 제2 PWM 주기의 2주기에서 상기 전류 검출기의 출력으로부터 3상 각각의 상전류를 검출하는 제1 검출 수단을 포함하도록 했다.

[0011] 또한, 본원 발명에 관한 모터 구동 장치에서의 상전류 검출 방법은, 3상 브러시리스 모터에 교류 전력을 공급하는 인버터와 상기 인버터의 직류 모션 전류를 검출하는 전류 검출기를 포함하고 상기 인버터가 PWM 제어되는 모터 구동 장치에 있어서 상전류를 검출하는 방법으로서, 상기 PWM 제어의 제1 PWM 주기에 있어서 PWM 펄스의 위상을 시프트시키는 펄스 시프트 처리에 의해 1상 내지 2상의 상전류 검출 구간을 생성하는 제1 단계와, 상기 제1 PWM 주기에 생성된 상전류 검출 구간에서의 상기 전류 검출기의 출력으로부터 상기 1상 내지 2상의 상전류를 검출하는 제2 단계와, 상기 PWM 제어의 제2 PWM 주기에 있어서 PWM 펄스의 위상을 시프트시키는 펄스 시프트 처리에 의해 나머지 2상 내지 1상의 상전류 검출 구간을 생성하는 제3 단계와, 상기 제2 PWM 주기에 생성된 상전류 검출 구간에서의 상기 전류 검출기의 출력으로부터 상기 나머지 2상 내지 1상의 상전류를 검출하는 제4 단계를 포함하도록 했다.

### 발명의 효과

[0012] 상기 발명에 의하면, 전류 검출기의 출력으로부터 3상 전부의 상전류를 검출할 수 있는 기회가, PWM 펄스의 위상이 고정되는 경우보다 증가한다.

[0013] 따라서, 전류 검출의 오프셋 오차를 전체 상의 상전류 검출치에 기초하여 구하여 전류 검출치를 오프셋 보정하는 경우는, 오프셋 보정치의 갱신 빈도가 높아지고, 높은 정밀도로 오프셋 보정치를 구할 수 있다.

### 도면의 간단한 설명

- [0014] 도 1은 본 발명의 실시형태에서의 구동 회로 및 3상 브러시리스 모터의 회로도이다.
- 도 2는 본 발명의 실시형태에서의 3상 브러시리스 모터의 PWM 제어의 기능 블록도이다.
- 도 3은 본 발명의 실시형태에서의 오프셋 보정치의 학습 처리를 나타내는 플로우차트이다.
- 도 4는 본 발명의 실시형태에서의 2주기 3상 검출에서의 펄스 시프트 처리의 일례를 나타내는 타임차트이다.
- 도 5는 본 발명의 실시형태에서의 2주기 3상 검출에서의 펄스 시프트 처리의 일례를 나타내는 타임차트이다.
- 도 6은 본 발명의 실시형태에서의 2주기 3상 검출에서의 펄스 시프트 처리의 일례를 나타내는 타임차트이다.
- 도 7은 본 발명의 실시형태에서의 2주기 3상 검출에서의 펄스 시프트 처리의 일례를 나타내는 타임차트이다.
- 도 8은 본 발명의 실시형태에서의 2주기 3상 검출에서의 펄스 시프트 처리의 일례를 나타내는 타임차트이다.

도 9는 본 발명의 실시형태에서의 2주기 3상 검출과 1주기 3상 검출을 구별하여 오프셋 보정치를 학습하는 처리를 나타내는 플로우차트이다.

도 10은 본 발명의 실시형태에서의 1주기 3상 검출에서의 펄스 시프트 처리의 일례를 나타내는 타임차트이다.

**발명을 실시하기 위한 구체적인 내용**

- [0015] 이하에 본 발명의 실시형태를 설명한다.
- [0016] 도 1은, 3상 브러시리스 모터(1) 및 모터 구동 장치(2)의 일례를 나타내는 회로도이다.
- [0017] 도 1의 3상 브러시리스 모터(1)는, 예컨대 차량의 전동 파워 스티어링 장치에 있어서 조타의 어시스트 토크를 발생시키는 전동 액츄에이터로서 이용되거나, 차량의 각종 펌프를 구동시키는 전동 액츄에이터로서 이용된다.
- [0018] 3상 브러시리스 모터(1)를 구동시키는 모터 구동 장치(2)는, 구동 회로(212)와 제어부(213)를 구비한다.
- [0019] 제어부(213)는, A/D 변환기(213a)와 마이크로 컴퓨터(213b)를 구비하고, 마이크로 컴퓨터(213b)는, CPU, MPU 등의 마이크로 프로세서나 ROM, RAM 등의 메모리 디바이스를 포함하여 구성된다.
- [0020] 3상 브러시리스 모터(1)는, 스타 결선되는 U상, V상 및 W상의 3상 권선(215u, 215v, 215w)을 도시 생략한 원통형의 고정자에 구비하고, 상기 고정자의 중앙부에 형성한 공간에 영구 자석 회전자(로터)(216)를 회전 가능하게 구비하는 3상 DC 브러시리스 모터이다.
- [0021] 3상 브러시리스 모터(1)는 회전자의 위치 정보를 검출하는 센서를 구비하지 않고, 제어부(213)는, 3상 브러시리스 모터(1)의 구동 제어를 회전자의 위치 정보를 검출하는 센서를 이용하지 않는 센서리스 구동 방식에 의해 행한다.
- [0022] 단, 3상 브러시리스 모터(1)에 자극 위치 센서를 구비하고, 제어부(213)는, 이러한 자극 위치 센서의 출력에 기초하여 로터의 각도(자극 위치)를 검출하여 3상 브러시리스 모터(1)를 구동 제어할 수 있다.
- [0023] 구동 회로(212)는, 역병렬의 다이오드(218a~218f)를 포함하여 이루어진 스위칭 소자(217a~217f)를 3상 브릿지 접속한 인버터(212a)와, 직류의 전원 회로(219)를 가지며, 인버터(212a)는 3상 브러시리스 모터(1)에 교류 전력을 공급한다.
- [0024] 인버터(212a)의 스위칭 소자(217a~217f)는 예컨대 FET로 구성되며, 스위칭 소자(217a~217f)의 각 제어 단자(게이트 단자)는 제어부(213)의 출력 포트에 접속된다. 그리고, 스위칭 소자(217a~217f)의 온/오프는 제어부(213)에 의해 제어된다.
- [0025] 제어부(213)는, 인버터(212a)의 스위칭 소자(217a~217f)의 온/오프를 삼각파 비교 방식의 PWM(Pulse Width Modulation)에 의해 제어하여, 3상 브러시리스 모터(1)에 인가하는 전압을 제어한다.
- [0026] 삼각파 비교 방식의 PWM 제어에 있어서는, 삼각파(캐리어)와, 지령 듀티비(지령 전압)에 따라서 설정되는 PWM 타이머를 비교함으로써, 각 스위칭 소자(217a~217f)를 온/오프시키는 타이밍, 바꾸어 말하면, 각 상의 스위칭 소자의 제어 신호인 PWM 펄스의 시동 및 정지의 타이밍을 검출한다.
- [0027] 또, 제어부(213)는, 각 상의 상측 아암의 온/오프를 제어하는 PWM 펄스에 대하여, 각 상의 하측 아암의 온/오프를 제어하는 PWM 펄스를 역상으로 하는 상보 방식으로, 인버터(212a)의 스위칭 소자(217a~217f)를 PWM 제어한다.
- [0028] 또한, 인버터(212a)의 직류 모션 전류를 검출하는 전류 검출기(220)를, 각 상의 하측 아암(스위칭 소자(217b, 217d, 217f))과 전원 회로(219)의 접지측 사이에 설치했다.
- [0029] 전류 검출기(220)는, 각 상의 하측 아암과 전원 회로(219)의 접지측 사이에 직렬로 접속한 셉트 저항(220a)과, 연산 증폭기 등을 포함하는 검출 회로(220b)로 구성된다. 검출 회로(220b)는, 셉트 저항(220a)의 저항분에서 발생하는 전류에 비례한 전압을 검출하고, 이러한 전압의 아날로그 신호를 출력한다.
- [0030] 검출 회로(220b)의 전압 아날로그 신호(직류 모션 전류의 검출 신호)는, A/D 변환기(213a)에 의해 A/D 변환되어 마이크로 컴퓨터(213b)에 리드인된다.
- [0031] 제어부(213)는, 예컨대 회전자 위치와 지령 토크에 기초하는 벡터 제어 방식에 의해 3상 지령 전압  $V_u$ ,  $V_v$ ,  $V_w$ 를 결정하고, 이 지령 전압에 기초하여 인버터(212a)를 PWM 제어한다.

- [0032] 제어부(213)는, 전류 검출기(220)의 출력을 입력하여 각 상의 상전류를 검출하고, 검출한 상전류를 이용하여 벡터 제어를 실시한다.
- [0033] 전류 검출기(220)는, 인버터(212a)의 직류 모션 전류를 검출하지만, 각 상의 PWM 펄스의 온/오프의 조합에 의해 전류 검출기(220)의 출력이 하나의 상의 상전류를 검출하는 상태가 되는 것을 이용하여, 제어부(213)는, 각 상의 상전류를 전류 검출기(220)의 출력으로부터 검출한다.
- [0034] 예컨대, U상의 상측 아암이 온이고, V상 및 W상의 상측 아암이 모두 오프인 경우는, U상으로 흐른 전류가 V상 및 W상으로 분리되어 흐르고, 전류 검출기(220)는 U상의 상전류  $I_u$ 를 검출하게 된다. 또한, U상 및 V상의 상측 아암이 모두 온이고, W상의 상측 아암이 오프인 경우는, U상으로 흐른 전류 및 V상으로 흐른 전류가 합류하여 W상으로 흐르게 되고, 전류 검출기(220)는 W상의 상전류  $I_w$ 를 검출하게 된다.
- [0035] 이와 같이, 각 상의 상측 아암 중의 1개 또는 2개가 온인 PWM 펄스의 상태에 있어서, 전류 검출기(220)의 출력은, 펄스 상태에서 결정되는 하나의 상의 상전류를 나타내게 된다. 따라서, 제어부(213)는, 이러한 특성을 이용하여 전류 검출기(220)의 출력으로부터 각 상의 전류를 검출하고, 검출한 상전류치를 PWM 제어에 이용한다.
- [0036] 도 2는, 제어부(213)의 기능 블록도이며, 벡터 제어 방식에 의한 3상 지령 전압  $V_u, V_v, V_w$ 의 설정 처리를 나타낸다.
- [0037] 도 2에 있어서, 상전류 검출부(501)(상전류 검출 수단)는, 검출 회로(220b)의 출력의 A/D 변환치, 바꾸어 말하면 인버터(212a)의 직류 모션 전류에 기초하여, 각 상의 상전류  $I_u, I_v, I_w$ 를 검출한다.
- [0038] 즉, 상전류 검출부(501)는, 각 상의 상측 아암 중의 1개 또는 2개가 온인 PWM 펄스 구간을 상전류 검출 구간으로 하고, 또한, 어느 상의 상측 아암이 온인지에 따라 상기 상전류 검출 구간에서 상전류가 검출되는 하나의 상을 특정한다.
- [0039] 그리고, 상전류 검출부(501)는, 상기 상전류 검출 구간 내에 상전류 검출 타이밍(검출 회로(220b)의 출력의 A/D 변환치의 샘플링 타이밍)을 설정하고, 이 상전류 검출 타이밍에 전류 검출기(220)의 출력을 샘플링하고, 샘플링치로부터 구한 전류치를 그 때 검출 대상으로 하여 특정되어 있는 상의 상전류 검출치로 한다.
- [0040] 각도·각속도 연산부(502)는, 모터 각도(자극 위치) 및 각속도(모터 회전수)를 추정한다.
- [0041] 여기서, 제어부(213)가 센서리스 구동 방식으로 3상 브러시리스 모터(1)를 PWM 제어하는 경우, 각도·각속도 연산부(502)는, 모터의 역기전력에 기초하여 회전자 위치를 추정하고, 추정한 회전자 위치에 기초하여 각속도를 연산한다. 한편, 3상 브러시리스 모터(1)가 자극 위치 센서를 갖는 경우, 각도·각속도 연산부(502)는, 자극 위치 센서의 출력으로부터 회전자 위치를 검출하고, 검출한 회전자 위치에 기초하여 각속도를 연산한다.
- [0042] 또한, 3상-2축 변환기(503)는, 상전류 검출부(501)에 의한 상전류 검출치  $I_u, I_v, I_w$ 를, 그 때의 모터 각도(자극 위치)  $\theta$ 에 기초하여 2축의 회전 좌표계(d-q 좌표계)의 실전류  $I_d, I_q$ 로 변환한다.
- [0043] 벡터 제어부(504)에는, 지령 토크에 따른 d축 지령 전류 및 q축 지령 전류, 각도·각속도 연산부(502)에 의해 산출된 각속도, 3상-2축 변환기(503)로 구한 d-q 좌표계의 실전류  $I_d, I_q$ 가 입력된다.
- [0044] 그리고, 벡터 제어부(504)는, d축, q축 지령 전류, 각속도 및 실전류  $I_d, I_q$ 에 기초하여 d-q 좌표계의 지령 전압  $V_q, V_d$ 를 결정하고, 결정한 지령 전압  $V_q, V_d$ 를 2축-3상 변환기(505)에 출력한다.
- [0045] 2축-3상 변환기(505)는, 벡터 제어부(504)가 출력하는 지령 전압  $V_q, V_d$ 를 3상 지령 전압  $V_u, V_v, V_w$ 로 변환하여 PWM 변조부(506)에 출력한다.
- [0046] 또, 2축-3상 변환기(505)는, 지령 전압  $V_u, V_v, V_w$ 를 보정함으로써, 삼각파 캐리어의 곡(谷)을 중심으로 하여 생성되는 PWM 펄스를 전후로 시프트시키는 펄스 시프트 처리 기능을 갖는다. 상기 펄스 시프트 처리는, 상전류의 검출 구간을 확보하기 위해 실시되는 처리이며, 이후에 상세히 설명한다.
- [0047] 그리고, PWM 변조부(506)에서는, 각 상의 스위칭 소자(상측 아암 및 하측 아암)를 구동시키기 위한 스위칭 게이트 파형(PWM 펄스)의 시동, 정지 타이밍을, 변조파로서의 3상 지령 전압  $V_u, V_v, V_w$ 과 삼각파 캐리어의 비교에 의해 결정하고, 인버터(212a)의 각 스위칭 소자(217a~217f)의 각 제어 단자(게이트 단자)에 출력한다.

- [0048] PWM 변조부(506)는, U상 지령 전압  $V_u$ 와 삼각파 캐리어를 비교하여, U상 지령 전압  $V_u$ 가 삼각파 캐리어보다 클 때에, U상의 상측 아암(스위칭 소자(217a))을 구동시키기 위한 스위칭 게이트 파형(PWM 펄스)을 하이 레벨로 하고, U상 지령 전압  $V_u$ 가 삼각파 캐리어보다 작을 때에, U상의 상측 아암(스위칭 소자(217a))을 구동시키기 위한 스위칭 게이트 파형(PWM 펄스)을 로우 레벨로 한다.
- [0049] 또한, PWM 변조부(506)는, U상의 상측 아암(스위칭 소자(217a))을 구동시키기 위한 스위칭 게이트 파형(PWM 펄스)의 반전 신호를, U상의 하측 아암(스위칭 소자(217b))을 구동시키기 위한 스위칭 게이트 파형(PWM 펄스)으로서 생성한다.
- [0050] 동일하게 하여, PWM 변조부(506)는, V상의 상하 아암을 구동시키기 위한 스위칭 게이트 파형(PWM 펄스), 및, W상의 상하 아암을 구동시키기 위한 스위칭 게이트 파형(PWM 펄스)을 생성한다.
- [0051] 또한, 제어부(213)는, 전류 검출기(220)의 오프셋 오차를 보정하는 오프셋 보정부(오프셋 보정 수단)(507)를 구비한다.
- [0052] 오프셋 보정부(507)는, 상전류 검출부(501)가 전류 검출기(220)의 출력에 기초하여 검출한 3상의 상전류  $I_u$ ,  $I_v$ ,  $I_w$ 에 기초하여 전류 검출기(220)의 오프셋 오차를 구하고, 상기 오프셋 오차에 기초하여 오프셋 보정량을 정하고, 이러한 오프셋 보정량에 기초하여 전류 검출기(220)에 의해 검출되는 전류치를 보정한다.
- [0053] 다음으로, 상전류 검출부(501)에서의 상전류의 검출 처리를 상세히 설명한다.
- [0054] 인버터(212a)의 직류 모션 전류에 기초하여 각 상의 상전류를 검출하는 경우, 2상의 상전류를 전류 검출기(220)의 출력으로부터 검출할 수 있으면, 나머지 1상의 전류는 상전류의 총합이 0이 되는 것을 이용하여 연산에 의해 구할 수 있다.
- [0055] 그리고, 벡터 제어부(504)는, 지령 전압  $V_q$ ,  $V_d$ 의 연산 처리를, 전류 검출기(220)의 출력으로부터 검출한 2상의 상전류 검출치와, 이들에 기초하여 연산한 나머지 1상의 상전류치를 이용하여 행할 수 있다.
- [0056] 그러나, 전류 검출기(220)의 오프셋 오차를 검출하는 경우, 상전류 검출부(501)는, 3상 모든 상전류를 전류 검출기(220)의 출력으로부터 검출한다.
- [0057] 즉, 전류 검출기(220)를 구성하는 연산 증폭기의 오프셋 전압이 주위 온도의 변화 등에 의해 변동하여 전류 검출치에 오프셋 오차가 생긴 경우, 이러한 오프셋 오차는 각 상의 상전류 검출치에 각각 추가되고, 이에 따라 3상의 상전류 검출치의 총합이 0으로부터 어긋나게 된다.
- [0058] 여기서, 상전류 검출치의 총합의 0으로부터의 어긋남량은 각 상의 상전류 검출치에 추가된 오프셋 오차의 총합이 되고, 상기 어긋남량으로부터 개개의 전류 검출치에 추가되어 있는 오프셋 오차를 구할 수 있기 때문에, 상전류 검출부(501)는, 오프셋 오차를 구하는 경우에는 3상의 상전류를 각각 전류 검출기(220)의 출력으로부터 검출하고, 검출한 3상 각각의 상전류를 오프셋 보정부(507)에 출력한다.
- [0059] 그리고, 오프셋 보정부(507)는, 3상 각각의 상전류 검출치의 총합에 기초하여 오프셋 오차를 산출하고, 산출한 오프셋 오차에 기초하여 오프셋 보정량을 결정하여 메모리에 저장하고, 메모리에 저장된 오프셋 보정량에 기초하여 전류 검출기(220)에 의한 전류 검출치를 오프셋 보정한다.
- [0060] 이하에서는, 제어부(213)(상전류 검출부(501))에서의 상전류의 검출 처리를 상세히 설명한다.
- [0061] 도 3의 플로우차트에 나타내는 루틴은, 제어부(213)에 의해 소정 시간마다 인터럽트 실행된다.
- [0062] 우선, 단계 S101에서, 제어부(213)는, 오프셋 보정량의 갱신 처리의 실행 조건이 성립되었는지 아닌지를 판별한다.
- [0063] 제어부(213)는, 예컨대 전회의 갱신 처리로부터의 경과 시간이 소정 시간을 초과한 것이나, 전류 검출기(220)나 인버터(212a) 등에 고장이 없는 것 등을 실행 조건으로서 판별한다.
- [0064] 오프셋 보정량의 갱신 처리의 실행 조건이 성립된 경우, 제어부(213)는, 단계 S102로 진행하여, PWM 제어에서의 제1 PWM 주기에 있어서 2상 내지 1상의 상전류를 검출하기 위한 PWM 펄스의 위상을 전후로 시프트시키는 펄스 시프트 처리를 실시하고, 2상 내지 1상의 상전류를 전류 검출기(220)의 출력으로부터 검출하는 상전류 검출 구간을 제1 PWM 주기에 생성한다.

- [0065] 또, 도 3의 플로우차트에 나타내는 루틴에서의 상전류의 검출은, 후술하는 바와 같이 PWM 제어의 2주기에서 3상의 상전류를 검출하도록 구성되며, 이 PWM 제어의 2주기를 1단위로 할 때의 처음 1주기를 제1 PWM 주기로 하고, 직후의 1주기를 제2 PWM 주기로 한다.
- [0066] 이어서, 제어부(213)는, 단계 S103으로 진행하여, 단계 S102의 펄스 시프트로 생성한 상전류 검출 구간 내에 상전류 검출 타이밍을 설정하고, 이 상전류 검출 타이밍에 전류 검출기(220)의 출력을 샘플링하여 2상 내지 1상의 상전류를 검출한다.
- [0067] 제1 PWM 주기에서 상전류의 검출을 행하면, 제어부(213)는, 단계 S104로 진행하여, 제1 PWM 주기 직후의 제2 PWM 주기에 있어서 PWM 펄스의 펄스 시프트 처리를 제1 PWM 주기와는 상이한 패턴으로 실시하여, 제1 PWM 주기에서 상전류를 검출하지 않은 나머지 1상 내지 2상의 상전류를 전류 검출기(220)의 출력으로부터 검출하는 상전류 검출 구간을 제2 PWM 주기에 생성한다.
- [0068] 즉, 제어부(213)는, 제1 PWM 주기와 제2 PWM 주기에서 각 상의 PWM 펄스의 위상 관계를 상이하게 하여, 제1 PWM 주기에서 상전류를 검출하는 상과, 제2 PWM 주기에서 상전류를 검출하는 상으로 분류한다.
- [0069] 이어서, 제어부(213)는, 단계 S105로 진행하여, 단계 S104의 펄스 시프트에 의해 생성한 상전류 검출 구간 내에 상전류 검출 타이밍을 설정하고, 이 상전류 검출 타이밍에 전류 검출기(220)의 출력을 샘플링하여 1상 내지 2상의 상전류를 검출한다.
- [0070] 이상의 단계 S102-단계 S105의 처리(제1 검출 수단)에 의해, 제어부(213)는, PWM 주기의 2주기에서 3상의 상전류  $I_u$ ,  $I_v$ ,  $I_w$ 를 전류 검출기(220)의 출력으로부터 각각 검출한다. 전술한 바와 같이, 제1 PWM 주기에서의 펄스 시프트와 제2 PWM 주기에서의 펄스 시프트에 의해, 제1 PWM 주기와 제2 PWM 주기의 2주기에서 3상의 상전류를 검출하는 구성이라면, PWM 펄스의 여러가지 패턴에 있어서 3상의 상전류를 검출할 수 있고, 오프셋 오차의 검출 빈도를 향상시킬 수 있다.
- [0071] 그리고, 제어부(213)는, 단계 S106으로 진행하여, 상전류 검출치  $I_u$ ,  $I_v$ ,  $I_w$ 의 총합을 3으로 나눈 값을, 오프셋 오차량  $\Delta I$ 로서 산출한다( $\Delta I=(I_u+I_v+I_w)/3$ ).
- [0072] 온도 변화 등에 의한 전류 검출기(220)의 오프셋 오차량  $\Delta I$ 는, 각 상전류 검출치  $I_u$ ,  $I_v$ ,  $I_w$ 와 똑같이 부가되고, 실제 상전류치를  $I_{u0}$ ,  $I_{v0}$ ,  $I_{w0}$ 로 하면, 오프셋 오차를 포함한 검출치는 각각  $I_{u0}+\Delta I$ ,  $I_{v0}+\Delta I$ ,  $I_{w0}+\Delta I$ 가 되고,  $I_{u0}+I_{v0}+I_{w0}=0$ 이기 때문에, 검출치의 총합은  $I_{u0}+\Delta I+I_{v0}+\Delta I+I_{w0}+\Delta I=\Delta I \times 3$ 이 된다. 따라서, 상전류 검출치  $I_u$ ,  $I_v$ ,  $I_w$ 의 총합을 3으로 나누는 처리에서, 오프셋 오차량  $\Delta I$ 가 구해지게 된다.
- [0073] 오프셋 오차량  $\Delta I$ 를 구한 후, 제어부(213)는, 단계 S107로 진행하여, 오프셋 오차량  $\Delta I$ 에 기초하여, 전류 검출기(220)의 검출 전류치를 오프셋 보정하기 위한 오프셋 보정량을 갱신한다.
- [0074] 각 상전류 검출치  $I_u$ ,  $I_v$ ,  $I_w$ 가 오프셋 보정후의 값인 경우, 금회 S107에서 연산된 오프셋 오차량  $\Delta I$ 는, 오프셋 오차량  $\Delta I$ 의 변동분이 되고, 제어부(213)는, 단계 S107에서, 오프셋 오차량  $\Delta I$ 의 변동분만큼 오프셋 보정량을 변경한다.
- [0075] 또, 제어부(213)는, 오프셋 오차량  $\Delta I$ 를 복수회 구하여 그 평균치를 구하고, 이러한 평균치에 기초하여 오프셋 보정량을 변경할 수 있고, 또한, 전회까지의 오프셋 보정량과 금회 구한 오프셋 오차량  $\Delta I$ 에 기초하는 오프셋 보정량의 평균치를, 갱신후의 오프셋 보정량으로 할 수 있다.
- [0076] 또한, 오프셋 오차량  $\Delta I$ 가 임계치를 초과하는 값인 경우, 제어부(213)는, 가령 오프셋 보정을 행했다 하더라도 전류 검출기(220)에 의한 전류의 검출 정밀도가 악화하는 것으로 판단하여, 상전류의 검출치에 기초하는 모터 제어를 정지할 수 있다.
- [0077] 제어부(213)(오프셋 보정 수단)는, 단계 S107에서 갱신한 오프셋 보정량을 이용하여, 전류 검출기(220)에 의한 검출 전류치를 오프셋 보정하고, 오프셋 보정후의 전류 검출치를 이용하여 벡터 제어나 자극 위치의 검출 등을 행한다.
- [0078] 여기서, 단계 S102-단계 S105에서의 처리(제1 검출 수단)를, 구체예에 기초하여 상세히 설명한다.
- [0079] 도 4는, 3상의 PWM 펄스의 폭(3상의 지령 전압)이 동일한 경우의 펄스 시프트 처리 및 상전류 검출 타이밍을 예

시한다.

- [0080] 도 4의 (A)의 펄스 시프트 처리전의 상태(삼각파 캐리어의 곡을 PWM 펄스의 중심으로 하는 표준 상태)에서는, 3상의 PWM 펄스의 폭이 동일하기 때문에 PWM 펄스의 온 기간이 3상 전부에서 중복되고 있고, 1상 또는 2상의 PWM 펄스만이 온인 기간이 없어, 전류 검출기(220)에 의해 하나의 상으로 흐르는 전류를 검출할 수 없다.
- [0081] 따라서, 도 4의 (B)에 나타내는 펄스 시프트 처리의 일례에서는, 제1 PWM 주기에서 V상의 PWM 펄스의 위상을 시간  $\Delta t_1$ 만큼 지연시키고, 또한, W상의 PWM 펄스의 위상을 시간  $\Delta t_2$ ( $\Delta t_2 > \Delta t_1$ )만큼 지연시키는 펄스 시프트 처리를 실시한다.
- [0082] 제어부(213)는, 삼각파 캐리어를 보정 타이밍의 기준으로서 지령 전압을 보정함으로써, PWM 펄스의 시동 및 정지의 타이밍을 제어하고, PWM 펄스의 위상을 시프트시킨다.
- [0083] 도 4의 (B)의 V상의 PWM 펄스를 지연시키는 시간  $\Delta t_1$ 보다 W상의 PWM 펄스를 지연시키는 시간  $\Delta t_2$ 가 길기 때문에, U상의 PWM 펄스가 정지하고 나서 V상의 PWM 펄스가 정지하기까지의 기간 P1(시간  $\Delta t_1$ 의 기간)은, U상의 PWM 펄스가 오프이고 V상 및 W상의 PWM 펄스가 온인 기간이 되고, 이 기간 P1에서는 V상 및 W상으로 흐른 전류가 합류하여 U상으로 흐른다. 따라서, 제어부(213)는, 기간 P1 내에 U상 전류 검출 타이밍을 설정하고, 이 U상 전류 검출 타이밍에 전류 검출기(220)의 출력을 샘플링하여, U상의 상전류 검출치  $I_u$ 를 구한다.
- [0084] 한편, 도 4의 (B)의 V상의 PWM 펄스의 위상을 지연시키는 시간  $\Delta t_1$ 보다 W상의 PWM 펄스의 위상을 지연시키는 시간  $\Delta t_2$ 가 길기 때문에, V상의 PWM 펄스가 정지하고 나서 W상의 PWM 펄스가 정지하기까지의 기간 P2(시간  $\Delta t_2$ 의 기간)는, U상 및 V상의 PWM 펄스가 오프이고 W상의 PWM 펄스가 온인 기간이 되고, 이 기간 P2에서는 W상으로 흐른 전류가 U상 및 V상으로 분리되어 흐른다. 따라서, 제어부(213)는, 기간 P2에 W상 전류 검출 타이밍을 설정하고, 이 W상 전류 검출 타이밍에 전류 검출기(220)의 출력을 샘플링하여, W상의 상전류 검출치  $I_w$ 를 구한다.
- [0085] 즉, 3상의 PWM 펄스의 폭이 동일할 때에, 제어부(213)는, 제1 PWM 주기에서 V상의 PWM 펄스를  $\Delta t_1$ 만큼 지연시키고, 또한, W상의 PWM 펄스를  $\Delta t_2$ ( $\Delta t_2 > \Delta t_1$ )만큼 지연시키는 펄스 시프트 처리를 실시함으로써, 제1 PWM 주기의 후반에 U상 및 W상의 2상의 상전류  $I_u$ ,  $I_w$ 를 검출한다.
- [0086] 상기 제1 PWM 주기에서의 펄스 시프트 처리에서는 V상의 상전류  $I_v$ 를 검출할 수 있는 구간이 생성되지 않기 때문에, 제어부(213)는, 제1 PWM 주기 직후의 제2 PWM 주기에서 V상의 상전류  $I_v$ 를 검출할 수 있는 구간을 생성하기 위한 펄스 시프트 처리를 실시한다.
- [0087] V상의 상전류  $I_v$ 를 검출하는 구간을 생성하는 펄스 시프트 처리로서, 제어부(213)는, V상의 PWM 펄스의 위상을 시간  $\Delta t_3$ 만큼 진행시키는 처리를 행한다.
- [0088] 제2 PWM 주기에서 제어부(213)가 V상의 PWM 펄스만을 시간  $\Delta t_3$ 만큼 진행시키면, U상 및 W상의 PWM 펄스가 오프이고 V상의 PWM 펄스가 온인 기간 P3(시간  $\Delta t_3$ 의 기간)이 제2 PWM 주기의 전반에 생성되게 되고, 이 기간 P3에서는 V상으로 흐른 전류가 U상 및 W상으로 분리되어 흐른다. 따라서, 제어부(213)는, 기간 P3에 V상 전류 검출 타이밍을 설정하고, 이 V상 전류 검출 타이밍에 전류 검출기(220)의 출력을 샘플링하여, V상의 상전류 검출치  $I_v$ 를 구한다.
- [0089] 즉, 제어부(213)는, 제2 PWM 주기에서 V상의 PWM 펄스를 시간  $\Delta t_3$ 만큼 진행시키는 펄스 시프트 처리를 실시함으로써, 제2 PWM 주기의 전반에 V상의 상전류  $I_v$ 를 검출한다. 이에 따라, 제1 PWM 주기와 제2 PWM 주기의 2주기에서, 3상의 모든 상전류가 전류 검출기(220)에 의해 검출된다.
- [0090] 또, 지연 시간  $\Delta t_1$ ,  $\Delta t_2$ ,  $\Delta t_3$ 은, 상기 기간 P1, P2, P3의 길이가 전류 검출에 필요한 최소 시간보다 길어지도록 설정되고, 또한, 각 상전류 검출 타이밍이, 제1 PWM 주기와 제2 PWM 주기의 경계 근처에 설정되어, 처음에 U상의 상전류  $I_u$ 가 검출되고 나서 마지막으로 V상의 상전류  $I_v$ 가 검출되기까지의 시간이 최대한 짧아지도록 설정된다.
- [0091] 상기와 같이, 제1 PWM 주기와 제2 PWM 주기의 2주기에서 3상 각각의 상전류를 검출하는 경우, 처음 상전류 검출 타이밍으로부터 마지막 상전류 검출 타이밍까지의 시간이 길어지면, 상전류의 시간 변화에 영향을 받아 오프셋 오차의 검출 정밀도가 저하된다.

- [0092] 따라서, 제1 PWM 주기의 후반에 2상의 상전류를 검출하고 제2 PWM 주기의 전반에 나머지 1상의 상전류를 검출함으로써, 3상의 상전류가 검출되는 구간이 짧아지지만, 또한, 제1 PWM 주기의 후반에서의 2상의 상전류 검출 타이밍을 최대한 지연시키고, 또한, 제2 PWM 주기의 전반에서의 1상의 상전류 검출 타이밍을 최대한 빠르게 함으로써 3상의 상전류가 단시간에 검출되도록 한다.
- [0093] 예컨대, 도 5의 (A)에 도시한 바와 같이, 제어부(213)는, 제2 PWM 주기에 있어서 V상의 PWM 펄스의 위상을 지연시키는 펄스 시프트를 실시함으로써, V상의 PWM 펄스가 오프이고 다른 상의 PWM 펄스가 온인 기간을 생성하고, 제2 PWM 주기의 전반에 V상의 상전류  $I_v$ 를 검출할 수 있다. 그러나, 도 5의 (A)에 도시한 바와 같이 제2 PWM 주기에 있어서 V상의 PWM 펄스의 위상을 지연시키는 경우는, 도 5의 (B)에 도시한 바와 같이 V상의 PWM 펄스의 위상을 진행시키는 경우에 비교해서 V상의 상전류  $I_v$ 의 검출 타이밍이 지연되고, 결과로서 3상의 모든 상전류가 검출되는 구간의 길이가 길어져, 오프셋 오차의 검출 정밀도가 저하된다.
- [0094] 따라서, 제어부(213)는, 제1 PWM 주기에서는 전류 검출 구간이 되도록이면 느리게 설정되도록 PWM 펄스의 위상을 지연시키는 처리를 실시하고, 제2 PWM 주기에서는 전류 검출 구간이 되도록이면 빠르게 설정되도록 PWM 펄스의 위상을 진행시키는 처리를 실시하여, 3상의 상전류가 단시간에 검출되도록 한다.
- [0095] 또, 제어부(213)는, 제1 PWM 주기에서 PWM 펄스의 위상을 지연시키는 2개의 상, 제2 PWM 주기에서 PWM 펄스의 위상을 진행시키는 1개의 상을 도 4의 패턴과는 상이하게 하여, 예컨대, 제1 PWM 주기에서 U상의 PWM 펄스의 위상을 지연시키는 펄스 시프트 처리를 실시하고, 또한, 제1 PWM 주기에서 V상의 PWM의 위상을 U상보다 크게 지연시키는 펄스 시프트 처리를 실시하고, 제2 PWM 주기에서 U상의 PWM 펄스의 위상을 진행시키는 펄스 시프트 처리를 실시하면, 제1 PWM 주기의 후반에 V상과 W상의 상전류  $I_v$ ,  $I_w$ 를 검출하고, 제2 PWM 주기의 전반에 U상의 상전류  $I_u$ 를 검출할 수 있다.
- [0096] 또한, 제어부(213)는, 제1 PWM 주기에서 PWM 펄스의 위상을 지연시키는 상을 1상만으로 하고, 제2 PWM 주기에서 PWM 펄스의 위상을 진행시키는 상을 2상으로 하여, 제1 PWM 주기에서 1상의 상전류를 검출하고, 제2 PWM 주기에 서 나머지 2상의 상전류를 검출할 수 있다.
- [0097] 예컨대, 제1 PWM 주기에서 V상의 PWM 펄스의 위상을 지연시키는 펄스 시프트 처리를 실시하고, 제2 PWM 주기에서 V상의 PWM 펄스의 위상을 진행시키는 펄스 시프트 처리를 실시하고, 또한, 제2 PWM 주기에서 W상의 PWM 펄스의 위상을 V상보다 크게 진행시키는 펄스 시프트 처리를 실시함으로써, 제1 PWM 주기에서 V상의 상전류  $I_v$ 를 검출하고, 제2 PWM 주기에서 U상 및 W상의 상전류  $I_u$ ,  $I_w$ 를 검출할 수 있다.
- [0098] 또한, 도 6은, 3상의 PWM 펄스의 폭 중 2상이 동일하고 1상이 상이한 경우의 펄스 시프트 처리 및 상전류 검출 타이밍을 예시한다.
- [0099] 도 6에 나타내는 예는, U상 및 V상의 PWM 펄스폭이 동일하고, W상의 PWM 펄스폭이 U상 및 V상의 PWM 펄스폭보다 짧은 경우이다.
- [0100] 그리고, 도 6의 (A)는, 펄스 시프트 처리전의 각 상의 PWM 펄스의 위상 상태를 나타낸다. 펄스 시프트를 실시하지 않은 상태에서는, U상 및 V상의 PWM 펄스가 온이고 W상의 PWM 펄스폭이 오프인 기간 P4는, U상 및 V상에 유입된 전류가 합류하여 W상으로 흐르기 때문에, 전류 검출기(220)의 출력으로부터 W상의 상전류  $I_w$ 를 검출할 수 있는 기간이 되지만, U상 및 V상의 상전류  $I_u$ ,  $I_v$ 를 검출할 수 있는 구간이 생성되지 않는다.
- [0101] 따라서, 제어부(213)는, 도 6의 (B)에 도시한 바와 같이, 제1 PWM 주기에서 U상의 PWM 펄스의 위상을 진행시키고, 또한, 제1 PWM 주기에서 V상의 PWM 펄스의 위상을 지연시켜, 제1 PWM 주기의 후반에, V상의 PWM 펄스가 온이고 U상 및 W상의 PWM 펄스가 오프인 기간 P5를 생성하고, 이러한 기간 P5에서의 전류 검출기(220)의 출력으로부터 V상의 상전류  $I_v$ 를 검출한다.
- [0102] 한편, 제어부(213)는, 제1 PWM 주기 직후의 제2 PWM 주기에서 U상의 PWM 펄스의 위상을 진행시키고, 또한, V상의 PWM 펄스의 위상을 지연시킴으로써, U상의 PWM 펄스만이 온이고 U상의 상전류를 전류 검출기(220)의 출력으로부터 검출할 수 있는 기간 P6과, W상의 PWM 펄스만이 오프이고 W상의 상전류를 전류 검출기(220)의 출력으로부터 검출할 수 있는 기간 P7을 생성하여, 제2 PWM 주기의 전반에 U상의 상전류  $I_u$  및 W상의 상전류  $I_w$ 를 검출한다.

- [0103] 또, 도 6의 (B)의 예에서는, 제1 PWM 주기에 있어서, 제어부(213)는, U상의 PWM 펄스의 위상을 진행시키는 처리와, V상의 PWM 펄스의 위상을 지연시키는 처리의 쌍방을 실시하지만, 이것은, U상 및 V상의 PWM 펄스폭이 PWM 제어의 1주기에 가까워, U상과 V상의 어느 한쪽만의 펄스 시프트 처리를 실시하더라도, 충분히 긴 전류 검출 구간을 생성할 수 없기 때문이다.
- [0104] 따라서, U상 및 V상의 PWM 펄스폭이 도 6의 예보다 짧은 경우에는, 제어부(213)는, 예컨대, 제1 PWM 주기에 있어서 V상의 PWM 펄스의 위상을 지연시키는 처리만을 실시하여 V상의 상전류  $I_v$ 를 검출할 수 있는 경우가 있다.
- [0105] 마찬가지로, 제2 PWM 주기에서의 U상의 PWM 펄스의 위상을 진행시키는 처리 및 V상의 PWM 펄스의 위상을 지연시키는 처리는, U상의 상전류 검출 구간의 길이를 확보하기 위한 처리이다.
- [0106] 또한, 도 6의 (B)에 있어서, 제어부(213)는, W상의 상전류  $I_w$ 를 제1 PWM 주기 후반의 W상의 PWM 펄스만이 오픈 인 기간 P8에 검출하고, 제1 PWM 주기에서 V상의 상전류  $I_v$  및 W상의 상전류  $I_w$ 를 검출하고, 제2 PWM 주기에서 U상의 상전류  $I_u$ 를 검출할 수 있다.
- [0107] 또한, 제어부(213)는, 도 6에 나타내는 예에 있어서, W상의 PWM 펄스에 비교해서 폭이 긴 U상 및 V상의 PWM 펄스의 펄스 시프트 처리를 실시함으로써, 펄스 시프트 처리에서 위상을 느리게 하거나 빠르게 하는 시간을 억제 하면서, 제1 PWM 주기의 후반으로부터 제2 PWM 주기의 전반에 걸친 짧은 구간에서 3상의 상전류를 검출한다.
- [0108] 또, 예컨대, 3상의 PWM 펄스 중의 2상이 동일하고, 나머지 1상의 PWM 펄스가 다른 2상의 PWM 펄스보다 폭이 큰 경우에도, 제어부(213)는, 도 7에 예시하는 바와 같이 하여, 펄스 시프트 처리에 의해 PWM 2주기에서 3상의 상전류를 검출할 수 있다.
- [0109] 도 7은, 3상의 PWM 펄스 중의 U상 및 V상의 PWM 펄스가 동일하고, W상의 PWM 펄스가 다른 것보다 짧은 경우의 펄스 시프트 처리의 예를 나타낸다.
- [0110] 도 7에 나타내는 예에서는, 제어부(213)는, 제1 PWM 주기에서 V상 및 W상의 PWM 펄스의 위상을 느리게 하여, U상의 상전류  $I_u$  검출 기간 P9 및 W상의 상전류  $I_w$  검출 기간 P10을 생성하는 한편, 제2 PWM 주기에서 V상의 PWM 펄스가 처음에 시동하도록 위상을 진행시키는 처리를 실시하여, V상의 상전류  $I_v$  검출 기간 P11을 생성한다.
- [0111] 또, PWM 펄스의 폭 등의 조건이 펄스 시프트 처리에 의해 PWM 2주기에서 3상의 상전류를 전류 검출기(220)의 출력으로부터 검출하는 것이 어려운 조건일 때에는, 제어부(213)는, 오프셋 보정량의 갱신 처리를 캔슬할 수 있다.
- [0112] 또한, 도 8은, PWM 펄스폭이 3상에서 전부 상이한 경우의 펄스 시프트 처리 및 전류 검출 타이밍의 설정을 예시한다.
- [0113] 도 8의 예에서는, 각 상의 PWM 펄스폭은, U상 PWM 펄스폭>W상 PWM 펄스폭>V상 PWM 펄스폭의 관계로 되어 있고, 또한, W상 PWM 펄스폭과 V상 PWM 펄스폭이 근사하다.
- [0114] 그리고, 펄스 시프트 처리를 실시하지 않은 경우, 도 8의 (A)에 도시한 바와 같이, U상의 상전류  $I_u$  검출 기간이 생성되지만, W상의 상전류  $I_w$  검출 기간이 생성되지 않고, V상의 상전류  $I_v$  검출 기간은 생성되지만 전류 검출에 필요한 최소 시간을 확보할 수 없다.
- [0115] 따라서, 제어부(213)는, 도 8의 (B)에 도시한 바와 같이, 제1 PWM 주기에 있어서 V상의 PWM 펄스의 위상을 U상의 PWM 펄스가 정지하는 시기 이후에 온이 되도록 지연시킴으로써, 제1 PWM 주기에 있어서 U상 및 V상의 상전류  $I_u$ ,  $I_v$ 를 검출하고, 제2 PWM 주기에 있어서 U상의 PWM 펄스의 위상을 지연시키는 펄스 시프트 처리와 함께 W상의 PWM 펄스의 위상을 진행시키는 처리를 실시함으로써, W상의 PWM 펄스가 U상의 PWM 펄스의 시동 시기 이전에 온이 되도록 하여, 이 W상의 PWM 펄스만이 온인 기간 P12에 W상의 상전류  $I_w$ 를 검출한다.
- [0116] 또, W상 PWM 펄스폭과 V상 PWM 펄스폭의 차가, V상의 상전류  $I_v$  검출 구간이 충분한 길이가 되는 크기인 경우에도, 제어부(213)는, 도 8의 (B)에 도시한 바와 같이 하여 펄스 시프트 처리를 실시함으로써, 보다 단시간에 3상의 상전류를 검출할 수 있다.
- [0117] 상기에 예시한 PWM 2주기에서 3상의 상전류를 전류 검출기(220)의 출력으로부터 검출하기 위한 펄스 시프트 처리는 일례이며, 각 상의 PWM 펄스폭에 따라서 적절하게 설정할 수 있는 것은 분명하다. 즉, 제어부(213)는, 제1

PWM 주기에서 1상 내지 2상의 상전류를 검출하고 제2 PWM 주기의 전반에 나머지 2상 내지 1상의 상전류를 검출할 수 있도록, 각 상의 PWM 펄스폭에 따라서 펄스 시프트 처리의 패턴을 적절하게 선정할 수 있다.

- [0118] 그런데, 도 3의 플로우차트에 예시한 제어에서는, 제어부(213)는, 오프셋 보정량의 갱신 처리를 행할 때에 PWM 2주기에서 3상의 상전류를 검출하지만, 제어부(213)는, PWM 2주기에서 3상의 상전류를 검출하는 처리와 PWM 1주기에서 3상의 상전류를 검출하는 처리를 구별할 수 있다.
- [0119] 도 9의 플로우차트는, PWM 2주기에서 3상의 상전류를 검출하는 처리(제1 검출 수단)와, PWM 1주기에서 3상의 상전류를 전부 검출하는 처리(제2 검출 수단)를 구별하여 제어의 일례를 나타낸다.
- [0120] 우선, 단계 S201에서, 제어부(213)는, 오프셋 보정량의 갱신 처리의 실행 조건이 성립되었는지 아닌지를 판별한다.
- [0121] 그리고, 실행 조건이 성립된 경우, 제어부(213)는, 단계 S202(선택 작동 수단)로 진행하여, PWM 1주기에서 3상의 상전류를 검출하는 조건과, PWM 2주기에서 3상의 상전류를 검출하는 조건의 어느 것이 성립되었는지를, 그때의 각 상의 PWM 펄스폭의 상태 등으로부터 판단한다.
- [0122] 제어부(213)는, 예컨대, 각 상의 PWM 펄스폭의 상태가, 펄스 시프트 처리를 행하더라도 PWM 1주기에서 3상의 상전류를 검출하는 것이 어려운 제1 상태일 때에, PWM 2주기에서 3상의 상전류를 검출하는 제1 조건이 성립되었다고 판단하고, 각 상의 PWM 펄스폭의 상태가, 펄스 시프트 처리를 행함으로써 PWM 1주기에서 3상의 상전류를 검출할 수 있는 제2 상태일 때에, PWM 1주기에서 3상의 상전류를 검출하는 제2 조건이 성립되었다고 판단할 수 있다.
- [0123] 또한, 제어부(213)는, 토크 지령치가 일정하여 각 상의 상전류가 안정되어 있을 때에 PWM 1주기에서 3상의 상전류를 검출하는 제2 조건이 성립되었다고 판단하고, 토크 지령치가 변동할 때에 PWM 2주기에서 3상의 상전류를 검출하는 제1 조건이 성립되었다고 판단할 수 있다. 이러한 선택 조건으로 하는 것은, PWM 1주기에서 3상의 상전류를 검출하는 경우, 3상의 모든 상전류가 검출되는 기간이 길어져 상전류의 변동에 의해 오프셋 오차의 검출 정밀도가 저하되는 경우가 있고, 상전류가 안정되어 있는 경우에는 3상의 모든 상전류가 검출되는 기간이 길어지더라도 오프셋 오차의 검출 정밀도의 저하를 억제할 수 있기 때문이다.
- [0124] PWM 2주기에서 3상의 상전류를 검출하는 처리에 비교하여 PWM 1주기에서 3상의 상전류를 검출하는 처리의 연산 부하가 작기 때문에, 상기와 같이 하여 PWM 2주기에서 3상의 상전류를 검출하는 처리와 PWM 1주기에서 3상의 상전류를 전부 검출하는 처리를 구별하면, 제어부(213)에서의 연산 부하를 억제할 수 있다.
- [0125] 또, 제어부(213)는, 토크 지령치가 일정하여 각 상의 상전류가 안정되어 있고, 또한, PWM 1주기에서 3상의 상전류를 검출할 수 있을 때에, PWM 1주기에서 3상의 상전류를 검출하는 제2 조건이 성립되었다고 판단하고, 이러한 제2 조건이 성립되지 않은 경우에 PWM 2주기에서 3상의 상전류를 검출하는 제1 조건이 성립되었다고 판단할 수 있다.
- [0126] 제어부(213)는, 단계 S202에 있어서, PWM 2주기에서 3상의 상전류를 검출하는 제1 조건이 성립되고, PWM 1주기에서 3상의 상전류를 검출하는 제2 조건이 성립되지 않았다고 판단하면, 단계 S203-단계 S206의 처리를 실시함으로써 PWM 2주기에서 3상의 상전류를 검출한다.
- [0127] 또, 단계 S203-단계 S206의 처리는, 도 3의 플로우차트의 단계 S102-단계 S105와 동일하여, 상세한 설명은 생략한다.
- [0128] 한편, 제어부(213)는, 단계 S202에 있어서, PWM 2주기에서 3상의 상전류를 검출하는 제1 조건이 성립되지 않고, PWM 1주기에서 3상의 상전류를 검출하는 제2 조건이 성립되었다고 판단하면, 단계 S207로 진행하여, PWM 1주기에서 3상의 상전류를 검출하기 위한 펄스 시프트 처리를 실시하고, 다음 단계 S208에서는 펄스 시프트 처리에서 생성되는 3상 각각의 전류 검출 기간 내에 전류 검출 타이밍을 설정하여, PWM 1주기에서 3상의 상전류를 검출한다.
- [0129] 도 10은, PWM 1주기에서 3상의 상전류를 검출하기 위한 펄스 시프트 처리, 및, 펄스 시프트 처리후의 PWM 펄스에서의 전류 검출 타이밍을 예시한다.
- [0130] 도 10의 (A)는, 펄스 시프트 처리전의 각 상의 PWM 펄스를 나타내고, U상 및 V상의 PWM 펄스폭이 동일하고, W상의 PWM 펄스폭이 U상 및 V상의 PWM 펄스폭보다 짧은 경우를 예시한다.
- [0131] 이러한 PWM 펄스의 패턴에서는, 전류 검출 기간이, U상 및 V상의 PWM 펄스가 온이고 W상의 PWM 펄스가 오프이며

W상의 상전류  $I_w$ 를 검출할 수 있는 기간에 한정되어, U상 및 V상의 상전류를 검출할 수 있는 구간이 생성되지 않는다.

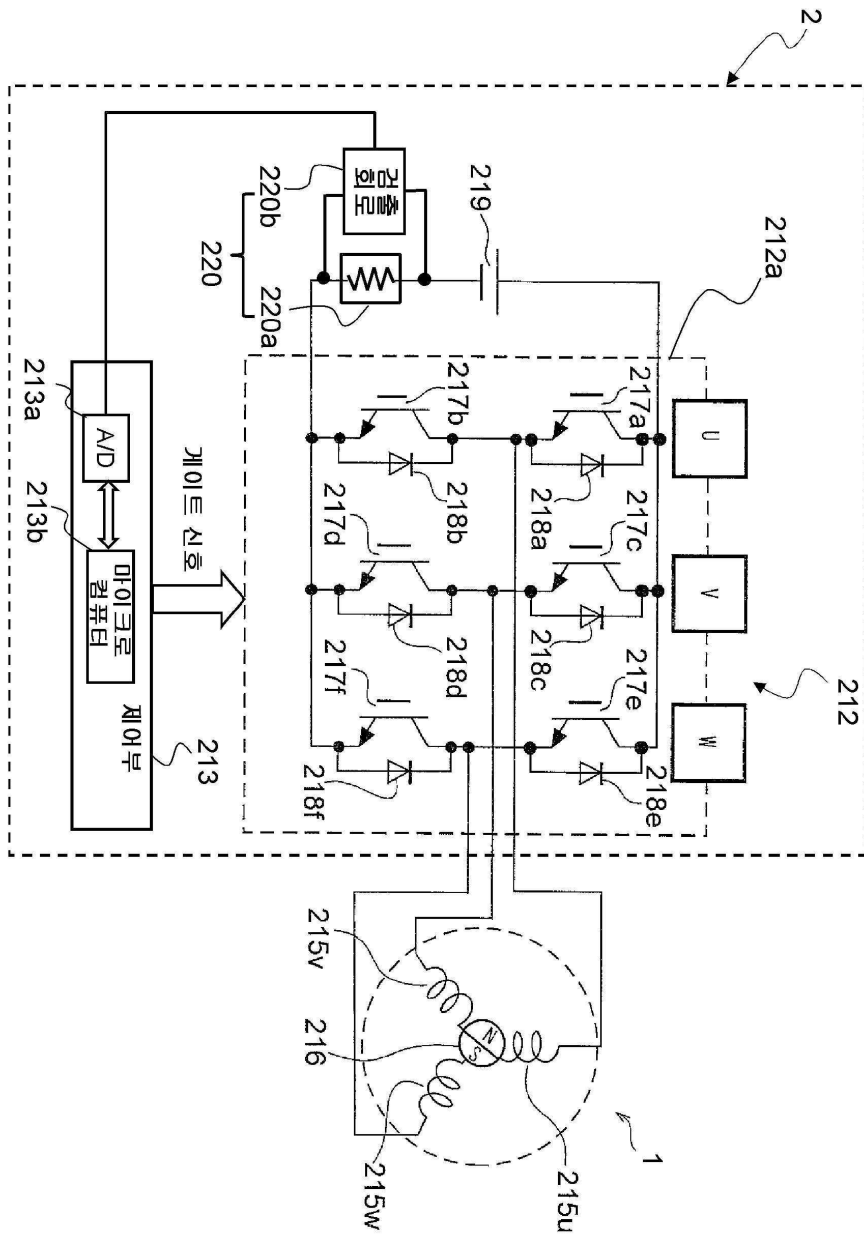
- [0132] 따라서, 제어부(213)는, 도 10의 (B)에 예시한 바와 같이 하여 펄스 시프트 처리를 실시하여, 3상 각각의 상전류 검출 기간을 PWM 1주기 내에 생성한다.
- [0133] 구체적으로는, 제어부(213)는, U상의 PWM 펄스의 위상을 진행시키는 한편 V상의 PWM 펄스의 위상을 지연시키는 펄스 시프트 처리를 실시함으로써, PWM 1주기의 초기에 U상의 PWM 펄스만이 온이고 U상의 상전류  $I_u$ 를 검출할 수 있는 구간을 생성하고, PWM 1주기의 종기(終期)에 V상의 PWM 펄스만이 온이고 V상의 상전류  $I_v$ 를 검출할 수 있는 구간을 생성하고, 이러한 구간 내에 U상의 상전류  $I_u$  검출 타이밍, V상의 상전류  $I_v$  검출 타이밍을 설정하여, 전류 검출기(220)의 출력으로부터 상전류  $I_u$ ,  $I_v$ 를 검출한다.
- [0134] 또, U상의 PWM 펄스 및 V상의 PWM 펄스의 쌍방에 관해 펄스 시프트 처리를 실시하는 것은, 한쪽의 상에 관해서만 펄스 시프트 처리를 행한 경우, 충분한 길이의 전류 검출 기간을 생성할 수 없기 때문이다.
- [0135] 또한, 제어부(213)는, U상 및 V상의 PWM 펄스가 온이고 W상의 PWM 펄스가 오프이며 W상의 상전류  $I_w$ 를 검출할 수 있는 기간 내에 W상의 상전류  $I_w$  검출 타이밍을 설정하여, 전류 검출기(220)의 출력으로부터 상전류  $I_w$ 를 검출한다.
- [0136] 또, PWM 1주기에서 3상의 상전류를 검출하는 경우의 PWM 펄스폭의 조합 및 펄스 시프트 처리의 패턴은, 도 10에 예시한 것 외에 다양하게 설정할 수 있는 것은 분명하다.
- [0137] 이상, 바람직한 실시형태를 참조하여 본 발명의 내용을 구체적으로 설명했지만, 본 발명의 기본적 기술 사상 및 교시에 기초하여, 당업자라면 여러 변형 양태를 채용할 수 있는 것은 자명하다.
- [0138] 제어부(213)는, PWM 2주기에서 전류 검출기(220)의 출력으로부터 검출한 3상의 상전류  $I_u$ ,  $I_v$ ,  $I_w$ 를 3상 브러시리스 모터(1)의 벡터 제어에 이용할 수 있다.
- [0139] 또한, 제어부(213)는, 전류 검출기(220)의 출력으로부터 3상의 상전류를 검출할 때에, 토크 지령치(각 상의 지령 전압)의 변동을 억제하는 처리를 실시하여, 토크 지령치(각 상의 지령 전압)의 안정 상태로 3상의 상전류를 검출할 수 있다.

**부호의 설명**

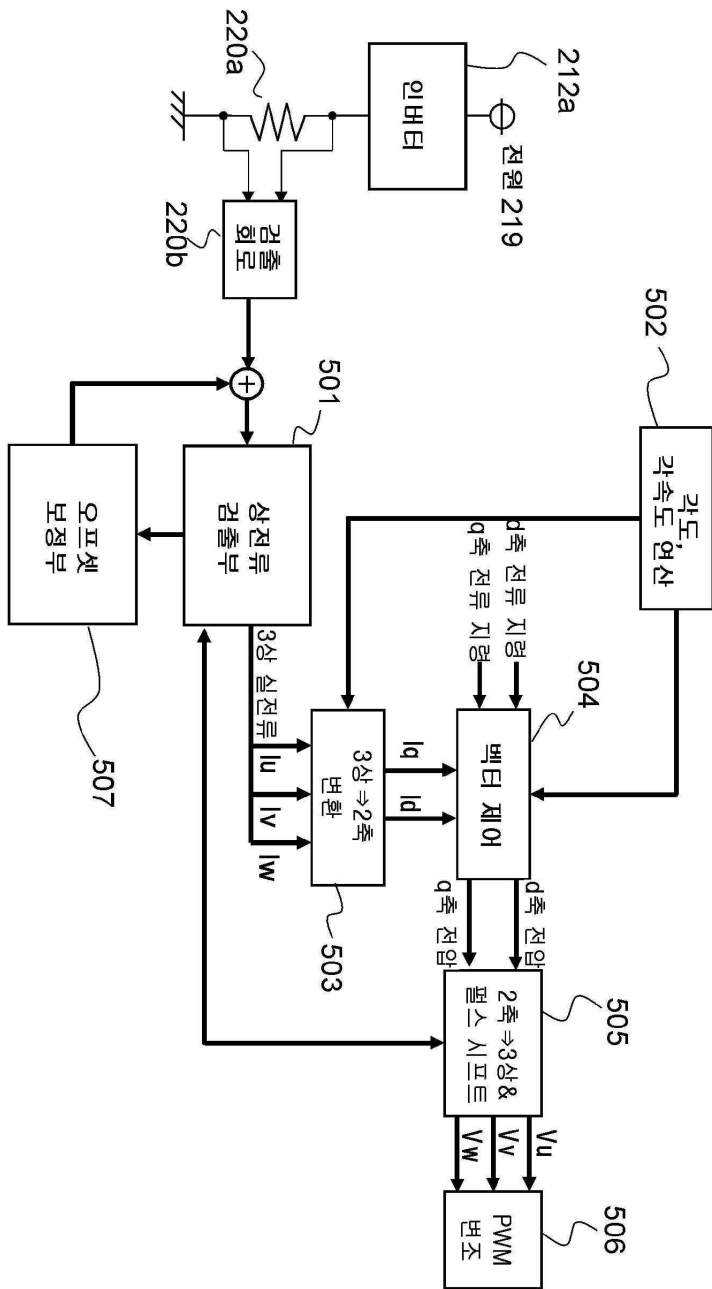
- [0140] 1 : 3상 브러시리스 모터, 2 : 모터 구동 장치, 212 : 구동 회로, 212a : 인버터, 213 : 제어부, 213a : A/D 변환기, 213b : 마이크로 컴퓨터, 220 : 전류 검출기, 220a : 셉트 저항, 220b : 검출 회로

도면

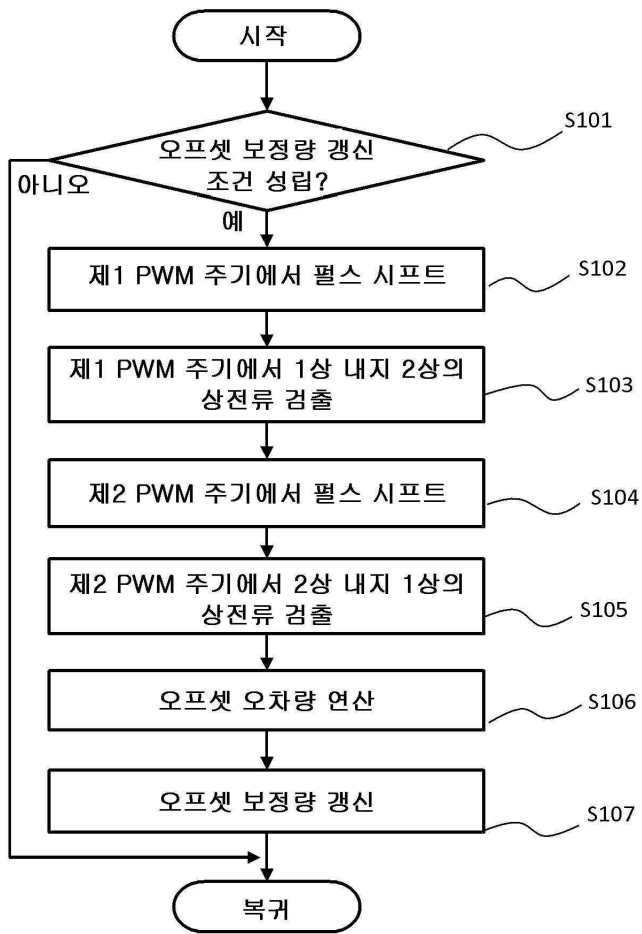
도면1



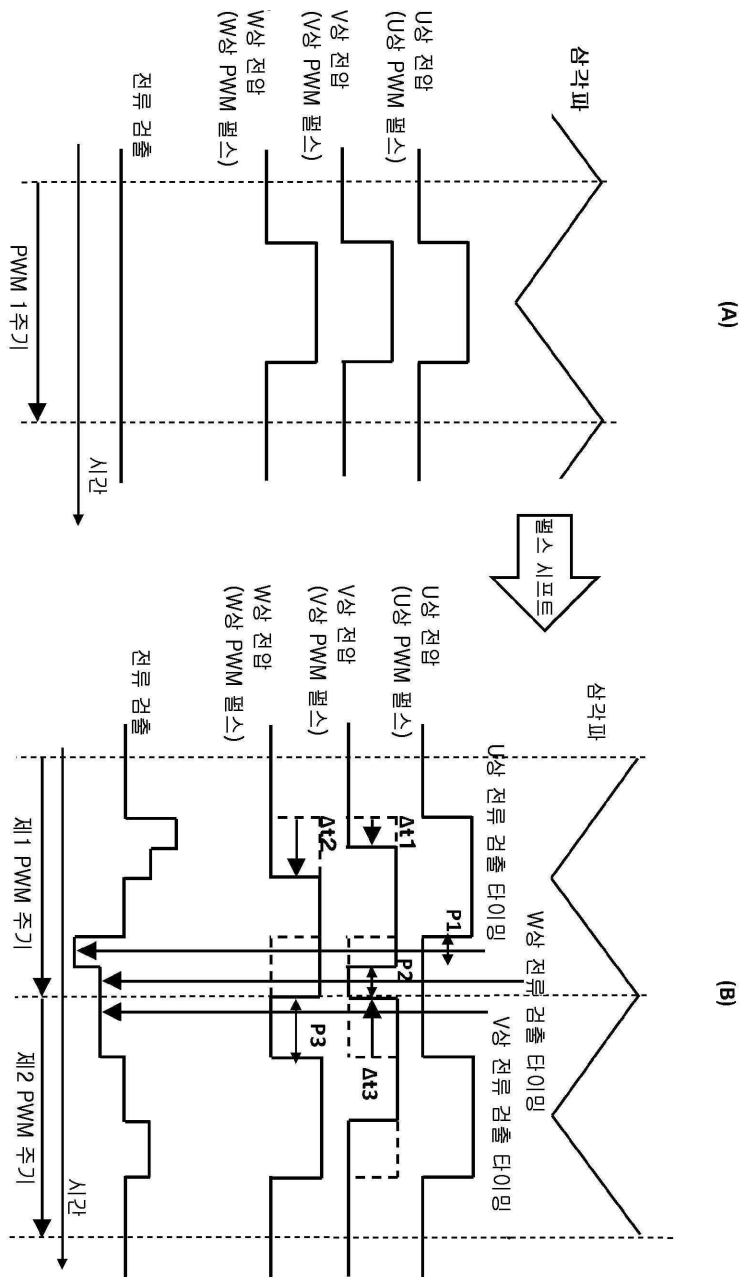
도면2



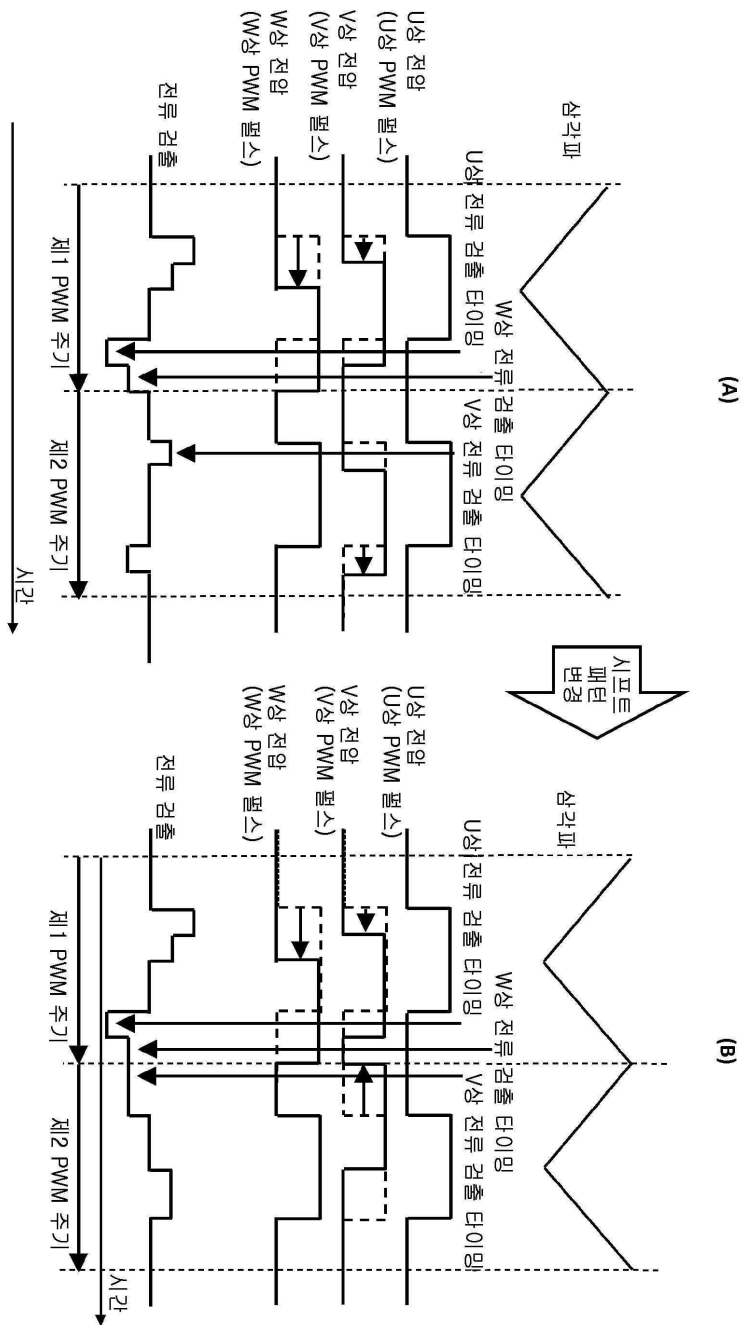
도면3



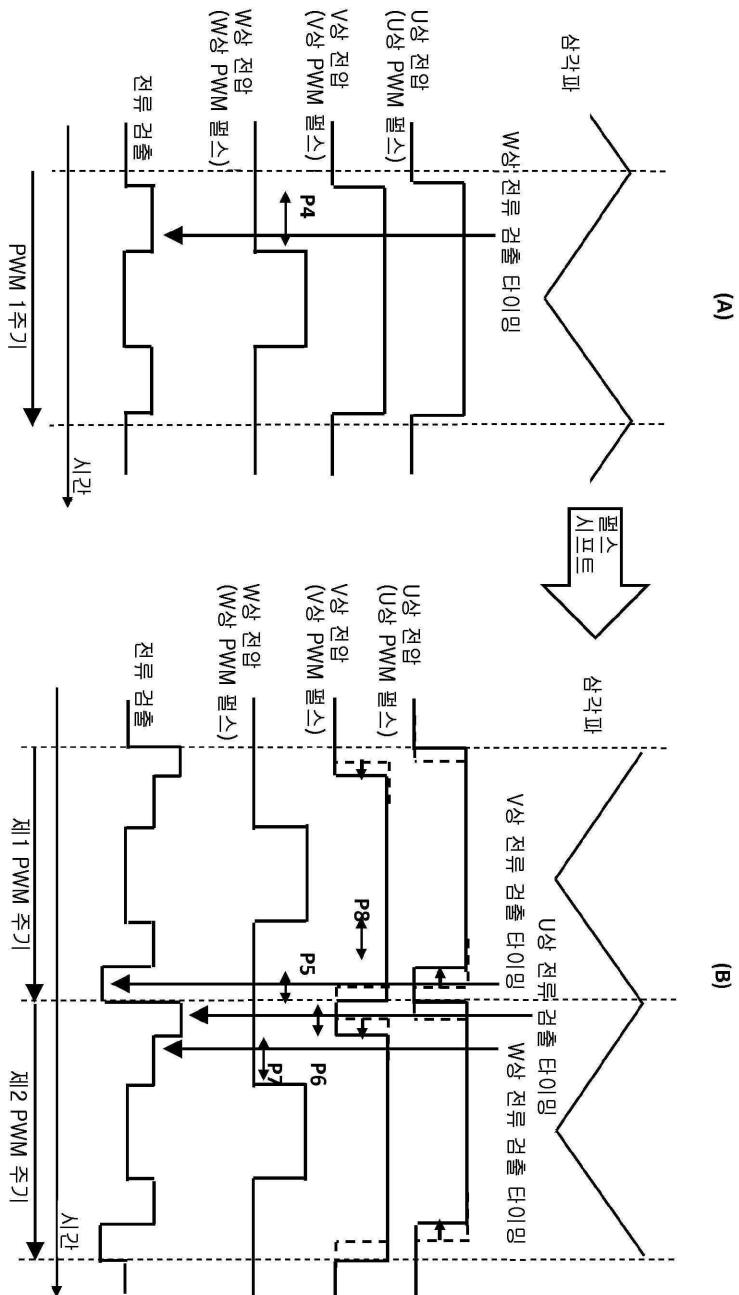
도면4



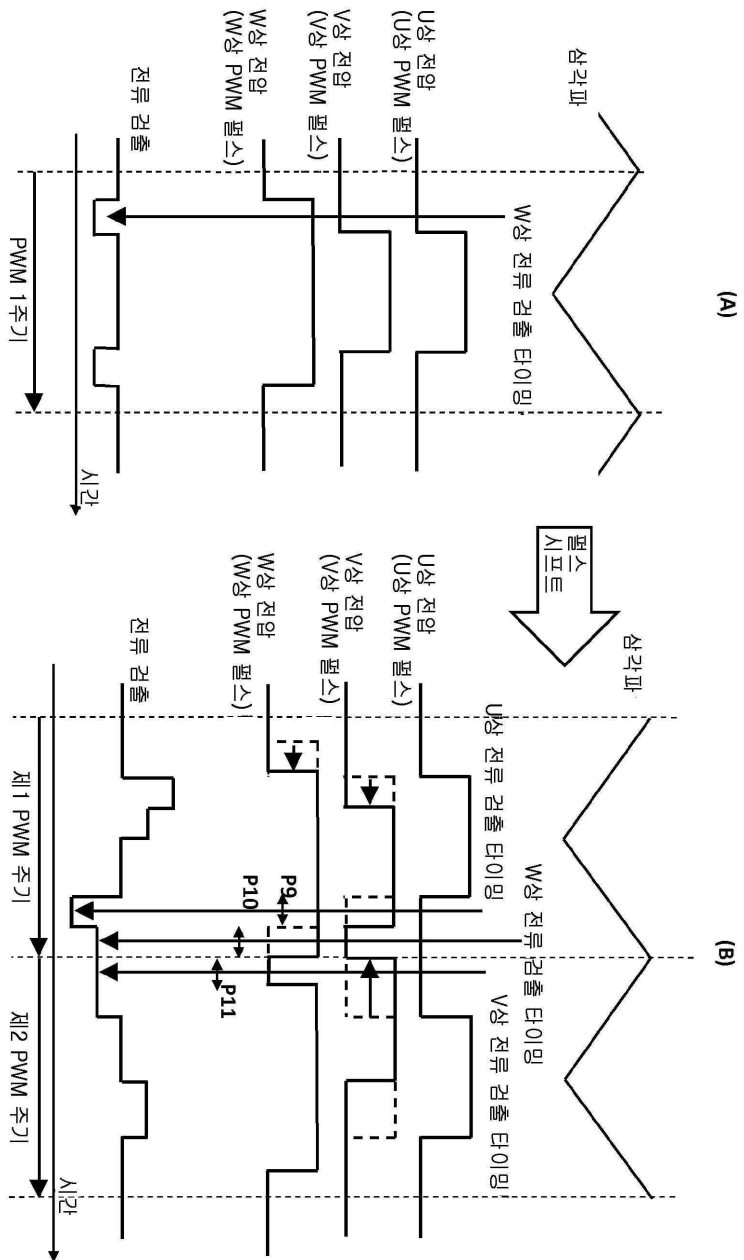
도면5



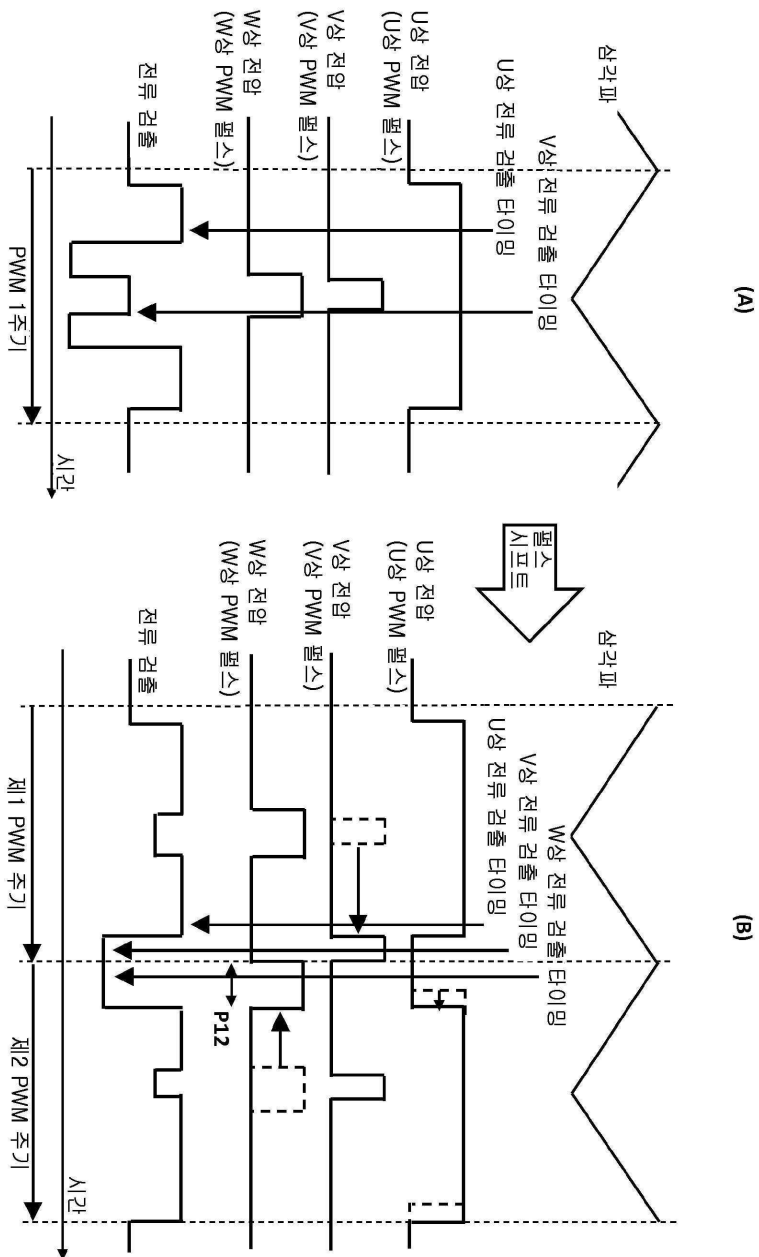
도면6



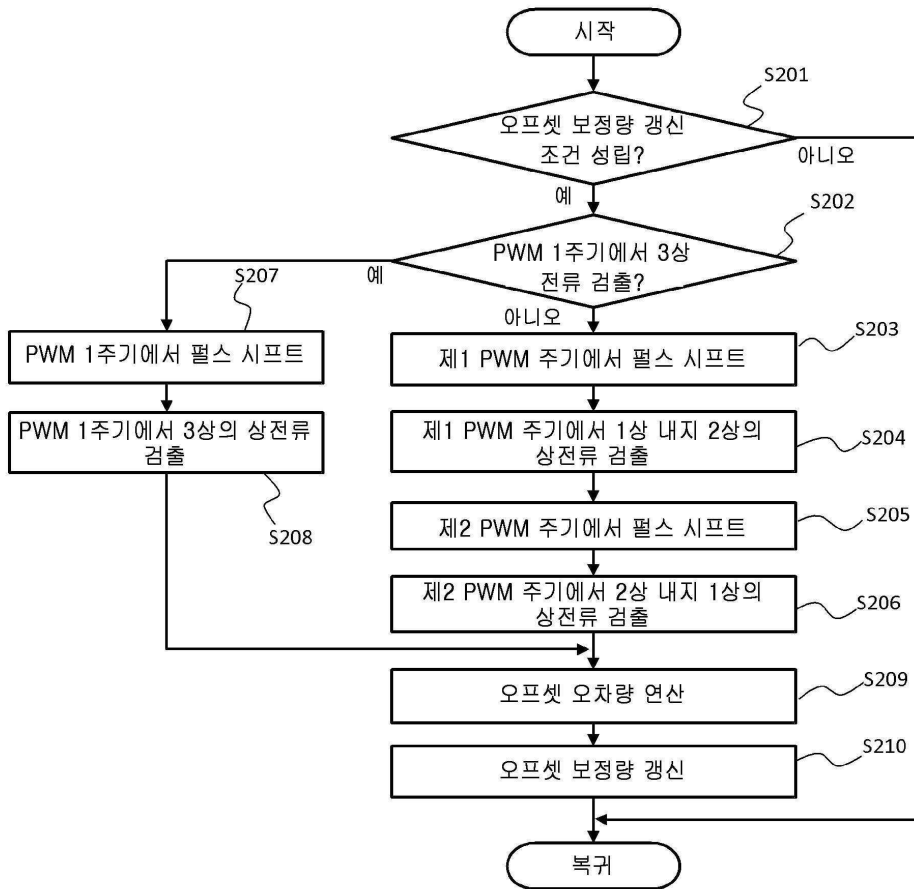
도면7



도면8



도면9



도면10

