

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5774413号
(P5774413)

(45) 発行日 平成27年9月9日(2015.9.9)

(24) 登録日 平成27年7月10日(2015.7.10)

(51) Int.Cl.

F I

G 1 1 C 11/405 (2006.01)

G 1 1 C 11/34 3 5 2 B

G 1 1 C 11/407 (2006.01)

G 1 1 C 11/34 3 5 4 D

請求項の数 5 (全 45 頁)

(21) 出願番号	特願2011-182321 (P2011-182321)	(73) 特許権者	000153878
(22) 出願日	平成23年8月24日 (2011.8.24)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2012-160247 (P2012-160247A)		神奈川県厚木市長谷398番地
(43) 公開日	平成24年8月23日 (2012.8.23)	(72) 発明者	井上 広樹
審査請求日	平成26年8月8日 (2014.8.8)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-189587 (P2010-189587)		半導体エネルギー研究所内
(32) 優先日	平成22年8月26日 (2010.8.26)	(72) 発明者	加藤 清
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2011-5766 (P2011-5766)		半導体エネルギー研究所内
(32) 優先日	平成23年1月14日 (2011.1.14)	(72) 発明者	松崎 隆徳
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	長塚 修平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 半導体装置の駆動方法

(57) 【特許請求の範囲】

【請求項 1】

半導体装置の駆動方法であって、
前記半導体装置は、第1の配線と、第2の配線と、第3の配線と、第4の配線と、第1のトランジスタと、第2のトランジスタと、容量素子とを有し、
前記第1のトランジスタのソース又はドレインの一方と、前記第2のトランジスタのソース又はドレインの一方とは、前記第1の配線と電気的に接続され、
前記第1のトランジスタのソース又はドレインの他方は、前記第2の配線と電気的に接続され、
前記第2のトランジスタのゲートは、前記第3の配線と電気的に接続され、
前記容量素子の一方の電極は、前記第4の配線と電気的に接続され、
前記第1のトランジスタのゲートと、前記第2のトランジスタのソース又はドレインの他方と、前記容量素子の他方の電極とは、電気的に接続され、
書き込み期間において、前記第3の配線に前記第2のトランジスタがオン状態となる電位を供給した後前記第1の配線にデータに応じた電位を供給し、前記第2の配線に接地電位を供給して、前記第1のトランジスタのゲートに電荷を蓄積し、
前記書き込み期間に続く保持期間において、
前記第3の配線と、前記第4の配線とに接地電位を供給し、且つ、前記第1の配線と、前記第2の配線とに同電位を供給して、前記第1のトランジスタのゲートに蓄積された電荷を保持する半導体装置の駆動方法。

【請求項 2】

半導体装置の駆動方法であって、

前記半導体装置は、第 1 の配線と、第 2 の配線と、複数の第 3 の配線と、複数の第 4 の配線と、複数のメモリセルとを有し、

前記メモリセルの一において、

前記第 1 のトランジスタのソース又はドレインの一方と、前記第 2 のトランジスタのソース又はドレインの一方とは、前記第 1 の配線と電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記複数の第 3 の配線の一と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電氣的に接続され、

10

前記容量素子の一方の電極は、前記複数の第 4 の配線の一と電氣的に接続され、

前記第 1 のトランジスタのゲートと、前記第 2 のトランジスタのソース又はドレインの他方と、前記容量素子の他方の電極とは、電氣的に接続され、

書き込み期間において、

前記複数の第 3 の配線のそれぞれに、前記複数のメモリセルにそれぞれ含まれる前記第 2 のトランジスタがオン状態となる電位を供給した後前記第 1 の配線にデータに応じた電位を供給し、前記第 2 の配線に接地電位を供給して、前記複数のメモリセルにそれぞれ含まれる前記第 1 のトランジスタのゲートに電荷を蓄積し、

前記書き込み期間に続く保持期間において、

前記複数の第 3 の配線と、前記複数の第 4 の配線と、のそれぞれに、接地電位を供給し、前記第 1 の配線と前記第 2 の配線とに同電位を供給して、前記複数のメモリセルにそれぞれ含まれる前記第 1 のトランジスタのゲートに蓄積された電荷を保持し、

20

読み出し期間において、

非選択とするメモリセルの一と電氣的に接続された前記複数の第 4 の配線の一に電源電位を供給し、選択するメモリセルの一と電氣的に接続された前記複数の第 4 の配線の他の一に接地電位を供給した後前記第 2 の配線に電位を供給し、前記複数の第 4 の配線の一に接地電位を供給した後前記第 2 の配線に接地電位を供給し、前記選択するメモリセルの一に含まれる前記第 1 のトランジスタのゲートに保持された電荷を読み出す半導体装置の駆動方法。

【請求項 3】

30

請求項 1 又は 2 において、

前記保持期間に、前記第 1 の配線と、前記第 2 の配線とに接地電位を供給する半導体装置の駆動方法。

【請求項 4】

半導体装置の駆動方法であって、

前記半導体装置は、複数の第 1 の配線と、第 2 の配線と、複数の第 3 の配線と、複数の第 4 の配線と、複数のメモリセルとを有し、

前記メモリセルの一において、

前記第 1 のトランジスタのソース又はドレインの一方と、前記第 2 のトランジスタのソース又はドレインの一方とは、前記複数の第 1 の配線の一と電氣的に接続され、

40

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記複数の第 3 の配線の一と電氣的に接続され、

前記容量素子の一方の電極は、前記複数の第 4 の配線の一と電氣的に接続され、

前記第 1 のトランジスタのゲートと、前記第 2 のトランジスタのソース又はドレインの他方と、前記容量素子の他方の電極とは、電氣的に接続され

書き込み期間において、

前記複数の第 3 の配線のそれぞれに、前記複数のメモリセルにそれぞれ含まれる前記第 2 のトランジスタがオン状態となる電位を供給した後前記複数の第 1 の配線にデータに応じた電位を供給し、前記第 2 の配線に接地電位を供給して、前記複数のメモリセルにそれ

50

ぞれ含まれる前記第 1 のトランジスタのゲートに電荷を蓄積し、

前記書き込み期間に続く保持期間において、

前記複数の第 3 の配線と、前記複数の第 4 の配線と、のそれぞれに、接地電位を供給し、前記複数の第 1 の配線と前記第 2 の配線とに同電位を供給して、前記複数のメモリセルにそれぞれ含まれる前記第 1 のトランジスタのゲートに蓄積された電荷を保持し、

読み出し期間において、

非選択とするメモリセルの一と電氣的に接続された前記複数の第 4 の配線の一に電源電位を供給し、選択するメモリセルの一と電氣的に接続された前記複数の第 4 の配線の他の一に接地電位を供給した後前記第 2 の配線に電位を供給し、前記複数の第 4 の配線の一に接地電位を供給した後前記第 2 の配線に接地電位を供給し、前記選択するメモリセルの一に含まれる前記第 1 のトランジスタのゲートに保持された電荷を読み出す半導体装置の駆動方法。

10

【請求項 5】

請求項 4 において、

前記保持期間に、前記複数の第 1 の配線と、前記第 2 の配線とに接地電位を供給する半導体装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置および当該半導体装置の駆動方法に関するものである。

20

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0003】

揮発性記憶装置の代表的な例としては、D R A M (D y n a m i c R a n d o m A c c e s s M e m o r y) がある。D R A M は、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

30

【0004】

上述の原理から、D R A M では、情報を読み出すとキャパシタの電荷は失われるため、情報の読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにおいてはオフ状態でのソースとドレイン間のリーク電流（オフ電流）等によって、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作（リフレッシュ動作）が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

【0005】

40

揮発性記憶装置の別の例としては S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) がある。S R A M は、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においては D R A M より有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、D R A M と変わるところはない。

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極

50

めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している（例えば、特許文献1参照）。

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

【0008】

また、フローティングゲートに電荷を注入させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の注入、または除去のためには比較的長い時間を要し、書き込みまたは消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

上述の問題に鑑み、開示する発明の一態様では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。

【課題を解決するための手段】

【0011】

開示する発明では、トランジスタのオフ電流を十分に小さくすることができる材料、例えば、ワイドギャップ半導体である酸化物半導体材料を用いて半導体装置を構成する。トランジスタのオフ電流を十分に小さくすることができる半導体材料を用いることで、長期間にわたって情報を保持することが可能である。

【0012】

また、開示する発明では、酸化物半導体を用いた書き込み用トランジスタ、該書き込み用トランジスタと異なる半導体材料を用いた読み出し用トランジスタ及び容量素子を含む不揮発性のメモリセルを有する半導体装置を提供する。該メモリセルへの情報の書き込み及び書き換えは、書き込み用トランジスタをオン状態とすることにより、書き込み用トランジスタのソース電極またはドレイン電極の一方と、容量素子の電極の一方と、読み出し用トランジスタのゲート電極とが電氣的に接続されたノードに電位を供給し、その後、書き込み用トランジスタをオフ状態とすることにより、ノードに所定量の電荷を保持させることで行う。また、保持期間において、メモリセルを選択状態とし、且つ、読み出し用トランジスタのソース電極およびドレイン電極を同電位とすることで、ノードに蓄積された電荷を保持する。また、読み出し用トランジスタとして、pチャネル型トランジスタを用いることで、負電位を用いずに読み出しを行う。

【0013】

より具体的には、例えば次のような構成を採用することができる。

【0014】

本発明の一態様は、ビット線に第1のトランジスタのソース電極と第2のトランジスタのソース電極とが電氣的に接続され、書き込みワード線に第2のトランジスタのゲート電極が電氣的に接続され、ソース線に第1のトランジスタのドレイン電極が電氣的に接続され、書き込み及び読み出しワード線に容量素子の一方の電極が電氣的に接続され、第1のトランジスタのゲート電極と、第2のトランジスタのドレイン電極と、容量素子の他方の電

10

20

30

40

50

極が電氣的に接続され、電荷が保持されるノードが構成されており、書き込み期間において、書き込みワード線に第2のトランジスタがオン状態となる電位を供給し、ソース線に接地電位を供給して、ノードに電荷を蓄積し、書き込み期間に続く保持期間において、書き込みワード線と、書き込み及び読み出しワード線とに接地電位を供給し、且つ、ソース線と、ビット線とに同電位を供給して、ノードに蓄積された電荷を保持する半導体装置の駆動方法である。

【0015】

また、本発明の一態様は、ビット線と、ソース線と、複数の書き込みワード線と、複数の書き込み及び読み出しワード線と、複数のメモリセルを含むメモリセルアレイと、を有し、メモリセルの一において、ビット線に第1のトランジスタのソース電極と第2のトランジスタのソース電極とが電氣的に接続され、書き込みワード線に第2のトランジスタのゲート電極が電氣的に接続され、ソース線に第1のトランジスタのドレイン電極が電氣的に接続され、書き込み及び読み出しワード線に容量素子の一方の電極が電氣的に接続され、第1のトランジスタのゲート電極と、第2のトランジスタのドレイン電極と、容量素子の他方の電極が電氣的に接続され、電荷が保持されるノードが構成されており、書き込み期間において、複数の書き込みワード線に、複数のメモリセルにそれぞれ含まれる第2のトランジスタがオン状態となる電位を供給し、ソース線に接地電位を供給して、複数のメモリセルにそれぞれ含まれるノードに電荷を蓄積し、書き込み期間に続く保持期間において、複数の書き込みワード線と、複数の書き込み及び読み出しワード線と、のそれぞれに、接地電位を供給し、ビット線とソース線とに同電位を供給して、複数のメモリセルにそれぞれ含まれるノードに蓄積された電荷を保持し、読み出し期間において、非選択とするメモリセルの一と接続された書き込み及び読み出しワード線の一に電源電位を供給し、選択するメモリセルの一と接続された書き込み及び読み出しワード線の一に接地電位を供給して、選択するメモリセルの一に含まれるノードに保持された電荷を読み出す半導体装置の駆動方法である。

【0016】

また、上記の半導体装置の駆動方法において、保持期間において、ソース線と、ビット線と、に接地電位を供給してもよい。

【0017】

また、本発明の一態様は、複数のビット線と、ソース線と、複数の書き込みワード線と、複数の書き込み及び読み出しワード線と、複数のメモリセルを含むメモリセルアレイと、を有し、メモリセルの一において、ビット線に第1のトランジスタのソース電極と第2のトランジスタのソース電極とが電氣的に接続され、書き込みワード線に第2のトランジスタのゲート電極が電氣的に接続され、ソース線に第1のトランジスタのドレイン電極が電氣的に接続され、書き込み及び読み出しワード線に容量素子の一方の電極が電氣的に接続され、第1のトランジスタのゲート電極と、第2のトランジスタのドレイン電極と、容量素子の他方の電極が電氣的に接続され、電荷が保持されるノードが構成されており、書き込み期間において、複数の書き込みワード線に、複数のメモリセルにそれぞれ含まれる第2のトランジスタがオン状態となる電位を供給し、ソース線に接地電位を供給して、複数のメモリセルにそれぞれ含まれるノードに電荷を蓄積し、書き込み期間に続く保持期間において、複数の書き込みワード線と、複数の書き込み及び読み出しワード線と、のそれぞれに、接地電位を供給し、複数のビット線とソース線とに同電位を供給して、複数のメモリセルにそれぞれ含まれるノードに蓄積された電荷を保持し、読み出し期間において、非選択とするメモリセルの一と接続された書き込み及び読み出しワード線の一に電源電位を供給し、選択するメモリセルの一と接続された書き込み及び読み出しワード線の一に接地電位を供給して、選択するメモリセルの一に含まれるノードに保持された電荷を読み出す半導体装置の駆動方法である。

【0018】

また、上記の半導体装置の駆動方法において、保持期間において、ソース線と、複数のビット線と、に接地電位を供給してもよい。

【 0 0 1 9 】

また、上記の半導体装置の駆動方法において、第2のトランジスタのチャネル形成領域は、酸化物半導体を含んでなるのが好ましい。

【 0 0 2 0 】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

【 0 0 2 1 】

また、本明細書等において「電極」や「配線」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」という用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

10

【 0 0 2 2 】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

【 0 0 2 3 】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。

20

【 0 0 2 4 】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【 発明の効果 】

【 0 0 2 5 】

酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

30

【 0 0 2 6 】

また、開示する発明に係る半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。

40

【 0 0 2 7 】

また、読み出し用トランジスタには、酸化物半導体以外の材料を適用した十分な高速動作が可能なトランジスタを用い、書き込み用トランジスタの酸化物半導体を用いたトランジスタと組み合わせることにより、半導体装置の動作（例えば、情報の読み出し動作）の高速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

50

【 0 0 2 8 】

このように、酸化物半導体以外の材料を用い、十分に高速動作が可能なトランジスタと、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

【図面の簡単な説明】

【 0 0 2 9 】

【図 1】半導体装置の回路図。

【図 2】半導体装置の回路図。

【図 3】タイミングチャート図。

【図 4】半導体装置の回路図。

【図 5】半導体装置の回路図。

【図 6】半導体装置の断面図および平面図。

【図 7】半導体装置の作製工程に係る断面図。

【図 8】半導体装置の作製工程に係る断面図。

【図 9】半導体装置の作製工程に係る断面図。

【図 10】半導体装置の作製工程に係る断面図。

【図 11】半導体装置の作製工程に係る断面図。

【図 12】半導体装置を用いた電子機器を説明するための図。

【図 13】半導体装置の断面図。

【図 14】半導体装置の作製工程に係る断面図。

【図 15】ビット線 B L における電位の時間変化の測定結果。

【図 16】メモリセルの閾値ウィンドウの測定結果。

【図 17】ビット線 B L における電位の時間変化の測定結果。

【発明を実施するための形態】

【 0 0 3 0 】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 3 1 】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【 0 0 3 2 】

なお、本明細書等における「第 1」、「第 2」、「第 3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【 0 0 3 3 】

（実施の形態 1）

本実施の形態では、開示する発明の一態様に係る半導体装置の基本的な回路構成およびその動作について、図 1 および図 2 を参照して説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、O S の符号を併せて付す場合がある。

【 0 0 3 4 】

基本回路 1

はじめに、最も基本的な回路構成およびその動作について、図 1 を参照して説明する。図 1（A）に示す半導体装置において、ビット線 B L とトランジスタ 1 6 0 のソース電極（またはドレイン電極）と、トランジスタ 1 6 2 のソース電極（またはドレイン電極）と、は、電氣的に接続され、ソース線 S L とトランジスタ 1 6 0 のドレイン電極（またはソース電極）とは、電氣的に接続されている。また、書き込みワード線 O S G と、トランジスタ

10

20

30

40

50

タ 1 6 2 のゲート電極とは、電氣的に接続されている。そして、トランジスタ 1 6 0 のゲート電極と、トランジスタ 1 6 2 のドレイン電極（またはソース電極）は、容量素子 1 6 4 の電極の一方と電氣的に接続され、書き込み及び読み出しワード線 C と、容量素子 1 6 4 の電極の他方は電氣的に接続されている。なお、トランジスタ 1 6 0 のソース電極（またはドレイン電極）と、トランジスタ 1 6 2 のソース電極（またはドレイン電極）と、を電氣的に接続させずに、それぞれが別の配線と電氣的に接続する構成としてもよい。

【 0 0 3 5 】

ここで、トランジスタ 1 6 2 には、例えば、酸化物半導体を用いたトランジスタが適用される。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ 1 6 2 をオフ状態とすることで、トランジスタ 1 6 0 のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子 1 6 4 を有することにより、トランジスタ 1 6 0 のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

【 0 0 3 6 】

なお、トランジスタ 1 6 0 の半導体材料については特に限定されない。情報の読み出し速度を向上させるという観点からは、例えば、単結晶シリコンを用いたトランジスタなど、スイッチング速度の高いトランジスタを適用するのが好適である。ただし、トランジスタ 1 6 0 としては、p チャネル型のトランジスタを用いるものとする。

【 0 0 3 7 】

図 1 (A) に示す半導体装置では、トランジスタ 1 6 0 のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【 0 0 3 8 】

はじめに、情報の書き込みおよび保持について説明する。まず、書き込みワード線 O S G の電位を、トランジスタ 1 6 2 がオン状態となる電位にして、トランジスタ 1 6 2 をオン状態とする。これにより、ビット線 B L の電位が、トランジスタ 1 6 2 のドレイン電極（またはソース電極）と、トランジスタ 1 6 0 のゲート電極と、容量素子 1 6 4 の一方の電極が電氣的に接続されたノード（ノード F G と表記する）に与えられる。すなわち、ノード F G には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位を与える電荷（以下、低電位を与える電荷を電荷 Q_L 、高電位を与える電荷を電荷 Q_H という）のいずれかが与えられるものとする。なお、異なる三つまたはそれ以上の電位を与える電荷を適用して、記憶容量を向上させても良い。その後、書き込みワード線 O S G の電位を、トランジスタ 1 6 2 がオフ状態となる電位にして、トランジスタ 1 6 2 をオフ状態とすることにより、ノード F G に与えられた電荷が保持される（保持）。

【 0 0 3 9 】

トランジスタ 1 6 2 のオフ電流は極めて小さいため、トランジスタ 1 6 0 のゲート電極の電荷は長時間にわたって保持される。

【 0 0 4 0 】

次に、情報の読み出しについて説明する。ソース線 S L に所定の電位（定電位）を与えた状態で、書き込み及び読み出しワード線 C に適切な電位（読み出し電位）を与えると、ノード F G に保持された電荷量に応じて、ビット線 B L は異なる電位をとる。すなわち、トランジスタ 1 6 0 のコンダクタンスは、トランジスタ 1 6 0 のゲート電極（ノード F G ともいえる）に保持される電荷によって制御される。

【 0 0 4 1 】

一般に、トランジスタ 1 6 0 を p チャネル型とすると、トランジスタ 1 6 0 のゲート電極に Q_H が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ 1 6 0 のゲート電極に Q_L が与えられている場合の見かけのしきい値 V_{th_L} より低くなる。例えば、書き込みにおいて Q_L が与えられた場合には、書き込み及び読み出しワード線 C の電位が V_0 （ V_{th_H} と V_{th_L} の中間の電位）となれば、トランジスタ 1 6 0 は「オン状態」となる。 Q_H が与えられた場合には、書き込み及び読み出しワード線 C の電位が V_0 となっても、トランジスタ 1 6 0 は「オフ状態」のままである。このため、ビット線

10

20

30

40

50

BLの電位を判別することで、保持されている情報を読み出すことができる。

【0042】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、書き込みワード線OSGの電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、ビット線BLの電位（新たな情報に係る電位）が、ノードFGに与えられる。その後、書き込みワード線OSGを、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、ノードFGは、新たな情報に係る電荷が与えられた状態となる。

【0043】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

【0044】

以下に、一例として、ノードFGに電源電位VDDまたは接地電位GNDのいずれかを与えた場合の書き込み、保持、読み出しの方法について具体的に説明する。以下では、ノードFGに電源電位VDDを与えた場合に保持されるデータをデータ"1"、ノードFGに接地電位GNDを与えた場合に保持されるデータをデータ"0"とする。なお、ノードFGに与える電位の関係はこれに限られるものではない。

【0045】

情報を書き込む場合（書き込み期間）には、ソース線SLをGNDとし、書き込み及び読み出しワード線CをGNDとし、書き込みワード線OSGをVDDとして、トランジスタ162をオン状態とする。そして、ノードFGにデータ"0"を書き込む場合には、ビット線BLにはGNDを与える。また、ノードFGにデータ"1"を書き込む場合には、トランジスタ162のしきい値電圧（ V_{th_os} ）分電圧降下しないように、ビット線BLの電位をVDDとし、書き込みワード線OSGの電位を $VDD + V_{th_os}$ とするのが好ましい。

【0046】

情報を保持する場合（保持期間）またはメモリセルをスタンバイ状態とする場合（スタンバイ期間）には、書き込みワード線OSGをGNDとしてトランジスタ162をオフ状態にする。また、トランジスタ162のドレインとソース間の電圧（以下、 V_{ds_os} とする）を低減するために、書き込み及び読み出しワード線CをGNDとする。なお、書き込み及び読み出しワード線CをGNDとすることで、pチャネル型トランジスタであるトランジスタ160を介して、ビット線BLとソース線SLに電流が生じうる。そこで、ビット線BLとソース線SLとを同電位とすることで、トランジスタ160のドレインとソース間の電圧（以下、 V_{ds_p} とする）を0Vとして、ビット線BLとソース線SL間の電流を抑制する。

【0047】

なお、上記において、「同電位」には、「略同電位」も含まれるものとする。すなわち、上記においては、ビット線BLとソース線SLの間の電圧を十分に低減して、ビット線とソース線SLの間に生じる電流を抑制することを目的としているため、ソース線SLの電位をGNDなどに固定した場合と比較して消費電力を十分に（例えば、百分の一以下に）低減できる電位など、「略同電位」とした電位が含まれるのである。また、例えば、配線抵抗などに起因する電位ずれ程度の差は十分に許容される。

【0048】

なお、トランジスタ162への電圧ストレスを抑制するためには、保持期間およびスタンバイ期間においてビット線BLおよびソース線SLをGNDとするのがより好ましい。

【0049】

保持期間およびスタンバイ期間において、書き込み及び読み出しワード線CをGNDとすることで、 V_{ds_os} を低減することができる。例えば、書き込み期間において、ノードFGに、データ"1"（すなわちVDD）を書き込み、保持期間において書き込み及び読み出しワード線CをVDDとした場合には、ノードFGは容量結合によってVDD増加し、 $2VDD$ となる。この場合において、ビット線BLがGNDであれば、 V_{ds_os} は $2VDD (= 2VDD - GND)$ となる。一方で、同様の条件で保持期間において書き込み及び読み出しワード線CをGNDとした場合には、ノードFGはVDDとなり、ビット線BLがGNDであれば、 V_{ds_os} は $VDD (= VDD - GND)$ となるため、書き込み及び読み出しワード線CをVDDとした場合よりも、 V_{ds_os} を低減することができる。 V_{ds_os} を低減することで、トランジスタ162のオフ電流をさらに低減させることができるため、メモリセルの保持特性をより向上させることが可能となる。

10

【0050】

情報を読み出す場合（読み出し期間）には、書き込みワード線OSGをGNDとし、書き込み及び読み出しワード線CをGNDとし、ソース線SLをVDDもしくはVDDよりいくらか低い電位（以下VRと表記する）とする。ここで、ノードFGにデータ"1"が書き込まれている場合は、pチャネル型トランジスタであるトランジスタ160はオフ状態となり、ビット線BLの電位は、読み出し開始時の電位が維持されるか、または下降する。なお、ビット線BLの電位の維持または下降は、ビット線BLに接続される読み出し回路に依存する。また、ノードFGにデータ"0"が書き込まれている場合は、トランジスタ160がオン状態となり、ビット線BLの電位はソース線SLの電位と同電位のVDD

20

【0051】

なお、ノードFGに電位VDDが保持されている（すなわち、データ"1"が書き込まれている）場合、読み出しの際にソース線SLの電位をVDDとすると、トランジスタ160のゲートとソース間の電圧（以下、 V_{gs_p} と表記する）は、 $0V (= VDD - VDD)$ となり、 V_{gs_p} がトランジスタ160のしきい値電圧（以下、 V_{th_p} とする）よりも大きくなるため、pチャネル型トランジスタであるトランジスタ160はオフ状態となる。ここで、ノードFGに書き込まれた電位がVDDに満たなかった等で、ノードFGに保持された電位がVDDよりも小さい場合であっても、ノードFGの電位がVDD

- $|V_{th_p}|$ 以上であれば、 $V_{gs_p} = (VDD - |V_{th_p}|) - VDD = -|V_{th_p}| = V_{th_p}$ となりトランジスタ160がオフ状態となるため、正常にデータ"1"が読み出せる。しかしながら、ノードFGの電位が $VDD - |V_{th_p}|$ より小さい場合には、 V_{gs_p} が V_{th_p} より小さくなるため、トランジスタ160はオン状態となり、データ"1"ではなくデータ"0"が読み出され、誤読み出しとなる。つまり、データ"1"を書き込んだ場合、読み出しが可能である電位の下限值は、ソース線SLの電位VDDより $|V_{th_p}|$ 分低い、 $VDD - |V_{th_p}|$ となる。一方で、読み出しの際にソース線SLの電位をVRとすると、上述した通り、データ"1"の読み出しが可能である電位の下限值は、ソース線SLの電位VRよりも $|V_{th_p}|$ 分低い、 $VR - |V_{th_p}|$ となる。ここで、VRはVDDよりも低い電位であるので、 $VR - |V_{th_p}|$ は $VDD - |V_{th_p}|$ より小さくなる。すなわち、ソース線SLの電位をVRとした方が、読み出しが可能である電位の下限值は低くなる。よって、ソース線SLの電位はVDDとするよりもVRとした方がデータ"1"の読み出しが可能である電位の幅を広くすることができるため好ましい。なお上限値については、ソース線SLの電位をVRとした場合、ノードFGにVDDが書き込まれている場合の V_{gs_p} は $VDD - VR > V_{th_p}$ （ $VDD > VR$ ）となり問題無くトランジスタ160をオフ状態とすることができる。

30

40

【0052】

ここで、トランジスタ162のドレイン電極（またはソース電極）と、トランジスタ160のゲート電極と、容量素子164の一方の電極が電氣的に接続されたノード（ノードF

50

G)は、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。トランジスタ162がオフの場合、当該ノードFGは絶縁体中に埋設されたと見ることができ、ノードFGには電荷が保持される。酸化半導体を用いたトランジスタ162のオフ電流は、シリコン半導体などで形成されるトランジスタの10万分の1以下であるため、トランジスタ162のリークによる、ノードFGに蓄積された電荷の消失を無視することが可能である。つまり、酸化半導体を用いたトランジスタ162により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

【0053】

例えば、トランジスタ162の室温(25℃)でのオフ電流が 10 zA (1 zA (zeptoアンペア)は $1 \times 10^{-21}\text{ A}$)以下であり、容量素子164の容量値が 10 fF 程度である場合には、少なくとも 10^4 秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

【0054】

また、開示する発明の半導体装置においては、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜(トンネル絶縁膜)の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要なであった高電圧も不要である。

【0055】

図1(A)に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図1(B)のように考えることが可能である。つまり、図1(B)では、トランジスタ160および容量素子164が、それぞれ、抵抗および容量を含んで構成されると考えていることになる。R1およびC1は、それぞれ、容量素子164の抵抗値および容量値であり、抵抗値R1は、容量素子164を構成する絶縁層による抵抗値に相当する。また、R2およびC2は、それぞれ、トランジスタ160の抵抗値および容量値であり、抵抗値R2はトランジスタ160がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値C2はいわゆるゲート容量(ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャネル形成領域との間に形成される容量)の容量値に相当する。

【0056】

トランジスタ162がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値(実効抵抗とも呼ぶ)を R_{OS} とすると、トランジスタ162のゲートリーク電流が十分に小さい条件において、R1およびR2が、 $R1 \gg R_{OS}$ 、 $R2 \gg R_{OS}$ を満たす場合には、電荷の保持期間(情報の保持期間ということもできる)は、主としてトランジスタ162のオフ電流によって決定されることになる。

【0057】

逆に、当該条件を満たさない場合には、トランジスタ162のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ162のオフ電流以外のリーク電流(例えば、ソース電極とゲート電極の間において生じるリーク電流等)が大きいためである。このことから、本実施の形態において開示する半導体装置は、 $R1 \gg R_{OS}$ 、および $R2 \gg R_{OS}$ の関係を満たすものであることが望ましいといえる。

【0058】

一方で、C1とC2は、 $C1 \gg C2$ の関係を満たすことが望ましい。C1を大きくすることで、書き込み及び読み出しワード線CによってノードFGの電位を制御する際に、書き込み及び読み出しワード線Cの電位を効率よくノードFGに与えることができるようになり、書き込み及び読み出しワード線Cに与える電位間(例えば、読み出しの電位と、非読み出しの電位)の電位差を低く抑えることができるためである。

【0059】

10

20

30

40

50

このように、上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、 R_1 および R_2 は、トランジスタ160のゲート絶縁層や容量素子164の絶縁層によって制御される。 C_1 および C_2 についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

【0060】

本実施の形態で示す半導体装置においては、ノードFGが、フラッシュメモリ等のフローティングゲート型トランジスタのフローティングゲートと同等の作用をするが、本実施の形態のノードFGは、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有している。

【0061】

フラッシュメモリでは、コントロールゲートに印加される電位が高いため、その電位が、隣接するセルのフローティングゲートに影響を与えないように、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

【0062】

一方、本実施の形態に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

【0063】

また、高電界が不要であり、大型の周辺回路（昇圧回路など）が不要である点も、フラッシュメモリに対する優位点である。例えば、本実施の形態に係るメモリセルに印加される電圧（メモリセルの各端子に同時に印加される電位の最大のものとの最小のものとの差）の最大値は、2段階（1ビット）の情報を書き込む場合、一つのメモリセルにおいて、5V以下、好ましくは3V以下とすることができる。

【0064】

さらに、容量素子164を構成する絶縁層の比誘電率 ϵ_1 と、トランジスタ160を構成する絶縁層の比誘電率 ϵ_2 とを異ならせる場合には、容量素子164を構成する絶縁層の面積 S_1 と、トランジスタ160においてゲート容量を構成する絶縁層の面積 S_2 とが、 $2 \cdot S_2 \leq S_1$ （望ましくは $S_2 \leq S_1$ ）を満たしつつ、 $C_1 \leq C_2$ を実現することが容易である。すなわち、容量素子164を構成する絶縁層の面積を小さくしつつ、 $C_1 \leq C_2$ を実現することが容易である。具体的には、例えば、容量素子164を構成する絶縁層においては、酸化ハフニウムなどのhigh-k材料でなる膜、または酸化ハフニウムなどのhigh-k材料でなる膜と酸化物半導体でなる膜との積層構造を採用して ϵ_1 を10以上、好ましくは15以上とし、トランジスタ160のゲート容量を構成する絶縁層においては、酸化シリコンを採用して、 $\epsilon_2 = 3 \sim 4$ とすることができる。

【0065】

このような構成を併せて用いることで、開示する発明に係る半導体装置の、より一層の高集積化が可能である。

【0066】

基本回路2

図2は、図1(A)に示すメモリセルを2行×2列のマトリクス状に配置したメモリセルアレイの回路図である。図2におけるメモリセル170の構成は、図1(A)と同様である。ただし、図2(A)においては、ソース線SLが2列のメモリセルにおいて共通化された構造を有している。また、図2(B)においては、ソース線SLが2行のメモリセルにおいて共通化された構造を有している。

【0067】

図2(A)および図2(B)に示すように、ソース線SLを2列、若しくは、2行で共通

10

20

30

40

50

化された構造をすることで、メモリセル 170 に接続する信号線の本数を共通化しない場合の 4 本から、3.5 本 (3 本 + 1/2 本) へと削減することができる。

【0068】

なお、ソース線 SL を共通化させる列数 (または行数) は、2 列 (2 行) に限定されるものではなく、3 列 (または 3 行) 以上の複数列 (または複数行) のメモリセルにおいて共通した構造としてもよい。共通化させるソース線 SL の列数 (または行数) は、共通化による寄生抵抗および寄生容量を考慮し、好適な値を適宜選択すれば良い。また、共通化させる列数 (または行数) が多い程、メモリセル 170 に接続される信号線の本数を削減することができるため好ましい。

【0069】

図 2 において、ソース線 SL は、ソース線切り替え回路 194 と接続されている。ここで、ソース線切り替え回路 194 は、ソース線 SL の他に、ソース線切り替え信号線 SLC と接続されている。

【0070】

図 2 (A) および図 2 (B) に示す半導体装置において、データの書き込み、保持、および読み出しは、図 1 の場合と同様であり、前述の記載を参照することができる。なお、例えば、ノード FG に電源電位 VDD または接地電位 GND のいずれかを与える場合であって、ノード FG に電源電位 VDD を与えた場合に保持されるデータをデータ "1"、ノード FG に接地電位 GND を与えた場合に保持されるデータをデータ "0" とする場合において、具体的な書き込みの動作は次の通りである。まず、メモリセル 170 に接続される書き込み及び読み出しワード線 C の電位を GND とし、書き込みワード線 OSG を VDD とし、メモリセル 170 を選択する。これにより、ビット線 BL の電位が、選択されたメモリセル 170 のノード FG に供給される。

【0071】

ここで、ノード FG に接地電位 GND が与えられる場合 (すなわち、データ "0" が保持される場合) には、p チャネル型トランジスタであるトランジスタ 160 のゲート電極にオン状態となる電位が与えられることとなる。その場合において、ビット線 BL とソース線 SL に電流が生じてノード FG に書き込む電位が上昇することを抑制するために、ソース線 SL の電位を接地電位 GND とする必要がある。

【0072】

そこで、ソース線切り替え信号線 SLC の信号によってソース線切り替え回路 194 の信号経路を切り換えることで、ソース線 SL に接地電位 GND を供給する。

【0073】

当該動作の特徴は、書き込み期間において、ソース線 SL の電位を接地電位 GND とする点にある。これにより、ノード FG にトランジスタ 160 がオン状態となる電位が与えられる場合でも、ビット線 BL とソース線 SL に電流が生じることを抑制できる。

【0074】

また、図 2 に示すように、メモリセル 170 をアレイ状に配置して用いる場合には、読み出し期間に、所望のメモリセル 170 の情報のみを読み出せることが必要になる。このように、所定のメモリセル 170 の情報を読み出し、それ以外のメモリセル 170 の情報を読み出さないためには、読み出さないメモリセル 170 を非選択状態とする必要がある。

【0075】

例えば、基本回路 1 で示したように、ノード FG に電源電位 VDD または接地電位 GND のいずれかを与える場合であって、ノード FG に電源電位 VDD を与えた場合に保持されるデータをデータ "1"、ノード FG に接地電位 GND を与えた場合に保持されるデータをデータ "0" とする場合においては、ソース線 SL を GND とし、書き込み及び読み出しワード線 C を VDD とし、書き込みワード線 OSG を GND とすることでメモリセル 170 を非選択状態とすることができる。

【0076】

書き込み及び読み出しワード線 C を VDD とすることで、ノード FG の電位は容量素子 1

10

20

30

40

50

64との容量結合によってVDD分上昇する。データ"1"であるVDDがノードFGに書き込まれている場合は、VDD分上昇して $VDD + VDD = 2VDD$ になり、 V_{gs_p} が、 V_{th_p} よりも大きくなるため、pチャネル型トランジスタであるトランジスタ160はオフ状態となる。一方、データ"0"であるGNDがノードFGに書き込まれている場合は、VDD分上昇して $GND + VDD = VDD$ となり、 V_{gs_p} が V_{th_p} よりも大きくなるため、pチャネル型トランジスタであるトランジスタ160はオフ状態となる。すなわち、書き込み及び読み出しワード線CをVDDとすることで、ノードFGに保持されたデータによらずに、トランジスタ160をオフ状態、すなわち、メモリセル170を非選択状態とすることができる。

【0077】

なお、仮に読み出し用のトランジスタ160にnチャネル型トランジスタを用いるとすると、書き込み及び読み出しワード線Cを0Vとしても、nチャネル型トランジスタのゲート電極の電位が該トランジスタのしきい値より高くなった場合に、全てのメモリセルをオフ状態にできるとは限らない。したがって、メモリセルを非選択状態とするために非選択行の書き込み及び読み出しワード線Cに負電位を供給する必要がある。しかしながら、本実施の形態に示す半導体装置では、読み出し用のトランジスタにpチャネル型トランジスタを用いているため、非選択行の書き込み及び読み出しワード線Cを正電位とすることでメモリセルをオフ状態とすることが可能である。したがって、メモリセルにおいて負電位を生成する回路を設ける必要がなくなるため、消費電力を削減し、且つ半導体装置を小型化することができる。

【0078】

また、上述のように本実施の形態に示す半導体装置では、保持期間及びスタンバイ期間において、書き込み及び読み出しワード線CをGNDとし、且つ、ビット線BLとソース線SLを同電位、好ましくは共にGNDとする。書き込み及び読み出しワード線CをGNDとすることで、当該書き込み及び読み出しワード線Cに接続された全てのメモリセルが選択状態となるが、ビット線BLとソース線SLが同電位であるため、 V_{ds_p} は0Vとなり、ビット線BLとソース線SL間の電流を抑制することができる。このように保持期間において、書き込み及び読み出しワード線CをGNDとすることで、 $V_{ds_o_s}$ を低減し、トランジスタ162のオフ電流をさらに低減させることができるため、メモリセルの保持特性をより向上させることが可能となる。

【0079】

図3に、図2に係る半導体装置の書き込み、保持、及び読み出し動作に係るタイミングチャートの例を示す。タイミングチャート中のOSG、C等の名称は、タイミングチャートに示す電位が与えられる配線を示しており、同様の機能を有する配線が複数ある場合には、配線の名称の末尾に、_1、_m、_n等を付すことで区別している。なお、開示する発明は以下に示す配列に限らない。

【0080】

図3は、 $(m \times n)$ 個(但し、m及びnはそれぞれ2以上の整数)のメモリセルを有し、1行1列目のメモリセルにデータ"1"、1行n列目のメモリセルにデータ"0"、m行1列のメモリセルにデータ"0"、m行n列目のメモリセルにデータ"1"をそれぞれ書き込み、保持期間を経て、書き込まれた全データを読み出す場合の各配線間の電位の関係を示すものである。

【0081】

スタンバイ期間において、書き込みワード線OSGをGNDとし、書き込み及び読み出しワード線CをGNDとする。また、全てのビット線BLとソース線SLとを同電位とする。図3においては、ビット線BLおよびソース線SLをGNDとする。

【0082】

書き込み期間において、まず、選択行の書き込みワード線OSGを電源電位VDDより高い電位(高電位: VH)とし、書き込み及び読み出しワード線CをGNDとし、非選択行の書き込みワード線OSGをGNDとし、書き込み及び読み出しワード線CをVDDとす

10

20

30

40

50

ることで、書き込む行を選択する。

【0083】

なお、メモリセル170のノードFGに書き込む電位を、トランジスタ162のしきい値電圧(V_{th_os})分降下させないようにするためには、書き込みワード線OSGの電位をビット線BLの電位+ V_{th_os} よりも高くする必要がある。したがって、例えば、ノードFGにVDDを書き込む(すなわちデータ"1"を書き込む)場合には、VHを $VDD + V_{th_os}$ 以上とする。ただし、ノードFGに書き込まれる電位が V_{th_os} 分降下しても問題がない場合には、選択行の書き込みワード線OSGの電位をVDDとしてもよい。

【0084】

次いで、書き込み行選択のタイミングより遅らせて、ビット線BLからメモリセルヘデータを入力する。例えば、データ"1"を書き込む場合であれば、ビット線BLにVDDを供給し、データ"0"を書き込む場合であれば、ビット線BLにGNDを入力する。

【0085】

本実施の形態で示す半導体装置は、保持期間及びスタンバイ期間において、メモリセルに接続された書き込み及び読み出しワード線Cが全て選択状態のGNDであるので、ビット線BLからメモリセルへのデータ入力が、書き込み行選択のタイミングより早いタイミングで行われた場合、トランジスタ160を介してビット線BLとソース線SL間に電流が流れる場合がある。例えば、ノードFGにデータ"0"が保持されたメモリセルに、データ"1"を上書きする場合、保持期間において書き込み及び読み出しワード線CはGNDであるため、ノードFGはGNDとなる。ここで、書き込み行選択より早いタイミングで、ビット線BLがVDDとなると、 V_{gs_p} は $-VDD$ となるため、pチャネル型トランジスタであるトランジスタ160がオン状態となる。また、ソース線SLはGNDであるから、 V_{ds_p} はVDDとなり、トランジスタ160のドレインとソース間(ビット線BLとソース線SL間)に電流が流れることとなる。そこで、ビット線BLからメモリセルへのデータ入力のタイミング(ビット線BLがVDDへ立ち上がるタイミング)を書き込み行選択のタイミング(書き込みワード線OSGがVHへ立ち上がるタイミング)よりも遅らせることで、ビット線BLとソース線SL間の電流の流れを抑制することができる。

【0086】

次いで、書き込みワード線OSGをGNDとし、書き込みワード線OSGをGNDとするタイミングよりも遅らせてビット線BLをGNDとする。ビット線BLをGNDとするタイミングが早いと、メモリセルへのデータの誤書き込みが生じることがあるためである。

【0087】

最後に、ビット線BLをGNDとするタイミングよりも遅らせて、全ての行の書き込み及び読み出しワード線CをGNDとして、すべてのメモリセルを選択状態とする。ビット線BLをGNDとするタイミングより、書き込み及び読み出しワード線CをGNDとするタイミングが早いと、上述したようにトランジスタ160のドレインとソース間に電流が流れる場合があるためである。

【0088】

なお、書き込み期間において、ノードFGに接地電位GNDが与えられる場合において、ビット線BLとソース線SLに電流が生じることを抑制するために、ソース線SLの電位を接地電位GNDとする。当該駆動は、ソース線切り替え信号線SLCの信号によってソース線切り替え回路194の信号経路を切り換えることで行われる。

【0089】

保持期間においては、全ての配線においてスタンバイ期間と同様の電位とする。

【0090】

読み出し期間において、まず選択行の書き込み及び読み出しワード線CをGNDとし、非選択行の書き込み及び読み出しワード線CをVDDにすることで読み出す行を選択する。書き込みワード線OSGは選択、または非選択に係わらずGNDとする。

10

20

30

40

50

【0091】

次いで、読み出し行選択のタイミングより遅らせてソース線SLをVDDまたはVRとする。上述したように、本実施の形態で示す半導体装置は、保持期間及びスタンバイ期間において、メモリセルに接続された書き込み及び読み出しワード線Cが全て選択状態のGNDであるので、ソース線SLのVDDまたはVRへの立ち上がりが、読み出し行選択のタイミングより早いタイミングで行われた場合、トランジスタ160を介してビット線BLとソース線SL間に電流が流れる場合がある。例えば、ノードFGにデータ"0"が保持されている場合、保持期間において書き込み及び読み出しワード線CはGNDであるため、ノードFGはGNDとなる。ここで、読み出し行選択より早いタイミングでソース線SLがVDDとなると、 V_{gs_p} は $-V_{DD}$ となるため、pチャネル型トランジスタであるトランジスタ160がオン状態となる。また、ビット線BLはGNDであるから、 V_{ds_p} はVDDとなり、トランジスタ160のドレインとソース間（ビット線BLとソース線SL間）に電流が流れることとなる。そこで、ソース線SLがVDDまたはVRへ立ち上がるタイミングを読み出し行選択のタイミングよりも遅らせることで、ビット線BLとソース線SL間の電流の流れを抑制することができる。

10

【0092】

最後に、ソース線SLをGNDにするタイミングより遅らせて、書き込み及び読み出しワード線CをGNDとする。ソース線SLをGNDとするタイミングより、書き込み及び読み出しワード線CをGNDとするタイミングが早いと、上述したようにトランジスタ160のドレインとソース間に電流が流れるためである。

20

【0093】

以上示したように、図2に示す回路構成の半導体装置では、ソース線SLを複数列（または複数行）で共通化することで、メモリセルアレイの面積の縮小を図ることができるため、ダイサイズの縮小を実現することができる。また、ダイサイズの縮小により、半導体装置作製のコストを低減することができる、または、歩留まりを向上させることができる。

【0094】

また、本実施の形態で示す半導体装置の駆動方法を用いることで、スタンバイ期間及び保持期間において、トランジスタ162のドレインとソース間の電圧を小さくすることが可能である。よって、トランジスタ162のリーク電流（オフ電流）をより削減することができるため、保持特性の向上を図ることができる。また、スタンバイ期間及び保持期間のトランジスタ162のドレインとソース間の電圧を小さくすることで、トランジスタ162の電圧ストレスを軽減することが可能となるため、半導体装置の信頼性を向上させることができる。

30

【0095】

応用例1

次に、図1に示す回路を応用したより具体的な回路構成について、図4および図5を参照して説明する。なお、以下の説明においては、書き込み用トランジスタ（トランジスタ162）にnチャネル型トランジスタを用い、読み出し用トランジスタ（トランジスタ160）にpチャネル型トランジスタを用いる場合を例に説明する。なお、図4の回路図において、斜線を有する配線は、複数の信号線を含む配線である。

40

【0096】

図4は、 $(m \times n)$ 個のメモリセル170を有する半導体装置の回路図の一例である。図4中のメモリセル170の構成は、図1(A)と同様である。

【0097】

図4に示す半導体装置は、m本（mは2以上の整数）の書き込みワード線OSGと、m本の書き込み及び読み出しワード線Cと、n本（nは2以上の整数）のビット線BLと、ソース線SLと、メモリセル170が縦m個（行）×横n個（列）のマトリクス状に配置されたメモリセルアレイと、昇圧回路180と、アドレスデコーダを含む第1の駆動回路182と、ロードドライバを含む第2の駆動回路192と、ページバッファを含む第3の駆動回路190と、コントローラを含む第4の駆動回路184と、入出力制御回路を含む第5

50

の駆動回路 186 と、ソース線切り替え回路 194 と、を有する。なお、駆動回路の数は、図 4 に限られるものではなく、各機能を有する駆動回路を組み合わせ用いてもよく、または、各駆動回路に含まれる機能を分割して用いてもよい。

【0098】

図 4 に示す半導体装置において、第 1 の駆動回路 182 はアドレスデコーダを含む。アドレスデコーダは、アドレス選択信号線 A をデコードし、デコードしたアドレス選択信号を、行選択信号線 RADR と、ページバッファアドレス選択信号線 PBADR に出力する回路である。アドレス選択信号線 A は、メモリセル 170 の行方向のアドレス選択信号と、ページバッファのアドレス選択信号が入力される端子であり、メモリセル 170 の行数、列数、またはページバッファの構成によって、1 本～複数本となる。行選択信号線 RADR は、メモリセルの行方向のアドレスを指定する信号線である。ページバッファアドレス選択信号線 PBADR は、ページバッファのアドレスを指定する信号線である。

10

【0099】

第 2 の駆動回路 192 は、ロードライバを含む。ロードライバは、第 1 の駆動回路 182 に含まれるアドレスデコーダから出力される行選択信号線 RADR からの信号をもとに、メモリセル 170 の行方向の選択信号、書き込みワード線 OSG への信号、書き込み及び読み出しワード線 C への信号を出力する。

【0100】

昇圧回路 180 は、配線 VH - L によって第 2 の駆動回路 192 と接続され、昇圧回路 180 に入力される一定電位（例えば、電源電位 VDD）を昇圧して、第 2 の駆動回路 192 に該一定電位よりも高い電位（VH）を出力する。メモリセル 170 のノード FG に書き込む電位を、書き込み用トランジスタであるトランジスタ 162 のしきい値電圧（ V_{th_os} ）分降下させないようにするためには、書き込みワード線 OSG の電位をビット線 BL の電位 + V_{th_os} よりも高くする必要がある。したがって、例えば、ノード FG に電源電位 VDD を書き込む場合には、VH を $VDD + V_{th_os}$ 以上とする。ただし、ノード FG に書き込まれる電位が V_{th_os} 分降下しても問題がない場合には、昇圧回路 180 を設けなくともよい。

20

【0101】

第 3 の駆動回路 190 は、ページバッファを含む。ページバッファは、データラッチとセンスアンプの機能を有している。データラッチとしての機能は、内部データ入出力信号線 INTDIO、若しくはビット線 BL から出力されるデータを一時的に保存し、その保存したデータを内部データ入出力信号線 INTDIO、若しくはビット線 BL に出力する。センスアンプとしての機能は、読み出し時にメモリセルから出力されるビット線 BL をセンシングするものである。

30

【0102】

第 4 の駆動回路 184 は、コントローラを含み、チップイネーブルバー信号線 CEB、ライトイネーブルバー信号線 WEB、またはリードイネーブルバー信号線 REB からの信号によって、第 1 の駆動回路 182、第 2 の駆動回路 192、第 3 の駆動回路 190、第 5 の駆動回路 186、ソース線切り替え回路 194、昇圧回路 180 を制御する信号を生成する回路である。

40

【0103】

チップイネーブルバー信号線 CEB は、回路全体の選択信号を出力する信号線であり、アクティブ時のみ、入力信号の入力受け付け、及び出力信号の出力を行う。また、ライトイネーブルバー信号線 WEB は、第 3 の駆動回路 190 内のページバッファのラッチデータを、メモリセルアレイへ書き込みを行うことを許可する信号を出力する信号線である。また、リードイネーブルバー信号線 REB は、メモリセルアレイのデータの読み出しを許可する信号を出力する信号線である。また、第 4 の駆動回路 184 は、昇圧回路制御信号線 BCC によって、昇圧回路 180 と接続されている。昇圧回路制御信号線 BCC は、第 4 の駆動回路 184 内のコントローラから出力させる昇圧回路の制御信号を伝達する配線であり、回路構成によって、0 本～複数本となる。また、第 4 の駆動回路 184 は、ページ

50

バッファ制御信号線 P B C によって第 3 の駆動回路 1 9 0 と接続されている。ページバッファ制御信号線 P B C は、第 4 の駆動回路 1 8 4 内のコントローラから出力させるページバッファの制御信号を伝達する配線であり、回路構成によって、0 本～複数本となる。また、第 4 の駆動回路 1 8 4 は、ロードライバ制御信号線 R D R V C によって、第 2 の駆動回路 1 9 2 と接続されている。また、第 4 の駆動回路 1 8 4 は、ソース線切り替え信号線 S L C によって、ソース線切り替え回路 1 9 4 と接続されている。

【 0 1 0 4 】

また、第 4 の駆動回路 1 8 4 内には、遅延回路を設け、該遅延回路をページバッファ制御信号線 P B C、ロードライバ制御信号線 R D R V C、ソース線切り替え信号線 S L C と接続するのが好ましい。例えば、遅延回路とページバッファ制御信号線 P B C とを接続し、ページバッファ制御信号線 P B C へ遅延信号を供給することで、ビット線 B L の電位の変化を遅らせることができる。また、遅延回路とロードライバ制御信号線 R D R V C とを接続し、ロードライバ制御信号線 R D R V C へ遅延信号を供給することで、書き込み及び読み出しワード線 C の電位の変化を遅らせることができる。また、遅延回路とソース線切り替え信号線 S L C とを接続し、ソース線切り替え信号線 S L C へ遅延信号を供給することで、ソース線 S L の電位の変化を遅らせることができる。これらによって、メモリセル 1 7 0 への誤書き込みを抑制することができる。

10

【 0 1 0 5 】

ソース線切り替え回路 1 9 4 は、第 4 の駆動回路 1 8 4 内のコントローラからのソース線切り替え信号を基にソース線 S L の電位を切り替える回路である。ソース線切り替え回路 1 9 4 は、ソース線 S L の電位を切り替える機能を有していれば良く、マルチプレкса、インバータ等を用いても良い。ソース線切り替え信号線 S L C は、第 4 の駆動回路 1 8 4 内のコントローラから出力されるソース線 S L の電位を切り替える信号を伝達する配線である。回路構成によって、信号線本数は 1 本～複数本となる。

20

【 0 1 0 6 】

第 5 の駆動回路 1 8 6 は、入出力制御回路を含む。入出力制御回路は、データ入出力信号線 D I O からの入力信号を内部データ入出力信号線 I N T D I O に出力するか、内部データ入出力信号線 I N T D I O からの入力信号をデータ入出力信号線 D I O に出力するための回路である。データ入出力信号線 D I O 端子は、外部からのデータが入力されるか、外部へメモリデータが出力される端子である。回路構成によって、信号線本数は 1 本～複数本となる。内部データ入出力信号線 I N T D I O は、入出力制御回路の出力信号をページバッファに入力するか、ページバッファの出力信号を入出力制御回路に入力する信号線である。回路構成によって、信号線本数は 1 本～複数本となる。また、データ入出力信号線 D I O は、データ入力用信号線とデータ出力用信号線に分けても良い。

30

【 0 1 0 7 】

なお、第 4 の駆動回路 1 8 4 内に設けられる遅延回路として、図 5 (A) に示すような偶数個のインバータを直列に接続した回路を用いることができる。また、図 5 (B) に示すように、直列に接続した偶数個のインバータに容量素子を付加した構成や、図 5 (C) に示すように、直列に接続した偶数個のインバータに抵抗を付加した構成としてもよい。さらに、図 5 (D) に示すように、直列に接続した偶数個のインバータ回路に、抵抗および容量素子を付加した構成としてもよい。なお、遅延回路の構成は、これらに限られるものではない。

40

【 0 1 0 8 】

以上のように、図 4 に示す回路構成の半導体装置では、ソース線 S L を複数列で共通化することで、メモリセルアレイの面積の縮小を図ることができるため、ダイサイズの縮小を実現することができる。また、ダイサイズの縮小により、半導体装置作製のコストを低減することができる。または、歩留まりを向上させることができる。

【 0 1 0 9 】

なお、開示する発明の半導体装置に関する動作方法、動作電圧などについては、上述の構成に限定されず、半導体装置の動作が実現される態様において適宜変更することが可能で

50

ある。

【 0 1 1 0 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【 0 1 1 1 】

(実施の形態 2)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成およびその作製方法について図 6 乃至図 11 を参照して説明する。

【 0 1 1 2 】

半導体装置の断面構成および平面構成

10

図 6 は、半導体装置の構成の一例である。図 6 (A) には、半導体装置の断面を、図 6 (B) には、半導体装置の平面を、それぞれ示す。ここで、図 6 (A) は、図 6 (B) の A 1 - A 2 および B 1 - B 2 における断面に相当する。図 6 (A) および図 6 (B) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 1 6 0 を有し、上部に第 2 の半導体材料を用いたトランジスタ 1 6 2 を有する。ここで、第 1 の半導体材料と第 2 の半導体材料とは異なる材料とすることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料とし、第 2 の半導体材料を酸化物半導体とすることができ、酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。図 6 に示す半導体装置は、メモリセルとして用いることができる。

20

【 0 1 1 3 】

なお、開示する発明の技術的な本質は、情報を保持するために酸化物半導体のようなオフ電流を十分に低減することが可能な半導体材料をトランジスタ 1 6 2 に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【 0 1 1 4 】

図 6 におけるトランジスタ 1 6 0 は、半導体基板 5 0 0 上の半導体層中に設けられたチャネル形成領域 1 3 4 と、チャネル形成領域 1 3 4 を挟むように設けられた不純物領域 1 3 2 (ソース領域およびドレイン領域とも記す)と、チャネル形成領域 1 3 4 上に設けられたゲート絶縁層 1 2 2 a と、ゲート絶縁層 1 2 2 a 上にチャネル形成領域 1 3 4 と重畳するように設けられたゲート電極 1 2 8 a と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれる。

30

【 0 1 1 5 】

また、半導体基板 5 0 0 上の半導体層中に設けられた不純物領域 1 2 6 には、導電層 1 2 8 b が接続されている。ここで、導電層 1 2 8 b は、トランジスタ 1 6 0 のソース電極やドレイン電極としても機能する。また、不純物領域 1 3 2 と不純物領域 1 2 6 との間には、不純物領域 1 3 0 が設けられている。また、トランジスタ 1 6 0 を覆うように絶縁層 1 3 6、絶縁層 1 3 8、および絶縁層 1 4 0 が設けられている。なお、高集積化を実現するためには、図 6 に示すようにトランジスタ 1 6 0 がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ 1 6 0 の特性を重視する場合には、ゲート電極 1 2 8 a の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域 1 3 2 を設けても良い。

40

【 0 1 1 6 】

図 6 におけるトランジスタ 1 6 2 は、絶縁層 1 4 0 などの上に設けられた酸化物半導体層

50

144と、酸化物半導体層144と電氣的に接続されているソース電極（またはドレイン電極）142a、およびドレイン電極（またはソース電極）142bと、酸化物半導体層144、ソース電極142aおよびドレイン電極142bを覆うゲート絶縁層146と、ゲート絶縁層146上に酸化物半導体層144と重畳するように設けられたゲート電極148aと、を有する。

【0117】

ここで、酸化物半導体層144は水素などの不純物が十分に除去され、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層144の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体層144中の水素濃度は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectroscopy）で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層144では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、室温（25℃）でのオフ電流（ここでは、単位チャネル幅（1μm）あたりの値）は100zA（1zA（zeptoアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、望ましくは10zA以下となる。このように、i型化（真性化）または実質的にi型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ162を得ることができる。

【0118】

また、酸化物半導体層144は、アルカリ金属及びアルカリ土類金属等の不純物が十分に除去されたものであるのが好ましい。例えば、酸化物半導体層144のナトリウム濃度は、 $5 \times 10^{16} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{16} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下であり、リチウム濃度は、 $5 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下であり、カリウム濃度は、 $5 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下とする。なお、上述の酸化物半導体層144中のナトリウム濃度、リチウム濃度、及びカリウム濃度は、それぞれ二次イオン質量分析法（SIMS）で測定されるものである。

【0119】

アルカリ金属及びアルカリ土類金属は酸化物半導体にとっては悪性の不純物であり、少ないほうがよい。特にアルカリ金属のうち、Naは酸化物半導体層に接する絶縁層が酸化物であった場合、その中に拡散し、 Na^+ となる。また、酸化物半導体層内において、金属と酸素の結合を分断し、あるいは結合中に割り込む。その結果、トランジスタ特性の劣化（例えば、ノーマリオン化（しきい値の負へのシフト）、移動度の低下等）をもたらす。加えて、特性のばらつきの原因ともなる。このような問題は、特に酸化物半導体層中の水素の濃度が十分に低い場合において顕著となる。したがって、酸化物半導体層中の水素の濃度が $5 \times 10^{19} \text{ cm}^{-3}$ 以下、特に $5 \times 10^{18} \text{ cm}^{-3}$ 以下である場合には、アルカリ金属の濃度を上記の値にすることが強く求められる。

【0120】

なお、図6のトランジスタ162では、微細化に起因して素子間に生じるリークを抑制するために、島状に加工された酸化物半導体層144を用いているが、島状に加工されていない構成を採用しても良い。酸化物半導体層を島状に加工しない場合には、加工の際のエッチングによる酸化物半導体層144の汚染を防止できる。

【0121】

図6における容量素子164は、ドレイン電極142b、ゲート絶縁層146、および導電層148b、とで構成される。すなわち、ドレイン電極142bは、容量素子164の一方の電極として機能し、導電層148bは、容量素子164の他方の電極として機能することになる。このような構成とすることにより、十分な容量を確保することができる。また、酸化物半導体層144とゲート絶縁層146とを積層させる場合には、ドレイン電

極 1 4 2 b と、導電層 1 4 8 b との絶縁性を十分に確保することができる。さらに、容量が不要の場合は、容量素子 1 6 4 を設けない構成とすることもできる。

【 0 1 2 2 】

本実施の形態では、トランジスタ 1 6 2 および容量素子 1 6 4 が、トランジスタ 1 6 0 と少なくとも一部が重畳するように設けられている。このような平面レイアウトを採用することにより、高集積化を図ることができる。例えば、最小加工寸法を F として、メモリセルの占める面積を $1.5 F^2 \sim 2.5 F^2$ とすることが可能である。

【 0 1 2 3 】

トランジスタ 1 6 2 および容量素子 1 6 4 の上には、絶縁層 1 5 0 が設けられている。そして、ゲート絶縁層 1 4 6 および絶縁層 1 5 0 に形成された開口には、配線 1 5 4 が設けられている。配線 1 5 4 は、メモリセルの一と他のメモリセルとを接続する配線であり、図 2 の回路図におけるビット線 BL に相当する。配線 1 5 4 は、ソース電極 1 4 2 a 及び導電層 1 2 8 b を介して、不純物領域 1 2 6 に接続されている。これにより、トランジスタ 1 6 0 におけるソース領域またはドレイン領域と、トランジスタ 1 6 2 におけるソース電極 1 4 2 a と、をそれぞれ異なる配線に接続する場合と比較して、配線の数削減することができるため、半導体装置の集積度を向上させることができる。

【 0 1 2 4 】

また、導電層 1 2 8 b を設けることにより、不純物領域 1 2 6 とソース電極 1 4 2 a とが接続する位置と、ソース電極 1 4 2 a と配線 1 5 4 とが接続する位置を、重畳して設けることができる。このような平面レイアウトを採用することにより、コンタクト領域に起因する素子面積の増大を抑制することができる。つまり、半導体装置の集積度を高めることができる。

【 0 1 2 5 】

S O I 基板の作製方法

次に、上記半導体装置の作製に用いられる S O I 基板の作製方法の一例について、図 7 を参照して説明する。

【 0 1 2 6 】

まず、ベース基板として半導体基板 5 0 0 を準備する（図 7 (A) 参照）。半導体基板 5 0 0 としては、単結晶シリコン基板、単結晶ゲルマニウム基板などの半導体基板を用いることができる。また、半導体基板として、太陽電池級シリコン（S O G - S i : S o l a r G r a d e S i l i c o n ）基板などを用いても良い。また、多結晶半導体基板を用いても良い。太陽電池級シリコンや、多結晶半導体基板などを用いる場合には、単結晶シリコン基板などを用いる場合と比較して、製造コストを抑制することができる。

【 0 1 2 7 】

なお、半導体基板 5 0 0 に変えて、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイア基板が挙げられる。また、窒化シリコンと酸化アルミニウムを主成分とした熱膨張係数がシリコンに近いセラミック基板を用いてもよい。

【 0 1 2 8 】

半導体基板 5 0 0 は、その表面をあらかじめ洗浄しておくことが好ましい。具体的には、半導体基板 5 0 0 に対して、塩酸過酸化水素水混合溶液（H P M）、硫酸過酸化水素水混合溶液（S P M）、アンモニア過酸化水素水混合溶液（A P M）、希フッ酸（D H F）等を用いて洗浄を行うのが好ましい。

【 0 1 2 9 】

次に、ボンド基板を準備する。ここでは、ボンド基板として単結晶半導体基板 5 1 0 を用いる（図 7 (B) 参照）。なお、ここでは、ボンド基板として単結晶のものを用いるが、ボンド基板の結晶性を単結晶に限る必要はない。

【 0 1 3 0 】

単結晶半導体基板 5 1 0 としては、例えば、単結晶シリコン基板、単結晶ゲルマニウム基板、単結晶シリコンゲルマニウム基板など、第 1 4 族元素でなる単結晶半導体基板を用い

10

20

30

40

50

ることができる。また、ガリウムヒ素やインジウムリン等の化合物半導体基板を用いることもできる。市販のシリコン基板としては、直径5インチ(125mm)、直径6インチ(150mm)、直径8インチ(200mm)、直径12インチ(300mm)、直径16インチ(400mm)サイズの円形のものが代表的である。なお、単結晶半導体基板510の形状は円形に限らず、例えば、矩形等に加工したものであっても良い。また、単結晶半導体基板510は、CZ(チョクラルスキー)法やFZ(フローティングゾーン)法を用いて作製することができる。

【0131】

単結晶半導体基板510の表面には酸化膜512を形成する(図7(C)参照)。なお、汚染物除去の観点から、酸化膜512の形成前に、塩酸過酸化水素水混合溶液(HPM)、硫酸過酸化水素水混合溶液(SPM)、アンモニア過酸化水素水混合溶液(APM)、希フッ酸(DHF)、FPM(フッ酸、過酸化水素水、純水の混合液)等を用いて単結晶半導体基板510の表面を洗浄しておくことが好ましい。希フッ酸とオゾン水を交互に吐出して洗浄してもよい。

10

【0132】

酸化膜512は、例えば、酸化シリコン膜、酸化窒化シリコン膜等を単層で、または積層させて形成することができる。上記酸化膜512の作製方法としては、熱酸化法、CVD法、スパッタリング法などがある。また、CVD法を用いて酸化膜512を形成する場合、良好な貼り合わせを実現するためには、テトラエトキシシラン(略称;TEOS:化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)等の有機シランを用いて酸化シリコン膜を形成することが好ましい。

20

【0133】

本実施の形態では、単結晶半導体基板510に熱酸化処理を行うことにより酸化膜512(ここでは、 SiO_x 膜)を形成する。熱酸化処理は、酸化性雰囲気中にハロゲンを添加して行うことが好ましい。

【0134】

例えば、塩素(Cl)が添加された酸化性雰囲気中で単結晶半導体基板510に熱酸化処理を行うことにより、塩素酸化された酸化膜512を形成することができる。この場合、酸化膜512は、塩素原子を含有する膜となる。このような塩素酸化により、外因性の不純物である重金属(例えば、Fe、Cr、Ni、Mo等)を捕集して金属の塩化物を形成し、これを外方に除去して単結晶半導体基板510の汚染を低減させることができる。

30

【0135】

なお、酸化膜512に含有させるハロゲン原子は塩素原子に限られない。酸化膜512にはフッ素原子を含有させてもよい。単結晶半導体基板510表面をフッ素酸化する方法としては、HF溶液に浸漬させた後に酸化性雰囲気中で熱酸化処理を行う方法や、 NF_3 を酸化性雰囲気に添加して熱酸化処理を行う方法などがある。

【0136】

次に、イオンを電界で加速して単結晶半導体基板510に照射し、添加することで、単結晶半導体基板510の所定の深さに結晶構造が損傷した脆化領域514を形成する(図7(D)参照)。

40

【0137】

脆化領域514が形成される領域の深さは、イオンの運動エネルギー、イオンの質量と電荷、イオンの入射角などによって調節することができる。また、脆化領域514は、イオンの平均侵入深さとほぼ同じ深さの領域に形成される。このため、イオンを添加する深さで、単結晶半導体基板510から分離される単結晶半導体層の厚さを調節することができる。例えば、単結晶半導体層の厚さが、10nm以上500nm以下、好ましくは50nm以上200nm以下程度となるように平均侵入深さを調節すれば良い。

【0138】

当該イオンの照射処理は、イオンドーピング装置やイオン注入装置を用いて行うことができる。イオンドーピング装置の代表例としては、プロセスガスをプラズマ励起して生成さ

50

れた全てのイオン種を被処理体に照射する非質量分離型の装置がある。当該装置では、プラズマ中のイオン種を質量分離しないで被処理体に照射することになる。これに対して、イオン注入装置は質量分離型の装置である。イオン注入装置では、プラズマ中のイオン種を質量分離し、ある特定の質量のイオン種を被処理体に照射する。

【0139】

本実施の形態では、イオンドーピング装置を用いて、水素を単結晶半導体基板510に添加する例について説明する。ソースガスとしては水素を含むガスを用いる。照射するイオンについては、 H_3^+ の比率を高くすると良い。具体的には、 H^+ 、 H_2^+ 、 H_3^+ の総量に対して H_3^+ の割合が50%以上（より好ましくは80%以上）となるようにする。 H_3^+ の割合を高めることで、イオン照射の効率を向上させることができる。

10

【0140】

なお、添加するイオンは水素に限定されない。ヘリウムなどのイオンを添加しても良い。また、添加するイオンは一種類に限定されず、複数種類のイオンを添加しても良い。例えば、イオンドーピング装置を用いて水素とヘリウムとを同時に照射する場合には、異なる工程で照射する場合と比較して工程数を低減することができると共に、後の単結晶半導体層の表面荒れを抑えることが可能である。

【0141】

なお、イオンドーピング装置を用いて脆化領域514を形成する場合には、重金属も同時に添加されるおそれがあるが、ハロゲン原子を含有する酸化膜512を介してイオンの照射を行うことによって、これら重金属による単結晶半導体基板510の汚染を防ぐことができる。

20

【0142】

次に、半導体基板500と、単結晶半導体基板510とを対向させ、酸化膜512を介して密着させる。これにより、半導体基板500と、単結晶半導体基板510とが貼り合わされる（図7（E）参照）。なお、単結晶半導体基板510と貼り合わせる半導体基板500の表面に酸化膜または窒化膜を成膜してもよい。

【0143】

貼り合わせの際には、半導体基板500または単結晶半導体基板510の一箇所に、 0.001 N/cm^2 以上 100 N/cm^2 以下、例えば、 1 N/cm^2 以上 20 N/cm^2 以下の圧力を加えることが望ましい。圧力を加えて、貼り合わせ面を接近、密着させると、密着させた部分において半導体基板500と酸化膜512の接合が生じ、当該部分を始点として自発的な接合がほぼ全面におよぶ。この接合には、ファンデルワールス力や水素結合が作用しており、常温で行うことができる。

30

【0144】

なお、単結晶半導体基板510と半導体基板500とを貼り合わせる前には、貼り合わせに係る表面につき、表面処理を行うことが好ましい。表面処理を行うことで、単結晶半導体基板510と半導体基板500との界面での接合強度を向上させることができる。

【0145】

表面処理としては、ウェット処理、ドライ処理、またはウェット処理とドライ処理の組み合わせ、を用いることができる。また、異なるウェット処理どうしを組み合わせ用いても良いし、異なるドライ処理どうしを組み合わせ用いても良い。

40

【0146】

なお、貼り合わせの後には、接合強度を増加させるための熱処理を行ってもよい。この熱処理の温度は、脆化領域514における分離が生じない温度（例えば、室温以上400未満）とする。また、この温度範囲で加熱しながら、半導体基板500と酸化膜512とを接合させてもよい。上記熱処理には、拡散炉、抵抗加熱炉などの加熱炉、RTA（瞬間熱アニール、Rapid Thermal Anneal）装置、マイクロ波加熱装置などを用いることができる。なお、上記温度条件はあくまで一例に過ぎず、開示する発明の一態様がこれに限定して解釈されるものではない。

【0147】

50

次に、熱処理を行うことにより、単結晶半導体基板 5 1 0 を脆化領域において分離して、半導体基板 5 0 0 上に、酸化膜 5 1 2 を介して単結晶半導体層 5 1 6 を形成する（図 7（F）参照）。

【0148】

なお、上記分離の際の熱処理温度は、できる限り低いものであることが望ましい。分離の際の温度が低いほど、単結晶半導体層 5 1 6 の表面荒れを抑制できるためである。具体的には、例えば、上記分離の際の熱処理温度は、300 以上 600 以下とすればよく、400 以上 500 以下とすると、より効果的である。

【0149】

なお、単結晶半導体基板 5 1 0 を分離した後は、単結晶半導体層 5 1 6 に対して、500 以上の温度で熱処理を行い、単結晶半導体層 5 1 6 中に残存する水素の濃度を低減させてもよい。

【0150】

次に、単結晶半導体層 5 1 6 の表面にレーザー光を照射することによって、表面の平坦性を向上させ、かつ欠陥を低減させた単結晶半導体層 5 1 8 を形成する（図 7（G）参照）。なお、レーザー光の照射処理に代えて、熱処理を行っても良い。

【0151】

なお、本実施の形態においては、単結晶半導体層 5 1 6 の分離に係る熱処理の直後に、レーザー光の照射処理を行っているが、本発明の一態様はこれに限定して解釈されない。単結晶半導体層 5 1 6 の分離に係る熱処理の後にエッチング処理を施して、単結晶半導体層 5 1 6 表面の欠陥が多い領域を除去してから、レーザー光の照射処理を行っても良いし、単結晶半導体層 5 1 6 表面の平坦性を向上させてからレーザー光の照射処理を行ってもよい。なお、上記エッチング処理としては、ウェットエッチング、ドライエッチングのいずれを用いてもよい。また、本実施の形態においては、上述のようにレーザー光を照射した後、単結晶半導体層 5 1 6 の膜厚を小さくする薄膜化工程を行ってもよい。単結晶半導体層 5 1 6 の薄膜化には、ドライエッチングまたはウェットエッチングの一方、または双方を用いればよい。

【0152】

以上の工程により、良好な特性の単結晶半導体層 5 1 8 を有する SOI 基板を得ることができる（図 7（G）参照）。

【0153】

半導体装置の作製方法

次に、上記の SOI 基板を用いた半導体装置の作製方法について、図 8 乃至図 11 を参照して説明する。

【0154】

下部のトランジスタの作製方法

はじめに下部のトランジスタ 160 の作製方法について、図 8 および図 9 を参照して説明する。なお、図 8 および図 9 は、図 7 に示す方法で作成した SOI 基板の一部であって、図 6（A）に示す下部のトランジスタに相当する断面工程図である。

【0155】

まず、単結晶半導体層 5 1 8 を島状に加工して、半導体層 120 を形成する（図 8（A）参照）。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n 型の導電性を付与する不純物元素や、p 型の導電性を付与する不純物元素を半導体層に添加してもよい。半導体がシリコンの場合、n 型の導電性を付与する不純物元素としては、例えば、リンや砒素などを用いることができる。また、p 型の導電性を付与する不純物元素としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

【0156】

次に、半導体層 120 を覆うように絶縁層 122 を形成する（図 8（B）参照）。絶縁層 122 は、後にゲート絶縁層となるものである。絶縁層 122 は、例えば、半導体層 120 表面の熱処理（熱酸化処理や熱窒化処理など）によって形成することができる。熱処理

10

20

30

40

50

に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などのうちいずれかの混合ガスを用いて行うことができる。もちろん、CVD法やスパッタリング法等を用いて絶縁層122は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート(HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムアルミネート(HfAl_xO_y ($x > 0$, $y > 0$))等を含む単層構造または積層構造とすることが望ましい。また、絶縁層122の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。ここでは、プラズマCVD法を用いて、酸化シリコンを含む絶縁層を単層で形成することとする。

10

【0157】

次に、絶縁層122上にマスク124を形成し、一導電性を付与する不純物元素を半導体層120に添加して、不純物領域126を形成する(図8(C)参照)。なお、ここでは、不純物元素を添加した後、マスク124は除去する。

【0158】

次に、絶縁層122上にマスクを形成し、絶縁層122が不純物領域126と重畳する領域の一部を除去することにより、ゲート絶縁層122aを形成する(図8(D)参照)。絶縁層122の除去方法として、ウェットエッチングまたはドライエッチングなどのエッチング処理を用いることができる。

20

【0159】

次に、ゲート絶縁層122a上にゲート電極(これと同じ層で形成される配線を含む)を形成するための導電層を形成し、当該導電層を加工して、ゲート電極128aおよび導電層128bを形成する(図8(E)参照)。

【0160】

ゲート電極128aおよび導電層128bに用いる導電層としては、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピンコート法などの各種成膜方法を用いることができる。また、導電層の加工は、レジストマスクを用いたエッチングによって行うことができる。

30

【0161】

次に、ゲート電極128aおよび導電層128bをマスクとして、一導電性を付与する不純物元素を半導体層に添加して、チャンネル形成領域134、不純物領域132、および不純物領域130を形成する(図9(A)参照)。ここでは、p型トランジスタを形成するために、硼素(B)やアルミニウム(Al)などの不純物元素を添加する。ここで、添加される不純物元素の濃度は適宜設定することができる。また、不純物元素を添加した後には、活性化のための熱処理を行う。ここで、不純物領域の濃度は、不純物領域126、不純物領域132、不純物領域130の順に高くなる。

【0162】

次に、ゲート絶縁層122a、ゲート電極128a、導電層128bを覆うように、絶縁層136、絶縁層138および絶縁層140を形成する(図9(B)参照)。

40

【0163】

絶縁層136、絶縁層138、絶縁層140は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層136、絶縁層138、絶縁層140に誘電率の低い(low-k)材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁層136、絶縁層138、絶縁層140には、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに

50

低減することが可能である。また、絶縁層 136 や絶縁層 138、絶縁層 140 は、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。本実施の形態では、絶縁層 136 として酸化窒化シリコン、絶縁層 138 として窒化酸化シリコン、絶縁層 140 として酸化シリコンを用いる場合について説明する。なお、ここでは、絶縁層 136、絶縁層 138 および絶縁層 140 の積層構造としているが、開示する発明の一態様はこれに限定されない。1 層または 2 層としても良いし、4 層以上の積層構造としても良い。

【0164】

次に、絶縁層 138 および絶縁層 140 に CMP (化学的機械研磨) 処理やエッチング処理を行うことにより、絶縁層 138 および絶縁層 140 を平坦化する (図 9 (C) 参照) 。ここでは、絶縁層 138 が一部露出されるまで、CMP 処理を行う。絶縁層 138 に窒化酸化シリコンを用い、絶縁層 140 に酸化シリコンを用いた場合、絶縁層 138 はエッチングストップとして機能する。

10

【0165】

次に、絶縁層 138 および絶縁層 140 に CMP 処理やエッチング処理を行うことにより、ゲート電極 128 a および導電層 128 b の上面を露出させる (図 9 (D) 参照) 。ここでは、ゲート電極 128 a および導電層 128 b が一部露出されるまで、エッチング処理を行う。当該エッチング処理は、ドライエッチングを用いることが好適であるが、ウェットエッチングを用いてもよい。ゲート電極 128 a および導電層 128 b の一部を露出させる工程において、後に形成されるトランジスタ 162 の特性を向上させるために、絶縁層 136、絶縁層 138、絶縁層 140 の表面は可能な限り平坦にしておくことが好ましい。

20

【0166】

以上の工程により、下部のトランジスタ 160 を形成することができる (図 9 (D) 参照) 。

【0167】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程を含んでも良い。例えば、配線の構造として、絶縁層および導電層の積層構造でなる多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

【0168】

上部のトランジスタの作製方法

30

次に、上部のトランジスタ 162 の作製方法について、図 10 および図 11 を参照して説明する。

【0169】

まず、ゲート電極 128 a、導電層 128 b、絶縁層 136、絶縁層 138、絶縁層 140 などの上に酸化物半導体層を形成し、当該酸化物半導体層を加工して、酸化物半導体層 144 を形成する (図 10 (A) 参照) 。なお、酸化物半導体層を形成する前に、絶縁層 136、絶縁層 138、絶縁層 140 の上に、下地として機能する絶縁層を設けても良い。当該絶縁層は、スパッタリング法をはじめとする PVD 法やプラズマ CVD 法などの CVD 法などを用いて形成することができる。

40

【0170】

酸化物半導体層に用いる材料としては、四元系金属酸化物である In - Sn - Ga - Zn - O 系の材料や、三元系金属酸化物である In - Ga - Zn - O 系の材料、In - Sn - Zn - O 系の材料、In - Al - Zn - O 系の材料、Sn - Ga - Zn - O 系の材料、Al - Ga - Zn - O 系の材料、Sn - Al - Zn - O 系の材料や、二元系金属酸化物である In - Zn - O 系の材料、Sn - Zn - O 系の材料、Al - Zn - O 系の材料、Zn - Mg - O 系の材料、Sn - Mg - O 系の材料、In - Mg - O 系の材料、In - Ga - O 系の材料や、In - O 系の材料、Sn - O 系の材料、Zn - O 系の材料などを用いることができる。また、上記の材料に SiO₂ を含ませてもよい。ここで、例えば、In - Ga - Zn - O 系の材料とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有す

50

る酸化物膜、という意味であり、その組成比は特に問わない。また、InとGaとZn以外の元素を含んでいてもよい。

【0171】

また、酸化物半導体層は、化学式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される材料を用いた薄膜とすることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えば、Mとして、Ga、GaおよびAl、GaおよびMn、またはGaおよびCoなどを用いることができる。

【0172】

また、酸化物半導体層の厚さは、3 nm以上30 nm以下とするのが望ましい。酸化物半導体層を厚くしすぎると（例えば、膜厚を50 nm以上）、トランジスタがノーマリオンとなる恐れがあるためである。

10

【0173】

酸化物半導体層は、水素、水、水酸基又は水素化物などの不純物が混入しにくい方法で作製するのが望ましい。例えば、スパッタリング法などを用いて作製することができる。

【0174】

本実施の形態では、酸化物半導体層を、In-Ga-Zn-O系の酸化物ターゲットを用いたスパッタリング法により形成する。

【0175】

In-Ga-Zn-O系の酸化物ターゲットとしては、例えば、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol数比]の酸化物ターゲットを用いることができる。なお、ターゲットの材料および組成を上述に限定する必要はない。例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol数比]の組成比の酸化物ターゲットを用いることもできる。

20

【0176】

また、酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $\text{In} : \text{Zn} = 50 : 1 \sim 1 : 2$ （モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1 \sim 1 : 4$ ）、好ましくは $\text{In} : \text{Zn} = 20 : 1 \sim 1 : 1$ （モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1 \sim 1 : 2$ ）、さらに好ましくは $\text{In} : \text{Zn} = 15 : 1 \sim 1 : 5$ （モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2 \sim 3 : 4$ ）とする。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比が $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

30

【0177】

酸化物ターゲットの充填率は、90%以上100%以下、好ましくは95%以上99.9%以下とする。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層を緻密な膜とすることができるためである。

【0178】

成膜の雰囲気は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または、希ガスと酸素の混合雰囲気下などとすればよい。また、酸化物半導体層への水素、水、水酸基、水素化物などの混入を防ぐために、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを用いた雰囲気とすることが望ましい。

40

【0179】

例えば、酸化物半導体層は、次のように形成することができる。

【0180】

まず、減圧状態に保持された成膜室内に基板を保持し、基板温度が、200 を超えて500 以下、好ましくは300 を超えて500 以下、より好ましくは350 以上450 以下となるように加熱する。

【0181】

次に、成膜室内の残留水分を除去しつつ、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを導入し、上記ターゲットを用いて基板上に酸化物半導体層を成膜する。成膜室内の残留水分を除去するためには、排気手段として、クライオポンプ、

50

イオンポンプ、チタンサブレーションポンプなどの吸着型の真空ポンプを用いることが望ましい。また、排気手段は、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素、水、水酸基または水素化物などの不純物（より好ましくは炭素原子を含む化合物も）などが除去されているため、当該成膜室で成膜した酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を低減することができる。

【0182】

成膜中の基板温度が低温（例えば、100 以下）の場合、酸化物半導体に水素原子を含む物質が混入するおそれがあるため、基板を上述の温度で加熱することが好ましい。基板を上述の温度で加熱して、酸化物半導体層の成膜を行うことにより、基板温度は高温となるため、水素結合は熱により切断され、水素原子を含む物質が酸化物半導体層に取り込まれにくい。したがって、基板が上述の温度で加熱された状態で、酸化物半導体層の成膜を行うことにより、酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を十分に低減することができる。また、スパッタリングによる損傷を軽減することができる。

10

【0183】

成膜条件の一例として、基板とターゲットの間との距離を60mm、圧力を0.4Pa、直流（DC）電源を0.5kW、基板温度を400、成膜雰囲気酸素（酸素流量比率100%）雰囲気とする。なお、パルス直流電源を用いると、成膜時に発生する粉状物質（パーティクル、ごみともいう）が軽減でき、膜厚分布も均一となるため好ましい。

20

【0184】

なお、酸化物半導体層をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、酸化物半導体層の被形成表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、基板に電圧を印加し、基板近傍にプラズマを形成して、基板側の表面を改質する方法である。なお、アルゴンに代えて、窒素、ヘリウム、酸素などのガスを用いてもよい。

【0185】

酸化物半導体層の加工は、所望の形状のマスクを酸化物半導体層上に形成した後、当該酸化物半導体層をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。なお、酸化物半導体層のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせて用いてもよい。

30

【0186】

その後、酸化物半導体層144に対して、熱処理（第1の熱処理）を行ってもよい。熱処理を行うことによって、酸化物半導体層144中に含まれる水素原子を含む物質をさらに除去し、酸化物半導体層144の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。熱処理の温度は、不活性ガス雰囲気下、250 以上700 以下、好ましくは450 以上600 以下、または基板の歪み点未満とする。不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

40

【0187】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体層144は大気に触れさせず、水や水素の混入が生じないようにする。

【0188】

ところで、上述の熱処理には水素や水などを除去する効果があるため、当該熱処理を、脱

50

水化処理や、脱水素化処理などと呼ぶこともできる。当該熱処理は、例えば、酸化物半導体層を島状に加工する前、ゲート絶縁膜の形成後などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

【0189】

次に、酸化物半導体層144などの上に、ソース電極およびドレイン電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、ソース電極142a、ドレイン電極142bを形成する（図10（B）参照）。

【0190】

導電層は、PVD法や、CVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガ、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

10

【0191】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパ形状を有するソース電極142aおよびドレイン電極142bへの加工が容易であるというメリットがある。

20

【0192】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ合金（ In_2O_3 SnO_2 、ITOと略記する場合がある）、酸化インジウム酸化亜鉛合金（ In_2O_3 ZnO ）、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

【0193】

導電層のエッチングは、形成されるソース電極142aおよびドレイン電極142bの端部が、テーパ形状となるように行うことが好ましい。ここで、テーパ角は、例えば、 30° 以上 60° 以下であることが好ましい。ソース電極142a、ドレイン電極142bの端部をテーパ形状となるようにエッチングすることにより、後に形成されるゲート絶縁層146の被覆性を向上し、段切れを防止することができる。

30

【0194】

上部のトランジスタのチャネル長（L）は、ソース電極142a、およびドレイン電極142bの下端部の間隔によって決定される。なお、チャネル長（L）が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm～数10nmと波長の短い超紫外線（Extreme Ultraviolet）を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長（L）を、10nm以上1000nm（1 μm ）以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。

40

【0195】

次に、ソース電極142a、ドレイン電極142bを覆い、かつ、酸化物半導体層144の一部と接するように、ゲート絶縁層146を形成する（図10（C）参照）。

【0196】

ゲート絶縁層146は、CVD法やスパッタリング法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化ガリウム、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウ

50

ムシリケート (HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート (HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムアルミネート (HfAl_xO_y ($x > 0$, $y > 0$))、などを含むように形成するのが好適である。ゲート絶縁層 146 は、単層構造としても良いし、上記の材料を組み合わせる積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1 nm 以上 100 nm 以下、好ましくは 10 nm 以上 50 nm 以下とすることができる。

【0197】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層 146 に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート (HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート (HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムアルミネート (HfAl_xO_y ($x > 0$, $y > 0$))、などの高誘電率 (high-k) 材料を用いると良い。high-k 材料をゲート絶縁層 146 に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、high-k 材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

【0198】

また、酸化物半導体層 144 に接する絶縁層 (本実施の形態においては、ゲート絶縁層 146) は、第 13 族元素および酸素を含む絶縁材料としてもよい。酸化物半導体材料には第 13 族元素を含むものが多く、第 13 族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体層に接する絶縁層に用いることで、酸化物半導体層との界面の状態を良好に保つことができる。

【0199】

ここで、第 13 族元素を含む絶縁材料とは、絶縁材料に一または複数の第 13 族元素を含むことを意味する。第 13 族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量 (原子%) よりアルミニウムの含有量 (原子%) が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量 (原子%) がアルミニウムの含有量 (原子%) 以上のものを示す。

【0200】

例えば、ガリウムを含有する酸化物半導体層に接してゲート絶縁層を形成する場合に、ゲート絶縁層に酸化ガリウムを含む材料を用いることで酸化物半導体層とゲート絶縁層の界面特性を良好に保つことができる。また、酸化物半導体層と酸化ガリウムを含む絶縁層とを接して設けることにより、酸化物半導体層と絶縁層の界面における水素のパイルアップを低減することができる。なお、絶縁層に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁層を形成することも有効である。なお、酸化アルミニウムは、水を透過させるにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

【0201】

また、酸化物半導体層 144 に接する絶縁層は、酸素雰囲気下による熱処理や、酸素ドーピングなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドーピングとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドーピングには、プラズマ化した酸素をバルクに添加する酸素プラズマドーピングが含まれる。また、酸素ドーピングは、イオン注入法またはイオンドーピング法を用いてもよい。

【0202】

例えば、酸化物半導体層 144 に接する絶縁層として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムの組成を Ga_2O_x ($x = 3 + \delta$ 、 $0 < \delta < 1$) とすることができる。また、酸化物半導体層 144 に接する絶縁層として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化アルミニウムの組成を Al_2O_x ($x = 3 + \delta$ 、 $0 < \delta < 1$) とすることができる。または、酸化物半導体層 144 に接する絶縁層として酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムアルミニウム（酸化アルミニウムガリウム）の組成を $Ga_xAl_{2-x}O_{3+\delta}$ ($0 < x < 2$ 、 $0 < \delta < 1$) とすることができる。

【0203】

酸素ドーピング処理等を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁層を形成することができる。このような領域を備える絶縁層と酸化物半導体層が接することにより、絶縁層中の過剰な酸素が酸化物半導体層に供給され、酸化物半導体層中、または酸化物半導体層と絶縁層の界面における酸素不足欠陥を低減することができる。

【0204】

なお、化学量論的組成比より酸素が多い領域を有する絶縁層は、ゲート絶縁層 146 に代えて、酸化物半導体層 144 の下地膜として形成する絶縁層に適用しても良く、ゲート絶縁層 146 および下地絶縁層の双方に適用しても良い。

【0205】

ゲート絶縁層 146 の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第 2 の熱処理を行うのが望ましい。熱処理の温度は、200 以上 450 以下、望ましくは 250 以上 350 以下である。例えば、窒素雰囲気下で 250 、1 時間の熱処理を行えばよい。第 2 の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層 146 が酸素を含む場合、脱水化または脱水素化処理後の酸化物半導体層 144 に酸素を供給し、該酸化物半導体層 144 の酸素欠損を補填して、*n* 型（真性半導体）または *i* 型に限りなく近い酸化物半導体層を形成することもできる。

【0206】

なお、本実施の形態では、ゲート絶縁層 146 の形成後に第 2 の熱処理を行っているが、第 2 の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第 2 の熱処理を行っても良い。

【0207】

上述のように、第 1 の熱処理及び第 2 の熱処理を適用することで、酸化物半導体層 144 を、その主成分以外の不純物が極力含まれないように高純度化することができる。

【0208】

次に、ゲート電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、ゲート電極 148 a および導電層 148 b を形成する（図 10（D）参照）。

【0209】

ゲート電極 148 a および導電層 148 b は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。なお、ゲート電極 148 a および導電層 148 b は、単層構造としても良いし、積層構造としても良い。

【0210】

次に、ゲート絶縁層 146、ゲート電極 148 a、および導電層 148 b 上に、絶縁層 150 を形成する（図 11（A）参照）。絶縁層 150 は、PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化ガリウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁層 150 には、誘電率の低い材料や、誘電率の低い構造（多孔性の構造など）を用いることが望ましい。絶縁層 150 の誘電率を低くすることにより

10

20

30

40

50

、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。なお、本実施の形態では、絶縁層 150 の単層構造としているが、開示する発明の一態様はこれに限定されず、2 層以上の積層構造としても良い。

【0211】

次に、ゲート絶縁層 146、絶縁層 150 に、ソース電極 142a にまで達する開口を形成する。その後、絶縁層 150 上にソース電極 142a と接する配線 154 を形成する（図 11（B）参照）。なお、当該開口の形成は、マスクなどを用いた選択的なエッチングにより行われる。

【0212】

配線 154 は、PVD 法や、CVD 法を用いて導電層を形成した後、当該導電層をパターニングすることによって形成される。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガ、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

10

【0213】

より具体的には、例えば、絶縁層 150 の開口を含む領域に PVD 法によりチタン膜を薄く（5 nm 程度）形成した後に、開口に埋め込むようにアルミニウム膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここではソース電極 142a）との接触抵抗を低減させる機能を有する。また、アルミニウム膜のヒロックを防止することができる。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

20

【0214】

絶縁層 150 に形成する開口は、導電層 128b と重畳する領域に形成することが望ましい。このような領域に開口を形成することで、コンタクト領域に起因する素子面積の増大を抑制することができる。

【0215】

ここで、導電層 128b を用いずに、不純物領域 126 とソース電極 142a との接続と、ソース電極 142a と配線 154 との接続とを重畳させる場合について説明する。この場合、不純物領域 126 上に形成された絶縁層 136、絶縁層 138 および絶縁層 140 に開口（下部のコンタクトと呼ぶ）を形成し、下部のコンタクトにソース電極 142a を形成した後、ゲート絶縁層 146 および絶縁層 150 において、下部のコンタクトと重畳する領域に開口（上部のコンタクトと呼ぶ）を形成し、配線 154 を形成することになる。下部のコンタクトと重畳する領域に上部のコンタクトを形成する際に、エッチングにより下部のコンタクトに形成されたソース電極 142a が断線してしまうおそれがある。これを避けるために、下部のコンタクトと上部のコンタクトが重畳しないように形成することにより、素子面積が増大するという問題がおこる。

30

【0216】

本実施の形態に示すように、導電層 128b を用いることにより、ソース電極 142a を断線させることなく、上部のコンタクトの形成が可能となる。これにより、下部のコンタクトと上部のコンタクトを重畳させて設けることができるため、コンタクト領域に起因する素子面積の増大を抑制することができる。つまり、半導体装置の集積度を高めることができる。

40

【0217】

次に、配線 154 を覆うように絶縁層 156 を形成する（図 11（C）参照）。

【0218】

以上により、高純度化された酸化物半導体層 144 を用いたトランジスタ 162、および容量素子 164 が完成する（図 11（C）参照）。

【0219】

50

なお、トランジスタ 1 6 2 において、酸化物半導体層 1 4 4 とソース電極 1 4 2 a、ドレイン電極 1 4 2 b との間に、ソース領域及びドレイン領域として機能する酸化物導電層をバッファ層として設けてもよい。図 6 (A) のトランジスタ 1 6 2 に酸化物導電層を設けたトランジスタ 1 6 2 A、1 6 2 B を図 1 3 (A) (B) に示す。

【 0 2 2 0 】

図 1 3 (A) (B) のトランジスタ 1 6 2 A、1 6 2 B は、酸化物半導体層 1 4 4 とソース電極 1 4 2 a、ドレイン電極 1 4 2 b との間に、ソース領域及びドレイン領域として機能する酸化物導電層 4 0 4 a、4 0 4 b が形成されている。図 1 3 (A) (B) のトランジスタ 1 6 2 A、1 6 2 B は作製工程により酸化物導電層 4 0 4 a、4 0 4 b の形状が異なる例である。

10

【 0 2 2 1 】

図 1 3 (A) のトランジスタ 1 6 2 A では、酸化物半導体膜と酸化物導電膜の積層を形成し、酸化物半導体膜と酸化物導電膜との積層を同じフォトリソグラフィ工程によって形状を加工して島状の酸化物半導体層 1 4 4 と酸化物導電膜を形成する。酸化物半導体層及び酸化物導電膜上にソース電極 1 4 2 a、ドレイン電極 1 4 2 b を形成した後、ソース電極 1 4 2 a、ドレイン電極 1 4 2 b をマスクとして、島状の酸化物導電膜をエッチングし、ソース領域およびドレイン領域となる酸化物導電層 4 0 4 a、4 0 4 b を形成する。

【 0 2 2 2 】

図 1 3 (B) のトランジスタ 1 6 2 B では、酸化物半導体層 1 4 4 上に酸化物導電膜を形成し、その上に金属導電膜を形成し、酸化物導電膜および金属導電膜を同じフォトリソグラフィ工程によって加工して、ソース領域およびドレイン領域となる酸化物導電層 4 0 4 a、4 0 4 b、ソース電極 1 4 2 a、ドレイン電極 1 4 2 b を形成する。

20

【 0 2 2 3 】

なお、酸化物導電層の形状を加工するためのエッチング処理の際、酸化物半導体層が過剰にエッチングされないように、エッチング条件（エッチング材の種類、濃度、エッチング時間等）を適宜調整する。

【 0 2 2 4 】

酸化物導電層 4 0 4 a、4 0 4 b の成膜方法は、スパッタリング法や真空蒸着法（電子ビーム蒸着法など）や、アーク放電イオンプレーティング法や、スプレー法を用いる。酸化物導電層の材料としては、酸化亜鉛、酸化シリコンとインジウムスズ酸化物の化合物、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。また、上記材料に酸化珪素を含ませてもよい。

30

【 0 2 2 5 】

ソース領域及びドレイン領域として、酸化物導電層を酸化物半導体層 1 4 4 とソース電極 1 4 2 a、ドレイン電極 1 4 2 b との間に設けることで、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタ 1 6 2 A、1 6 2 B が高速動作をすることができる。

【 0 2 2 6 】

また、酸化物半導体層 1 4 4、酸化物導電層 4 0 4 a、4 0 4 b、ソース電極 1 4 2 a、ドレイン電極 1 4 2 b の構成とすることによって、トランジスタ 1 6 2 A、1 6 2 B の耐圧を向上させることができる。

40

【 0 2 2 7 】

本実施の形態において示すトランジスタ 1 6 2 では、酸化物半導体層 1 4 4 が高純度化されているため、その水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下である。また、酸化物半導体層 1 4 4 のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度（ $1 \times 10^{14} / \text{cm}^3$ 程度）と比較して、十分に小さい値（例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満）をとる。そして、オフ電流も十分に小さくなる。例えば、トランジスタ 1 6 2 の室温（25）でのオフ電流（ここでは、単位チャネル幅（1 μm ）あたりの値）は 100 zA（1 zA（

50

ゼプトアンペア)は 1×10^{-21} A)以下、望ましくは 10^{-22} A以下となる。

【0228】

このように高純度化され、真性化された酸化物半導体層144を用いることで、トランジスタのオフ電流を十分に低減することが容易になる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

【0229】

また、本実施の形態において示す半導体装置では、配線を共通化することも可能であり、集積度が十分に高められた半導体装置を実現することができる。

【0230】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0231】

(実施の形態3)

本実施の形態では、上記実施の形態2において、トランジスタ162の半導体層に用いることのできる酸化物半導体層の一形態を、図14を用いて説明する。

【0232】

本実施の形態の酸化物半導体層は、第1の結晶性酸化物半導体層上に第1の結晶性酸化物半導体層よりも厚い第2の結晶性酸化物半導体層を有する積層構造である。

【0233】

絶縁層400上に絶縁層437を形成する。なお、図14における絶縁層437は、上記実施の形態2における絶縁層140に相当する。本実施の形態では、絶縁層437として、PCVD法またはスパッタリング法を用いて、50nm以上600nm以下の膜厚の酸化物絶縁層を形成する。例えば、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜から選ばれた一層またはこれらの積層を用いることができる。

【0234】

次に、絶縁層437上に膜厚1nm以上10nm以下の第1の酸化物半導体膜を形成する。第1の酸化物半導体膜の形成は、スパッタリング法を用い、そのスパッタリング法による成膜時における基板温度は200℃以上400℃以下とする。

【0235】

本実施の形態では、酸化物半導体用ターゲット(In-Ga-Zn-O系酸化物半導体用ターゲット($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol数比]))を用いて、基板とターゲットの間との距離を170mm、基板温度250℃、圧力0.4Pa、直流(DC)電源0.5kW、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で膜厚5nmの第1の酸化物半導体膜を成膜する。

【0236】

次いで、基板を配置するチャンバ雰囲気窒素、または乾燥空気とし、第1の加熱処理を行う。第1の加熱処理の温度は、400℃以上750℃以下とする。第1の加熱処理によって第1の結晶性酸化物半導体層450aを形成する(図14(A)参照)。

【0237】

第1の加熱処理の温度にもよるが、第1の加熱処理によって、膜表面から結晶化が起こり、膜の表面から内部に向かって結晶成長し、c軸配向した結晶が得られる。第1の加熱処理によって、亜鉛と酸素が膜表面に多く集まり、上平面が六角形をなす亜鉛と酸素からなるグラフェンタイプの二次元結晶が最表面に1層または複数層形成され、これが膜厚方向に成長して重なり積層となる。加熱処理の温度を上げると表面から内部、そして内部から底部と結晶成長が進行する。

【0238】

第1の加熱処理によって、酸化物絶縁層である絶縁層437中の酸素を第1の結晶性酸化物半導体層450aとの界面またはその近傍(界面からプラスマイナス5nm)に拡散さ

10

20

30

40

50

せて、第1の結晶性酸化物半導体層の酸素欠損を低減する。従って、下地絶縁層として用いられる絶縁層437は、膜中（バルク中）、第1の結晶性酸化物半導体層450aと絶縁層437の界面、のいずれかには少なくとも化学量論比を超える量の酸素が存在することが好ましい。

【0239】

次いで、第1の結晶性酸化物半導体層450a上に10nmよりも厚い第2の酸化物半導体膜を形成する。第2の酸化物半導体膜の形成は、スパッタリング法を用い、その成膜時における基板温度は200以上400以下とする。成膜時における基板温度を200以上400以下とすることにより、第1の結晶性酸化物半導体層の表面上に接して成膜する酸化物半導体層にプリカーサの整列が起き、所謂、秩序性を持たせることができる。

10

【0240】

本実施の形態では、酸化物半導体用ターゲット（In-Ga-Zn-O系酸化物半導体用ターゲット（ In_2O_3 ： Ga_2O_3 ： ZnO =1：1：2[mol数比]）を用いて、基板とターゲットの間との距離を170mm、基板温度400、圧力0.4Pa、直流（DC）電源0.5kW、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で膜厚25nmの第2の酸化物半導体膜を成膜する。

【0241】

次いで、基板を配置するチャンバー雰囲気を窒素、または乾燥空気とし、第2の加熱処理を行う。第2の加熱処理の温度は、400以上750以下とする。第2の加熱処理によって第2の結晶性酸化物半導体層450bを形成する（図14（B）参照）。第2の加熱処理は、窒素雰囲気下、酸素雰囲気下、或いは窒素と酸素の混合雰囲気下で行うことにより、第2の結晶性酸化物半導体層の高密度化及び欠陥数の減少を図る。第2の加熱処理によって、第1の結晶性酸化物半導体層450aを核として膜厚方向、即ち底部から内部に結晶成長が進行して第2の結晶性酸化物半導体層450bが形成される。

20

【0242】

また、絶縁層437の形成から第2の加熱処理までの工程を大気に触れることなく連続的に行うことが好ましい。絶縁層437の形成から第2の加熱処理までの工程は、水素及び水分をほとんど含まない雰囲気（不活性雰囲気、減圧雰囲気、乾燥空気雰囲気など）下に制御することが好ましく、例えば、水分については露点-40以下、好ましくは露点-50以下の乾燥窒素雰囲気とする。

30

【0243】

次いで、第1の結晶性酸化物半導体層450aと第2の結晶性酸化物半導体層450bからなる酸化物半導体積層を加工して島状の酸化物半導体積層からなる酸化物半導体層453を形成する（図14（C）参照）。図では、第1の結晶性酸化物半導体層450aと第2の結晶性酸化物半導体層450bの界面を点線で示し、酸化物半導体積層と説明しているが、明確な界面が存在しているのではなく、あくまで分かりやすく説明するために図示している。

【0244】

酸化物半導体積層の加工は、所望の形状のマスクを酸化物半導体積層上に形成した後、当該酸化物半導体積層をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。

40

【0245】

なお、酸化物半導体積層のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせて用いてもよい。

【0246】

また、上記作製方法により、得られる第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層は、c軸配向を有していることを特徴の一つとしている。ただし、第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層は、単結晶構造ではなく、非晶質構造

50

でもない構造であり、c 軸配向を有した結晶 (C Axis Aligned Crystal; C A A C と呼ぶ) を含む酸化物を有する。なお、第 1 の結晶性酸化物半導体層及び第 2 の結晶性酸化物半導体層は、一部に結晶粒界を有している。

【0247】

なお、第 1 及び第 2 の結晶性酸化物半導体層は、少なくとも Zn を有する酸化物材料であり、四元系金属酸化物である In - Al - Ga - Zn - O 系の材料や、In - Sn - Ga - Zn - O 系の材料や、三元系金属酸化物である In - Ga - Zn - O 系の材料、In - Al - Zn - O 系の材料、In - Sn - Zn - O 系の材料、Sn - Ga - Zn - O 系の材料、Al - Ga - Zn - O 系の材料、Sn - Al - Zn - O 系の材料や、二元系金属酸化物である In - Zn - O 系の材料、Sn - Zn - O 系の材料、Al - Zn - O 系の材料、Zn - Mg - O 系の材料や、Zn - O 系の材料などがある。また、In - Si - Ga - Zn - O 系の材料や、In - Ga - B - Zn - O 系の材料や、In - B - Zn - O 系の材料を用いてもよい。また、上記の材料に SiO₂ を含ませてもよい。ここで、例えば、In - Ga - Zn - O 系の材料とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物膜、という意味であり、その組成比は特に問わない。また、In と Ga と Zn 以外の元素を含んでいてもよい。

10

【0248】

また、第 1 の結晶性酸化物半導体層上に第 2 の結晶性酸化物半導体層を形成する 2 層構造に限定されず、第 2 の結晶性酸化物半導体層の形成後に第 3 の結晶性酸化物半導体層を形成するための成膜と加熱処理のプロセスを繰り返し行って、3 層以上の積層構造としてもよい。

20

【0249】

上記作製方法で形成された酸化物半導体積層からなる酸化物半導体層 453 を、本明細書に開示する半導体装置に適用できるトランジスタ 162 に、適宜用いることができる。

【0250】

また、酸化物半導体層として本実施の形態の酸化物半導体積層を用いたトランジスタにおいては、酸化物半導体層の一方の面から他方の面に電界が印加されることはなく、また、電流が酸化物半導体積層の厚さ方向 (一方の面から他方の面に流れる方向、具体的に図 6 (A) では上下方向) に流れる構造ではない。電流は、主として、酸化物半導体積層の界面を流れるトランジスタ構造であるため、トランジスタに光照射が行われ、または BT ストレスが与えられても、トランジスタ特性の劣化は抑制される、または低減される。

30

【0251】

本実施の形態で示す酸化物半導体層 453 のような第 1 の結晶性酸化物半導体層と第 2 の結晶性酸化物半導体層の積層をトランジスタに用いることで、安定した電気的特性を有し、且つ、信頼性の高いトランジスタを実現できる。

【0252】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0253】

(実施の形態 4)

40

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図 12 を用いて説明する。本実施の形態では、コンピュータ、携帯電話機 (携帯電話、携帯電話装置ともいう)、携帯情報端末 (携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラなどのカメラ、電子ペーパー、テレビジョン装置 (テレビ、またはテレビジョン受信機ともいう) などの電子機器に、上述の半導体装置を適用する場合について説明する。

【0254】

図 12 (A) は、ノート型のパーソナルコンピュータであり、筐体 701、筐体 702、表示部 703、キーボード 704 などによって構成されている。筐体 701 と筐体 702 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情

50

報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

【0255】

図12(B)は、携帯情報端末(PDA)であり、本体711には、表示部713と、外部インターフェイス715と、操作ボタン714等が設けられている。また、携帯情報端末を操作するスタイラス712などを備えている。本体711内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

【0256】

図12(C)は、電子ペーパーを実装した電子書籍720であり、筐体721と筐体723の2つの筐体で構成されている。筐体721および筐体723には、それぞれ表示部725および表示部727が設けられている。筐体721と筐体723は、軸部737により接続されており、該軸部737を軸として開閉動作を行うことができる。また、筐体721は、電源731、操作キー733、スピーカー735などを備えている。筐体721、筐体723の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

【0257】

図12(D)は、携帯電話機であり、筐体740と筐体741の2つの筐体で構成されている。さらに、筐体740と筐体741は、スライドし、図12(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体741は、表示パネル742、スピーカー743、マイクロフォン744、操作キー745、ポインティングデバイス746、カメラ用レンズ747、外部接続端子748などを備えている。また、筐体740は、携帯電話機の充電を行う太陽電池セル749、外部メモリスロット750などを備えている。また、アンテナは、筐体741に内蔵されている。筐体740と筐体741の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

【0258】

図12(E)は、デジタルカメラであり、本体761、表示部767、接眼部763、操作スイッチ764、表示部765、バッテリー766などによって構成されている。本体761内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

【0259】

図12(F)は、テレビジョン装置770であり、筐体771、表示部773、スタンド775などで構成されている。テレビジョン装置770の操作は、筐体771が備えるスイッチや、リモコン操作機780により行うことができる。筐体771およびリモコン操作機780には、先の実施の形態に示す半導体装置が搭載されている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

【0260】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

【0261】

(実施の形態5)

本実施の形態では、図1(A)に示した回路構成を有する半導体装置において、情報の書き込みと、読み出しに要する時間について説明する。

【0262】

まず、図1(A)に示した回路構成を有する半導体装置において、書き込み時にビット線

10

20

30

40

50

B Lに電源電位V D Dまたは接地電位G N Dを与えたときの、ビット線B Lの電位の時間変化を測定した。図15に、測定により得られた、ビット線B Lにおける電位の時間変化を示す。

【0263】

なお、電源電位V D Dは、メモリセルにデータ"1"を書き込む場合に、ビット線に与えられる電位である。また、接地電位G N Dは、メモリセルにデータ"0"を書き込む場合に、ビット線に与えられる電位である。

【0264】

図15では、データ"1"の書き込み時におけるビット線B Lの波形として、接地電位G N Dに保たれていたビット線B Lに、3Vの電源電位V D Dを、測定開始から約80nsec後に与えた場合の、ビット線B Lの電位の時間変化を実線600で示している。また、図15では、データ"0"の書き込み時におけるビット線B Lの波形として、ビット線B Lに接地電位G N Dを与えている場合の、ビット線B Lの電位の時間変化を実線601で示している。

10

【0265】

図15の実線601に示すように、データ"0"を書き込む場合、ビット線B Lの電位は約0Vを維持している。一方、図15の実線600に示すように、データ"1"を書き込む場合、ビット線B Lへの電源電位V D Dの供給が開始されてから、約40nsec後には、ビット線B Lの電位は約2.4Vまで上昇していることが確認された。

【0266】

よって、ビット線B Lへの電源電位V D Dの供給に要する時間は、40nsec程度であることが分かった。

20

【0267】

次いで、図1(A)に示した回路構成を有する半導体装置において、トランジスタ162が有するゲート電極に電位V Hが供給されている時間(書き込み時間:Write Time)を変化させた場合の、メモリセルの閾値ウィンドウを測定した。図16に、測定により得られた、書き込み時間と、メモリセルの閾値ウィンドウの関係を示す。

【0268】

なお、測定は、データ"0"を書き込む場合に、ビット線B Lに接地電位G N Dを与え、データ"1"を書き込む場合に、ビット線B Lに電源電位V D Dを与えて行った。そして、電位V Hは4.5V、電源電位V D Dは3Vとした。

30

【0269】

なお、メモリセルの閾値ウィンドウとは、データ"0"を書き込んだ時におけるメモリセルの閾値電圧と、データ"1"を書き込んだ時におけるメモリセルの閾値電圧によって構成される。また、メモリセルの閾値電圧とは、トランジスタ160をオンの状態にするのに必要な、書き込み及び読み出しワード線Cの電位を意味する。

【0270】

図16では、データ"1"を書き込んだ場合の、書き込み時間と、メモリセルの閾値電圧の関係を実線602で示す。また、図16では、データ"0"を書き込んだ場合の、書き込み時間と、メモリセルの閾値電圧の関係を、実線603で示す。

40

【0271】

図16の実線602に示すように、ビット線B Lに電源電位V D Dが与えられている場合、書き込み時間が10msecの時に、メモリセルの閾値電圧は約-2Vであった。また、図16の実線603に示すように、ビット線B Lに接地電位G N Dが与えられている場合、書き込み時間が10msecの時に、メモリセルの閾値電圧は約3Vであった。そして、いずれの場合も、書き込み時間を10nsecまで短くしても、メモリセルの閾値電圧に大きな変化は見られなかった。

【0272】

よって、10nsec程度の書き込み時間で、メモリセルへの情報の書き込みが可能であることが分かった。

50

【0273】

次いで、図1(A)に示した回路構成を有する半導体装置において、データの読み出し時において、ソース線SLに電位VRを供給し、書き込み及び読み出しワード線Cに電源電位VDDを供給したときの、ビット線BLの電位の時間変化を測定した。図17に、測定により得られた、ビット線BLにおける電位の時間変化を示す。

【0274】

なお、ビット線BLは、予め接地電位GNDを与えることでプリチャージしておく。また、ソース線SLに与える電位VRは2Vとし、電源電位VDDは3Vとした。

【0275】

また、図17では、データの書き込み時にデータ"1"が書き込まれたメモリセルにて、読み出し時のビット線BLの電位の時間変化を、実線604で示した。そして、データの書き込み時にデータ"0"が書き込まれたメモリセルにて、読み出し時のビット線BLの電位の時間変化を、実線605で示した。

10

【0276】

図17の実線604及び実線605に示すように、プリチャージが終了するとビット線BLの電位が上昇し始め、プリチャージ終了から約150ns後に、データ"0"に対応するビット線BLと、データ"1"に対応するビット線BLの電位差が、約0.2Vとなっていることが確認された。また、データ"0"に対応するビット線BLの電位は、プリチャージ終了から約70ns後で、約0.2Vまで上昇していることから、100ns以下の読み出し動作の可能性があると考えられる。

20

【0277】

従って、本発明の一態様に係る半導体装置は、高速動作を実現することができる。

【0278】

なお、携帯電話、スマートフォン、電子書籍などの携帯用の電子機器では、画像データを一時的に記憶する場合などにSRAMまたはDRAMが使用されている。SRAMまたはDRAMが携帯用の電子機器において用いられる理由として、フラッシュメモリなどに比べて書き込みや読み出しなどの動作が速く、画像データの処理を行う際に用いるのに適しているからである。しかし、SRAMは動作が速いという利点があるが、1つのメモリセルが6つのトランジスタで構成されているため、メモリセルの面積が大きいという欠点がある。デザインルールの最小寸法をFとしたときに、SRAMのメモリセルの面積は、通常 $100F^2 \sim 150F^2$ である。このためSRAMはビットあたりの単価が、各種の半導体メモリの中で最も高い。それに対して、DRAMは、メモリセルが1つのトランジスタと1つの容量素子で構成されている。よって、DRAMのメモリセルの面積は、通常 $10F^2$ 以下と小さい。しかし、DRAMは常にリフレッシュが必要であり、書き換えを行わない場合でも消費電力が発生する。本発明の一態様に係る半導体装置は、メモリセルの面積が $10F^2$ 前後であり、且つ頻繁なリフレッシュは不要である。従って、上記半導体装置は、一般的なSRAMやDRAMとは異なり、メモリセルの面積縮小化と、消費電力低減という携帯用の電子機器に適した2つのメリットを併せ持っていると言える。

30

【符号の説明】

【0279】

40

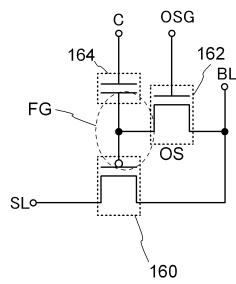
- 160 トランジスタ
- 162 トランジスタ
- 164 容量素子
- 170 メモリセル
- 180 昇圧回路
- 182 第1の駆動回路
- 184 第4の駆動回路
- 186 第5の駆動回路
- 190 第3の駆動回路
- 192 第2の駆動回路

50

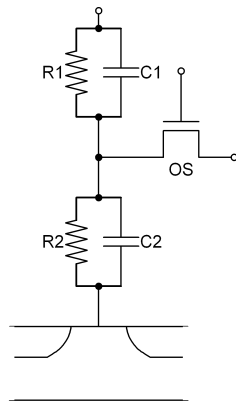
1 9 4 ソース線切り替え回路

【図 1】

(A)

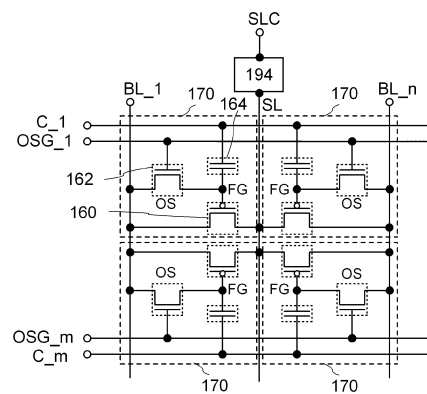


(B)

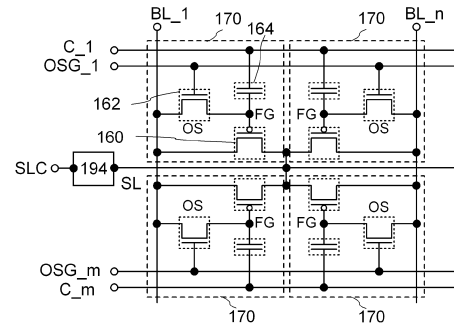


【図 2】

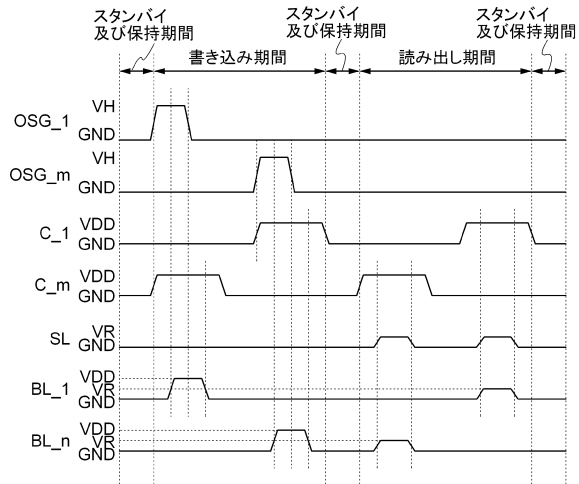
(A)



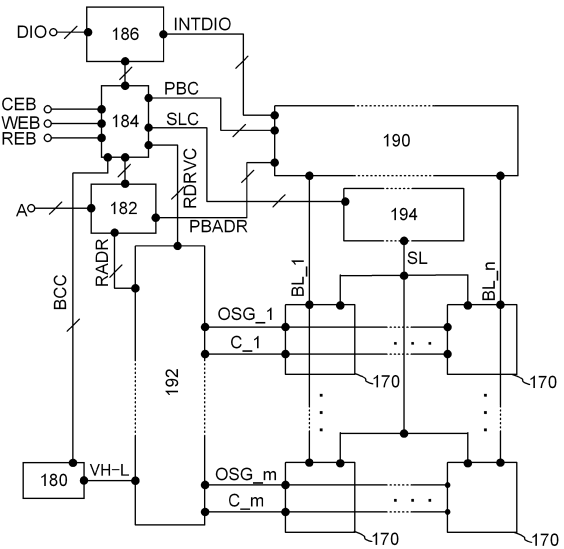
(B)



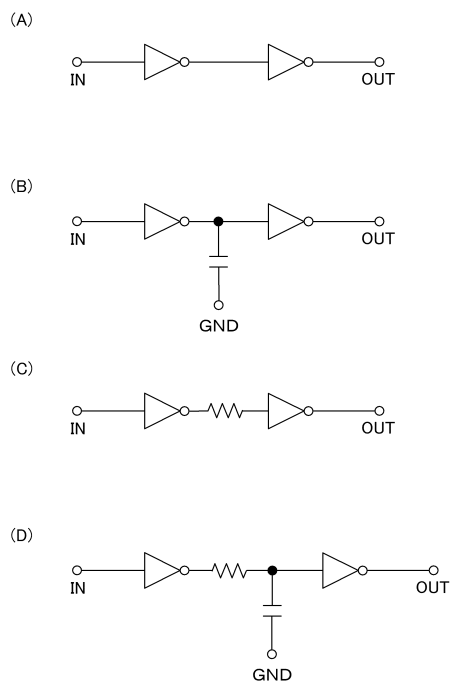
【図 3】



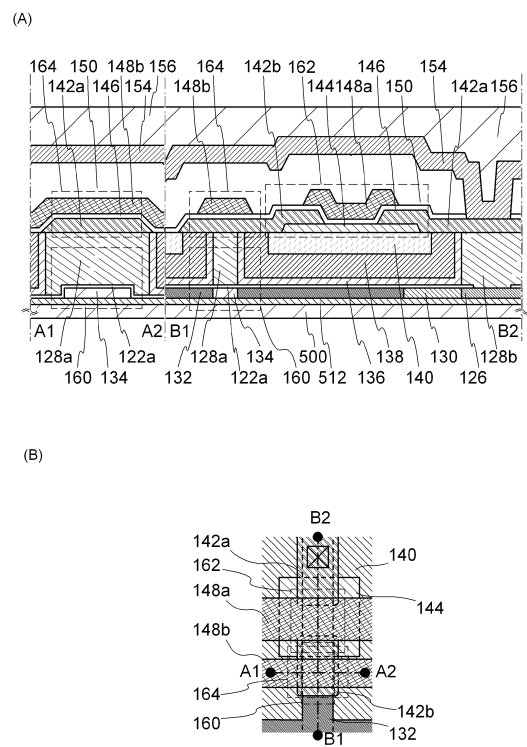
【図 4】



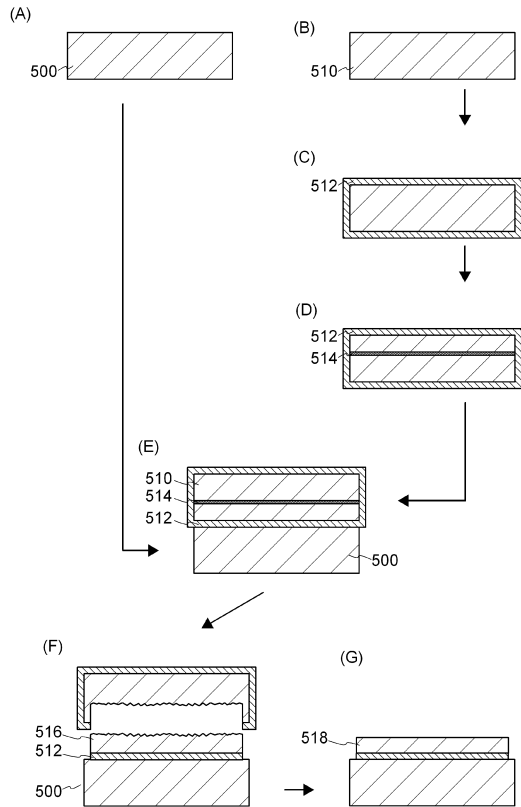
【図 5】



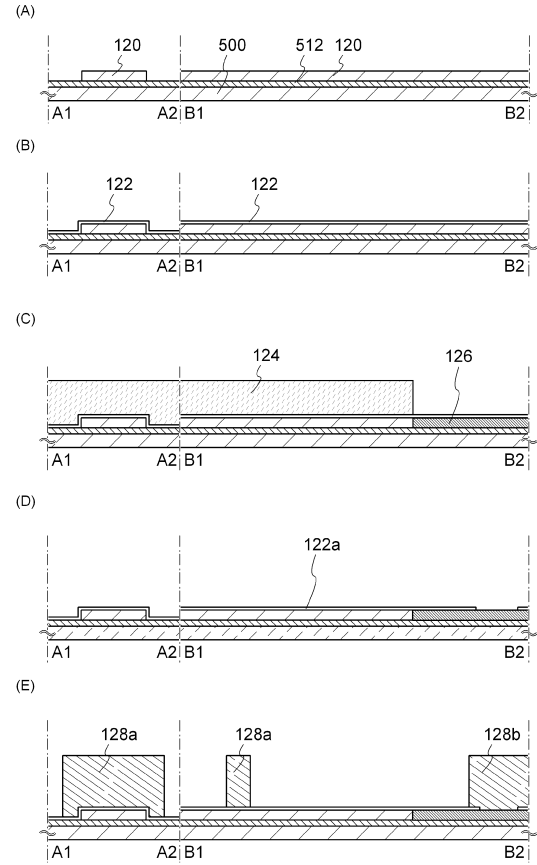
【図 6】



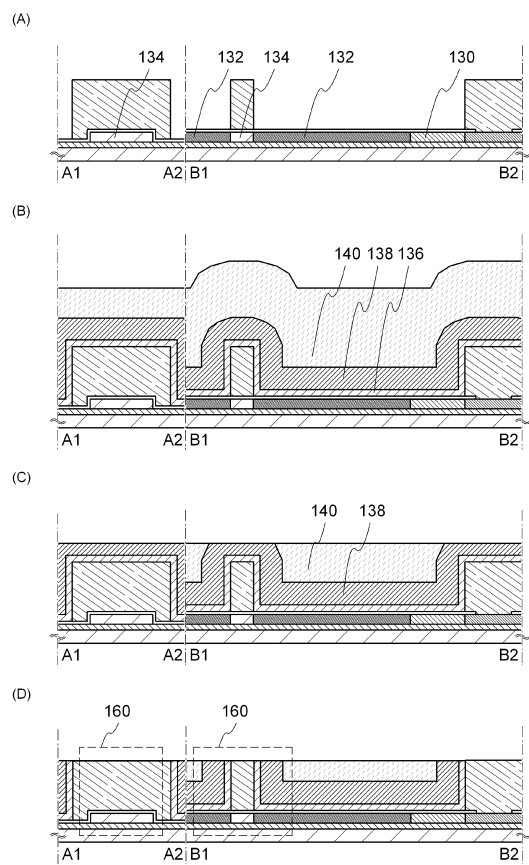
【図 7】



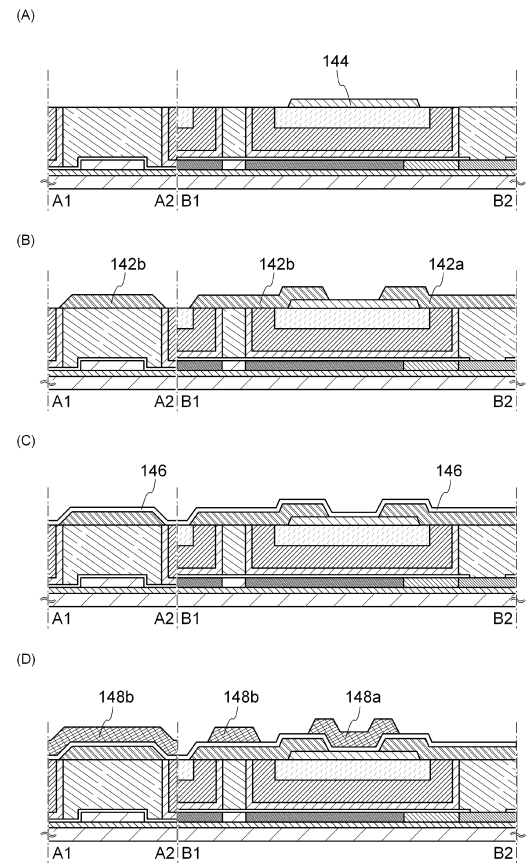
【図 8】



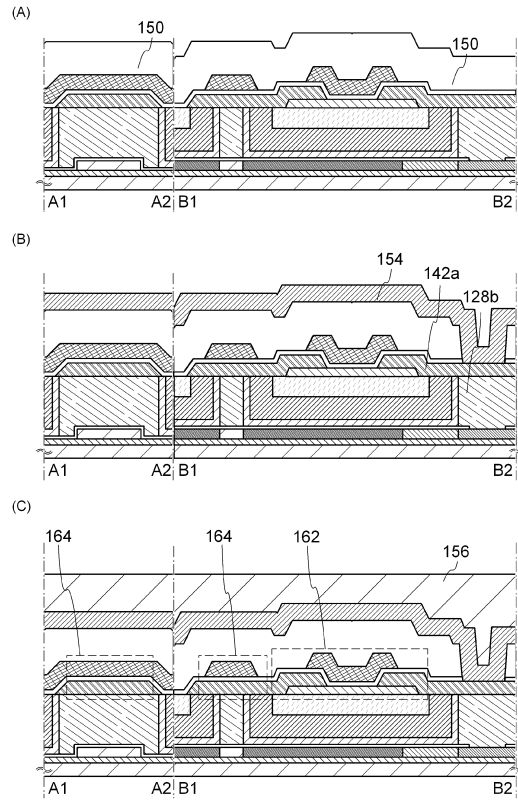
【図 9】



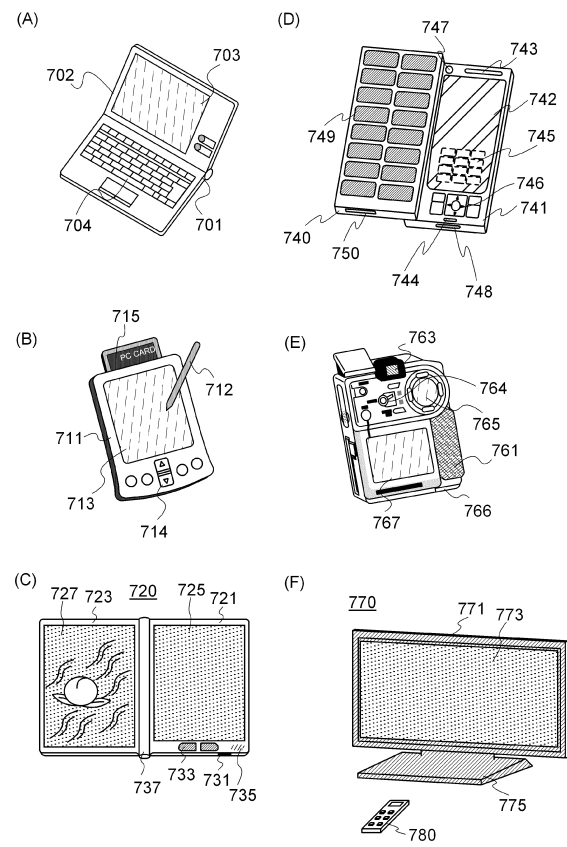
【図 10】



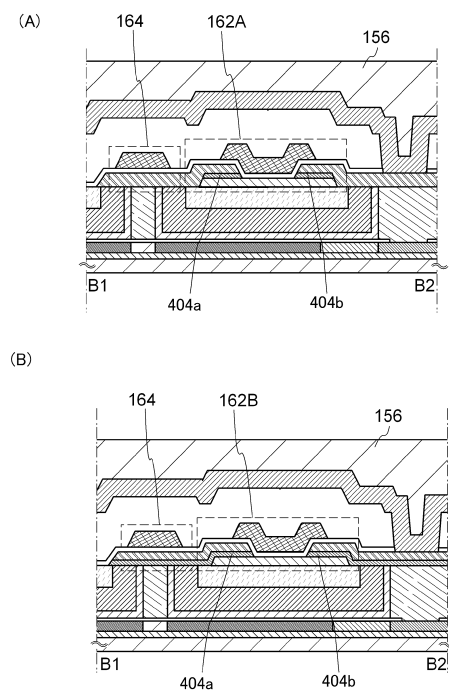
【図 1 1】



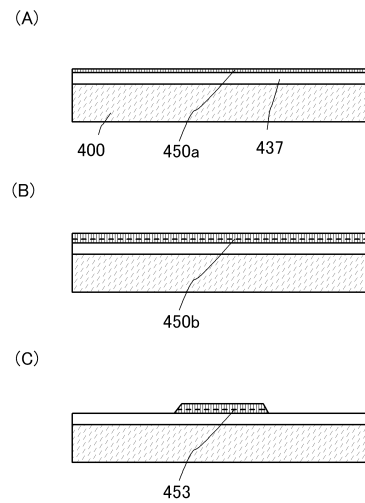
【図 1 2】



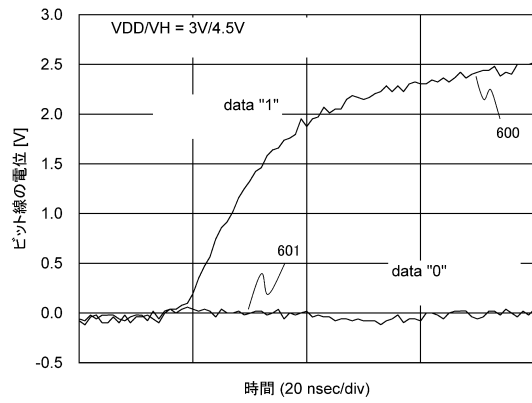
【図 1 3】



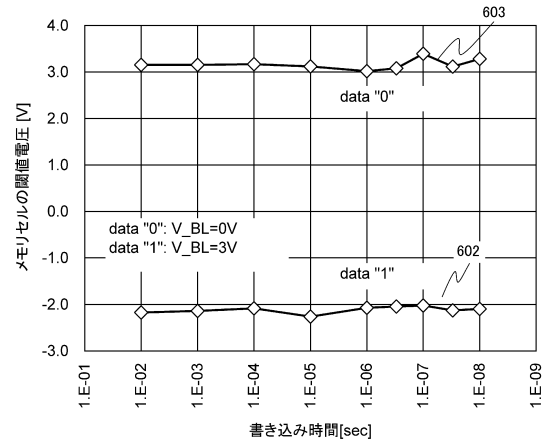
【図 1 4】



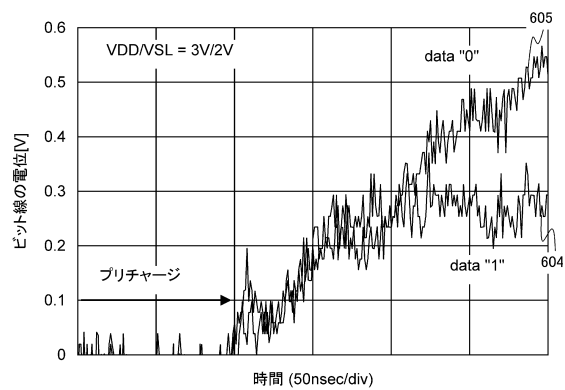
【図 15】



【図 16】



【図 17】



フロントページの続き

審査官 滝谷 亮一

- (56)参考文献 特開昭62-057245(JP,A)
特開2001-093989(JP,A)
特開2001-093988(JP,A)
特開2001-053167(JP,A)
特開2012-256813(JP,A)
特開2012-256399(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C 11/405
G11C 11/407