(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4091669号
(P4091669)

(45)発行日　平成20年5月28日(2008.5.28)　(24)登録日　平成20年3月7日(2008.3.7)

(51)Int.Cl.		F I		
H01L 23/12	(2006.01)	H01L	23/12	J
H01L 23/15	(2006.01)	H01L	23/14	C
H01L 23/40	(2006.01)	H01L	23/40	A

請求項の数 2　(全 9 頁)

(21)出願番号　特願平8-118473
(22)出願日　平成8年4月16日(1996.4.16)
(65)公開番号　特開平8-306856
(43)公開日　平成8年11月22日(1996.11.22)
審査請求日　平成15年3月12日(2003.3.12)

(73)特許権者　504199127
フリースケール　セミコンダクター　インコーポレイテッド
アメリカ合衆国　７８７３５　テキサス州　オースティン　ウィリアム　キャノン　ドライブ　ウエスト　６５０１
(74)代理人　100116322
弁理士　桑垣　衛
(72)発明者　サミュエル・ジェイ・アンダーソン
アメリカ合衆国アリゾナ州テンピ、ウェスト・ダイアモンド・ドライブ９１１
(72)発明者　ギラーモ・エル・ロメロ
アメリカ合衆国アリゾナ州スコッツデール、ナンバー３０８５、ノース・７０ス・ストリート２９２９

最終頁に続く

(54)【発明の名称】マルチチップ・パッケージの作成方法

(57)【特許請求の範囲】
【請求項１】
マルチチップ・パッケージを作製する方法であって：
電気絶縁体である窒化アルミニウムからなる表面層（１１）を有する炭化珪素アルミニウムの半導体基板（１０）を作製し、同半導体基板（１０）上に複数の、高熱伝導性材料が表面に形成された領域（１２）を形成する段階；
電気回路と同電気回路に接続されるべく形成された複数の電気Ｉ／Ｏパッドとを有する第１表面と、ヒート・シンクを付着させる第２表面と、をそれぞれ有する複数の半導体チップ（２５）を作製する段階；
前記基板（１０）の電気絶縁体からなる半導体表面（１１）上に複数の電気導体を形成して、複数の半導体チップ搭載領域（１３）を形成する段階であって、各搭載領域（１３）は、前記電気導体に結合され、かつ、前記複数の半導体チップ（２５）のうち少なくとも１つの半導体チップ（２５）のＩ／Ｏパッドと整合するように配置された複数のボンディング・パッド（２０）を有し、各搭載領域（１３）がさらに前記複数の熱伝導領域（１２）のうちの１つの領域に近接して形成される段階；
前記複数の半導体チップ（２５）のそれぞれ１つを、前記複数の搭載領域（１３）の各々の中に搭載し、このとき半導体チップの第１表面は電気絶縁体からなる表面（１１）に近接しており、各搭載領域（１３）内のボンディング・パッド（２０）は各搭載領域（１３）中で半導体チップ（２５）のＩ／Ｏパッドに電気的に接続される段階；および
各半導体チップ（２５）の前記第２表面と、前記高熱伝導性材料が表面に形成された領域

（１２）のうちの１つの領域とを、高熱伝導性材料からなる素子（２６）で接続する段階；
によって構成されることを特徴とする方法。
【請求項２】
電気絶縁体である窒化アルミニウムからなる表面（１１）の上に、間隔を隔てて形成された複数の、高熱伝導性材料が表面に形成された領域（１２）有する炭化珪素アルミニウムの半導体基板（１０）；
電気回路と、同電気回路に接続されるべく形成された複数の電気Ｉ／Ｏパッドとを有する第１表面と、ヒート・シンクを付着させる第２表面と、をそれぞれ有する複数の半導体チップ（２５）；
前記半導体基板（１０）の電気絶縁体からなる表面層（１１）上に配置された、複数の半導体チップ搭載領域（１３）を形成する複数の電気導体であって、各搭載領域（１３）が、前記電気導体に結合され、かつ、前記複数の半導体チップ（２５）のうち少なくとも１つのＩ／Ｏパッドと整合するように配置された複数のボンディング・パッド（２０）を有し、各搭載領域（１３）がさらに前記複数の高熱伝導性材料が表面に形成された領域（１２）のうちの１つの領域に近接して配置される電気導体（１８）；
前記複数の搭載領域（１３）の各々の中に搭載された半導体チップ（２５）であって、このとき半導体チップ（２５）の第１表面は基板の電気絶縁体からなる表面に近接しており、各搭載領域（１３）内のボンディング・パッド（２０）は各搭載領域（１３）内で半導体チップ（２５）のＩ／Ｏパッドに電気的に接続される半導体チップ（２５）；および
各半導体チップ（２５）の第２表面と、前記複数の高熱伝導性材料が表面に形成された領域（１２）のうちの１つの領域とを、接続する高熱伝導性材料からなる素子（２６）；
によって構成されることを特徴とするマルチチップ・パッケージ。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、集積回路の実装に関し、さらに詳しくは、ウェーハ・レベルの半導体チップの集積に関する。
【０００２】
【従来の技術および発明が解決しようとする課題】
複数の半導体チップと特に電力マルチチップ・モジュールの集積は、産業システムにおいてますます重要になりつつある。一般に半導体チップは、プリント回路板，セラミック基板（ハイブリッド）などを利用するモジュール内に組み立てられる。このようなアセンブリを作成するには、半導体チップは標準的な半導体製造工場で生産され、実装され、別の組立場所または工場に出荷される。プリント回路板またはセラミック基板が供給され、種々の他の部分と共に、部品が組み立てられ実装される。
【０００３】
この組立工程には、莫大な組立の労力が必要とされるばかりでなく、部品を貯蔵するための余分な設備，空間および倉庫が必要になる。また、一般にモジュールは、特に電力マルチチップ・モジュールの場合は、ある種のヒート・シンクを必要とし、このために最終的なパッケージの寸法と重量が大きくなる。さらに、プリント回路板またはセラミック基板のために、部品を支持する以外の機能を持たない重量とかさがモジュールに加えられる。
【０００４】
従って、マルチチップ・モジュールをより効率的により小さいパッケージ内に実装する方法を考案することは非常に有利である。
【０００５】
本発明の目的は、マルチチップ・パッケージを作成する新規の改善された工程を提供することである。
【０００６】
本発明の別の目的は、半導体ウェーハの処理レベルで全体を実行することができる、マル

チチップ・パッケージを作成する新規の改善された工程を提供することである。
【０００７】
本発明のさらに別の目的は、新規の改善されたマルチチップ・パッケージを提供することである。
【０００８】
本発明のさらに別の目的は、作成がより簡単で安価であり、より小さくて密度の高い新規の改善されたパッケージを提供することである。
【０００９】
本発明のさらに別の目的は、分離と熱管理のコストが実質的に削減される新規の改善されたマルチチップ・パッケージを提供することである。
【００１０】
【課題を解決する方法】
マルチチップ・パッケージを作成する方法により、上記とその他の問題は少なくとも部分的に解決され、上記とその他の目的が実現される。本方法は、電気的に分離された表面を有し、その上に形成された複数の熱伝導領域を有する半導体基板を設ける段階と、各々がその上に形成された電気回路を有する複数の半導体チップとこの電気回路に接続され半導体チップの１つの表面上に配置された複数の電気Ｉ／Ｏパッドとを設ける段階であって、各チップはさらにそれにヒート・シンクを付着するために設けられた第２表面を有する段階とによって構成される。複数の電気導体が基板の表面上に形成され、各々が電気導体に結合されて複数の半導体チップのうち少なくとも１つの整合半導体チップのＩ／Ｏパッドと整合するよう配置される複数のボンディング・パッドを有する複数の半導体チップ搭載領域を規定し、各搭載領域はさらに、複数の熱伝導領域のうち関連する１つの領域に隣接して配置される。複数の半導体チップの各々は、複数の搭載領域の各々の中に搭載され、各搭載領域内のボンディング・パッドは、各搭載領域に関して整合する半導体チップのＩ／Ｏパッドに電気的に接続される。複数の熱伝導素子の各々は、各半導体チップの第２表面と、複数の熱伝導領域の関連する１つの領域とに接続されて、吸熱を行う。
【００１１】
熱伝導素子は、半導体チップの第２面上の電気端子を電気導体に接続する役割も果たす。その後、半導体チップは、好ましくは再生可能な熱硬化性エポキシによりカプセル化される。
【００１２】
【実施例】
図１ないし図３を参照して、本発明によりマルチチップ・パッケージを作成する過程の順を追った段階がいくつか図示される。特に図１は、好ましくは熱伝導性をもつ半導体材料で形成された基板１０を示す。この特定の実施例においては、基板１０は、炭化ケイ素アルミニウム（ＡｌＳｉＣ）で形成されるが、他の半導体材料を適切な用途に利用することができることを理解頂きたい。当技術では周知のように、ＡｌＳｉＣは一般に、炭化ケイ素のウェーハなどを注型して、比較的容易に燃焼するか、あるいは除去されて多孔性基板を残すことができる材料を含有することにより形成される。この基板は、次に液体アルミニウムで含浸され、最終的なＡｌＳｉＣとなる。一般に、ＡｌＳｉＣは非常に優れた熱伝導体であるが、ある程度は電気も伝える。
【００１３】
絶縁材料の薄層、この実施例では窒化アルミニウム（以下ＡｌＮ層１１と呼ぶ）が基板１０の上面に置かれて、絶縁表面を形成する。薄層の熱伝導材料、これはアルミニウム層，ＡｌＳｉＣ層などとすることができるが、好適な実施例ではアルミニウムとし（以下Ａｌ層１２と呼ぶ）、この薄層の熱伝導材料をＡｌＮ層１１の上面に置く。ＡｌＳｉＣとＡｌＮは、半導体処理（たとえばエッチングなど）において共に処理することが比較的難しいので、基板１０，ＡｌＮ層１１およびＡｌ層１２は望ましい形状（たとえばウェーハなど）に注型する。Ａｌ層１２は、基板１０を形成する含浸または浸透の段階の間に望ましい形状に注型することができるので、比較的簡単に作成される点に留意されたい。ＡｌＮ層

１１は予備成型されて、この構造全体を標準的なウェーハ・ボンディング技術により、図示されるように固定する。以下に、より詳細に説明するが、本実施例ではＡｌ層１２はそれを貫通して形成された複数の開口部１３を有して、ＡｌＮ層１１の表面の部分を露出する。

【００１４】

薄い絶縁層１４（図５でよくわかる）が、少なくともＡｌ層１２の部分上に形成される。絶縁層１４は、窒化ケイ素やその他の窒化物など、半導体製造分野で通常用いられる任意の誘電性材料層とすることができる。次に、アルミニウムなどの導電性金属層（以下金属層１５と呼ぶ）が、スパタリングなど従来の作業により付着される。金属層１５は、少なくとも、絶縁層１４のＡｌ層１２を覆う部分と開口部１３内とに付着される。

【００１５】

金属層１５は、付着後にパターニングおよびエッチングするか、あるいは最初にフォトレジストのパターンを付着してパターニングし、その後で金属層１５をその上に付着するとよい。いずれの場合にも、開口部１３内に延在する金属層１５から電気導体１８が形成され、その中にチップ搭載領域が規定される。各チップ搭載領域には、電気導体１８に結合され、少なくとも１つの整合する半導体チップのＩ／Ｏパッドと整合するよう配置された複数のボンディング・パッド２０が含まれる。一般に、絶縁層１４は、アルミニウム材料による電気導体１８の短絡を防ぐためにＡｌ層１２上で利用される。

【００１６】

電気導体１８とボンディング・パッド２０とが適切に形成され配置されると、整合する半導体チップ２５（本実施例ではフリップチップ）が各開口部１３内の各搭載領域のボンディング・パッド２０上に搭載される。複数の半導体チップ２５が設けられる。各半導体チップ２５は、通常の方法でその上に形成された電気回路と、電気回路に接続され半導体チップ２５の下面に、少なくとも１つの開口部１３内のボンディング・パッド２０と整合するよう配置された複数の電気Ｉ／Ｏパッドとを有する。各半導体チップ２５は、さらに、そこにヒート・シンクを付着するよう設計された上面を有する。半導体チップ２５は、ハンダ・バンプ，ハンダ予備成型など任意の周知の方法で搭載される。

【００１７】

半導体チップ２５が開口部１３内の電気導体１５上に適切に搭載され、接続されると、熱伝導素子２６が、各開口部１３に隣接するＡｌ層１２上の各々の関連するヒート・シンク領域から、各半導体チップ２５の上面に接続される。この実施例においては、熱伝導層２６は、銅，アルミニウムなど熱および電気の優れた導体である材料で形成された金属ストラップである。熱伝導素子２６は、半導体チップ２５とＡｌ層１２の表面上にある金属層１５の部分とに、ハンダ付け，溶接など便宜な手段により接続される。絶縁層１４がＡｌ層１２と金属層１５との間に挟まれるが、これは充分に薄いので、熱は各半導体チップ２５および伝導素子２６からＡｌ層１２へ、次に基板１０へと迅速に伝わる。

【００１８】

図４および図５を参照して、１つの半導体装置の拡大図が上面と断面とで図示される。これらの図では、種々の金属層と半導体チップ２５に対する電気接続部の詳細がより明確に図示される。さらに、開口部１３の形状と、種々の異なる種類の半導体チップに対して電気接続を行う方法とを容易に理解することができる。

【００１９】

半導体チップ２５が開口部１３内に固定して搭載され、伝導素子２６が半導体チップ２５の上面に対して吸熱作用と電気接続とを行う状態で（この特定の例において）、この構造体は適切にカプセル化される。この例では、各半導体チップ２５と伝導素子２６は、図６に示されるように再生可能な熱硬化性エポキシ２８により別々にカプセル化される。この種のパッケージは一般に高価であるので、除去することのできる封入剤を利用し、個別の部品を取り出して修理する、取り外して交換することができるように塗布することは、実質的な利益をもたらす。もちろん、それが望ましい、あるいは適切な場合には、他のカプセル化技術、たとえば完全で恒久的なカプセル化などを利用することができることも理解

頂けよう。

【００２０】

図７および図８を参照して、本発明により実装された特定のマルチチップ回路構成の例を図示する。この例では、本発明を説明するために三相モータ制御回路のための電力モジュールを図示する。３つのモータ制御回路３０，３１，３２全体が図７のブロック図に示され、６インチ・ウェーハ３５の各部品の適切な位置を分かりやすく示す。各制御回路３０，３１，３２は類似のものであるので、図８を用いて回路３１のみを説明する。図８は制御回路３１の断面図である。

【００２１】

制御回路３１には、コレクタに接続された外部端子３７とゲートに接続された外部端子３８とを有する第１被絶縁ゲート・バイポーラ・トランジスタ３６（ＩＧＢＴ：insulated gate bipolar transistor ）が含まれる。フリーホイーリング・ダイオード４０（ＦＷＤ）が、周知の方法により回路内でＩＧＢＴ３６と接続され、明確な切り換えを行う。ＩＧＢＴ３６の出力（エミッタ）は、第２ＩＧＢＴ４２のコレクタに接続され、これは回路内に接続されたＦＷＤ４４も有する。外部端子４５がＩＧＢＴ４２のゲートに接続され、外部端子４６はＩＧＢＴ４２のエミッタに接続される。当業者には理解頂けようが、端子３７，４６は回路の電力端子であり、端子３６，４５は制御端子である。

【００２２】

図８を参照して、ＡｌＳｉＣ基板５０にはその上面に配置された絶縁層５１が設けられて被絶縁上面を形成し、絶縁層５１上にはＡｌ層５２が置かれて半導体チップが搭載されるポケットとなる。前述のように、絶縁材料の薄層がＡｌ層５２の表面と端部とに付着されて、電気導体がポケット内と構造体の上面とに付着される。この例では、各ＩＧＢＴ３６，４２は別々の回路として、また上面がコレクタであるフリップチップとして半導体チップ上に作成され、各ＦＷＤ４０，４４は、別々の回路として、また半導体チップの各辺に１つの端子を有するフリップチップとして作成される。

【００２３】

これにより、ＩＧＢＴ３６が第１（左側の）ポケット内に搭載されると、半導体チップの上面とＡｌ層５２の隣接表面との間に延在する熱伝導素子により、コレクタへの接続部が熱伝導領域の表面に（Ａｌ層５２の表面から第１ポケットの左へ）形成される。この接続を端子３７とする。同様に、端子４２はＡｌ層５２の表面からＩＧＢＴ４２の左へ、あるいはＦＷＤ４４の左へのいずれかに配置される。後者のほうを、たとえば端子４２とする。外部端子３８，４５は図８には図示されない。これは、これらの端子を電気導体によりポケット内の半導体チップの下面に接続し、Ａｌ層５２の表面の任意の便利な位置に配置することができるためである。図８に示されるように、半導体チップがカプセル化され、ウェーハ３５全体は種々の電気接触だけがアクセス可能なパッケージとして形成される。

【００２４】

図９および図１０を参照して、本発明の別の実施例の上面図および断面図を示す。本実施例においては、ＡｌＳｉＣ基板６０には、その表面上に配置されたＡｌＮ層６１が設けられ、上述のように電気的に分離された表面を形成する。しかし、この実施例では、Ａｌ層６２は絶縁層６１の表面上に形成および配置されるので、その個々の部分はチップ搭載領域６３に隣接した状態でしか現れず、各チップ搭載領域６３に関連する熱伝導領域を形成する。この実施例では、追加される絶縁層（図５の層１４）は、必要とされない点に留意されたい。これは、電気導体６４が層６１の絶縁面に配置されているだけで、Ａｌ層６２の熱伝導領域を形成する部分全体が、熱伝導素子６６を介し、搭載領域６３内に搭載された半導体チップ６５の上面に対する外部接触として機能することができるためである。図１１および図１２を参照して、本発明の別の実施例の上面図および断面図を示す。この実施例においては、ＡｌＳｉＣ基板７０には、その表面上に配置されたＡｌＮ層７１が設けられ、上述のように電気的に分離された表面を形成する。しかし、この実施例では、ポケット７２がＡｌＮ層７１内に形成されて、熱伝導領域を規定する。電気導体７３がＡｌＮ層７１の絶縁表面上に配置されて、各チップ搭載領域７４がポケット７２に隣接して配置

された状態で、複数の半導体チップ搭載領域７４を規定する。Ａｌ層７５の一部分は各ポケット７３内に配置され、熱伝導を良くするためにＡｌＳｉＣ基板７０にボンディングされる。電気導体７３により形成されたボンディング・パッドと整合する、下面のＩ／Ｏパッド７７を有する半導体チップ７６が各半導体チップ搭載領域７４内に搭載される。半導体チップ７６の上面は、熱伝導素子７８によりＡｌ層７５に接続される。半導体チップ７６の上面が電気接続を必要としない場合は、熱伝導素子７８が絶縁層の介在を必要とせずに、半導体チップ７６から基板７０に直接的に熱を伝える。

【００２５】

図１３および図１４を参照して、本発明の別の実施例の上面図および断面図を示す。本実施例においては、ＡｌＳｉＣ基板８０には、その表面上に配置されたＡｌＮ層８１が設けられ、上述のように電気的に分離された表面を形成する。この実施例では、ポケット８２がＡｌＮ層８１内に形成されて、熱伝導領域を規定する。電気導体８３がＡｌＮ層８１の絶縁表面上に配置されて、各々がポケット８２に隣接して配置される複数の半導体チップ搭載領域８４を規定する。電気導体８３により形成されるボンディング・パッドと整合する、下面のＩ／Ｏパッド８７を有する半導体チップ８６が、各半導体チップ搭載領域８４内に搭載される。半導体チップ８６の上面は、熱伝導素子８８によりＡｌＳｉＣ基板８０に接続される。半導体チップ８６の上面が電気接続を必要としない場合は、熱伝導素子８８は、介在する絶縁層を必要とせずに、半導体チップ８６から基板８０に直接的に熱を伝える。

【００２６】

開示された作成工程全体は、種々の中間部品の保護，出荷，貯蔵などを必要とせずに半導体ウェーハ施設内で完全に実行することができることに特に注目頂きたい。また、施設の外で必要とされるその他の労力や設備も必要ではない。従って、マルチチップ・パッケージを作成する新規の改善された工程が開示された。マルチチップ・パッケージを作成するこの新規の改善された工程は、半導体ウェーハ処理レベルで全体を実行することができるので、労働力，出荷，処理および貯蔵のコストが実質的に削減される。また、作成がより簡単で安価であり、より小型で密度の高い新規の改善されたマルチチップ・パッケージが開示される。さらに、この新規の改善された工程により、分離と熱管理のコストが実質的に削減されたマルチチップ・パッケージを得ることができる。

【００２７】

本発明の特定の実施例を図示および説明したが、当業者には更なる改良および改善が可能であろう。従って、本発明は図示された特定の形態に限定されないことを理解頂きたく、添付の請求項には本発明の精神と範囲から逸脱しないすべての改良を包含するものである。

【図面の簡単な説明】

【図１】本発明によりマルチチップ・パッケージを作成する際の順を追った段階の、その一部を除去した断面図である。

【図２】本発明によりマルチチップ・パッケージを作成する際の順を追った段階の、その一部を除去した断面図である。

【図３】本発明によりマルチチップ・パッケージを作成する際の順を追った段階の、その一部を除去した断面図である。

【図４】図３の一部分の上面の拡大図である。

【図５】図４の構造を直線４－４から見た、さらに詳細部を示す断面図である。

【図６】マルチチップ・パッケージの作成の最終段階を示す、図３と同様の断面図である。

【図７】本発明による特定のマルチチップ・パッケージの上面図である。

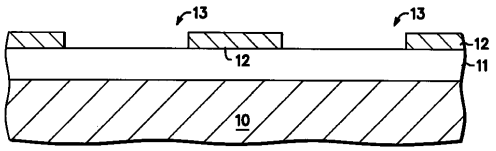
【図８】図７の直線８－８から見た、その一部分を除去した断面図である。

【図９】本発明によるマルチチップ・パッケージの別の実施例の、その一部分を除去した上面図である。

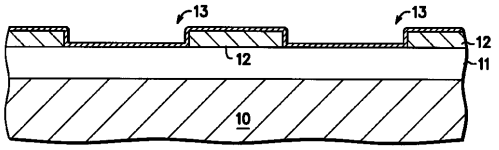
【図１０】図９の直線１０－１０から見た、その一部分を除去した断面図である。

【図１１】本発明によるマルチチップ・パッケージの別の実施例の、その一部分を除去した上面図である。
【図１２】図１１の直線１２－１２から見た、その一部分を除去した断面図である。
【図１３】本発明によるマルチチップ・パッケージの別の実施例の、その一部分を除去した上面図である。
【図１４】図１３の直線１４－１４から見た、その一部分を除去した断面図である。
【符号の説明】
１０　基板
１１　絶縁層
１２　熱伝導層
１３　開口部

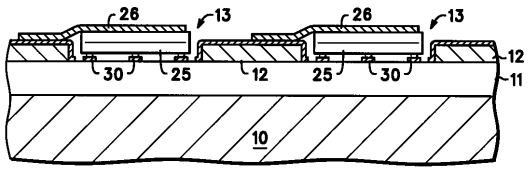
【図１】



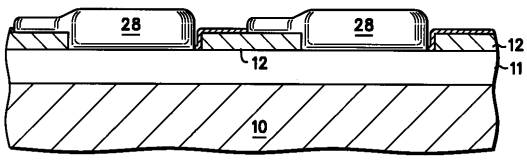
【図２】



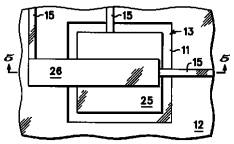
【図３】



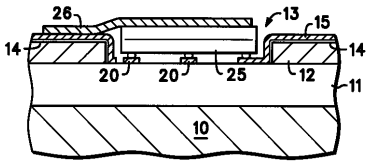
【図６】



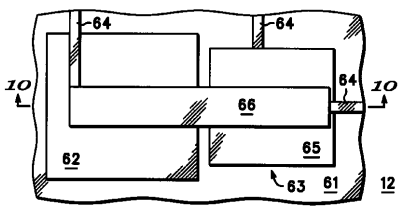
【図４】



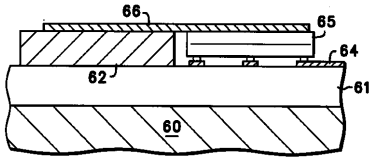
【図５】



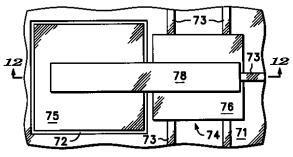
【図９】



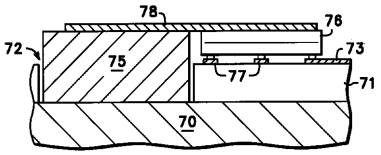
【図１０】



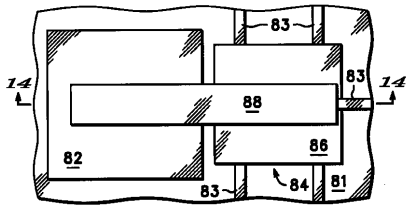
【図１１】



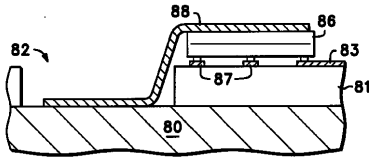
【図１２】



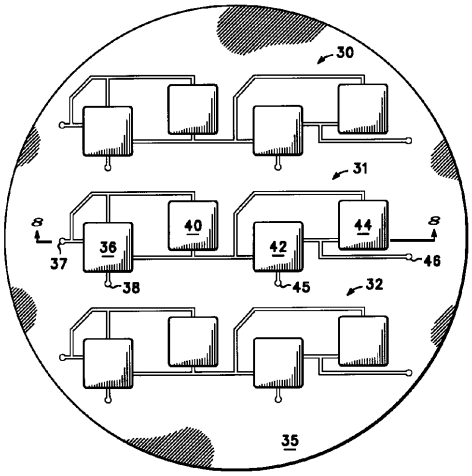
【図１３】



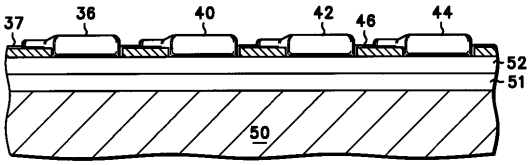
【図１４】



【図７】



【図８】



フロントページの続き

審査官　石野　忠志

(56)参考文献　特開平０６－１５１７０１（ＪＰ，Ａ）
特開平０５－０８２７１１（ＪＰ，Ａ）
特開平０４－３２６５５７（ＪＰ，Ａ）
実公昭５０－０２９４１９（ＪＰ，Ｙ１）
特開平０５－１４４９７１（ＪＰ，Ａ）
特開平０５－０６３１３６（ＪＰ，Ａ）
特開平０３－１８７２４７（ＪＰ，Ａ）
特開平０５－２５１５９６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/60
H01L 23/12
H01L 23/15
H01L 23/34-23/36
H01L 25/04-25/075
H01L 25/18