

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2023年5月19日(19.05.2023)



(10) 国際公開番号

WO 2023/085014 A1

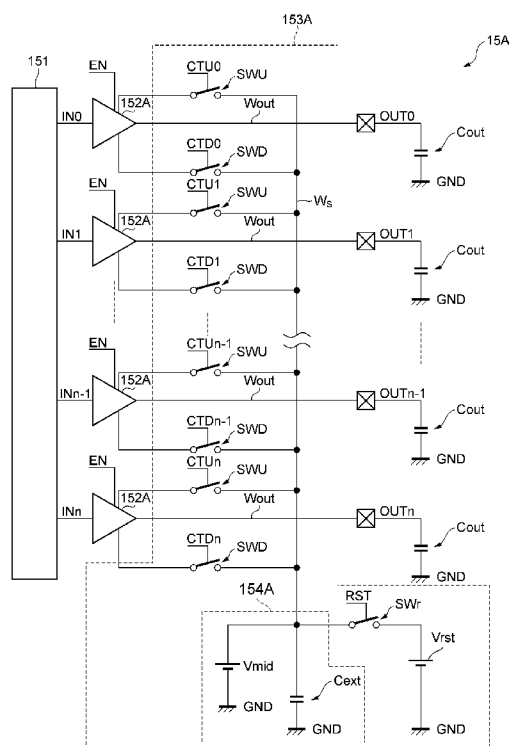
- (51) 国際特許分類:  
G06F 3/041 (2006.01) G06F 3/044 (2006.01)
- (21) 国際出願番号: PCT/JP2022/038819
- (22) 国際出願日: 2022年10月18日(18.10.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2021-183943 2021年11月11日(11.11.2021) JP
- (71) 出願人: 株式会社ワコム(WACOM CO., LTD.)  
[JP/JP]; 〒3491148 埼玉県加須市豊野台2丁目510番地1 Saitama (JP).
- (72) 発明者: 小池 健(KOIKE Takeshi); 〒3491148 埼玉県加須市豊野台2丁目510番地1 株式会社ワコム内 Saitama (JP).
- (74) 代理人: 小林 功, 外(KOBAYASHI TAKUMI et al.); 〒1600023 東京都新宿区西新宿7-2

1-9 天翔西新宿ビル101号室 バード国際特許事務所 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,

(54) Title: SENSOR CONTROLLER, ELECTRONIC APPARATUS, AND METHOD FOR CONTROLLING SENSOR CONTROLLER

(54) 発明の名称: センサコントローラ、電子機器、及びセンサコントローラの制御方法



(57) Abstract: The present invention relates to a sensor controller, an electronic apparatus equipped with the sensor controller, and a method for controlling the sensor controller. This sensor controller comprises: a plurality of transmission drivers 152 each of which has a negative power supply terminal and a positive power supply terminal, each of which generates a signal waveform that transitions between a first electric potential and a second electric potential, and each of which outputs the signal waveform to a corresponding detection electrode; and an intermediate electric potential supply unit 153 which has an electric potential generation unit 154 including a voltage source or a capacitive element different from that for the transmission drivers 152 and which outputs a voltage from the electric potential generation unit 154 at a first timing when the electric potential of the signal waveform starts to transition from the first electric potential to the second electric potential or from the second electric potential to the first electric potential, thereby supplying an intermediate electric potential between the first electric potential and the second electric potential to at least one of the positive power supply terminal and the negative power supply terminal.

WO 2023/085014 A1

IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,  
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,  
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,  
SN, TD, TG).

添付公開書類：

－ 国際調査報告（条約第21条(3)）

(57) 要約：本発明は、センサコントローラ、センサコントローラを備える電子機器、及びセンサコントローラの制御方法に関する。センサコントローラは、負電源端子及び正電源端子を有し、第一の電位と第二の電位との間で遷移する信号波形を生成し、対応する検出電極に出力する複数の送信ドライバ152と、送信ドライバ152とは別の電圧源又は容量素子を含む電位生成部154を有し、信号波形の電位が第一の電位から第二の電位への遷移又は第二の電位から第一の電位への遷移を開始する第一のタイミングで電位生成部154から電圧を出力することによって、第一の電位と第二の電位との間の中間電位を正電源端子及び負電源端子のうち少なくとも一つに供給する中間電位供給部153とを備える。

## 明 細 書

発明の名称：

センサコントローラ、電子機器、及びセンサコントローラの制御方法

技術分野

[0001] 本発明はセンサコントローラに関し、特に、タッチセンサに接続されるセンサコントローラ、電子機器、及びセンサコントローラの制御方法に関する。

背景技術

[0002] 従来から、複数の送信用ドライバが並列に配置される回路において、所定の期間、送信用ドライバの出力信号線同士を制御信号によって短絡させ、ハイレベルからハイレベル及びロウレベルの間の電位である中間電位を経由してロウレベルに、又はロウレベルから該中間電位を経由してハイレベルに、該出力信号線の電位を段階的に遷移させることによって、当該回路の消費電力を削減する技術（いわゆる、断熱的駆動技術）が知られている。

[0003] これに関し、特開2019-091442号公報には、複数のセンサ電極と、センサ電極ごとに設けられセンサ電極に接続される出力信号線と、出力信号線ごとに設けられ、一端が出力信号線に他端がショート線にそれぞれ接続されるスイッチと、各スイッチを制御する制御信号線と、を備えるタブレット端末が開示されている。

[0004] また、特許6156886号には、送信器電極と、送信器電極を第1の電位と第2の電位との間にある中間電位から第2の電位に駆動し、送信器電極を中間電位に駆動するように構成された電子蓄積装置と、を有するドライバモジュールを備える処理システムが開示されている。

[0005] 特開2019-091442号公報及び特許6156886号では、タブレット端末は、各センサ電極の電位がハイレベルからロウレベル又はロウレベルからハイレベルに遷移するタイミングにおいて、一定の期間、各出力信号線を短絡するように、又は各出力信号線が電子蓄電装置に接続されるよう

に各スイッチを制御し、電位がハイレベルである出力信号線から電位がロウレベルである出力信号線にショート線や電子蓄電装置を介して電荷を供給することによって、消費電力を削減している。

## 先行技術文献

## 特許文献

[0006] 特許文献1：特開2019-091442号公報

特許文献2：特許6156886号

## 発明の概要

### 発明が解決しようとする課題

[0007] しかしながら、特開2019-091442号公報や特許6156886号に記載の技術では、出力信号線にスイッチが接続されるため、スイッチの寄生容量などが送信信号に影響してしまう可能性がある。

[0008] 本発明はこのような課題に鑑みてなされたものであり、その目的は、出力信号線にスイッチなどの素子を接続することなく消費電力を削減できるセンサコントローラ、電子機器、及びセンサコントローラの制御方法を提供することにある。

### 課題を解決するための手段

[0009] 上記課題を解決するために、第一の本発明に係るセンサコントローラは、複数の検出電極が面状に配置されてなるタッチセンサに接続され、正電源端子及び負電源端子を有し、前記負電源端子に供給され前記第一の電位よりも高い電位である第一の電位と前記正電源端子に供給される第二の電位との間で遷移する信号波形を生成し、送信信号として対応する前記検出電極に出力する複数の送信ドライバと、前記送信ドライバとは別の電圧源又は容量素子を含む電位生成部を有し、前記信号波形の電位が前記第一の電位から前記第二の電位への遷移又は前記第二の電位から前記第一の電位への遷移を開始する第一のタイミングで、前記電位生成部から電圧を出力することによって、前記第一の電位と前記第二の電位との間の中間電位を前記正電源端子及び前

記負電源端子のうち少なくとも一つに供給する中間電位供給部と、を備える。

[0010] また、第二の本発明に係るセンサコントローラは、複数の検出電極が面状に配置されてなるタッチセンサに接続され、正電源端子及び負電源端子を有し、前記負電源端子に供給される第一の電位と前記正電源端子に供給され前記第一の電位よりも高い電位である第二の電位との間で遷移する信号波形を生成し、送信信号として対応する前記検出電極に出力する複数の送信ドライバと、前記第一の電位と前記第二の電位との間の中間電位を生成し、前記信号波形の電位が前記第一の電位から前記第二の電位への遷移又は前記第二の電位から前記第一の電位への遷移を開始する時点から前記送信ドライバの前記正電源端子及び前記負電源端子の電位が前記中間電位に至る時点までの期間に少なくとも一つの前記送信ドライバの前記正電源端子及び前記負電源端子のうち少なくとも一つに前記中間電位を供給し、前記正電源端子及び前記負電源端子のうち少なくとも一つの電位が前記中間電位に至るタイミングで前記中間電位の供給を停止する中間電位供給部と、を備える。

[0011] また、第三の本発明に係る電子機器は、複数の検出電極が面状に配置されてなるタッチセンサと、前記タッチセンサに接続され、第一の電位が供給される負電源端子及び前記第一の電位よりも高い第二の電位が供給される正電源端子を有するとともに、前記第一の電位と前記第二の電位との間で遷移する信号波形を生成し、送信信号として対応する前記検出電極に出力する複数の送信ドライバと、前記送信ドライバとは別の電圧源又は容量素子を含む電位生成部を有し、前記信号波形の電位が前記第一の電位から前記第二の電位への遷移又は前記第二の電位から前記第一の電位への遷移を開始する第一のタイミングで、前記電位生成部から電圧を出力することによって、前記第一の電位と前記第二の電位との間の中間電位を前記正電源端子及び前記負電源端子のうち少なくとも一つに供給する中間電位供給部とを有するセンサコントローラと、を備える。

[0012] また、第四の本発明に係る電子機器は、複数の検出電極が面状に配置され

てなるタッチセンサと、前記タッチセンサに接続され、第一の電位が供給される負電源端子及び前記第一の電位よりも高い第二の電位が供給される正電源端子を有するとともに、前記第一の電位と前記第二の電位との間で遷移する信号波形を生成し、送信信号として対応する前記検出電極に出力する複数の送信ドライバと、前記第一の電位と前記第二の電位との間の中間電位を生成し、前記信号波形の電位が前記第一の電位から前記第二の電位への遷移又は前記第二の電位から前記第一の電位への遷移を開始する時点から前記正電源端子及び前記負電源端子の電位が前記中間電位に至る時点までの期間に少なくとも一つの前記送信ドライバの前記正電源端子及び前記負電源端子のうち少なくとも一つに前記中間電位を供給し、前記正電源端子及び前記負電源端子のうち少なくとも一つの電位が前記中間電位に至るタイミングで前記中間電位の供給を停止する中間電位供給部と、を有するセンサコントローラと、を備える。

[0013] また、第五の本発明に係るセンサコントローラの制御方法は、複数の検出電極が面状に配置されてなるタッチセンサに接続されるセンサコントローラの制御方法であって、第一の電位が供給される負電源端子及び前記第一の電位よりも高い第二の電位が供給される正電源端子を有する複数の送信ドライバによって、前記第一の電位と前記第二の電位との間で遷移する信号波形を生成することと、前記送信ドライバによって生成した前記信号波形を送信信号として対応する前記検出電極に出力することと、前記信号波形の電位が前記第一の電位から前記第二の電位への遷移又は前記第二の電位から前記第一の電位への遷移を開始する第一のタイミングで、前記送信ドライバとは別の電圧源又は容量素子を含む電位生成部から前記第一の電位と前記第二の電位との間の中間電位を出力することと、前記中間電位を前記正電源端子及び前記負電源端子のうち少なくとも一つに供給することと、を含む。

[0014] また、第六の本発明に係るセンサコントローラの制御方法は、複数の検出電極が面状に配置されてなるタッチセンサに接続されるセンサコントローラの制御方法であって、第一の電位が供給される負電源端子及び前記第一の電

位よりも高い第二の電位が供給される正電源端子を有する複数の送信ドライバによって、前記第一の電位と前記第二の電位との間で遷移する信号波形を生成することと、前記送信ドライバによって生成した前記信号波形を送信信号として対応する前記検出電極に出力することと、前記第一の電位と前記第二の電位との間の中間電位を生成することと、前記信号波形の電位が前記第一の電位から前記第二の電位への遷移又は前記第二の電位から前記第一の電位への遷移を開始する時点から前記送信ドライバの前記正電源端子及び前記負電源端子の電位が前記中間電位に至る時点までの期間に少なくとも一つの前記送信ドライバの前記正電源端子及び前記負電源端子のうち少なくとも一つに前記中間電位を供給することと、前記正電源端子及び前記負電源端子のうち少なくとも一つの電位が前記中間電位に至るタイミングで前記中間電位の供給を停止することと、を含む。

### 発明の効果

[0015] 本発明によれば、出力信号線にスイッチなどの素子を接続することなく、消費電力を削減することができる。

### 図面の簡単な説明

[0016] [図1]第一実施形態に係る電子機器の一例を示す図である。

[図2]出力回路の回路構成の一部及びタッチセンサの一例を示す図である。

[図3]中間電位供給部を含む出力回路の回路構成の一例を示す図である。

[図4]出力回路における各信号の電位の遷移の一例を示すタイミングチャートである。

[図5A]送信ドライバの回路構成の第一例を示す図である。

[図5B]送信ドライバの回路構成の第二例を示す図である。

[図5C]送信ドライバの回路構成の第三例を示す図である。

[図5D]送信ドライバの回路構成の第四例を示す図である。

[図6]送信ドライバにおける各信号の電位の遷移の一例を示すタイミングチャートである。

[図7]第二実施形態に係る中間電位供給部を含む出力回路の回路構成の一例を

示す図である。

[図8]第二実施形態に係る出力回路における各信号の電位の遷移を示すタイミングチャートである。

[図9]第三実施形態に係る中間電位供給部を含む出力回路の回路構成の一例を示す図である。

[図10]第三実施形態に係る出力回路における各信号の電位の遷移の一例を示すタイミングチャートである。

[図11A]第三実施形態に係る出力制御回路の回路構成の第一例を示す図である。

[図11B]第三実施形態に係る出力制御回路の回路構成の第二例を示す図である。

[図12]第四実施形態に係る中間電位供給部を含む出力回路の回路構成の一例を示す図である。

[図13]第四実施形態に係る出力回路における各信号の電位の遷移の一例を示すタイミングチャートである。

[図14]電位生成部における電圧源の回路構成の一例を示す図である。

[図15]第一実施形態及び第二実施形態に係る出力回路の一連の処理の流れの一例を示すフローチャートである。

[図16]第三実施形態及び第四実施形態に係る出力回路の一連の動作の流れの一例を示すフローチャートである。

### 発明を実施するための形態

[0017] 以下、添付図面を参照しながら本発明の実施形態（以下、「本実施形態」という。）について説明する。説明の理解を容易にするため、各図面において同一の構成要素及びステップに対しては可能な限り同一の符号を付して、重複する説明は省略する。

[0018] ———第一実施形態———

まず、第一実施形態について説明する。

[0019] <回路構成>

図1は、第一実施形態に係る電子機器1の一例を示す図である。電子機器1は、ユーザが所有するコンピュータであって、例えば、タブレット、スマートフォン、パーソナルコンピュータなどから構成される。ユーザは、ペン型のポインティングデバイスであるスタイラス2を把持し、電子機器1が有するタッチ面にペン先を押し当てながら移動させることで、電子機器1に絵や文字を書き込むことができる。スタイラス2は、例えば、アクティブ静電結合方式(AES)の電子ペンであり、電子機器1との間で双方向に通信可能に構成される。

[0020] 電子機器1は、スタイラス2の指示位置を検出し、該検出結果に従って様々な情報処理を行う。具体的には、電子機器1は、スタイラス2に対してアップリンク信号USを送信し、スタイラス2からのダウンリンク信号DSの受信結果に応じてスタイラス2の指示位置を検出し、デジタルインクの生成処理やポインタの表示処理などを行う。電子機器1は、ホストプロセッサ、メモリや通信モジュール(いずれも不図示)の他に、センサコントローラ10と、タッチセンサ20とを備える。

[0021] タッチセンサ20は、複数の検出電極を面状に配置してなる静電容量方式のセンサである。このタッチセンサ20は、例えば、センサ座標系のX軸の位置を検出するための複数本のXライン電極(以下、「線状電極21」という)と、Y軸の位置を検出するための複数本のYライン電極(以下、「線状電極22」という)とを含んで構成される。線状電極21及び線状電極22は、ITO(Indium Tin Oxide)を含む透明導電性材料から構成されてもよいし、ワイヤメッシュセンサから構成されてもよい。なお、タッチセンサ20は、上記した相互容量方式のセンサに代えて、ブロック状の電極を二次元格子状に配置した自己容量方式のセンサであってもよい。

[0022] センサコントローラ10は、MCU(Micro Controller Unit)11と、制御回路12と、送信回路13と、受信回路14と、出力回路15と、検出回路16と、選択回路17及び18とを含んで構成される。

[0023] 出力回路15は、制御回路12からの指示に基づいて、複数の線状電極2

2の中のひとつ又は互いに隣接する複数本を選択し、制御回路12から送信される入力信号を所定の電圧に増幅して出力信号として、該出力信号を線状電極22に出力する回路である。また、検出回路16は、制御回路12からの指示に基づき複数の線状電極21の中のひとつ又は互いに隣接する複数本を選択する回路である。

[0024] 選択回路17は、例えば、マルチプレクサであり、出力回路15によって選択した線状電極22を受信用として用いるか送信用として用いるかを切り替えるための回路である。選択回路17は、制御回路12から出力される選択信号SELYがロウ状態「0」の場合、選択回路18を介して出力回路15によって選択した線状電極22を受信回路14に接続する。一方、選択回路17は、選択信号SELYがハイ状態「1」の場合、制御回路12から送信回路13を介して入力される入力信号を出力回路15によって選択した線状電極22に供給する。

[0025] 選択回路18は、例えば、マルチプレクサであり、出力回路15によって選択された線状電極22から選択回路17を介して入力される信号か、又は検出回路16によって選択された線状電極21から入力される信号を選択し、該選択した信号を受信回路14に出力する。一方、選択回路18は、制御回路12から出力される選択信号SELXがロウ状態の場合、出力回路15によって選択された線状電極22を受信回路14に接続する。他方、選択回路18は、選択信号SELXがハイ状態の場合、選択回路17を介して出力回路15によって選択された線状電極22を受信回路14に接続する。

[0026] 電子機器1は、以下に示す四種類のモードを有しており、制御回路12はこれらのモードを以下に示す順に切り替えながら、センサコントローラ10内の各回路の制御を行う。以下、一つずつ詳しく説明する。

[0027] 一つ目のモードは、指の位置検出を行うモードである。当該モードにおいて制御回路12は、選択信号SELYをハイ状態とし、選択信号SELXをロウ状態とする。即ち、出力回路15によって選択された線状電極22には、制御回路12から送信回路13及び出力回路15を介して出力される送信

信号が供給され、タッチセンサ20からタッチ検出信号を送信する。また、検出回路16によって選択された線状電極21は、受信回路14に接続される。このように構成することにより、MCU11は、指がセンサ面に接触したことによる検出信号の変化を読み取り指の座標位置を算出する。

[0028] 二つ目のモードは、スタイラス2に対してアップリンク信号USを送信するモードである。この場合の制御回路12は、選択信号SELYをハイ状態とすることにより、出力回路15によって選択した線状電極22には制御回路12から送信回路13及び出力回路15を介して出力される送信信号が供給され、タッチセンサ20からはアップリンク信号USが送信される。このとき、出力回路15は、線状電極22のうちスタイラス2が指示している近傍の電極を選択してアップリンク信号USを送信しても良いし、出力回路15が線状電極22の全ての電極を同時に選択してトリガ信号US\_\_trgを送信するようにしても良い。

[0029] 三つ目のモードは、スタイラス2が送信する位置信号DS\_\_posを検出することによりスタイラス2の位置検出を行うモードである。この場合の制御回路12は、選択信号SELYをロウ状態とすることにより、出力回路15によって選択された線状電極22は、選択回路17を介して受信回路14に接続される。スタイラス2のX軸座標を求める場合、制御回路12は、選択信号SELXをロウ状態として、検出回路16によって選択された線状電極21を受信回路14に接続する。この状態で検出回路16が選択する線状電極21を、スタイラス2の指示位置に最も近い線状電極21を中心とする複数本、例えば五本の線状電極21を一本ずつ順次選択しながら、MCU11は、受信回路14から出力されるデータを信号レベル値として読み取る。MCU11は、選択した線状電極21に対する信号レベル分布よりスタイラス2のX軸座標を算出する。また、スタイラス2のY軸座標を求める場合、制御回路12は、選択信号SELXをハイ状態として、出力回路15によって選択した線状電極22を受信回路14に接続する。この状態で出力回路15が選択する線状電極22を、スタイラス2の指示位置に最も近い線状電極

22を中心とする複数本、例えば五本の線状電極22を一本ずつ順次選択しながら、MCU11は、受信回路14から出力されるデータを信号レベル値として読み取る。MCU11は、選択された線状電極22に対する信号レベル分布よりスタイラス2のY軸座標を算出する。

[0030] 四つ目のモードは、スタイラス2が送信するデータ信号DS\_resを受信するモードである。データ信号DS\_resを受信するときは、線状電極21と線状電極22のうちどちらを用いても良いが、ここでは線状電極21を用いてデータ信号DS\_resを受信する場合について説明する。制御回路12は、選択信号SELXをロウ状態とすることにより、検出回路16によって選択された線状電極21を受信回路14に接続する。また、検出回路16がスタイラス2の指示位置に最も近い線状電極21を中心とする複数本、たとえば三本の線状電極21を同時に選択するように制御回路12を動作させる。この状態で、MCU11は、受信回路14からの出力を定期的に読み取る。なお、線状電極22を用いてデータ信号DS\_resを受信する場合は、選択信号SELYをロウ状態とし、選択信号SELXをハイ状態とすればよい。

[0031] 以上が、各モードにおける制御回路12の動作である。以上の説明から理解されるように、電子機器1は、送信と受信とで同じタッチセンサ20を用いて信号の送受信を行うよう構成される。以下、引き続き、図1に示した電子機器1内の他の構成について説明する。

[0032] MCU11は、内部にROM (Read Only Memory) 及びRAM (Random Access Memory) を有しており所定のプログラムに基づき動作するマイクロプロセッサで、制御回路12から出力される各信号を前述したように出力するように制御回路12に対して制御を行うとともに、受信回路14が出力するデジタルデータを読み取り処理する。

[0033] 制御回路12は、MCU11からの指示に基づき、各信号を指定されたタイミングで正確に出力するための論理回路である。

[0034] 以上、電子機器1の構成及び動作について説明した。次に、出力回路15

が線状電極 22 に対して信号を送信する際に機能する回路の構成について詳しく説明する。図 2 は、本実施形態に係る出力回路 15 の回路構成の一部及びタッチセンサ 20 の一例を示した図である。

[0035] 図 2 に示すように、出力回路 15 は、ドライバ選択回路 151 と、複数の送信ドライバ 152 と、中間電位供給部 153 とを含んで構成される。

[0036] ドライバ選択回路 151 は、制御回路 12 の指示に従って線状電極 22 に信号を送信する複数の送信ドライバ 152 のうちいくつかを選択し、送信回路 13 から送信されるデータ信号を複数の入力信号 I<sub>N</sub> として、各入力信号 I<sub>N</sub> を対応する送信ドライバ 152 に出力する。

[0037] 送信ドライバ 152 は、一本の線状電極 22 に対して一つ設けられる。送信ドライバ 152 は、ドライバ選択回路 151 から入力される入力信号 I<sub>N</sub> に対して、線状電極 22 から信号を送信できる電位差まで信号を増幅し、該増幅した信号を送信信号 O<sub>U</sub>T として、出力信号線 W<sub>o</sub>u<sub>t</sub> を介して送信信号 O<sub>U</sub>T を対応する線状電極 22 に送信する。ここで、線状電極 22 から信号を送信できる電位差とは、ロウレベルが例えば 0 V（第一の電位）であり、ハイレベルが 5 V 以上である例えば 9 V 程度の電位（第二の電位）である 5 V 以上である例えば 9 V 程度の電位差である。また、送信ドライバ 152 は、正側の電源電位（ハイレベル）が供給される正電源端子と、負側の電源電位（ロウレベル）が供給される負電源端子とを有する。

[0038] 中間電位供給部 153 は、ハイレベル及びロウレベルの間の電位である中間電位を生成する。ここで、中間電位とは、例えば、ハイレベル及びロウレベルの値を加算して二で除した値の電位である。また、中間電位供給部 153 は、送信ドライバ 152 が生成した信号波形の電位がロウレベルからハイレベルに遷移するタイミングで、ドライバ選択回路 151 によって選択された送信ドライバ 152 の正電源端子に生成した中間電位を供給する。また、中間電位供給部 153 は、送信ドライバ 152 が生成した信号波形の電位がハイレベルからロウレベルに遷移するタイミングで、ドライバ選択回路 151 によって選択された送信ドライバ 152 の負電源端子に生成した中間電位

を供給する。また、中間電位供給部153は、中間電位の供給対象である送信ドライバ152が生成した信号波形の電位が中間電位に至ったタイミングで、送信ドライバ152への中間電位の供給を停止する。

[0039] 以上、出力回路15の構成について説明した。次に、中間電位供給部153の回路の構成について詳しく説明する。図3は、本実施形態に係る中間電位供給部153Aを含む出力回路15の回路構成の一例を示した図である。

[0040] 図3に示すように、出力回路15Aは、ドライバ選択回路151と、複数の送信ドライバ152Aと、中間電位供給部153Aとを含んで構成される。なお、本図において、ドライバ選択回路151は、 $n+1$ 個の送信ドライバ152Aを選択するものとする。ここで、 $n$ は、正の整数である。また、線状電極22は、負荷容量として容量素子 $C_{out}$ を有しているものとする。容量素子 $C_{out}$ の静電容量は、例えば、約1200pFである。

[0041] ドライバ選択回路151は、上述したように、 $n+1$ 個の送信ドライバ152Aを選択し、選択した送信ドライバ152Aに入力信号 $I_N$ を送信する。ここで、0個目の送信ドライバ152Aには、入力信号 $I_{N0}$ が入力される。また、1個目の送信ドライバ152Aには入力信号 $I_{N1}$ が、 $n$ 個目の送信ドライバ152Aには入力信号 $I_{Nn-1}$ が、 $n+1$ 個目の送信ドライバ152Aには入力信号 $I_{Nn}$ がそれぞれ入力される。

[0042] 送信ドライバ152Aは、上述した送信ドライバ152に対して出力制御機能が追加されたドライバである。送信ドライバ152Aは、制御回路12から出力される出力制御信号 $E_N$ に従って、モードを出力モード又は停止モードに設定する。一方、送信ドライバ152Aは、出力モードにおいて、入力信号 $I_N$ に対して、線状電極22から信号を送信できる電位差まで信号を増幅し、該増幅した信号を送信信号 $O_{UT}$ として、出力信号線 $W_{out}$ を介して送信信号 $O_{UT}$ を対応する線状電極22に送信する。他方、送信ドライバ152Aは、停止モードにおいて、出力の状態をハイインピーダンス状態「 $H_i-Z$ 」として、送信信号 $O_{UT}$ の送信を停止する。

[0043] 中間電位供給部153Aは、電位生成部154Aと、複数の短絡制御素子

SWUと、複数の短絡制御素子SWDと、短絡制御素子SW<sub>r</sub>と、リセット用電圧源V<sub>rst</sub>と、短絡信号線W<sub>s</sub>とを含んで構成される。

[0044] 電位生成部154Aは、例えば、電圧源V<sub>mid</sub>と、容量素子C<sub>ext</sub>とを含んで構成される。電圧源V<sub>mid</sub>は、例えば、中間電位を生成する電圧源である。電位生成部154Aは、中間電位である例えば4.5Vを生成し、生成した中間電位を短絡信号線W<sub>s</sub>に印加する。容量素子C<sub>ext</sub>は、例えば、静電容量が約1μFのコンデンサであり、一端が短絡信号線W<sub>s</sub>に接続され、他端が基準線GNDに接続される。容量素子C<sub>ext</sub>は、短絡信号線W<sub>s</sub>に供給される電位に従い電荷を充電又は放電し、短絡信号線W<sub>s</sub>の電位を安定させる。なお、本実施形態では、電位生成部154Aは、電圧源V<sub>mid</sub>と容量素子C<sub>ext</sub>を含んで構成されるが、電圧源V<sub>mid</sub>及び容量素子C<sub>ext</sub>のうちいずれかのみで構成されていても良い。

[0045] リセット用電圧源V<sub>rst</sub>は、初期電位（例えば4.5V）を生成する電圧源であり、短絡制御素子SW<sub>r</sub>の短絡時に生成した初期電位を短絡信号線W<sub>s</sub>に供給する。リセット用電圧源V<sub>rst</sub>は、一端が短絡制御素子SW<sub>r</sub>の他端に接続され、他端が基準線GNDに接続される。

[0046] 短絡制御素子SWU、SWD及びSW<sub>r</sub>は、例えば、スイッチ素子やトランジスタなどである。短絡制御素子SWU、SWD及びSW<sub>r</sub>は、入力される信号に従って、両端を短絡又は開放する。具体的には、一方、短絡制御素子SWU、SWD及びSW<sub>r</sub>は、入力される信号の状態がハイ状態の場合、両端を短絡する。他方、短絡制御素子SWU、SWD及びSW<sub>r</sub>は、入力される信号の状態がロウ状態の場合、両端を開放する。また、短絡制御素子SWU及びSWDは、送信ドライバ152A毎に設けられる。

[0047] 短絡制御素子SW<sub>r</sub>は、一端が短絡信号線W<sub>s</sub>に接続される一方で、他端がリセット用電圧源V<sub>rst</sub>の一端に接続される。短絡制御素子SW<sub>r</sub>は、制御回路12から出力されるリセット信号RSTに従って、両端を短絡又は開放する。

[0048] 短絡制御素子SWUは、一端が対応する送信ドライバ152Aの正電源端

子に接続される一方で、他端が短絡信号線 $W_s$ に接続される。短絡制御素子 $SWU$ は、制御回路12から出力される制御信号 $CTU$ に従って、両端を短絡又は開放する。

[0049] 短絡制御素子 $SWD$ は、一端が対応する送信ドライバ152Aの負電源端子に接続される一方で、他端が短絡信号線 $W_s$ に接続される。短絡制御素子 $SWD$ は、制御回路12から出力される制御信号 $CTD$ に従って、両端を短絡又は開放する。

[0050] 以上のように構成される出力回路15Aにおいて、制御回路12は、入力信号 $IN_0 \sim IN_n$ のいずれかの状態がロウ状態からハイ状態に遷移するタイミングにおいて、送信ドライバ152Aの状態をハイインピーダンス状態に制御するとともに、短絡制御素子 $SWU$ を短絡状態に制御する。また、制御回路12は、入力信号 $IN_0 \sim IN_n$ のいずれかの状態がハイ状態からロウ状態に遷移するタイミングにおいて、送信ドライバ152Aの状態をハイインピーダンス状態に制御するとともに、短絡制御素子 $SWD$ を短絡状態に制御する。これにより、状態がロウ状態からハイ状態に遷移する入力信号 $IN$ に対応する送信ドライバ152Aの正電源端子及び短絡信号線 $W_s$ が短絡され、状態がハイ状態からロウ状態に遷移する入力信号 $IN$ に対応する送信ドライバ152Aの負電源端子及び短絡信号線 $W_s$ が短絡されるため、電位がハイレベルである出力信号線 $W_{out}$ から短絡信号線 $W_s$ を介して、電位がロウレベルである出力信号線 $W_{out}$ 及び容量素子 $C_{ext}$ に対して電位が供給される。また、電圧源 $V_{mid}$ 及び容量素子 $C_{ext}$ から短絡信号線 $W_s$ を介して、電位がロウレベルである出力信号線 $W_{out}$ に電位が供給される。

[0051] 続いて、制御回路12は、各送信ドライバ152Aの正電源端子、負電源端子、短絡信号線 $W_s$ 及び容量素子 $C_{ext}$ の一端の電位が中間電位に至ったタイミングで、送信ドライバ152Aの状態を出力状態に制御するとともに、短絡制御素子 $SWU$ 及び $SWD$ を開放状態に制御する。これにより、各出力信号線 $W_{out}$ の電位は、対応する送信ドライバ152Aによってハイ

レベル又はロウレベルまで遷移し、線状電極22を介して送信信号OUT0、OUT1、OUT<sub>n-1</sub>及びOUT<sub>n</sub>が送信される。

[0052] 以上、中間電位供給部153Aの構成について説明した。次に、送信ドライバ152の回路の構成について詳しく説明する。図5Aは、本実施形態に係る送信ドライバ152Aの回路構成の一例を示す図である。図5Aに示すように、送信ドライバ152Aは、例えば、論理否定回路INV1及びINV2と、トランジスタTR1、TR2、TR3及びTR4と、電源線VDDと、基準線GNDとを含んで構成される。

[0053] 論理否定回路INV1及びINV2は、例えばトランジスタを含んで構成されるインバータ回路である。論理否定回路INV1は、ドライバ選択回路151から入力される入力信号INに対して論理否定演算を行い、該演算を行った信号をトランジスタTR2及びTR3のゲート端子に出力する。また、論理否定回路INV2は、制御回路12から入力される出力制御信号ENに対して論理否定演算を行い、該演算を行った信号をトランジスタTR1のゲート端子に出力する。

[0054] トランジスタTR1及びTR2は、例えばP型MOS (Metal Oxide Semiconductor) トランジスタである。トランジスタTR1及びTR2は、ゲート端子に入力される信号に従って、ソース端子に供給される電位をドレイン端子に供給するか又は該供給を停止する。具体的には、トランジスタTR1及びTR2は、ゲート端子に入力される信号の状態がロウ状態の場合、ソース端子に供給される電位をドレイン端子に供給する一方で、ゲート端子に入力される信号の状態がハイ状態の場合、該供給を停止する。

[0055] トランジスタTR1は、ゲート端子が論理否定回路INV2の出力端子に接続され、ソース端子が電源線VDDに接続され、ドレイン端子が送信ドライバ152Aの正電源端子に接続される。

[0056] トランジスタTR2は、ゲート端子が論理否定回路INV1の出力端子に接続され、ソース端子が送信ドライバ152Aの正電源端子に接続され、ドレイン端子がトランジスタTR3のドレイン端子及び出力信号線Woutに

接続される。

- [0057] トランジスタTR3及びTR4は、例えばN型MOS (Metal Oxide Semiconductor) トランジスタである。トランジスタTR3及びTR4は、ゲート端子に入力される信号に従って、ドレイン端子からソース端子に向かって電荷を引き抜くか又は該引き抜きを停止する。具体的には、トランジスタTR3及びTR4は、ゲート端子に入力される信号の状態がハイ状態の場合、ドレイン端子からソース端子に向かって電荷を引き抜く一方で、ゲート端子に入力される信号の状態がロウ状態の場合、該引き抜きを停止する。
- [0058] トランジスタTR3は、ゲート端子が論理否定回路INV1の出力端子に接続され、ソース端子が送信ドライバ152Aの負電源端子に接続され、ドレイン端子がトランジスタTR2のドレイン端子及び出力信号線Woutに接続される。
- [0059] トランジスタTR4は、ゲート端子が制御回路12に接続され、ソース端子が基準線GNDに接続され、ドレイン端子が送信ドライバ152Aの負電源端子に接続される。
- [0060] 電源線VDDは、送信ドライバ152Aに対して図示しない電圧源から供給されるハイレベルの電位を供給する。ここで、ハイレベルの電位とは、5V以上である例えば9V程度の電位である。また、基準線GNDは、送信ドライバ152Aに対してロウレベルの電位を供給する。ここで、ロウレベルの電位とは、例えば0Vの電位である。
- [0061] 以上のように構成される送信ドライバ152Aは、出力制御信号ENの状態がロウ状態である出力モードにおいて、入力信号INに対して、線状電極22から信号を送信できる電位差まで信号を増幅し、該増幅した信号を送信信号OUTとして、出力信号線Woutに送信する。一方、送信ドライバ152Aは、出力制御信号ENの状態がハイ状態である停止モードにおいて、出力の状態をハイインピーダンス状態「Hi-Z」として、送信信号OUTの送信を停止する。
- [0062] 図5Bは、本実施形態に係る送信ドライバ152の回路構成の他の例を示

す図である。図5Bに示すように、送信ドライバ152Bは、上述した送信ドライバ152Aの構成に加えて、例えば、電流源I0及びI1を含んで構成される。送信ドライバ152Bの回路構成の説明において、送信ドライバ152Aと同様の構成については、その説明を省略する。

[0063] 電流源I0及びI1は、例えば、MOSトランジスタを含んで構成されるカレントミラー回路である。電流源I0は、電源線VDDからトランジスタTR1のソース端子に向かって流れる電流を一定の電流値に制限する。電流源I1は、トランジスタTR4のソース端子から基準線GNDに向かって流れる電流を一定の電流値に制限する。

[0064] 以上のように構成される送信ドライバ152Bは、電源線VDDから送信ドライバ152Bに流れる電流、及び送信ドライバ152Bから基準線GNDに流れる電流を一定の電流値に制限することによって、送信信号OUTの電位の遷移を送信ドライバ152Aと比べて緩やかにする。これにより、送信ドライバ152BのEMI特性は、送信ドライバ152Bの高周波成分が低減されることによって、送信ドライバ152Aと比べて向上する。

[0065] 図5Cは、本実施形態に係る送信ドライバ152の回路構成の他の例を示す図である。図5Cに示すように、送信ドライバ152Cは、上述した送信ドライバ152Aの構成に加えて、例えば、論理和回路ORと、論理積回路ANDと、遅延回路DL0及びDL1とを含んで構成される。送信ドライバ152Cの回路構成の説明において、送信ドライバ152Aと同様の構成については、その説明を省略する。

[0066] 論理和回路ORは、例えばMOSトランジスタを含んで構成され、論理否定回路INV1の出力信号と、遅延回路DL1から出力されるトリガ信号Tgnとに対して論理和演算を行い、該演算の結果を遅延回路DL0に出力する。

[0067] 論理積回路ANDは、例えばMOSトランジスタを含んで構成され、論理否定回路INV1の出力信号と、遅延回路DL0から出力されるトリガ信号Tgpとに対して論理積演算を行い、該演算の結果を遅延回路DL1に出力

する。

[0068] 遅延回路DL0及びDL1は、例えばMOSトランジスタを含んで構成されるバッファ回路である。遅延回路DL0は、論理和回路ORの出力信号を遅延時間 $t_d$ だけ遅延させ、該遅延させた信号をトリガ信号TGpとして、トリガ信号TGpをトランジスタTR2のゲート端子及び論理積回路ANDに出力する。遅延回路DL1は、論理積回路ANDの出力信号を遅延時間 $t_d$ だけ遅延させ、該遅延させた信号をトリガ信号TGnとして、トリガ信号TGnをトランジスタTR3のゲート端子及び論理和回路ORに出力する。

[0069] 以上のように構成される送信ドライバ152Cは、論理和回路ORと、論理積回路ANDと、トランジスタTR2のドレイン端子及びソース端子間と、トランジスタTR3のドレイン端子及びソース端子間とが同時に導通状態となることのないため、電源線VDDからトランジスタTR1~TR4を介して基準線GNDに至る貫通電流の発生を防止することができる。

[0070] 図6は、本実施形態に係る送信ドライバ152Cにおける各信号の電位の遷移を示すタイミングチャートである。なお、図示していないが、出力制御信号ENの状態は、どの時刻においても、ハイレベルであるものとする。

[0071] 図6に示すように、時刻 $t_60$ で、ドライバ選択回路151は、入力信号INの状態をロウ状態からハイ状態へと遷移させる。時刻 $t_60$ で、論理否定回路INV1は、入力信号IN（ハイ状態）に対して論理否定演算を行い、該演算の結果ロウ状態となった信号を論理和回路OR及び論理積回路ANDに出力する。時刻 $t_60$ で、論理積回路ANDは、トリガ信号TGp（ハイ状態）及び論理否定回路INV1から出力される信号（ロウ状態）に対して論理積演算を行い、該演算の結果ロウ状態となった信号を遅延回路DL1に出力する。

[0072] 時刻 $t_60$ で、遅延回路DL1は、論理積回路ANDからロウ状態となった信号を受け、該信号を遅延時間 $t_d$ だけ遅延させる。時刻 $t_60$ から遅延時間 $t_d$ だけ経過した時刻 $t_61$ で、遅延回路DL1は、該遅延させた結果をトリガ信号TGnとして、ロウ状態のトリガ信号TGnをトランジスタT

R3のゲート端子及び論理和回路ORに出力する。時刻 $t_{61}$ で、トランジスタTR3は、ロウ状態のトリガ信号 $TG_n$ を受け、ドレイン端子及びソース端子の間を非導通にする。これにより、トランジスタTR2のドレイン端子及びソース端子間と、トランジスタTR3のドレイン端子及びソース端子間とがいずれも非導通となるため、出力信号線 $Wout$ の状態は、ハイインピーダンス状態となる。

[0073] 時刻 $t_{61}$ で、論理和回路ORは、トリガ信号 $TG_n$ （ロウ状態）及び論理否定回路INV1から出力される信号（ロウ状態）に対して論理和演算を行い、該演算の結果ロウ状態となった信号を遅延回路DL0に出力する。

[0074] 時刻 $t_{61}$ で、遅延回路DL0は、論理和回路ORからロウ状態となった信号を受け、該信号を遅延時間 $t_d$ だけ遅延させる。時刻 $t_{61}$ から遅延時間 $t_d$ だけ経過した時刻 $t_{62}$ で、遅延回路DL0は、該遅延させた結果をトリガ信号 $TG_p$ として、ロウ状態のトリガ信号 $TG_p$ をトランジスタTR2のゲート端子及び論理積回路ANDに出力する。時刻 $t_{62}$ で、トランジスタTR2は、ロウ状態のトリガ信号 $TG_p$ を受け、ドレイン端子及びソース端子の間を導通にする。これにより、電源線VDDからトランジスタTR1及びTR2を介して出力信号線 $Wout$ にハイレベルの電位が供給され、送信信号OUTの電位は、ハイレベルに遷移する。

[0075] 時刻 $t_{63}$ で、ドライバ選択回路151は、入力信号INの状態をハイ状態からロウ状態へと遷移させる。時刻 $t_{63}$ で、論理否定回路INV1は、入力信号IN（ロウ状態）に対して論理否定演算を行い、該演算の結果ハイ状態となった信号を論理和回路OR及び論理積回路ANDに出力する。時刻 $t_{63}$ で、論理和回路ORは、トリガ信号 $TG_n$ （ロウ状態）及び論理否定回路INV1から出力される信号（ハイ状態）に対して論理和演算を行い、該演算の結果ハイ状態となった信号を遅延回路DL0に出力する。

[0076] 時刻 $t_{63}$ で、遅延回路DL0は、論理和回路ORからハイ状態となった信号を受け、該信号を遅延時間 $t_d$ だけ遅延させる。時刻 $t_{63}$ から遅延時間 $t_d$ だけ経過した時刻 $t_{64}$ で、遅延回路DL0は、該遅延させた結果を

トリガ信号  $TG_p$  として、ハイ状態のトリガ信号  $TG_p$  をトランジスタ  $TR_2$  のゲート端子及び論理積回路  $AND$  に出力する。時刻  $t_{63}$  で、トランジスタ  $TR_2$  は、ハイ状態のトリガ信号  $TG_p$  を受け、ドレイン端子及びソース端子の間を非導通にする。これにより、トランジスタ  $TR_2$  のドレイン端子及びソース端子間と、トランジスタ  $TR_3$  のドレイン端子及びソース端子間とがいずれも非導通となるため、出力信号線  $Wout$  の状態は、ハイインピーダンス状態となる。

[0077] 時刻  $t_{64}$  で、論理積回路  $AND$  は、トリガ信号  $TG_p$  (ハイ状態) 及び論理否定回路  $INV_1$  から出力される信号 (ハイ状態) に対して論理積演算を行い、該演算の結果ハイ状態となった信号を遅延回路  $DL_1$  に出力する。時刻  $t_{64}$  で、遅延回路  $DL_1$  は、論理積回路  $AND$  からハイ状態となった信号を受け、該信号を遅延時間  $t_d$  だけ遅延させる。時刻  $t_{64}$  から遅延時間  $t_d$  だけ経過した時刻  $t_{65}$  で、遅延回路  $DL_1$  は、該遅延させた結果をトリガ信号  $TG_n$  として、ハイ状態のトリガ信号  $TG_n$  をトランジスタ  $TR_3$  のゲート端子及び論理和回路  $OR$  に出力する。時刻  $t_{65}$  で、トランジスタ  $TR_3$  は、ハイ状態のトリガ信号  $TG_n$  を受け、ドレイン端子及びソース端子の間を導通にする。これにより、出力信号線  $Wout$  からトランジスタ  $TR_1$  及び  $TR_2$  を介して基準線  $GND$  に向かって電荷が引き抜かれ、送信信号  $OUT$  の電位は、ロウレベルに遷移する。

[0078] 図 5 D は、本発明の第一実施形態に係る送信ドライバ 152 の回路構成の他の例を示す図である。図 5 D に示すように、送信ドライバ 152 D は、上述した送信ドライバ 152 B の構成に対して、送信ドライバ 152 C の構成を加えた構成である。したがって、送信ドライバ 152 D の回路構成については、その説明を省略する。

[0079] 図 5 D に示すように、送信ドライバ 152 D は、送信ドライバ 152 B 及び 152 C の構成が組み合わされて構成されているため、高周波成分が低減されることによって EMI 特性が送信ドライバ 152 A と比べて向上するとともに、電源線  $VDD$  からトランジスタ  $TR_1 \sim TR_4$  を介して基準線  $GND$

Dに至る貫通電流の発生を防止することができる。

[0080] <出力回路に係る一連の動作の流れ>

以上、送信ドライバ152の構成について説明した。次に、出力回路15Aにおける各信号の電位の遷移について詳しく説明する。図4は、本実施形態に係る出力回路15Aにおける各信号の電位の遷移を示すタイミングチャートである。

[0081] 時刻 $t_{40}$ で、制御回路12は、リセット信号RSTの状態をロウ状態にすることによって、短絡制御素子SW<sub>r</sub>の両端を開放する。これにより、リセット用電圧源V<sub>rst</sub>から短絡信号線W<sub>s</sub>への初期電位の供給は、停止する。

[0082] 時刻 $t_{41}$ で、ドライバ選択回路151は、入力信号I<sub>N0</sub>及びI<sub>Nn-1</sub>の状態をロウ状態からハイ状態へと遷移させる一方で、入力信号I<sub>N1</sub>及びI<sub>Nn</sub>の状態をハイ状態からロウ状態へと遷移させ、入力信号I<sub>N0</sub>、I<sub>N1</sub>、I<sub>Nn-1</sub>及びI<sub>Nn</sub>を対応する送信ドライバ152Aに入力する。

[0083] 時刻 $t_{41}$ で、制御回路12は、出力制御信号ENの状態をハイ状態からロウ状態へと遷移させ、各送信ドライバ152Aのモードを停止モードに設定する。また、時刻 $t_{41}$ で、制御回路12は、制御信号CTU<sub>0</sub>、CTU<sub>n-1</sub>、CTD<sub>1</sub>及びCTD<sub>n</sub>の状態をロウ状態からハイ状態へと遷移させ、制御信号CTU<sub>0</sub>、CTU<sub>n-1</sub>、CTD<sub>1</sub>及びCTD<sub>n</sub>を対応する短絡制御素子SWU又はSWDに出力することによって、各短絡制御素子SWU及びSWDの両端を短絡する。これにより、時刻 $t_{41}$ で、各出力信号線W<sub>out</sub>同士は、両端が短絡された各短絡制御素子SWU及びSWD同士を介して、短絡される。時刻 $t_{41}$ で、電位がハイレベルの出力信号線W<sub>out</sub>及び電位生成部154Aから電位がロウレベルの出力信号線W<sub>out</sub>に対して電荷が供給されることによって、送信信号OUT<sub>0</sub>、OUT<sub>1</sub>、OUT<sub>n-1</sub>及びOUT<sub>n</sub>の電位は、中間電位となる。

[0084] 時刻 $t_{42}$ で、制御回路12は、出力制御信号ENの状態をロウ状態からハイ状態へと遷移させ、各送信ドライバ152Aのモードを出力モードに設

定する。また時刻  $t_{42}$  で、制御回路 12 は、制御信号  $CTU_0$ 、 $CTU_{n-1}$ 、 $CTD_1$  及び  $CTD_n$  の状態をハイ状態からロウ状態へと遷移させ、制御信号  $CTU_0$ 、 $CTU_{n-1}$ 、 $CTD_1$  及び  $CTD_n$  を各短絡制御素子  $SWU$  又は  $SWD$  に出力することによって、各短絡制御素子  $SWU$  又は  $SWD$  の両端を開放する。これにより、時刻  $t_{42}$  で、各出力信号線  $Wout$  間の短絡状態は解除される。時刻  $t_{42}$  で、対応する送信ドライバ 152A から電荷が供給されることによって、送信信号  $OUT_0$  及び  $OUT_{n-1}$  の電位は中間電位からハイレベルに遷移する一方で、対応する送信ドライバ 152A から電荷が引き抜かれることによって、送信信号  $OUT_1$  及び  $OUT_n$  の電位は中間電位からロウレベルに遷移する。

[0085] 時刻  $t_{43}$  で、制御回路 12 は、出力制御信号  $EN$  の状態をハイ状態からロウ状態へと遷移させ、各送信ドライバ 152A のモードを停止モードに設定する。また時刻  $t_{43}$  で、制御回路 12 は、制御信号  $CTD_0$ 、 $CTD_{n-1}$ 、 $CTU_1$  及び  $CTU_n$  の状態をロウ状態からハイ状態へと遷移させ、制御信号  $CTD_0$ 、 $CTD_{n-1}$ 、 $CTU_1$  及び  $CTU_n$  を対応する短絡制御素子  $SWU$  又は  $SWD$  に出力することによって、各短絡制御素子  $SWU$  及び  $SWD$  の両端を開放する。これにより、時刻  $t_{43}$  では、時刻  $t_{41}$  と同様に、送信信号  $OUT_0$ 、 $OUT_1$ 、 $OUT_{n-1}$  及び  $OUT_n$  の電位は、中間電位となる。

[0086] 時刻  $t_{44}$  で、制御回路 12 は、出力制御信号  $EN$  の状態をロウ状態からハイ状態へと遷移させ、各送信ドライバ 152A のモードを出力モードに設定する。また時刻  $t_{44}$  で、制御回路 12 は、制御信号  $CTD_0$ 、 $CTD_{n-1}$ 、 $CTU_1$  及び  $CTU_n$  の状態をハイ状態からロウ状態へと遷移させ、制御信号  $CTD_0$ 、 $CTD_{n-1}$ 、 $CTU_1$  及び  $CTU_n$  を対応する短絡制御素子  $SWU$  又は  $SWD$  に出力することによって、各短絡制御素子  $SWU$  及び  $SWD$  の両端を開放する。これにより、時刻  $t_{44}$  で、各出力信号線  $Wout$  間の短絡状態は解除される。時刻  $t_{44}$  で、対応する送信ドライバ 152A から電荷が供給されることによって、送信信号  $OUT_0$  及び  $OUT_{n-1}$

1の電位は中間電位からロウレベルに遷移する一方で、対応する送信ドライバ152Aから電荷が引き抜かれることによって、送信信号OUT1及びOUTnの電位は中間電位からハイレベルに遷移する。

[0087] 以上、出力回路15Aにおける各信号の電位の遷移について説明した。次に、出力回路15Aの一連の処理の流れについて詳しく説明する。図15は、第一実施形態に係る出力回路15Aの一連の処理の流れを示すフローチャートである。

[0088] (ステップSP20)

送信ドライバ152Aは、ドライバ選択回路151から入力される入力信号INに対して、線状電極22から信号を送信できる電位差まで信号を増幅し、該増幅した信号を送信信号OUTとして、送信信号OUTを対応する出力信号線Woutに送信する。そして、処理は、ステップSP12の処理に移行する。

[0089] (ステップSP22)

制御回路12は、送信信号OUTの信号波形がロウレベルからハイレベルに立ち上がるか否かを判断する。一方、該判断が肯定の場合、処理は、ステップSP24の処理に移行する。他方、該判断が否定の場合、処理は、ステップSP32の処理に移行する。

[0090] (ステップSP24)

制御回路12は、送信ドライバ152Aのモードを停止モードに設定する。これにより、送信ドライバ152Aの出力の状態は、ハイインピーダンス状態になる。そして、処理は、ステップSP26の処理に移行する。

[0091] (ステップSP26)

制御回路12は、各短絡制御素子SWUの両端を短絡するように制御する。これにより、各出力信号線Wout同士は、短絡信号線Wsを介して短絡され、電位生成部154A及び電位がハイレベルである出力信号線Woutから、短絡信号線Wsを介して、電位がロウレベルである出力信号線Woutに電位が供給される。短絡信号線Ws及び各出力信号線Woutの電位は

中間電位となる。そして、処理は、ステップSP28の処理に移行する。なお、後述する第二実施形態で述べるように短絡信号線 $W_s$ が複数ある場合、制御回路12は、出力信号線 $W_{out}$ 毎にいずれの短絡信号線 $W_s$ に接続するかを決定し、該決定した短絡信号線 $W_s$ に対応する短絡制御素子SWUを短絡するように制御する。

[0092] (ステップSP28)

制御回路12は、各短絡制御素子SWUの両端を開放するように制御する。これにより、各出力信号線 $W_{out}$ 同士の短絡は解除される。そして、処理は、ステップSP30の処理に移行する。

[0093] (ステップSP30)

制御回路12は、送信ドライバ152Aのモードを出力モードに設定する。これにより、送信ドライバ152Aから出力信号線 $W_{out}$ に対してハイレベルが供給される。送信信号OUTの電位は、出力信号線 $W_{out}$ の電位に従い、中間電位からハイレベルへと遷移する。

[0094] (ステップSP32)

制御回路12は、送信信号OUTの信号波形がハイレベルからロウレベルに立ち下がるか否かを判断する。一方、該判断が肯定の場合、処理は、ステップSP34の処理に移行する。他方、該判断が否定の場合、処理は、図15に係る一連の処理を終了する。

[0095] (ステップSP34)

制御回路12は、送信ドライバ152Aのモードを停止モードに設定する。これにより、送信ドライバ152Aの出力の状態は、ハイインピーダンス状態になる。そして、処理は、ステップSP36の処理に移行する。

[0096] (ステップSP36)

制御回路12は、各短絡制御素子SWDの両端を短絡するように制御する。これにより、各出力信号線 $W_{out}$ 同士は、短絡信号線 $W_s$ を介して短絡され、電位生成部154A及び電位がハイレベルである出力信号線 $W_{out}$ から、短絡信号線 $W_s$ を介して、電位がロウレベルである出力信号線 $W_{ou}$

t に電位が供給される。短絡信号線 $W_s$ 及び各出力信号線 $W_{out}$ の電位は中間電位となる。そして、処理は、ステップSP38の処理に移行する。なお、後述する第二実施形態で述べるように短絡信号線 $W_s$ が複数ある場合、制御回路12は、出力信号線 $W_{out}$ 毎にいずれの短絡信号線 $W_s$ に接続するかを決定し、該決定した短絡信号線 $W_s$ に対応する短絡制御素子SWDを短絡するように制御する。

[0097] (ステップSP38)

制御回路12は、各短絡制御素子SWDの両端を開放するように制御する。これにより、各出力信号線 $W_{out}$ 同士の短絡は解除される。そして、処理は、ステップSP40の処理に移行する。

[0098] (ステップSP40)

制御回路12は、送信ドライバ152Aのモードを出力モードに設定する。これにより、送信ドライバ152Aから出力信号線 $W_{out}$ に対してロウレベルが供給される。送信信号OUTの電位は、出力信号線 $W_{out}$ の電位に従い、中間電位からロウレベルへと遷移する。

[0099] <効果>

以上、本実施形態では、センサコントローラ10は、複数の線状電極21及び22が面状に配置されてなるタッチセンサ20に接続される。このセンサコントローラ10は、正電源端子及び負電源端子を有し、負電源端子に供給される第一の電位（ロウレベル）と正電源端子に供給され第一の電位よりも高い電位である第二の電位（ハイレベル）との間で遷移する信号波形を生成し、送信信号として対応する線状電極22に出力する複数の送信ドライバ152Aと、送信ドライバ152Aとは別の電圧源 $V_{mid}$ 又は容量素子 $C_{ext}$ を含む電位生成部154Aを有し、信号波形の電位が第一の電位（ロウレベル）から第二の電位（ハイレベル）への遷移又は第二の電位（ハイレベル）から第一の電位（ロウレベル）への遷移を開始する第一のタイミング（時刻 $t_{41}$ 、 $t_{43}$ 、 $t_{45}$ 及び $t_{47}$ ）で、電位生成部154Aから電圧を出力することによって、第一の電位（ロウレベル）と第二の電位（ハイ

レベル) との間の中間電位を正電源端子及び負電源端子のうち少なくとも一つに供給する中間電位供給部 153A と、を備える。

[0100] この構成によれば、センサコントローラ 10 は、送信ドライバ 152A とは別の電圧源  $V_{mid}$  又は容量素子  $C_{ext}$  を有する電位生成部 154A を有する中間電位供給部 153A から送信ドライバ 152A の正電源端子及び負電源端子のうち少なくとも一つに対して中間電位を出力することによって、送信ドライバ 152A の正電源端子及び負電源端子のうち少なくとも一つに対して必要なタイミングに安定的に中間電位を供給することができる。したがって、本発明によれば、センサコントローラ 10 は、従来構成と比べて、出力信号線  $W_{out}$  にスイッチなどの素子を接続することなく消費電力を削減できる。

[0101] また、本実施形態では、電位生成部 154A の出力側は、複数の送信ドライバ 152A のうちの二つ以上に接続される。

[0102] この構成によれば、センサコントローラ 10 は、従来構成と比べて、貫通電流を抑制し消費電力を削減できる。

[0103] また、本実施形態では、センサコントローラ 10 は、制御信号  $CTU$  及び  $CTD$  を送信する制御回路 12 を備える。また、送信ドライバ 152A は、送信信号  $OUT$  を出力する出力モードと、電源線  $VDD$  からの正電源端子への第二の電位 (ハイレベル) の供給及び基準線  $GND$  からの負電源端子への第一の電位 (ロウレベル) の供給を停止し、出力の状態をハイインピーダンス状態とする停止モードとを有する。また、制御回路 12 は、第一のタイミングで、停止モードにするように送信ドライバ 152A を制御し、第一のタイミングから所定の時間が経過した第二のタイミング (時刻  $t_{42}$ 、 $t_{44}$ 、 $t_{46}$  及び  $t_{48}$ ) で送信ドライバ 152A を出力モードにするように制御する。

[0104] この構成によれば、センサコントローラ 10 は、各送信ドライバ 152A の出力の状態をハイインピーダンス状態にして、中間電位供給部 153A から各送信ドライバ 152A に対して安定的に中間電位を供給する期間を設け

ることによって、消費電力を削減することができる。

[0105] また、本実施形態では、中間電位供給部 153A は、制御信号 CTU に従って両端が短絡又は開放され、一端が対応する正電源端子に接続され、他端が電位生成部 154A の出力側に接続される複数の第一の短絡制御素子 SWU と、制御信号 CTD に従って両端が短絡又は開放され、一端が対応する負電源端子に接続され、他端が電位生成部 154A の出力側に接続される複数の第二の短絡制御素子 SWD と、を有する。また、制御回路 12 は、第一のタイミングで短絡するように第一の短絡制御素子 SWU 及び第二の短絡制御素子 SWD のうち少なくとも一つを制御し、第一のタイミングで短絡した第一の短絡制御素子 SWU 及び第二の短絡制御素子 SWD のうち少なくとも一つを第二のタイミングで開放するように制御する。

[0106] この構成によれば、センサコントローラ 10 は、従来構成と比べて、出力信号線 Wout にスイッチなどの素子を接続することなく消費電力を削減できる。

[0107] また、本実施形態では、制御回路 12 は、第一のタイミングのうち信号波形の電位が第一の電位（ロウレベル）から第二の電位（ハイレベル）への遷移を開始するタイミングで、第一の短絡制御素子 SWU を短絡し、第一のタイミングのうち信号波形の電位が第二の電位（ハイレベル）から第一の電位（ロウレベル）への遷移を開始するタイミングで、第二の短絡制御素子 SWD を短絡する。

[0108] この構成によれば、センサコントローラ 10 は、従来構成と比べて、出力信号線 Wout にスイッチなどの素子を接続することなく消費電力を削減できる。

[0109] また、本実施形態では、第二の電位（ハイレベル）は、5V 以上の電位であり、第二の電位（ハイレベル）は、第一の電位（ロウレベル）より高い電位である。

[0110] この構成によれば、センサコントローラ 10 は、5V 以上の電圧で駆動する送信ドライバ 152A を使用する場合においても、消費電力を削減するこ

とができる。

[0111] ———第二実施形態———

以上、第一実施形態について説明した。続いて、第二実施形態について説明する。

[0112] <回路構成>

図7は、第二実施形態に係る中間電位供給部153Bを含む出力回路15Bの回路構成の一例を示した図である。

[0113] 図7に示すように、出力回路15Bは、ドライバ選択回路151と、複数の送信ドライバ152Aと、中間電位供給部153Bとを含んで構成される。なお、本図において、ドライバ選択回路151は、 $n+1$ 個の送信ドライバ152Aを選択するものとする。また、線状電極22は、負荷容量として容量素子 $C_{out}$ を有しているものとする。容量素子 $C_{out}$ の静電容量は、例えば、約1200pFである。

[0114] ドライバ選択回路151及び送信ドライバ152Aについては、第一実施形態において説明した通りであるため、その説明を省略する。

[0115] 中間電位供給部153Bは、電位生成部154Bと、複数の短絡制御素子SWU及びSWDと、短絡信号線 $W_{su}$ 及び $W_{sd}$ と、短絡制御素子SWrと、容量素子 $C_{ext}$ とを含んで構成される。

[0116] 電位生成部154Bは、例えば、容量素子 $C_{ext}$ を含んで構成される。容量素子 $C_{ext}$ は、例えば、静電容量が約1 $\mu$ Fのコンデンサであり、一端が短絡信号線 $W_{su}$ に接続され、他端が短絡信号線 $W_{sd}$ に接続される。容量素子 $C_{ext}$ は、短絡信号線 $W_{su}$ 及び $W_{sd}$ に供給される電位の電位差に従い電荷を充電又は放電し、短絡信号線 $W_{su}$ 及び $W_{sd}$ の電位を安定させる。

[0117] 短絡制御素子SWUU、SWUD、SWDU、SWDD及びSWrは、例えば、スイッチ素子やトランジスタなどである。短絡制御素子SWUU、SWUD、SWDU、SWDD及びSWrは、入力される信号に従って、両端を短絡又は開放する。具体的には、一方、短絡制御素子SWUU、SWUD

、SWDU、SWDD及びSWrは、入力される信号の状態がハイ状態の場合、両端を短絡する。他方、短絡制御素子SWUU、SWUD、SWDU、SWDD及びSWrは、入力される信号の状態がロウ状態の場合、両端を開放する。また、短絡制御素子SWUU、SWUD、SWDU及びSWDDは、送信ドライバ152A毎に設けられる。

[0118] 短絡制御素子SWrは、制御回路12から出力されるリセット信号RSTに従って、短絡信号線Ws及びリセット用電圧源Vrstの間を短絡又は開放する。短絡制御素子SWrは、一端が短絡信号線Wsuに接続される一方で、他端が短絡信号線Wsd一端に接続される。短絡制御素子SWrは、短絡時に短絡信号線Wsu及びWdsを短絡する一方で、開放時に短絡信号線Wsu及びWdsの短絡を解除する。

[0119] 短絡制御素子SWUUは、一端が対応する送信ドライバ152Aの正電源端子に接続される一方で、他端が短絡信号線Wsuに接続される。短絡制御素子SWUUは、制御回路12から短絡制御素子SWUU毎に出力される制御信号CTUUに従って、両端を短絡又は開放する。

[0120] 短絡制御素子SWUDは、一端が対応する送信ドライバ152Aの正電源端子に接続される一方で、他端が短絡信号線Wsdに接続される。短絡制御素子SWUDは、制御回路12から短絡制御素子SWUD毎に出力される制御信号CTUDに従って、両端を短絡又は開放する。

[0121] 短絡制御素子SWDUは、一端が対応する送信ドライバ152の負電源端子に接続される一方で、他端が短絡信号線Wsuに接続される。短絡制御素子SWDUは、制御回路12から短絡制御素子SWDU毎に出力される制御信号CTDUに従って、両端を短絡又は開放する。

[0122] 短絡制御素子SWDDは、一端が対応する送信ドライバ152の負電源端子に接続される一方で、他端が短絡信号線Wsdに接続される。短絡制御素子SWDDは、制御回路12から短絡制御素子SWDD毎に出力される制御信号CTDDに従って、両端を短絡又は開放する。

[0123] 以上のように構成される出力回路15Bにおいて、制御回路12は、入力

信号  $I N 0 \sim I N n$  のいずれかの状態がハイ状態からロウ状態に遷移するタイミングにおいて、又はロウ状態からハイ状態に遷移するタイミングにおいて、送信ドライバ  $152A$  の状態をハイインピーダンス状態に制御する。また、制御回路  $12$  は、送信ドライバ  $152A$  毎に、コード（例えば直交コード）に従う値を割り振り、対応する送信ドライバ  $152A$  を短絡信号線  $W s u$  及び  $W s d$  のいずれに接続するかを決定する。具体的には、制御回路  $12$  は、例えば、ある送信ドライバ  $152A$  に対応する直交コードの値が「 $0$ 」である場合は、ある送信ドライバ  $152A$  を短絡信号線  $W s u$  に接続することを決定する一方で、ある送信ドライバ  $152A$  に対応する直交コードの値が「 $1$ 」である場合は、ある送信ドライバ  $152A$  を短絡信号線  $W s d$  に接続することを決定する。なお、送信ドライバ  $152A$  毎に割り振る値を決めるコードは、「 $0$ 」の値と「 $1$ 」の値をそれぞれ同程度の割合で含んでいることが望ましい。

[0124] 制御回路  $12$  は、入力信号  $I N 0 \sim I N n$  のいずれかの状態がロウ状態からハイ状態に遷移するタイミングにおいて、短絡信号線  $W s u$  に接続すると決定した送信ドライバ  $152A$  に対応する短絡制御素子  $S W U U$  を短絡状態に制御する一方で、短絡信号線  $W s d$  に接続すると決定した送信ドライバ  $152A$  に対応する短絡制御素子  $S W D U$  を短絡状態に制御する。また、制御回路  $12$  は、入力信号  $I N 0 \sim I N n$  のいずれかの状態がハイ状態からロウ状態に遷移するタイミングにおいて、短絡信号線  $W s u$  に接続すると決定した送信ドライバ  $152A$  に対応する短絡制御素子  $S W U D$  を短絡状態に制御する一方で、短絡信号線  $W s d$  に接続すると決定した送信ドライバ  $152A$  に対応する短絡制御素子  $S W D D$  を短絡状態に制御する。したがって、短絡信号線  $W s u$  に接続すると決定した送信ドライバ  $152A$  に対応する出力信号線  $W o u t$  が短絡信号線  $W s u$  を介して容量素子  $C e x t$  の一端と、短絡信号線  $W s d$  に接続すると決定した送信ドライバ  $152A$  に対応する出力信号線  $W o u t$  が短絡信号線  $W s d$  を介して容量素子  $C e x t$  の他端とそれぞれ短絡される。これにより、短絡信号線  $W s u$  を介して出力信号線  $W o u t$

と容量素子C e x tの一端との間で電荷のやりとりが行われる一方で、短絡信号線W s dを介して出力信号線W o u tと容量素子C e x tの他端との間で電荷のやりとりが行われ、出力信号線W o u tの電位と、短絡信号線W s u及びW s dの電位と、容量素子C e x tの両端の電位とが中間電位に至る。

[0125] 続いて、制御回路12は、各出力信号線W o u tと、短絡信号線W s u及びW s dと、容量素子C e x tの両端との電位が中間電位に至ったタイミングで、送信ドライバ152Aの状態を出力状態に制御するとともに、短絡制御素子S W U U、S W U D、S W D U及びS W D Dを開放状態に制御する。これにより、各出力信号線W o u tの電位は、対応する送信ドライバ152Aによってハイレベル又はロウレベルまで遷移し、線状電極22を介して送信信号O U T 0、O U T 1、O U T n - 1及びO U T nが送信される。

[0126] <出力回路に係る一連の動作の流れ>

以上、出力回路15Bの回路構成について説明した。次に、出力回路15Bにおける各信号の電位の遷移について詳しく説明する。図8は、第二実施形態に係る出力回路15Bにおける各信号の電位の遷移を示すタイミングチャートである。なお、本図において、制御回路12は、送信信号O U T 0及びO U T n - 1に対応する送信ドライバ152Aを短絡信号線W s uに接続し、送信信号O U T 1及びO U T nに対応する送信ドライバ152Aを短絡信号線W s dに接続するように決定するものとする。

[0127] 時刻t80で、制御回路12は、リセット信号R S Tの状態をロウ状態にすることによって、短絡制御素子S W rの両端を開放する。これにより、短絡信号線W s u及びW s dの間の短絡状態は解除される。

[0128] 時刻t81で、ドライバ選択回路151は、入力信号I N 0及びI N n - 1の状態をロウ状態からハイ状態へと遷移させる一方で、入力信号I N 1及びI N nの状態をハイ状態からロウ状態へと遷移させ、入力信号I N 0、I N 1、I N n - 1及びI N nを対応する送信ドライバ152Aに入力する。

[0129] 時刻t81で、制御回路12は、出力制御信号E Nの状態をハイ状態から

ロウ状態へと遷移させ、各送信ドライバ152Aのモードを停止モードに設定する。また時刻t81で、制御回路12は、制御信号CTUU0、CTUU<sub>n-1</sub>、CTDD1及びCTDD<sub>n</sub>の状態をロウ状態からハイ状態へと遷移させ、制御信号CTUU0、CTUU<sub>n-1</sub>、CTDD1及びCTDD<sub>n</sub>を短絡制御素子SWUU0、SWUU<sub>n-1</sub>、SWDD1及びSWDD<sub>n</sub>に出力することによって、短絡制御素子SWUU0、SWUU<sub>n-1</sub>、SWDD1及びSWDD<sub>n</sub>の両端を短絡する。

[0130] これにより、時刻t81で、送信信号OUT0及びOUT<sub>n-1</sub>に対応する送信ドライバ152Aは、両端が短絡された短絡制御素子SWUU0及びSWUU<sub>n-1</sub>を介して、電位生成部154Bの一端に短絡される。また、時刻t81で、送信信号OUT1及びOUT<sub>n</sub>に対応する送信ドライバ152Aは、両端が短絡された短絡制御素子SWDD1及びSWDD<sub>n</sub>を介して、電位生成部154Bの他端に短絡される。時刻t81で、送信信号OUT1及びOUT<sub>n</sub>に対応する送信ドライバ152Aから電位生成部154Bに対して電荷が供給される一方で、電位生成部154Bから送信信号OUT0及びOUT<sub>n-1</sub>に対応する送信ドライバ152Aに対して電荷が供給されることによって、送信信号OUT0、OUT1、OUT<sub>n-1</sub>及びOUT<sub>n</sub>の電位は、中間電位となる。

[0131] 時刻t82で、制御回路12は、出力制御信号ENの状態をロウ状態からハイ状態へと遷移させ、各送信ドライバ152Aのモードを出力モードに設定する。また時刻t82で、制御回路12は、制御信号CTUU0、CTUU<sub>n-1</sub>、CTDD1及びCTDD<sub>n</sub>の状態をハイ状態からロウ状態へと遷移させ、制御信号CTUU0、CTUU<sub>n-1</sub>、CTDD1及びCTDD<sub>n</sub>を短絡制御素子SWUU0、SWUU<sub>n-1</sub>、SWDD1及びSWDD<sub>n</sub>に出力することによって、短絡制御素子SWUU0、SWUU<sub>n-1</sub>、SWDD1及びSWDD<sub>n</sub>の両端を開放する。これにより、時刻t82で、各送信ドライバ152A及び電位生成部154Bの間の短絡状態は解除される。時刻t82で、対応する送信ドライバ152Aから電荷が供給されることによ

って、送信信号OUT0及びOUT $n-1$ の電位は中間電位からハイレベルに遷移する一方で、対応する送信ドライバ152Aから電荷が引き抜かれることによって、送信信号OUT1及びOUT $n$ の電位は中間電位からロウレベルに遷移する。

[0132] 時刻 $t_{83}$ で、ドライバ選択回路151は、入力信号IN0及びIN $n-1$ の状態をハイ状態からロウ状態へと遷移させる一方で、入力信号IN1及びIN $n$ の状態をハロウ状態からハイ状態へと遷移させ、入力信号IN0、IN1、IN $n-1$ 及びIN $n$ を対応する送信ドライバ152Aに入力する。

[0133] 時刻 $t_{83}$ で、制御回路12は、出力制御信号ENの状態をハイ状態からロウ状態へと遷移させ、各送信ドライバ152Aのモードを停止モードに設定する。また時刻 $t_{83}$ で、制御回路12は、制御信号CTDU0、CTDU $n-1$ 、CTUD1及びCTUD $n$ の状態をロウ状態からハイ状態へと遷移させ、制御信号CTDU0、CTDU $n-1$ 、CTUD1及びCTUD $n$ を短絡制御素子SWDU0、SWDU $n-1$ 、SWUD1及びSWUD $n$ に出力することによって、短絡制御素子SWDU0、SWDU $n-1$ 、SWUD1及びSWUD $n$ の両端を短絡する。

[0134] これにより、時刻 $t_{83}$ で、送信信号OUT0及びOUT $n-1$ に対応する送信ドライバ152Aは、両端が短絡された短絡制御素子SWDU0及びSWDU $n-1$ を介して、電位生成部154Bの一端に短絡される。また、時刻 $t_{83}$ で、送信信号OUT1及びOUT $n$ に対応する送信ドライバ152Aは、両端が短絡された短絡制御素子SWUD1及びSWUD $n$ を介して、電位生成部154Bの他端に短絡される。時刻 $t_{83}$ で、送信信号OUT0及びOUT $n-1$ に対応する送信ドライバ152Aから電位生成部154Bに対して電荷が供給される一方で、電位生成部154Bから送信信号OUT1及びOUT $n$ に対応する送信ドライバ152Aに対して電荷が供給されることによって、送信信号OUT0、OUT1、OUT $n-1$ 及びOUT $n$ の電位は、中間電位となる。

[0135] 時刻  $t_{84}$  で、制御回路 12 は、出力制御信号  $E_N$  の状態をロウ状態からハイ状態へと遷移させ、各送信ドライバ 152A のモードを出力モードに設定する。また時刻  $t_{84}$  で、制御回路 12 は、制御信号  $CTDU_0$ 、 $CTDU_{n-1}$ 、 $CTUD_1$  及び  $CTUD_n$  の状態をハイ状態からロウ状態へと遷移させ、制御信号  $CTDU_0$ 、 $CTDU_{n-1}$ 、 $CTUD_1$  及び  $CTUD_n$  を短絡制御素子  $SWDU_0$ 、 $SWDU_{n-1}$ 、 $SWUD_1$  及び  $SWUD_n$  に出力することによって、短絡制御素子  $SWDU_0$ 、 $SWDU_{n-1}$ 、 $SWUD_1$  及び  $SWUD_n$  の両端を開放する。これにより、時刻  $t_{84}$  で、各出力信号線  $W_{out}$  と電位生成部 154B 間の短絡状態は解除される。時刻  $t_{84}$  で、対応する送信ドライバ 152A から電荷が供給されることによって、送信信号  $OUT_1$  及び  $OUT_n$  の電位は中間電位からハイレベルに遷移する一方で、対応する送信ドライバ 152A から電荷が引き抜かれることによって、送信信号  $OUT_0$  及び  $OUT_{n-1}$  の電位は中間電位からロウレベルに遷移する。

[0136] 以上、出力回路 15B における各信号の電位の遷移について説明した。なお、出力回路 15B の一連の処理の流れについては、第一実施形態と同様であるため、その説明を省略する。

[0137] <効果>

以上、本実施形態では、センサコントローラ 10 は、電位生成部 154B が容量素子  $C_{ext}$  を有し、中間電位供給部 153B が、容量素子  $C_{ext}$  の一端に接続される第一の短絡信号線  $W_{su}$  と、容量素子  $C_{ext}$  の他端に接続される第二の短絡信号線  $W_{sd}$  と、制御信号  $CTUU$  に従って両端が短絡又は開放され、一端が対応する送信ドライバ 152A の正電源端子に接続され、他端が第一の短絡信号線  $W_{su}$  に接続される複数の第一の短絡制御素子  $SWUU$  と、制御信号  $CTUD$  に従って両端が短絡又は開放され、一端が対応する送信ドライバ 152A の正電源端子に接続され、他端が第二の短絡信号線  $W_{sd}$  に接続される複数の第二の短絡制御素子  $SWUD$  と、制御信号  $CTDU$  に従って両端が短絡又は開放され、一端が対応する送信ドライバ 1

52Aの負電源端子に接続され、他端が第一の短絡信号線 $W_{su}$ に接続される複数の第三の短絡制御素子 $SWDU$ と、制御信号 $CTDD$ に従って両端が短絡又は開放され、一端が対応する送信ドライバ152Aの負電源端子に接続され、他端が第二の短絡信号線 $W_{sd}$ に接続される複数の第四の短絡制御素子 $SWDD$ と、を有する。

[0138] この構成によれば、センサコントローラ10は、容量素子 $C_{ext}$ を有する電位生成部154Bを有する中間電位供給部153Bから送信ドライバ152Aに対して中間電位を出力することによって、送信ドライバ152Aに対して必要なタイミングに安定的に中間電位を供給することができる。したがって、本発明によれば、センサコントローラ10は、従来構成と比べて、出力信号線 $W_{out}$ にスイッチなどの素子を接続することなく消費電力を削減できる。

[0139] また、本実施形態では、制御回路12は、送信ドライバ152Aごとに出力信号線 $W_{out}$ を第一の短絡信号線 $W_{su}$ 及び第二の短絡信号線 $W_{sd}$ のうちいずれに接続するかを決定し、出力信号線 $W_{out}$ を第一の短絡信号線 $W_{su}$ に接続すると決定した場合、第一のタイミング（時刻 $t_{81}$ 、 $t_{83}$ 、 $t_{85}$ 及び $t_{87}$ ）で短絡し、第二のタイミング（時刻 $t_{82}$ 、 $t_{84}$ 、 $t_{86}$ 及び $t_{88}$ ）で開放するように対応する第一の短絡制御素子 $SWUU$ 及び第三の短絡制御素子 $SWDU$ のうち少なくとも一つを制御する一方で、出力信号線 $W_{out}$ を第二の短絡信号線 $W_{sd}$ に接続すると決定した場合、第一のタイミング（時刻 $t_{81}$ 、 $t_{83}$ 、 $t_{85}$ 及び $t_{87}$ ）で短絡し、第二のタイミング（時刻 $t_{82}$ 、 $t_{84}$ 、 $t_{86}$ 及び $t_{88}$ ）で開放するように対応する第二の短絡制御素子 $SWUD$ 及び第四の短絡制御素子 $SWDD$ のうち少なくとも一つを制御する。

[0140] この構成によれば、センサコントローラ10は、各送信ドライバ152Aの出力の状態をハイインピーダンス状態にして、中間電位供給部153Aから各出力信号線 $W_{out}$ に対して安定的に中間電位を供給する期間を設けることによって、消費電力を削減することができる。

[0141] ———第三実施形態———

以上、第二実施形態について説明した。続いて、第三実施形態について説明する。

[0142] <回路構成>

図9は、第三実施形態に係る中間電位供給部153Cを含む出力回路15Cの回路構成の一例を示した図である。

[0143] 図9に示すように、出力回路15Cは、ドライバ選択回路151と、複数の送信ドライバ152Aと、中間電位供給部153Cとを含んで構成される。なお、本図において、ドライバ選択回路151は、 $n+1$ 個の送信ドライバ152Aを選択するものとする。また、線状電極22は、負荷容量として容量素子Coutを有しているものとする。容量素子Coutの静電容量は、例えば、約1200pFである。なお、ドライバ選択回路151及び送信ドライバ152Aについては、第一実施形態と同様であるため、その説明を省略する。

[0144] 中間電位供給部153Cは、電位生成部154Aと、複数の出力制御回路155A及び156Aと、短絡信号線Wsと、短絡制御素子SWrと、リセット用電圧源Vrstとを含んで構成される。なお、電位生成部154A、短絡制御素子SWr及びリセット用電圧源Vrstについては、第一実施形態と同様であるため、その説明を省略する。

[0145] 出力制御回路155Aは、送信ドライバ152B毎に設けられ、制御回路12から対応する送信ドライバ152B毎に出力される制御信号CTDに従って、対応する出力信号線Woutから短絡信号線Wsに向かう第一の方向の電流経路を導通させるか又は非導通にする。出力制御回路155Aは、短絡制御素子SWDと電流制御素子DDとを含んで構成される。

[0146] 出力制御回路156Aは、送信ドライバ152B毎に設けられ、制御回路12から対応する送信ドライバ152B毎に出力される制御信号CTUに従って、短絡信号線Wsから対応する出力信号線Woutに向かう第二の方向の電流経路を導通させるか又は非導通にする。出力制御回路156Aは、短

絡制御素子SWUと電流制御素子DUとを含んで構成される。

- [0147] 短絡制御素子SWU及びSWDは、例えば、スイッチ素子やトランジスタなどであり、入力される信号に従って、両端を短絡又は開放する。具体的には、短絡制御素子SWU及びSWDは、入力される信号の状態がハイ状態の場合、両端を短絡する一方で、入力される信号の状態がロウ状態の場合、両端を開放する。
- [0148] 短絡制御素子SWDは、一端が対応する送信ドライバ152Aの負電源端子に接続される一方で、他端が電流制御素子DDのアノード端子に接続される。短絡制御素子SWDは、制御信号CTDに従って、両端を短絡又は開放する。
- [0149] 短絡制御素子SWUは、一端が対応する送信ドライバ152Aの正電源端子に接続される一方で、他端が電流制御素子DUのカソード端子に接続される。短絡制御素子SWUは、制御信号CTUに従って、両端を短絡又は開放する。
- [0150] 電流制御素子DDは、例えば、ダイオードであり、短絡制御素子SWDから短絡信号線Wsに向かう第一の方向の電流経路が導通する一方で、短絡信号線Wsから短絡制御素子SWDに向かう方向の電流経路が非導通となる。電流制御素子DDは、アノード端子が短絡制御素子SWDに接続され、カソード端子が短絡信号線Wsに接続される。
- [0151] 電流制御素子DUは、例えば、ダイオードであり、アノード端子が短絡信号線Wsに接続され、カソード端子が短絡制御素子SWUに接続される。電流制御素子DUは、短絡信号線Wsから短絡制御素子SWUに向かう第二の方向の電流経路が導通する一方で、短絡制御素子SWUから短絡信号線Wsに向かう方向の電流経路が非導通となる。
- [0152] 以上のように構成される出力回路15Cにおいて、制御回路12は、入力信号IN0～INnのいずれかの状態がロウ状態からハイ状態に遷移するタイミングにおいて、短絡制御素子SWUを短絡状態に制御する。また、制御回路12は、入力信号IN0～INnのいずれかの状態がハイ状態からロウ

状態に遷移するタイミングにおいて、短絡制御素子SWDを短絡状態に制御する。これにより、電位がハイレベルである送信ドライバ152Aの正電源端子から短絡信号線Wsに向かう第一の方向の電流経路が導通するとともに、短絡信号線Wsから電位がロウレベルである送信ドライバ152Aの負電源端子に向かう第二の方向の電流経路が導通するため、電位がハイレベルである出力信号線Woutから送信ドライバ152A及び短絡信号線Wsを介して、容量素子Cext及び電位がロウレベルである出力信号線Woutに対して電荷が供給される。また、電圧源Vmid及び容量素子Cextから短絡信号線Ws及び送信ドライバ152Aを介して、電位がロウレベルである出力信号線Woutに電荷が供給される。これにより、各出力信号線Wout及び短絡信号線Wsの電位は、中間電位に到達する。

[0153] 続いて、電流制御素子DUは、短絡信号線Wsの電位が対応する出力信号線Woutの電位を下回ったタイミングで、第二の方向の電流経路を非導通にする。また、電流制御素子DDは、対応する出力信号線Woutの電位が短絡信号線Wsの電位を下回ったタイミングで、第一の方向の電流経路を非導通にする。これにより、各出力信号線Woutの電位は、対応する送信ドライバ152Aによって中間電位からハイレベル又はロウレベルまで遷移し、線状電極22を介して送信信号OUT0、OUT1、OUTn-1及びOUTnが送信される。

[0154] 以上、出力回路15Cの構成について説明した。次に、出力制御回路156の回路構成の他の例について説明する。図11Aは、第三実施形態に係る出力制御回路156の回路構成の他の例を示す図である。

[0155] 図11Aに示すように、出力制御回路156Bは、論理否定回路INV3と、トランジスタTR5及びTR6と、短絡制御素子SWcuと、電圧源VBとを含んで構成される。

[0156] 論理否定回路INV3は、例えば、MOSトランジスタで構成されるインバータ回路であり、制御回路12から出力される制御信号CTUに対して、論理否定演算を行い、該演算の結果を短絡制御素子SWcuとトランジスタ

TR5のゲート端子とに出力する。

[0157] トランジスタTR5及びTR6は、例えば、N型MOSトランジスタであり、ゲート端子に入力される信号に従って、ドレイン端子からソース端子に向かって電荷を引き抜くか又は該引き抜きを停止する。具体的には、トランジスタTR5及びTR6は、ゲート端子に入力される信号の状態がハイ状態の場合、ドレイン端子からソース端子に向かって電荷を引き抜く一方で、ゲート端子に入力される信号の状態がロウ状態の場合、該引き抜きを停止する。

[0158] トランジスタTR5は、ゲート端子が論理否定回路INV3の出力端子に接続され、ソース端子が基準線GNDに接続され、ドレイン端子がトランジスタTR6のゲート端子と短絡制御素子SWcuの他端とに接続される。トランジスタTR5は、論理否定回路INV3から出力される信号に従って、トランジスタTR6のゲート端子から基準線GNDに向かって電荷を引き抜く。

[0159] トランジスタTR6は、ゲート端子がトランジスタTR5のドレイン端子と短絡制御素子SWcuの他端とに接続され、ソース端子が対応する送信ドライバ152Aの正電源端子に接続され、ドレイン端子が短絡信号線Wsに接続される。トランジスタTR6は、ゲート端子の電位に従って、短絡信号線Wsの電位を対応する出力信号線Woutに供給する。なお、短絡信号線Wsの電位と対応する送信ドライバ152Aの正電源端子の電位とが同じである場合、短絡信号線Wsから対応する出力信号線Woutへの電位の供給は、停止する。

[0160] 電圧源VBは、中間電位を生成し、生成した中間電位を短絡制御素子SWcuの一端に供給する。電圧源VBは、一端が短絡制御素子SWcuに接続される一方で、他端が基準線GNDに接続される。

[0161] 短絡制御素子SWcuは、例えば、トランジスタやスイッチ素子であり、一端が電圧源VBに接続され、他端がトランジスタTR5のドレイン端子とトランジスタTR6のゲート端子とに接続される。短絡制御素子SWcuは

、論理否定回路 I N V 3 から出力される信号に従って、両端を短絡又は開放する。具体的には、短絡制御素子 S W c u は、論理否定回路 I N V 3 から出力される信号の状態がロウ状態の場合、両端を短絡する一方で、該信号がハイ状態の場合、両端を開放する。

[0162] 以上のように構成される出力制御回路 1 5 6 B は、制御回路 1 2 から出力される制御信号 C T U に従って、短絡信号線 W s の電位を対応する出力信号線 W o u t に供給する。具体的には、制御信号 C T U の状態がハイ状態の場合、短絡信号線 W s の電位を対応する送信ドライバ 1 5 2 A の正電源端子に供給する一方で、制御信号 C T U の状態がロウ状態の場合、短絡信号線 W s からの対応する送信ドライバ 1 5 2 A の正電源端子への電位の供給を停止する。また、出力制御回路 1 5 6 B は、短絡信号線 W s の電位と対応する送信ドライバ 1 5 2 A の正電源端子の電位が同じである場合においても、短絡信号線 W s から対応する送信ドライバ 1 5 2 A の正電源端子への電位の供給を停止する。

[0163] 以上、出力制御回路 1 5 6 B の回路構成について説明した。次に、出力制御回路 1 5 5 の回路構成の他の例について説明する。図 1 1 B は、第三実施形態に係る出力制御回路 1 5 5 の回路構成の他の例を示す図である。

[0164] 図 1 1 B に示すように、出力制御回路 1 5 5 B は、トランジスタ T R 7 及び T R 8 と、短絡制御素子 S W c d と、電圧源 V B とを含んで構成される。

[0165] トランジスタ T R 7 及び T R 8 は、例えば P 型 M O S トランジスタである。トランジスタ T R 7 及び T R 8 は、ゲート端子に入力される信号に従って、ソース端子に供給される電位をドレイン端子に供給するか又は該供給を停止する。具体的には、トランジスタ T R 7 及び T R 8 は、ゲート端子に入力される信号の状態がロウ状態の場合、ソース端子に供給される電位をドレイン端子に供給する一方で、ゲート端子に入力される信号の状態がハイ状態の場合、該供給を停止する。

[0166] トランジスタ T R 7 は、ゲート端子が制御回路 1 2 に接続され、ソース端子が電源線 V D D に接続され、ドレイン端子がトランジスタ T R 8 のゲート

端子と短絡制御素子SW<sub>cd</sub>の他端とに接続される。トランジスタTR<sub>7</sub>は、制御回路12から出力される制御信号CTDに従って、電源線VDDの電位（ハイレベル）をトランジスタTR<sub>8</sub>のゲート端子に供給する。

[0167] トランジスタTR<sub>8</sub>は、ゲート端子がトランジスタTR<sub>7</sub>のドレイン端子と短絡制御素子SW<sub>cd</sub>の他端とに接続され、ソース端子が対応する送信ドライバ152Aの負電源端子に接続され、ドレイン端子が短絡信号線W<sub>s</sub>に接続される。トランジスタTR<sub>8</sub>は、ゲート端子の電位に従って、対応する送信ドライバ152Aの負電源端子の電位を短絡信号線W<sub>s</sub>に供給する。なお、短絡信号線W<sub>s</sub>の電位と対応する送信ドライバ152Aの負電源端子の電位とが同じである場合、対応する送信ドライバ152Aの負電源端子から短絡信号線W<sub>s</sub>への電位の供給は、停止する。

[0168] 電圧源V<sub>B</sub>は、中間電位を生成し、生成した中間電位を短絡制御素子SW<sub>cd</sub>の一端に供給する。電圧源V<sub>B</sub>は、一端が短絡制御素子SW<sub>cd</sub>に接続される一方で、他端が基準線GNDに接続される。

[0169] 短絡制御素子SW<sub>cd</sub>は、例えば、トランジスタやスイッチ素子であり、一端が電圧源V<sub>B</sub>に接続され、他端がトランジスタTR<sub>7</sub>のドレイン端子とトランジスタTR<sub>8</sub>のゲート端子とに接続される。短絡制御素子SW<sub>cd</sub>は、制御回路12から出力される制御信号CTDに従って、両端を短絡又は開放する。具体的には、短絡制御素子SW<sub>cd</sub>は、制御信号CTDの状態がハイ状態の場合、両端を短絡する一方で、該信号がロウ状態の場合、両端を開放する。

[0170] 以上のように構成される出力制御回路155Bは、制御回路12から出力される制御信号CTDに従って、対応する送信ドライバ152Aの負電源端子の電位を短絡信号線W<sub>s</sub>に供給する。具体的には、制御信号CTDの状態がハイ状態の場合、対応する送信ドライバ152Aの負電源端子の電位を短絡信号線W<sub>s</sub>に供給する一方で、制御信号CTDの状態がロウ状態の場合、対応する送信ドライバ152Aの負電源端子からの短絡信号線W<sub>s</sub>への電位の供給を停止する。また、出力制御回路155Bは、短絡信号線W<sub>s</sub>の電位

と対応する送信ドライバ152Aの負電源端子の電位が同じである場合においても、対応する送信ドライバ152Aの負電源端子から短絡信号線Wsへの電位の供給を停止する。

[0171] 以上、出力制御回路155Bの回路構成について説明した。次に電圧源Vmidの回路の構成の一例について説明する。図14は、第三実施形態に係る電圧源Vmidの回路構成の一例を示す図である。

[0172] 図14に示すように、電圧源Vmidは、トランジスタTRv1、TRv2、TRv3及びTRv4と、容量素子Cu及びCdと、電圧源Vc1及びVc2と、電源線VDDと、基準線GNDとを含んで構成される。

[0173] トランジスタTRv1及びTRv2は、例えば、P型MOSトランジスタであり、ゲート端子に入力される信号に従って、ソース端子に供給される電位をドレイン端子に供給するか又は該供給を停止する。具体的には、トランジスタTRv1及びTRv2は、ゲート端子に入力される信号の状態がロウ状態の場合、ソース端子に供給される電位をドレイン端子に供給する一方で、ゲート端子に入力される信号の状態がハイ状態の場合、該供給を停止する。

[0174] トランジスタTRv1は、制御回路12からゲート端子に入力される制御信号CTv1に従って、ソース端子に接続される電源線VDDの電位をドレイン端子に接続される短絡信号線Wsに供給する。

[0175] トランジスタTRv2は、制御回路12からゲート端子に入力される制御信号CTv2に従って、ソース端子に接続される電圧源Vc1の電位をドレイン端子に接続される短絡信号線Wsに供給する。

[0176] トランジスタTRv3及びTRv4は、例えば、N型MOSトランジスタであり、ゲート端子に入力される信号に従って、ドレイン端子からソース端子に向かって電荷を引き抜くか又は該引き抜きを停止する。具体的には、トランジスタTRv3及びTRv4は、ゲート端子に入力される信号の状態がハイ状態の場合、ドレイン端子からソース端子に向かって電荷を引き抜く一方で、ゲート端子に入力される信号の状態がロウ状態の場合、該引き抜きを

停止する。

- [0177] トランジスタ  $T R v 3$  は、制御回路 1 2 からゲート端子に入力される制御信号  $C T v 3$  に従って、ソース端子に接続される電圧源  $V c 2$  の電位をドレイン端子に接続される短絡信号線  $W s$  に供給する。
- [0178] トランジスタ  $T R v 4$  は、制御回路 1 2 からゲート端子に入力される制御信号  $C T v 4$  に従って、ソース端子に接続される基準線  $G N D$  の電位をドレイン端子に接続される短絡信号線  $W s$  に供給する。
- [0179] 電圧源  $V c 1$  は、トランジスタ  $T R v 2$  のソース端子及び容量素子  $C u$  に電位を供給する。電圧源  $V c 1$  が供給する電位は、例えば、ハイレベルの電位の三分の二の電位である。電圧源  $V c 1$  は、一端がトランジスタ  $T R v 2$  のソース端子及び容量素子  $C u$  の陽極に接続される一方で、他端が基準線  $G N D$  に接続される。
- [0180] 電圧源  $V c 2$  は、トランジスタ  $T R v 3$  のソース端子及び容量素子  $C d$  に電位を供給する。電圧源  $V c 1$  が供給する電位は、例えば、ハイレベルの電位の三分の一の電位である。電圧源  $V c 1$  は、一端がトランジスタ  $T R v 3$  のソース端子及び容量素子  $C d$  の陽極に接続される一方で、他端が基準線  $G N D$  に接続される。
- [0181] 容量素子  $C u$  は、例えば、電解コンデンサであり、電圧源  $V c 1$  の電位を安定化させる。容量素子  $C u$  は、陽極がトランジスタ  $T R v 2$  のソース端子及び電圧源  $V c 1$  に接続される一方で、陰極が基準線  $G N D$  に接続される。
- [0182] 容量素子  $C d$  は、例えば、電解コンデンサであり、電圧源  $V c 2$  の電位を安定化させる。容量素子  $C d$  は、陽極がトランジスタ  $T R v 3$  のソース端子及び電圧源  $V c 2$  に接続される一方で、陰極が基準線  $G N D$  に接続される。
- [0183] 以上のように構成される電圧源  $V m i d$  は、制御回路 1 2 から出力される制御信号  $C T v 1$ 、 $C T v 2$ 、 $C T v 3$  及び  $C T v 4$  に従って、ハイレベルの電位、ハイレベルの三分の二の電位、ハイレベルの三分の一の電位、ロウレベルの四つの電位を切り替えて短絡信号線  $W s$  に供給する。なお、電圧源  $V c 1$  及び  $V c 2$  が供給する電位は、上述した電位に限られず、例えば、ハ

イレベルの二分の一の電位であっても良い。

[0184] <出力回路に係る一連の動作の流れ>

以上、電圧源  $V_{mid}$  の回路構成の一例について説明した。次に、出力回路 15C における各信号の電位の遷移について詳しく説明する。図 10 は、第三実施形態に係る出力回路 15C における各信号の電位の遷移を示すタイミングチャートである。

[0185] 時刻  $t_{100}$  で、制御回路 12 は、リセット信号  $RST$  の状態をロウ状態にすることによって、短絡制御素子  $SW_r$  の両端を開放する。これにより、リセット用電圧源  $V_{rst}$  から短絡信号線  $W_s$  への初期電位の供給は、停止する。

[0186] 時刻  $t_{101}$  で、ドライバ選択回路 151 は、入力信号  $IN_0$  及び  $IN_{n-1}$  の状態をロウ状態からハイ状態へと遷移させる一方で、入力信号  $IN_1$  及び  $IN_n$  の状態をハイ状態からロウ状態へと遷移させ、入力信号  $IN_0$ 、 $IN_1$ 、 $IN_{n-1}$  及び  $IN_n$  を対応する送信ドライバ 152A に入力する。また、時刻  $t_{101}$  で、制御回路 12 は、送信ドライバ 152A の状態をハイインピーダンス状態にする。

[0187] 時刻  $t_{101}$  で、制御回路 12 は、制御信号  $CTD_0$ 、 $CTD_{n-1}$ 、 $CTU_1$  及び  $CTU_n$  の状態をハイ状態からロウ状態へと遷移させ、制御信号  $CTD_0$ 、 $CTD_{n-1}$ 、 $CTU_1$  及び  $CTU_n$  を短絡制御素子  $SWD_0$ 、 $SWD_{n-1}$ 、 $SWU_1$  及び  $SWU_n$  に出力することによって、短絡制御素子  $SWD_0$ 、 $SWD_{n-1}$ 、 $SWU_1$  及び  $SWU_n$  の両端を開放する。

[0188] 時刻  $t_{101}$  から所定の時間が経過した時刻  $t_{102}$  で、制御回路 12 は、制御信号  $CTU_0$ 、 $CTU_{n-1}$ 、 $CTD_1$  及び  $CTD_n$  の状態をロウ状態からハイ状態へと遷移させ、制御信号  $CTU_0$ 、 $CTU_{n-1}$ 、 $CTD_1$  及び  $CTD_n$  を短絡制御素子  $SWU_0$ 、 $SWU_{n-1}$ 、 $SWD_1$  及び  $SWD_n$  に出力することによって、短絡制御素子  $SWU_0$ 、 $SWU_{n-1}$ 、 $SWD_1$  及び  $SWD_n$  の両端を短絡する。また、時刻  $t_{102}$  で、制御回路 12 は、送信ドライバ 152A の状態を出力状態にする。

- [0189] これにより、時刻  $t_{102}$  で、送信信号  $OUT_1$  及び  $OUT_n$  に対応する送信ドライバ  $152A$  から短絡信号線  $W_s$  を介して容量素子  $C_{ext}$  と、送信信号  $OUT_0$  及び  $OUT_{n-1}$  に対応する送信ドライバ  $152A$  とに対して電荷が供給されることによって、送信信号  $OUT_0$ 、 $OUT_1$ 、 $OUT_{n-1}$  及び  $OUT_n$  の電位は、中間電位への遷移を開始する。
- [0190] 時刻  $t_{103}$  で、送信信号  $OUT_0$ 、 $OUT_1$ 、 $OUT_{n-1}$  及び  $OUT_n$  の電位は、中間電位へと到達する。時刻  $t_{103}$  で、電流制御素子  $D_U$  は、第二の方向の電流経路を非導通にする。また、時刻  $t_{103}$  で、電流制御素子  $D_D$  は、第一の方向の電流経路を非導通にする。また、時刻  $t_{103}$  で、送信信号  $OUT_0$  及び  $OUT_{n-1}$  に対応する送信ドライバ  $152A$  は、対応する出力信号線  $W_{out}$  に電荷を供給する。これにより、時刻  $t_{103}$  で、送信信号  $OUT_0$  及び  $OUT_{n-1}$  の電位は、中間電位からハイレベルに遷移を開始する。また、時刻  $t_{103}$  で、送信信号  $OUT_1$  及び  $OUT_n$  に対応する送信ドライバ  $152A$  は、対応する出力信号線  $W_{out}$  から電荷を引き抜く。これにより、時刻  $t_{103}$  で、送信信号  $OUT_1$  及び  $OUT_n$  の電位は、中間電位からロウレベルに遷移を開始する。
- [0191] 時刻  $t_{104}$  で、対応する送信ドライバ  $152A$  から電荷が供給されることによって、送信信号  $OUT_0$  及び  $OUT_{n-1}$  の電位は、ハイレベルに到達する。また、時刻  $t_{104}$  で、対応する送信ドライバ  $152A$  から電荷が引き抜かれることによって、送信信号  $OUT_1$  及び  $OUT_n$  の電位は、ロウレベルに到達する。
- [0192] 時刻  $t_{105}$  で、制御回路  $12$  は、制御信号  $CTU_0$ 、 $CTU_{n-1}$ 、 $CTD_1$  及び  $CTD_n$  の状態をハイ状態からロウ状態へと遷移させ、制御信号  $CTU_0$ 、 $CTU_{n-1}$ 、 $CTD_1$  及び  $CTD_n$  を短絡制御素子  $SWU_0$ 、 $SWU_{n-1}$ 、 $SWD_1$  及び  $SWD_n$  に出力することによって、短絡制御素子  $SWU_0$ 、 $SWU_{n-1}$ 、 $SWD_1$  及び  $SWD_n$  の両端を開放する。また、時刻  $t_{105}$  で、制御回路  $12$  は、送信ドライバ  $152A$  の状態をハイインピーダンス状態にする。

- [0193] 時刻  $t_{105}$  から所定の時間が経過した時刻  $t_{106}$  で、制御回路 12 は、制御信号  $CTD_0$ 、 $CTD_{n-1}$ 、 $CTU_1$  及び  $CTU_n$  の状態をロウ状態からハイ状態へと遷移させ、制御信号  $CTD_0$ 、 $CTD_{n-1}$ 、 $CTU_1$  及び  $CTU_n$  を短絡制御素子  $SWD_0$ 、 $SWD_{n-1}$ 、 $SWU_1$  及び  $SWU_n$  に出力することによって、短絡制御素子  $SWD_0$ 、 $SWD_{n-1}$ 、 $SWU_1$  及び  $SWU_n$  の両端を短絡する。また、時刻  $t_{106}$  で、制御回路 12 は、送信ドライバ 152A の状態を出力状態にする。
- [0194] これにより、時刻  $t_{106}$  で、送信信号  $OUT_0$  及び  $OUT_{n-1}$  に対応する送信ドライバ 152A から短絡信号線  $W_s$  を介して容量素子  $C_{ext}$  と、送信信号  $OUT_1$  及び  $OUT_n$  に対応する送信ドライバ 152A とに対して電荷が供給されることによって、送信信号  $OUT_0$ 、 $OUT_1$ 、 $OUT_{n-1}$  及び  $OUT_n$  の電位は、中間電位への遷移を開始する。
- [0195] 時刻  $t_{107}$  で、送信信号  $OUT_0$ 、 $OUT_1$ 、 $OUT_{n-1}$  及び  $OUT_n$  の電位は、中間電位へと到達する。時刻  $t_{107}$  で、電流制御素子  $D_U$  は、第二の方向の電流経路を非導通にする。また、時刻  $t_{107}$  で、電流制御素子  $D_D$  は、第一の方向の電流経路を非導通にする。また、時刻  $t_{107}$  で、送信信号  $OUT_1$  及び  $OUT_n$  に対応する送信ドライバ 152A は、対応する出力信号線  $W_{out}$  に電荷を供給する。これにより、時刻  $t_{107}$  で、送信信号  $OUT_1$  及び  $OUT_n$  の電位は、中間電位からハイレベルに遷移を開始する。また、時刻  $t_{107}$  で、送信信号  $OUT_0$  及び  $OUT_{n-1}$  に対応する送信ドライバ 152A は、対応する出力信号線  $W_{out}$  から電荷を引き抜く。これにより、時刻  $t_{107}$  で、送信信号  $OUT_0$  及び  $OUT_{n-1}$  の電位は、中間電位からロウレベルに遷移を開始する。
- [0196] 時刻  $t_{108}$  で、対応する送信ドライバ 152A から電荷が供給されることによって、送信信号  $OUT_1$  及び  $OUT_n$  の電位は、ハイレベルに到達する。また、時刻  $t_{108}$  で、対応する送信ドライバ 152A から電荷が引き抜かれることによって、送信信号  $OUT_0$  及び  $OUT_{n-1}$  の電位は、ロウレベルに到達する。

[0197] 以上、出力回路15Cにおける各信号の電位の遷移について説明した。次に、出力回路15Cの一連の処理の流れについて詳しく説明する。図16は、第三実施形態に係る出力回路15Cの一連の処理の流れを示すフローチャートである。

[0198] (ステップSP60)

送信ドライバ152Aは、ドライバ選択回路151から入力される入力信号INに対して、線状電極22から信号を送信できる電位差まで信号を増幅し、該増幅した信号を送信信号OUTとして、送信信号OUTを対応する出力信号線Woutに送信する。そして、処理は、ステップSP62の処理に移行する。

[0199] (ステップSP62)

制御回路12は、送信信号OUTの信号波形がロウレベルからハイレベルに立ち上がるタイミングか否かを判断する。該判断が肯定の場合、処理は、ステップSP64の処理に移行する一方で、該判断が否定の場合、処理は、ステップSP68の処理に移行する。

[0200] (ステップSP64)

制御回路12は、各短絡制御素子SWDの両端を開放するように制御する。そして、処理は、ステップSP66の処理に移行する。

[0201] (ステップSP66)

制御回路12は、各短絡制御素子SWUの両端を短絡するように制御する。これにより、電位がハイレベルである出力信号線Woutに対応する送信ドライバ152Aから短絡信号線Wsを介して、容量素子Cextと電位がロウレベルである出力信号線Woutに対応する送信ドライバ152Aとに電位が供給される。各送信ドライバ152Aniに対応する出力信号線Wout及び短絡信号線Wsの電位は、まず中間電位に遷移する。続いて、各送信ドライバ152Aに対応する出力信号線Woutの電位は、中間電位からハイレベルに遷移する。

[0202] (ステップSP68)

制御回路 12 は、送信信号 O U T の信号波形がハイレベルからロウレベルに立ち下がるタイミングか否かを判断する。該判断が肯定の場合、処理は、ステップ S P 7 0 の処理に移行する。一方で、該判断が否定の場合、図 16 に示す一連の処理は、終了する。

[0203] (ステップ S P 7 0)

制御回路 12 は、各短絡制御素子 S W U の両端を開放するように制御する。そして、処理は、ステップ S P 7 2 の処理に移行する。

[0204] (ステップ S P 7 2)

制御回路 12 は、各短絡制御素子 S W D の両端を短絡するように制御する。これにより、電位がハイレベルである出力信号線 W o u t に対応する送信ドライバ 152 A から短絡信号線 W s を介して、容量素子 C e x t と電位がロウレベルである出力信号線 W o u t に対応する送信ドライバ 152 A とに電位が供給される。各送信ドライバ 152 A に対応する出力信号線 W o u t 及び短絡信号線 W s の電位は、まず中間電位に遷移する。続いて、各送信ドライバ 152 A に対応する出力信号線 W o u t の電位は、中間電位からロウレベルに遷移する。

[0205] <効果>

以上、本実施形態では、センサコントローラ 10 は、制御信号 C T U 及び C T D を送信する制御回路 12 を備え、中間電位供給部 153 C が、短絡信号線 W s と、一端が対応する送信ドライバ 152 A の負電源端子に接続され、他端が短絡信号線 W s に接続され、制御信号 C T D に従って、負電源端子から短絡信号線 W s に向かう第一の方向のみ導通する複数の第一の出力制御回路 155 A と、一端が対応する送信ドライバ 152 A の正電源端子に接続され、他端が短絡信号線 W s に接続され、制御信号 C T U に従って、対応する短絡信号線 W s から正電源端子に向かう第二の方向のみ導通する複数の第二の出力制御回路 156 A と、を有する。

[0206] この構成によれば、出力制御回路 155 A は、短絡信号線 W s の電位が対応する送信ドライバ 152 A の負電源端子の電位を上回ったタイミングで第

一の方向の電流経路を非導通にする。また、出力制御回路156Aは、対応する送信ドライバ152Aの正電源端子の電位が短絡信号線Wsの電位を上回ったタイミングで第二の方向の電流経路を非導通にする。したがって、本発明によれば、センサコントローラ10が必要な期間だけ中間電位供給部153Cから送信ドライバ152Aに中間電位を供給するため、センサコントローラ10は、従来構成と比べて、出力信号線Woutにスイッチなどの素子を接続することなく消費電力を削減できる。

[0207] また、本実施形態では、第一の出力制御回路155Bは、ソース端子が負電源端子に接続され、ドレイン端子が短絡信号線Wsに接続され、ゲート端子に第一の電位（ロウレベル）が供給されるか又は送信ドライバ152A及び中間電位供給部153Cとは異なる電圧源VBから中間電位が供給されるN型トランジスタを有する。また、第二の出力制御回路156Bは、ソース端子が正電源端子に接続され、ドレイン端子が短絡信号線Wsに接続され、ゲート端子に第二の電位（ハイレベル）が供給されるか又は送信ドライバ152A及び中間電位供給部153Cとは異なる電圧源VBから中間電位が供給されるP型トランジスタを有する。

[0208] この構成によれば、出力制御回路155A及び156Aは、電流制御素子DU及びDDに変えてトランジスタによって構成されるため、部品のコストを削減することができる。

[0209] また、本実施形態では、制御回路12は、対応する送信ドライバ152Aの信号波形の電位が立ち下がるタイミングで第二の方向のみ導通し、対応する送信ドライバ152Aの信号波形の電位が立ち上がるタイミングで非導通とするように第一の出力制御回路155Aを制御する。また、制御回路12は、対応する送信ドライバ152Aの信号波形の電位が立ち上がるタイミングで第一の方向のみを導通し、対応する送信ドライバ152Aの信号波形の電位が立ち下がるタイミングで非導通とするように第二の出力制御回路156Aを制御する。

[0210] この構成によれば、センサコントローラ10が必要な期間だけ中間電位供

給部153Cから送信ドライバ152Aに中間電位を供給するため、センサコントローラ10は、従来構成と比べて、出力信号線Woutにスイッチなどの素子を接続することなく消費電力を削減できる。

[0211] また、本実施形態では、中間電位供給部153Cは、送信ドライバ152Aとは別の電圧源Vmid又は容量素子Cextを有する電位生成部154Bを有し、第一の電位（ロウレベル）から第二の電位（ハイレベル）への遷移又は第二の電位（ハイレベル）から第一の電位（ロウレベル）への遷移を開始するタイミングから送信ドライバ152Aの正電源端子又は負電源端子の電位が中間電位に至るまでの期間、電位生成部154Bから電圧を出力することによって、中間電位を前記送信ドライバ152Aに供給する。

[0212] この構成によれば、センサコントローラ10が必要な期間だけ中間電位供給部153Cから送信ドライバ152Aに中間電位を供給するため、センサコントローラ10は、従来構成と比べて、出力信号線Woutにスイッチなどの素子を接続することなく消費電力を削減できる。

[0213] ———第四実施形態———

以上、第三実施形態について説明した。続いて、第四実施形態について説明する。

[0214] <回路構成>

図12は、第四実施形態に係る中間電位供給部153Dを含む出力回路15Dの回路構成の一例を示した図である。

[0215] 図12に示すように、出力回路15Dは、ドライバ選択回路151と、複数の送信ドライバ152Aと、中間電位供給部153Dとを含んで構成される。なお、本図において、ドライバ選択回路151は、 $n+1$ 個の送信ドライバ152Aを選択するものとする。また、線状電極22は、負荷容量として容量素子Coutを有しているものとする。容量素子Coutの静電容量は、例えば、約1200pFである。なお、ドライバ選択回路151及び送信ドライバ152Aについては、第一実施形態と同様であるため、その説明を省略する。

[0216] 中間電位供給部153Dは、電位生成部154Bと、複数の出力制御回路155BD及び156Cと、短絡信号線Wsu及びWsdと、短絡制御素子SWrとを含んで構成される。なお、電位生成部154B及び短絡制御素子SWrについては、上述したものと同様であるため、その説明を省略する。

[0217] 出力制御回路155Bは、例えば、短絡制御素子SWDU0及びSWDD0と、電流制御素子DDとを含んで構成される。出力制御回路155Bは、対応する送信ドライバ152B毎に設けられ、制御回路12から対応する送信ドライバ152B毎に出力される制御信号CTDD及びCTDDに従って、対応する送信ドライバ152Aの負電源端子の電位を短絡信号線Wsu及びWsdに供給する。具体的には、出力制御回路155Bは、制御信号CTDUの状態がハイ状態の場合、対応する送信ドライバ152Aの負電源端子の電位を短絡信号線Wsuに供給する一方で、制御信号CTDUの状態がロウ状態の場合、対応する送信ドライバ152Aの負電源端子から短絡信号線Wsuへの電位の供給を停止する。また、出力制御回路155Bは、制御信号CTDDの状態がハイ状態の場合、対応する送信ドライバ152Aの負電源端子の電位を短絡信号線Wsdに供給する一方で、制御信号CTDDの状態がロウ状態の場合、対応する送信ドライバ152Aの負電源端子から短絡信号線Wsdへの電位の供給を停止する。

[0218] 出力制御回路156Bは、例えば、短絡制御素子SWUU及びSWUDと、電流制御素子DUとを含んで構成される。出力制御回路156Bは、対応する送信ドライバ152A毎に設けられ、制御回路12から対応する送信ドライバ152A毎に出力される制御信号CTUU及びCTUDに従って、短絡信号線Wsu及びWsdの電位を対応する送信ドライバ152Aの正電源端子に供給する。具体的には、出力制御回路156Bは、制御信号CTUUの状態がハイ状態の場合、短絡信号線Wsuの電位を対応する送信ドライバ152Aの正電源端子に供給する一方で、制御信号CTUUの状態がロウ状態の場合、短絡信号線Wsuから対応する送信ドライバ152Aの正電源端子への電位の供給を停止する。また、出力制御回路156Bは、制御信号C

TUDの状態がハイ状態の場合、短絡信号線Wsdの電位を対応する送信ドライバ152Aの正電源端子に供給する一方で、制御信号CTUDの状態がロウ状態の場合、短絡信号線Wsdから対応する送信ドライバ152Aの正電源端子への電位の供給を停止する。

[0219] 短絡制御素子SWDU、SWDD、SWUU及びSWUDは、例えば、トランジスタやスイッチ素子であり、入力される信号に従って、両端を短絡又は開放する。具体的には、短絡制御素子SWDU、SWDD、SWUU及びSWUDは、入力される信号の状態がハイ状態の場合、その両端を短絡する一方で、入力される信号の状態がロウ状態の場合、その両端を開放する。

[0220] 短絡制御素子SWDUは、一端が短絡信号線Wsuに接続され、他端が電流制御素子DDのカソード端子に接続される。短絡制御素子SWDUは、制御回路12から対応する送信ドライバ152A毎に出力される制御信号CTDUに従って、その両端を短絡又は開放する。

[0221] 短絡制御素子SWDDは、一端が短絡信号線Wsdに接続され、他端が電流制御素子DDのカソード端子に接続される。短絡制御素子SWDDは、制御回路12から対応する送信ドライバ152A毎に出力される制御信号CTDDに従って、その両端を短絡又は開放する。

[0222] 短絡制御素子SWUUは、一端が短絡信号線Wsuに接続され、他端が電流制御素子DUのアノード端子に接続される。短絡制御素子SWUUは、制御回路12から対応する送信ドライバ152A毎に出力される制御信号CTUUに従って、その両端を短絡又は開放する。

[0223] 短絡制御素子SWUDは、一端が短絡信号線Wsdに接続され、他端が電流制御素子DUのアノード端子に接続される。短絡制御素子SWUDは、制御回路12から対応する送信ドライバ152A毎に出力される制御信号CTUDに従って、その両端を短絡又は開放する。

[0224] 電流制御素子DDは、例えば、ダイオードであり、アノード端子が対応する送信ドライバ152Aの負電源端子に接続され、カソード端子が短絡制御素子SWDUの他端及びSWDDの他端に接続される。電流制御素子DDは

、対応する送信ドライバ152Aの負電源端子から短絡制御素子SWDU及びSWDDに向かう方向の電流経路が導通する一方で、短絡制御素子SWDU及びSWDDから対応する送信ドライバ152Aの負電源端子に向かう方向の電流経路が非導通となる。

[0225] 電流制御素子DUは、例えば、ダイオードであり、アノード端子が短絡制御素子SWUU及びSWUDに接続され、カソード端子が対応する送信ドライバ152Aの正電源端子に接続される。電流制御素子DUは、短絡制御素子SWUU及びSWUDから対応する送信ドライバ152Aの正電源端子に向かう方向の電流経路が導通する一方で、対応する送信ドライバ152Aの正電源端子から短絡制御素子SWUU及びSWUDに向かう方向の電流経路が非導通となる。

[0226] 以上のように構成される出力回路15Dにおいて、制御回路12は、送信ドライバ152A毎に、コード（例えば直交コード）に従う値を割り振り、対応する送信ドライバ152Aを短絡信号線Wsu及びWsdのいずれに接続するかを決定する。具体的には、制御回路12は、例えば、ある送信ドライバ152Aに対応する直交コードの値が「0」である場合は、ある送信ドライバ152Aを短絡信号線Wsuに接続することを決定する一方で、ある送信ドライバ152Aに対応する直交コードの値が「1」である場合は、ある送信ドライバ152Aを短絡信号線Wsdに接続することを決定する。なお、送信ドライバ152A毎に割り振る値を決めるコードは、「0」の値と「1」の値をそれぞれ同程度の割合で含んでいることが望ましい。

[0227] 制御回路12は、入力信号IN0～INnのいずれかの状態がハイ状態からロウ状態に遷移するタイミングにおいて、短絡信号線Wsuに接続すると決定した送信ドライバ152Aに対応する短絡制御素子SWDUを短絡状態に制御する一方で、短絡信号線Wsdに接続すると決定した送信ドライバ152Aに対応する短絡制御素子SWDDを短絡状態に制御する。したがって、短絡信号線Wsuに接続すると決定した送信ドライバ152Aから短絡信号線Wsuに向かう方向と、短絡信号線Wsdに接続すると決定した送信ド

ライバ152Aから短絡信号線Wsdに向かう方向とがそれぞれ導通する。これにより、対応する送信ドライバ152Aから短絡信号線Wsuを介して容量素子Cextの一端に電荷が供給される一方で、対応する送信ドライバ152Aから短絡信号線Wsdを介して容量素子Cextの他端に電荷が供給され、出力信号線Woutの電位と、短絡信号線Wsu及びWsdの電位と、容量素子Cextの両端の電位とが中間電位に至る。

[0228] 続いて、制御回路12は、各出力信号線Woutと、短絡信号線Wsu及びWsdと、容量素子Cextの両端との電位が中間電位に至ったタイミングで、短絡制御素子SWDU及びSWDDを開放状態に制御する。これにより、各送信ドライバ152Aに対応する出力信号線Woutの電位は、対応する送信ドライバ152Aによってロウレベルまで遷移し、線状電極22を介して送信信号OUT0、OUT1、OUTn-1及びOUTnが送信される。

[0229] これに対して、制御回路12は、入力信号IN0~INnのいずれかの状態がロウ状態からハイ状態に遷移するタイミングにおいて、短絡信号線Wsuに接続すると決定した送信ドライバ152Aに対応する短絡制御素子SWUUを短絡状態に制御する一方で、短絡信号線Wsdに接続すると決定した送信ドライバ152Aに対応する短絡制御素子SWDUを短絡状態に制御する。したがって、短絡信号線Wsuから短絡信号線Wsuに接続すると決定した送信ドライバ152Aに向かう方向と、短絡信号線Wsdから短絡信号線Wsdに接続すると決定した送信ドライバ152Aに向かう方向とがそれぞれ導通する。これにより、容量素子Cextの一端から短絡信号線Wsuを介して対応する送信ドライバ152Aに電荷が供給される一方で、容量素子Cextの他端から短絡信号線Wsdを介して対応する送信ドライバ152Aに電荷が供給され、出力信号線Woutの電位と、短絡信号線Wsu及びWsdの電位と、容量素子Cextの両端の電位とが中間電位に至る。

[0230] 続いて、制御回路12は、各出力信号線Woutと、短絡信号線Wsu及びWsdと、容量素子Cextの両端との電位が中間電位に至ったタイミン

グで、短絡制御素子SWUU及びSWUDを開放状態に制御する。これにより、各送信ドライバ152Aに対応する出力信号線Woutの電位は、対応する送信ドライバ152Bによってハイレベルまで遷移し、線状電極22を介して送信信号OUT0、OUT1、OUTn-1及びOUTnが送信される。

[0231] <出力回路に係る一連の動作の流れ>

以上、出力回路15Dの構成について説明した。次に、出力回路15Dにおける各信号の電位の遷移について詳しく説明する。図13は、第四実施形態に係る出力回路15Dにおける各信号の電位の遷移を示すタイミングチャートである。なお、本図において、制御回路12は、送信信号OUT0及びOUTn-1に対応する出力信号線Woutを短絡信号線Wsuに接続し、送信信号OUT1及びOUTnに対応する出力信号線Woutを短絡信号線Wsdに接続するように決定するものとする。

[0232] 時刻t120で、制御回路12は、リセット信号RSTの状態をロウ状態にすることによって、短絡制御素子SWrの両端を開放する。これにより、容量素子Cextの両端は、開放される。

[0233] 時刻t121で、ドライバ選択回路151は、入力信号IN0及びINn-1の状態をロウ状態からハイ状態へと遷移させる一方で、入力信号IN1及びINnの状態をハイ状態からロウ状態へと遷移させ、入力信号IN0、IN1、INn-1及びINnに対応する送信ドライバ152Aに入力する。

[0234] 時刻t121で、制御回路12は、制御信号CTUU0、CTUU n-1、CTDD1及びCTDDnの状態をハイ状態からロウ状態へと遷移させ、制御信号CTUU0、CTUU n-1、CTDD1及びCTDDnに対応する短絡制御素子SWUU及びSWDDに出力することによって、短絡制御素子SWUU及びSWDDの両端を開放する。また、時刻t121で、制御回路12は、送信ドライバ152Aの状態をハイインピーダンス状態にする。

[0235] 時刻t121から所定の時間が経過した時刻t122で、制御回路12は

、制御信号CTDU0、CTDUn-1、CTUD1及びCTUDnの状態をロウ状態からハイ状態へと遷移させ、制御信号CTDU0、CTDUn-1、CTUD1及びCTUDnに対応する短絡制御素子SWDU及びSWUDに出力することによって、対応する短絡制御素子SWDU及びSWUDの両端を短絡する。また、時刻t122で、制御回路12は、送信ドライバ152Aの状態を出力状態にする。

[0236] これにより、時刻t122で、送信信号OUT1及びOUTnに対応する送信ドライバ152Aから短絡信号線Wsuを介して容量素子Cextの他端に電荷が供給される一方で、容量素子Cextの一端から短絡信号線Wsdを介して送信信号OUT0及びOUTn-1に対応する送信ドライバ152Aに電荷が供給されることによって、送信信号OUT0、OUT1、OUTn-1及びOUTnの電位は、中間電位への遷移を開始する。

[0237] 時刻t123で、送信信号OUT0、OUT1、OUTn-1及びOUTnの電位は、中間電位へと到達する。これにより、時刻t123で、電流制御素子DU及びDDは非導通になる。また、時刻t123で、送信信号OUT0及びOUTn-1に対応する送信ドライバ152Aは、対応する出力信号線Woutに電荷を供給する。これにより、時刻t123で、送信信号OUT0及びOUTn-1の電位は、中間電位からハイレベルに遷移を開始する。また、時刻t123で、送信信号OUT1及びOUTnに対応する送信ドライバ152Aは、対応する出力信号線Woutから電荷を引き抜く。これにより、時刻t123で、送信信号OUT1及びOUTnの電位は、中間電位からロウレベルに遷移を開始する。

[0238] 時刻t124で、対応する送信ドライバ152Aから電荷が供給されることによって、送信信号OUT0及びOUTn-1の電位は、ハイレベルに到達する。また、時刻t124で、対応する送信ドライバ152Aから電荷が引き抜かれることによって、送信信号OUT1及びOUTnの電位は、ロウレベルに到達する。

[0239] 時刻t125で、制御回路12は、制御信号CTDU0、CTDUn-1

、CTUD1及びCTUDnの状態をハイ状態からロウ状態へと遷移させ、制御信号CTDU0、CTDUn-1、CTUD1及びCTUDnを対応する短絡制御素子SWDU及びSWUDに出力することによって、対応する短絡制御素子SWDU及びSWUDの両端を開放する。また、時刻t125で、制御回路12は、送信ドライバ152Aの状態をハイインピーダンス状態にする。

[0240] 時刻t125から所定の時間が経過した時刻t126で、制御回路12は、制御信号CTUU0、CTUUn-1、CTDD1及びCTDDnの状態をロウ状態からハイ状態へと遷移させ、制御信号CTUU0、CTUUn-1、CTDD1及びCTDDnを対応する短絡制御素子SWUU及びSWDDに出力することによって、対応する短絡制御素子SWUU及びSWDDの両端を短絡する。また、時刻t126で、制御回路12は、送信ドライバ152Aの状態を出力状態にする。

[0241] これにより、時刻t126で、送信信号OUT0及びOUTn-1に対応する送信ドライバ152Aから短絡信号線Wsuを介して容量素子Cextの一端に電荷が供給され、容量素子Cextの他端から短絡信号線Wsdを介して送信信号OUT1及びOUTnに対応する送信ドライバ152Aに対して電荷が供給されることによって、送信信号OUT0、OUT1、OUTn-1及びOUTnの電位は、中間電位への遷移を開始する。

[0242] 時刻t127で、送信信号OUT0、OUT1、OUTn-1及びOUTnの電位は、中間電位へと到達する。これにより、時刻t127で、電流制御素子DU及びDDは非導通になる。また、時刻t127で、送信信号OUT1及びOUTnに対応する送信ドライバ152Aは、対応する出力信号線Woutに電荷を供給する。これにより、時刻t127で、送信信号OUT1及びOUTnの電位は、中間電位からハイレベルに遷移を開始する。また、時刻t127で、送信信号OUT0及びOUTn-1に対応する送信ドライバ152Aは、対応する出力信号線Woutから電荷を引き抜く。これにより、時刻t127で、送信信号OUT0及びOUTn-1の電位は、中間

電位からロウレベルに遷移を開始する。

[0243] 時刻  $t_{128}$  で、対応する送信ドライバ 152A から電荷が供給されることによって、送信信号 OUT1 及び OUT $n$  の電位は、ハイレベルに到達する。また、時刻  $t_{128}$  で、対応する送信ドライバ 152A から電荷が引き抜かれることによって、送信信号 OUT0 及び OUT $n-1$  の電位は、ロウレベルに到達する。

[0244] 以上、出力回路 15D における各信号の電位の遷移について説明した。なお、出力回路 15D の一連の処理の流れについては、第三実施形態と同様であるため、その説明を省略する。

[0245] <効果>

以上、本実施形態では、センサコントローラ 10 は、複数の線状電極 21 及び 22 が面状に配置されてなるタッチセンサ 20 に接続される。このセンサコントローラ 10 は、正電源端子及び負電源端子を有し、負電源端子に供給される第一の電位（ロウレベル）と正電源端子に供給される第一の電位（ロウレベル）よりも高い電位である第二の電位（ハイレベル）との間で遷移する信号波形を生成し、送信信号として対応する線状電極 22 に出力する複数の送信ドライバ 152A と、第一の電位（ロウレベル）と第二の電位（ハイレベル）との間の中間電位を生成し、信号波形の電位が第一の電位（ロウレベル）から第二の電位（ハイレベル）への遷移又は第二の電位（ハイレベル）から第一の電位（ロウレベル）への遷移を開始する時点から送信ドライバ 152A の正電源端子及び負電源端子の電位が中間電位に至る時点までの期間に少なくとも一つの送信ドライバ 152A の正電源端子及び負電源端子のうち少なくとも一つに中間電位を供給し、正電源端子及び負電源端子のうち少なくとも一つの電位が中間電位に至るタイミングで中間電位の供給を停止する中間電位供給部 153D と、を備える。

[0246] この構成によれば、センサコントローラ 10 が必要な期間だけ中間電位供給部 153D から送信ドライバ 152A に中間電位を供給するため、センサコントローラ 10 は、従来構成と比べて、貫通電流を抑制し消費電力を削減

できる。

[0247] また、本実施形態では、中間電位供給部153Dは、対応する送信ドライバ152Aの信号波形の電位が立ち下がるタイミングで、対応する送信ドライバ152Aから電荷を引き抜く複数の第一の出力制御回路155Bと、対応する送信ドライバ152Aの信号波形の電位が立ち上がるタイミングで、対応する送信ドライバ152Aに中間電位を供給する複数の第二の出力制御回路156Bと、を有する。

[0248] この構成によれば、センサコントローラ10が必要な期間だけ中間電位供給部153Dから送信ドライバ152Aに中間電位を供給するため、センサコントローラ10は、従来構成と比べて、貫通電流を抑制し消費電力を削減できる。

[0249] また、本実施形態では、センサコントローラ10は、制御信号CTUU、CTUD、CTDU及びCTDDを送信する制御回路12を備え、中間電位供給部153Dが、第一の短絡信号線Wsuと、第二の短絡信号線Wsdとを有し、第一の出力制御回路155Bが、一端が対応する送信ドライバ152Aの負電源端子に接続され、他端が第一の短絡信号線Wsu及び第二の短絡信号線Wsdに接続され、制御信号CTDU及びCTDDに従って対応する負電源端子から第一の短絡信号線Wsu又は第二の短絡信号線Wsdに向かう方向に導通するか又は非導通となり、第二の出力制御回路156Bが、一端が対応する送信ドライバ152Aの正電源端子に接続され、他端が第一の短絡信号線Wsu及び第二の短絡信号線Wsdに接続され、制御信号CTUU及びCTUDに従って第一の短絡信号線Wsu及び第二の短絡信号線Wsdから対応する送信ドライバ152Aの正電源端子に向かう方向に導通するか又は非導通となる。

[0250] この構成によれば、センサコントローラ10は、短絡信号線Wsu及びWsdの電位が対応する送信ドライバ152Aの負電源端子の電位を上回ったタイミングで、対応する送信ドライバ152Aの負電源端子から短絡信号線Wsu及びWsdに向かう方向の電流経路を非導通にする。また、センサコ

ントローラ10は、対応する送信ドライバ152Aの正電源端子の電位が短絡信号線Wsu及びWsdの電位を上回ったタイミングで、短絡信号線Wsu及びWsdから対応する送信ドライバ152Aの正電源端子に向かう方向の電流経路を非導通にする。したがって、本発明によれば、センサコントローラ10が必要な期間だけ中間電位供給部153Dから送信ドライバ152Aに中間電位を供給するため、センサコントローラ10は、従来構成と比べて、貫通電流を抑制し消費電力を削減できる。

[0251] ———変形例———

なお、本発明は上記の実施形態に限定されるものではない。すなわち、上記の実施形態に、当業者が適宜設計変更を加えたものも、本発明の特徴を備えている限り、本発明の範囲に包含される。また、上記実施形態及び後述する変形例が備える各要素は、技術的に可能な限りにおいて組み合わせることができ、これらを組み合わせたものも本発明の特徴を含む限り本発明の範囲に包含される。

[0252] 例えば、上記実施形態では、送信ドライバ152毎に割り振る値を決めるコードは、「0」の値と「1」の値をそれぞれ同程度の割合で含んでいることが望ましいことを説明したが、このコードは、「0」の値と「1」の値をそれぞれ45：55又は55：45程度の割合で含んでいても良い。

[0253] また、上記実施形態では、送信ドライバ152は、一本の線状電極22に対して一つ設けられるが、一本の線状電極21に対して一つ設けられても良い。すなわち、送信ドライバ152は、ドライバ選択回路151から入力される入力信号INに対して、線状電極21から信号を送信できる電位差まで信号を増幅し、該増幅した信号を送信信号OUTとして、出力信号線Woutを介して送信信号OUTを対応する線状電極21に送信しても良い。

[0254] また、タッチセンサ20は、スイッチ素子を有していても良い。さらに、複数の線状電極22のうち少なくとも一つは、該スイッチ素子の押下を検出しても良い。

[0255] この構成によれば、線状電極22のうち少なくとも一つがタッチセンサ2

0のスイッチの押下を検出する場合においても、貫通電流を抑制し消費電力を削減することができる。

[0256] また、上記実施形態では、送信ドライバ152は、出力の状態を出力状態及びハイインピーダンス状態に切り替える機能を有していたが、第三の実施形態及び第四の実施形態において、送信ドライバ152は、出力の状態を出力状態及びハイインピーダンス状態に切り替える機能を有していなくても良い。

[0257] この構成によれば、送信ドライバ152は、出力の状態を出力状態及びハイインピーダンス状態に切り替える機能を有していなくても、消費電力を削減できる。

### 符号の説明

[0258] 10…センサコントローラ, 20…タッチセンサ, 152…送信ドライバ,  
153…中間電位供給部

## 請求の範囲

- [請求項1] 複数の検出電極が面状に配置されてなるタッチセンサに接続されるセンサコントローラであって、
- 第一の電位が供給される負電源端子及び前記第一の電位よりも高い第二の電位が供給される正電源端子を有するとともに、前記第一の電位と前記第二の電位との間で遷移する信号波形を生成し、送信信号として対応する前記検出電極に出力する複数の送信ドライバと、
- 前記送信ドライバとは別の電圧源又は容量素子を含む電位生成部を有し、前記信号波形の電位が前記第一の電位から前記第二の電位への遷移又は前記第二の電位から前記第一の電位への遷移を開始する第一のタイミングで、前記電位生成部から電圧を出力することによって、前記第一の電位と前記第二の電位との間の中間電位を前記正電源端子及び前記負電源端子のうち少なくとも一つに供給する中間電位供給部と、
- を備えるセンサコントローラ。
- [請求項2] 前記電位生成部の出力側は、複数の前記送信ドライバのうちの一つ以上に接続される請求項1に記載のセンサコントローラ。
- [請求項3] 制御信号を送信する制御回路を備え、
- 前記送信ドライバは、前記送信信号を出力する出力モードと、電源線からの前記正電源端子への前記第二の電位の供給及び基準線からの前記負電源端子への前記第一の電位の供給を停止し、出力の状態をハイインピーダンス状態とする停止モードとを有し、
- 前記制御回路は、前記第一のタイミングで、前記停止モードにするように前記送信ドライバを制御し、前記第一のタイミングから所定の時間が経過した第二のタイミングで前記送信ドライバを前記出力モードにするように制御する請求項2に記載のセンサコントローラ。
- [請求項4] 前記中間電位供給部は、前記制御信号に従って両端が短絡又は開放され、一端が対応する前記正電源端子に接続され、他端が前記電位生

成部の出力側に接続される複数の第一の短絡制御素子と、前記制御信号に従って両端が短絡又は開放され、一端が対応する前記負電源端子に接続され、他端が前記電位生成部の出力側に接続される複数の第二の短絡制御素子と、を有し、

前記制御回路は、前記第一のタイミングで短絡するように前記第一の短絡制御素子及び前記第二の短絡制御素子のうち少なくとも一つを制御し、前記第一のタイミングで短絡した前記第一の短絡制御素子及び前記第二の短絡制御素子のうち少なくとも一つを前記第二のタイミングで開放するように制御する請求項3に記載のセンサコントローラ。

[請求項5] 前記制御回路は、前記第一のタイミングのうち前記信号波形の電位が前記第一の電位から前記第二の電位への遷移を開始するタイミングで、短絡するように前記第一の短絡制御素子を制御し、前記第一のタイミングのうち前記信号波形の電位が前記第二の電位から前記第一の電位への遷移を開始するタイミングで、短絡するように前記第二の短絡制御素子を制御する請求項4に記載のセンサコントローラ。

[請求項6] 前記電位生成部は、前記容量素子を有し、  
前記中間電位供給部は、  
前記容量素子の一端に接続される第一の短絡信号線と、  
前記容量素子の他端に接続される第二の短絡信号線と、  
前記制御信号に従って両端が短絡又は開放され、一端が対応する前記送信ドライバの前記正電源端子に接続され、他端が前記第一の短絡信号線に接続される複数の第一の短絡制御素子と、  
前記制御信号に従って両端が短絡又は開放され、一端が対応する前記送信ドライバの前記正電源端子に接続され、他端が前記第二の短絡信号線に接続される複数の第二の短絡制御素子と、  
前記制御信号に従って両端が短絡又は開放され、一端が対応する前記送信ドライバの前記負電源端子に接続され、他端が前記第一の短絡

信号線に接続される複数の第三の短絡制御素子と、

前記制御信号に従って両端が短絡又は開放され、一端が対応する前記送信ドライバの前記負電源端子に接続され、他端が前記第二の短絡信号線に接続される複数の第四の短絡制御素子と、

を有する請求項3に記載のセンサコントローラ。

[請求項7]

前記制御回路は、前記送信ドライバ毎に前記送信ドライバを前記第一の短絡信号線及び前記第二の短絡信号線のうちいずれに接続するかを決定し、前記送信ドライバを前記第一の短絡信号線に接続すると決定した場合、前記第一のタイミングで短絡し、前記第二のタイミングで開放するように対応する前記第一の短絡制御素子及び前記第三の短絡制御素子のうち少なくとも一つを制御し、前記送信ドライバを前記第二の短絡信号線に接続すると決定した場合、前記第一のタイミングで短絡し、前記第二のタイミングで開放するように対応する前記第二の短絡制御素子及び前記第四の短絡制御素子のうち少なくとも一つを制御する請求項6に記載のセンサコントローラ。

[請求項8]

制御信号を送信する制御回路を備え、

前記中間電位供給部は、

短絡信号線と、

一端が対応する前記送信ドライバの前記負電源端子に接続され、他端が前記短絡信号線に接続され、前記制御信号に従って、前記負電源端子から前記短絡信号線に向かう第一の方向のみ導通する複数の第一の出力制御回路と、

一端が対応する前記送信ドライバの前記正電源端子に接続され、他端が前記短絡信号線に接続され、前記制御信号に従って、対応する前記短絡信号線から前記正電源端子に向かう第二の方向のみ導通する複数の第二の出力制御回路と、

を有する請求項2に記載のセンサコントローラ。

[請求項9]

前記第一の出力制御回路は、ソース端子が前記負電源端子に接続さ

れ、ドレイン端子が前記短絡信号線に接続され、ゲート端子に前記第一の電位が供給されるか又は前記送信ドライバ及び前記中間電位供給部とは異なる電圧源から前記中間電位が供給されるN型トランジスタを有し、

前記第二の出力制御回路は、ソース端子が前記正電源端子に接続され、ドレイン端子が前記短絡信号線に接続され、ゲート端子に前記第二の電位が供給されるか又は前記送信ドライバ及び前記中間電位供給部とは異なる電圧源から前記中間電位が供給されるP型トランジスタを有する請求項8に記載のセンサコントローラ。

[請求項10]

前記制御回路は、対応する前記送信ドライバの前記信号波形の電位が立ち下がるタイミングで前記第一の方向のみ導通し、対応する前記送信ドライバの前記信号波形の電位が立ち上がるタイミングで非導通とするように前記第一の出力制御回路を制御し、対応する前記送信ドライバの前記信号波形の電位が立ち上がるタイミングで前記第二の方向のみを導通し、対応する前記送信ドライバの前記信号波形の電位が立ち下がるタイミングで非導通とするように前記第二の出力制御回路を制御する請求項8に記載のセンサコントローラ。

[請求項11]

複数の検出電極が面状に配置されてなるタッチセンサに接続されるセンサコントローラであって、

第一の電位が供給される負電源端子及び前記第一の電位よりも高い第二の電位が供給される正電源端子を有するとともに、前記第一の電位と前記第二の電位との間で遷移する信号波形を生成し、送信信号として対応する前記検出電極に出力する複数の送信ドライバと、

前記第一の電位と前記第二の電位との間の中間電位を生成し、前記信号波形の電位が前記第一の電位から前記第二の電位への遷移又は前記第二の電位から前記第一の電位への遷移を開始する時点から前記送信ドライバの前記正電源端子及び前記負電源端子の電位が前記中間電位に至る時点までの期間に少なくとも一つの前記送信ドライバの前記

正電源端子及び前記負電源端子のうち少なくとも一つに前記中間電位を供給し、前記正電源端子及び前記負電源端子のうち少なくとも一つの電位が前記中間電位に至るタイミングで前記中間電位の供給を停止する中間電位供給部と、

を備えるセンサコントローラ。

[請求項12]

前記中間電位供給部は、

対応する前記送信ドライバの前記信号波形の電位が立ち下がるタイミングで、対応する前記送信ドライバから電荷を引き抜く複数の第一の出力制御回路と、

対応する前記送信ドライバの前記信号波形の電位が立ち上がるタイミングで、対応する前記送信ドライバに前記中間電位を供給する複数の第二の出力制御回路と、

を有する請求項11に記載のセンサコントローラ。

[請求項13]

前記中間電位供給部は、前記送信ドライバとは別の電圧源又は容量素子を有する電位生成部を有し、前記第一の電位から前記第二の電位への遷移又は前記第二の電位から前記第一の電位への遷移を開始するタイミングから前記送信ドライバの前記正電源端子又は前記負電源端子の電位が前記中間電位に至るまでの期間、前記電位生成部から電圧を出力することによって、前記中間電位を前記送信ドライバに供給する請求項11に記載のセンサコントローラ。

[請求項14]

制御信号を送信する制御回路を備え、

前記中間電位供給部は、第一の短絡信号線と、第二の短絡信号線とを有し、

前記第一の出力制御回路は、一端が対応する前記送信ドライバの前記負電源端子に接続され、他端が前記第一の短絡信号線及び前記第二の短絡信号線に接続され、前記制御信号に従って対応する前記負電源端子から前記第一の短絡信号線又は前記第二の短絡信号線に向かう方向に導通するか又は非導通となり、

前記第二の出力制御回路は、一端が対応する前記送信ドライバの前記正電源端子に接続され、他端が前記第一の短絡信号線及び前記第二の短絡信号線に接続され、前記制御信号に従って前記第一の短絡信号線及び前記第二の短絡信号線から対応する前記送信ドライバの前記正電源端子に向かう方向に導通するか又は非導通となる請求項 1 2 に記載のセンサコントローラ。

[請求項15] 前記第一の電位と前記第二の電位との電位差は、5 V 以上である、請求項 1 ~ 1 4 のいずれか一項に記載のセンサコントローラ。

[請求項16] 前記タッチセンサは、スイッチを有し、前記検出電極のうち少なくとも一つは、前記スイッチの押下を検出する、請求項 1 に記載のセンサコントローラ。

[請求項17] 複数の検出電極が面状に配置されてなるタッチセンサと、前記タッチセンサに接続され、第一の電位が供給される負電源端子及び前記第一の電位よりも高い第二の電位が供給される正電源端子を有するとともに、前記第一の電位と前記第二の電位との間で遷移する信号波形を生成し、送信信号として対応する前記検出電極に出力する複数の送信ドライバと、前記送信ドライバとは別の電圧源又は容量素子を含む電位生成部を有し、前記信号波形の電位が前記第一の電位から前記第二の電位への遷移又は前記第二の電位から前記第一の電位への遷移を開始する第一のタイミングで、前記電位生成部から電圧を出力することによって、前記第一の電位と前記第二の電位との間の中間電位を前記正電源端子及び前記負電源端子のうち少なくとも一つに供給する中間電位供給部とを有するセンサコントローラと、を備える電子機器。

[請求項18] 複数の検出電極が面状に配置されてなるタッチセンサと、前記タッチセンサに接続され、第一の電位が供給される負電源端子及び前記第一の電位よりも高い第二の電位が供給される正電源端子を

有するとともに、前記第一の電位と前記第二の電位との間で遷移する信号波形を生成し、送信信号として対応する前記検出電極に出力する複数の送信ドライバと、前記第一の電位と前記第二の電位との間の中間電位を生成し、前記信号波形の電位が前記第一の電位から前記第二の電位への遷移又は前記第二の電位から前記第一の電位への遷移を開始する時点から前記正電源端子及び前記負電源端子の電位が前記中間電位に至る時点までの期間に少なくとも一つの前記送信ドライバの前記正電源端子及び前記負電源端子のうち少なくとも一つに前記中間電位を供給し、前記正電源端子及び前記負電源端子のうち少なくとも一つの電位が前記中間電位に至るタイミングで前記中間電位の供給を停止する中間電位供給部と、を有するセンサコントローラと、  
を備える電子機器。

[請求項19]

複数の検出電極が面状に配置されてなるタッチセンサに接続されるセンサコントローラの制御方法であって、

第一の電位が供給される負電源端子及び前記第一の電位よりも高い第二の電位が供給される正電源端子を有する複数の送信ドライバによって、前記第一の電位と前記第二の電位との間で遷移する信号波形を生成することと、

前記送信ドライバによって生成した前記信号波形を送信信号として対応する前記検出電極に出力することと、

前記信号波形の電位が前記第一の電位から前記第二の電位への遷移又は前記第二の電位から前記第一の電位への遷移を開始する第一のタイミングで、前記送信ドライバとは別の電圧源又は容量素子を含む電位生成部から前記第一の電位と前記第二の電位との間の中間電位を出力することと、

前記中間電位を前記正電源端子及び前記負電源端子のうち少なくとも一つに供給することと、

を含むセンサコントローラの制御方法。

[請求項20] 複数の検出電極が面状に配置されてなるタッチセンサに接続されるセンサコントローラの制御方法であって、

第一の電位が供給される負電源端子及び前記第一の電位よりも高い第二の電位が供給される正電源端子を有する複数の送信ドライバによって、前記第一の電位と前記第二の電位との間で遷移する信号波形を生成することと、

前記送信ドライバによって生成した前記信号波形を送信信号として対応する前記検出電極に出力することと、

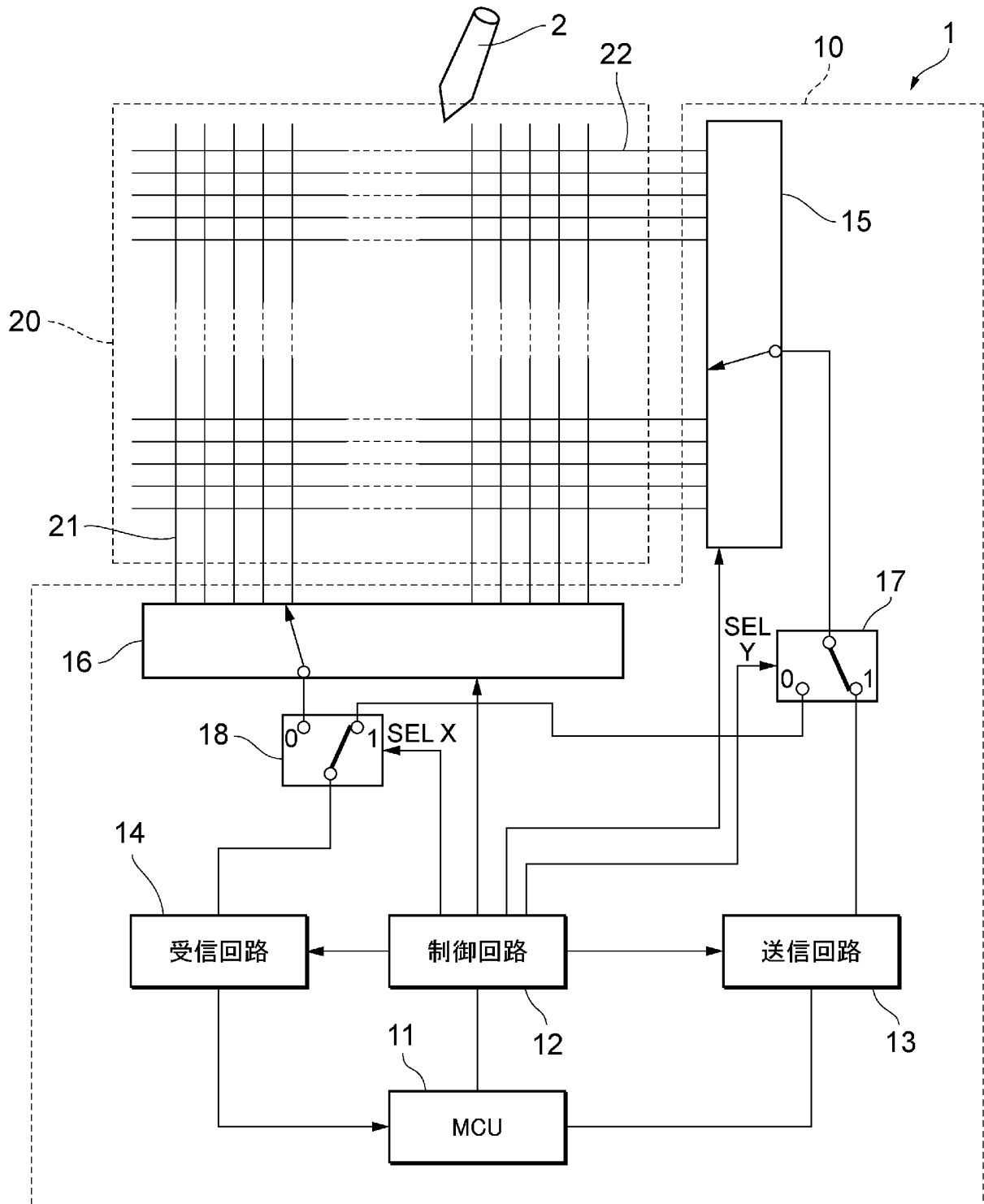
前記第一の電位と前記第二の電位との間の中間電位を生成することと、

前記信号波形の電位が前記第一の電位から前記第二の電位への遷移又は前記第二の電位から前記第一の電位への遷移を開始する時点から前記送信ドライバの前記正電源端子及び前記負電源端子の電位が前記中間電位に至る時点までの期間に少なくとも一つの前記送信ドライバの前記正電源端子及び前記負電源端子のうち少なくとも一つに前記中間電位を供給することと、

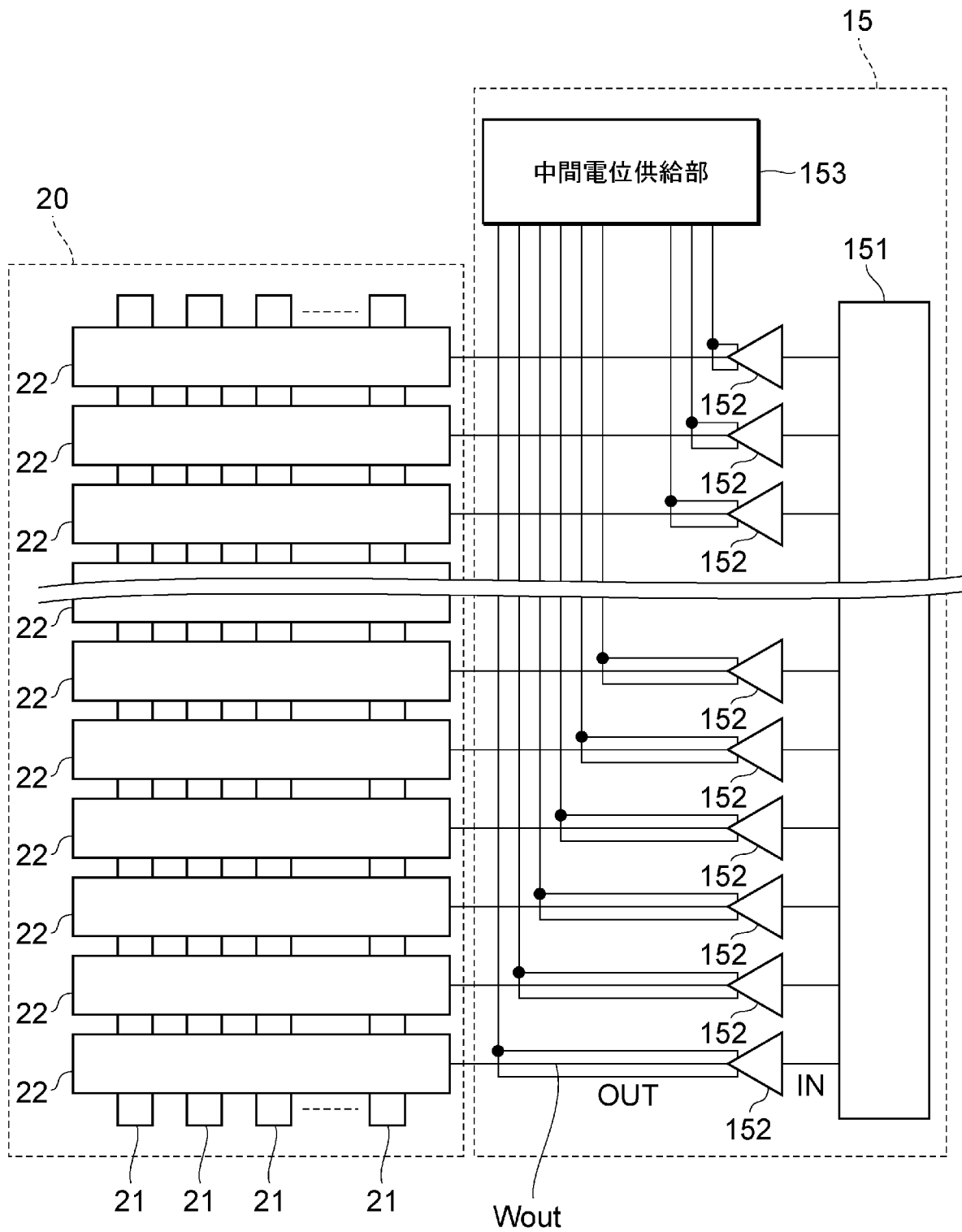
前記正電源端子及び前記負電源端子のうち少なくとも一つの電位が前記中間電位に至るタイミングで前記中間電位の供給を停止することと、

を含むセンサコントローラの制御方法。

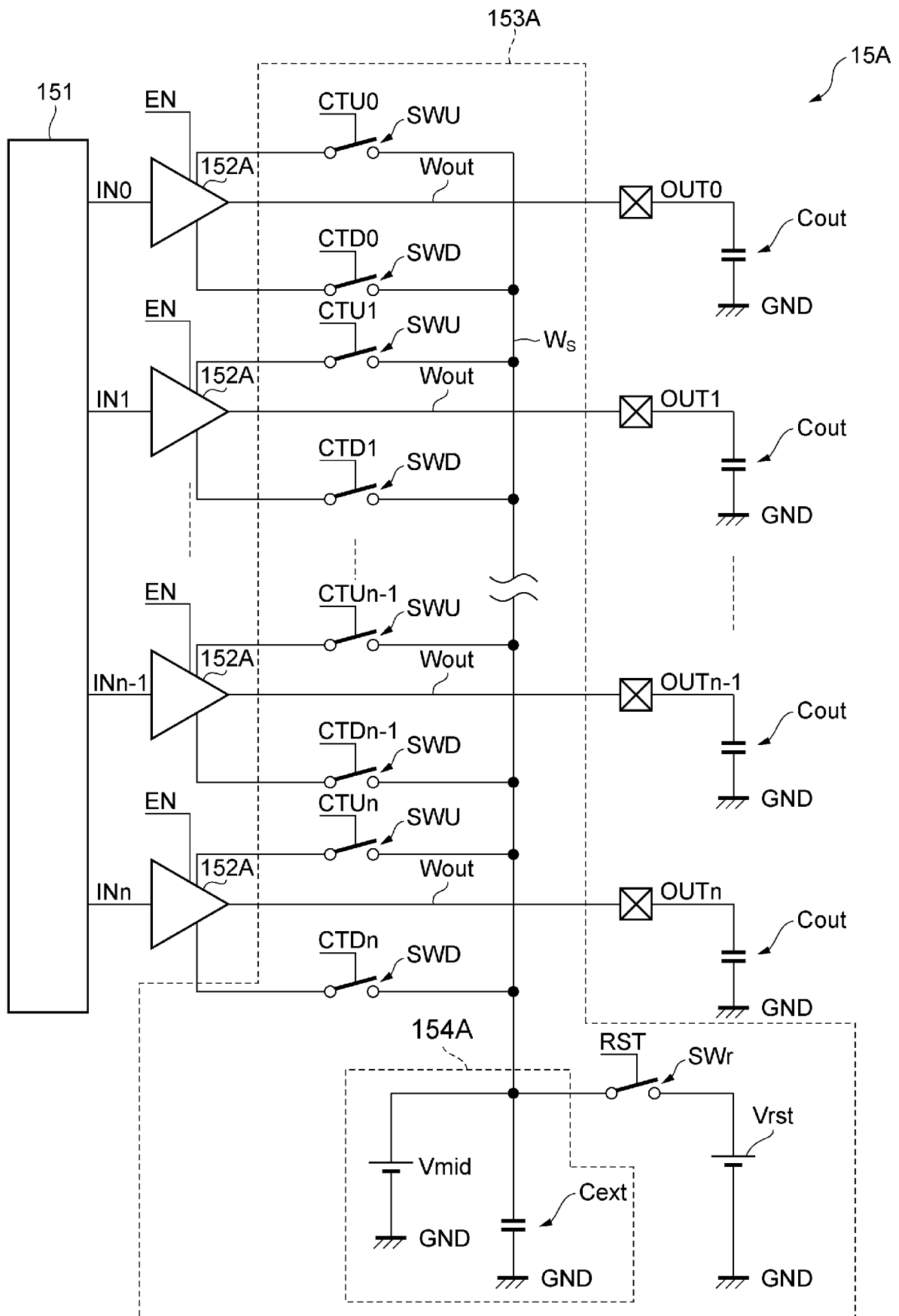
[図1]



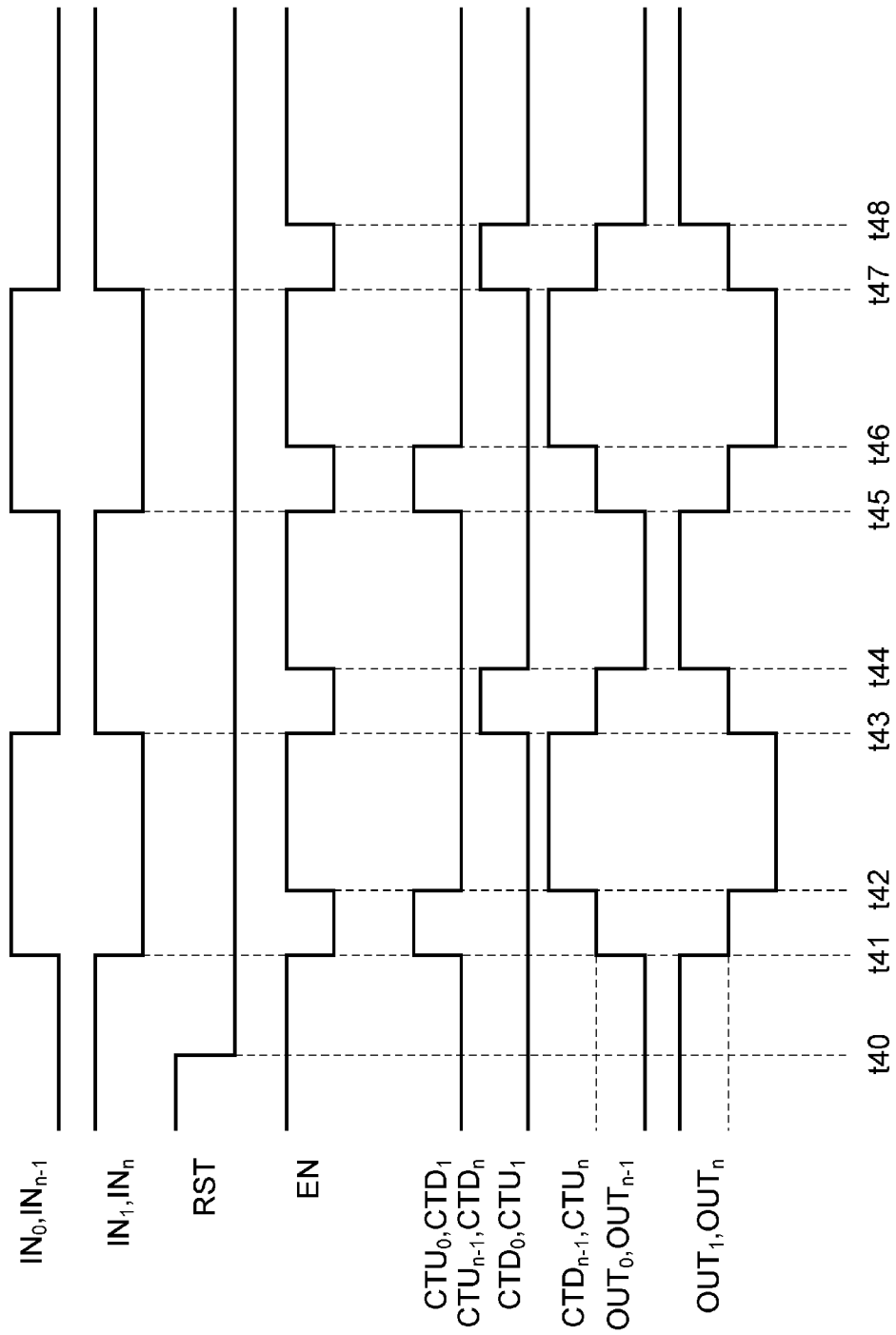
[図2]



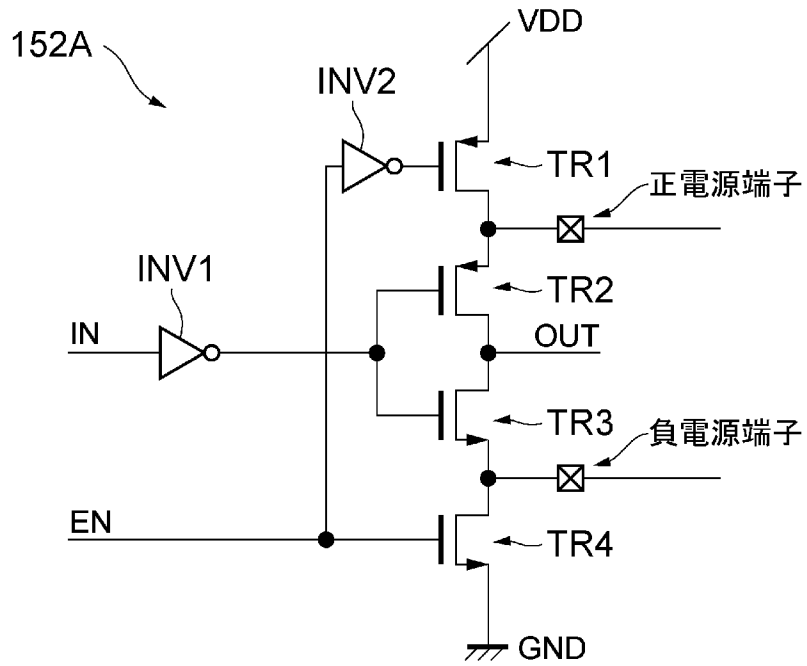
[図3]



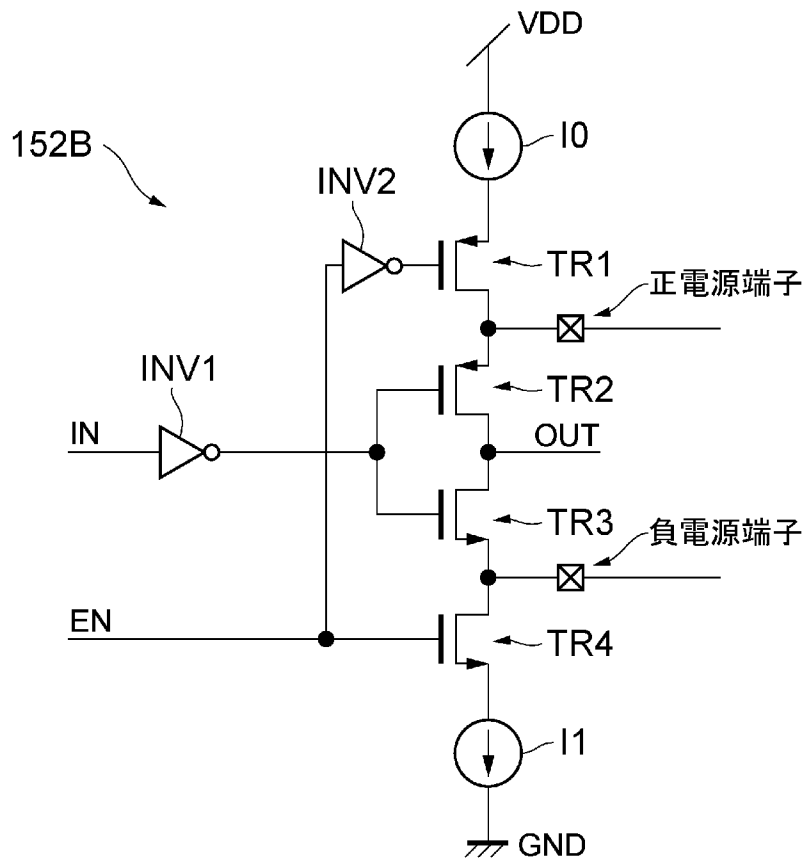
[図4]



[圖5A]

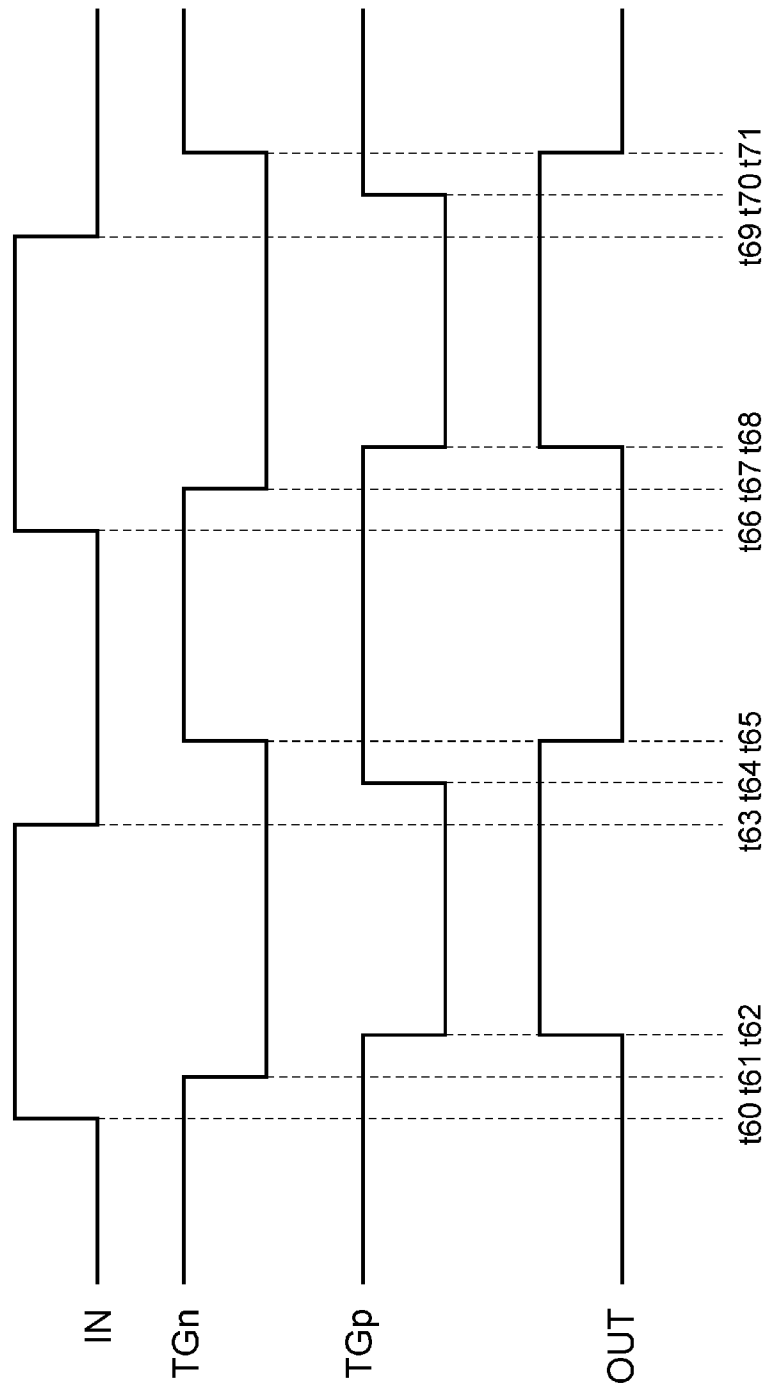


[圖5B]

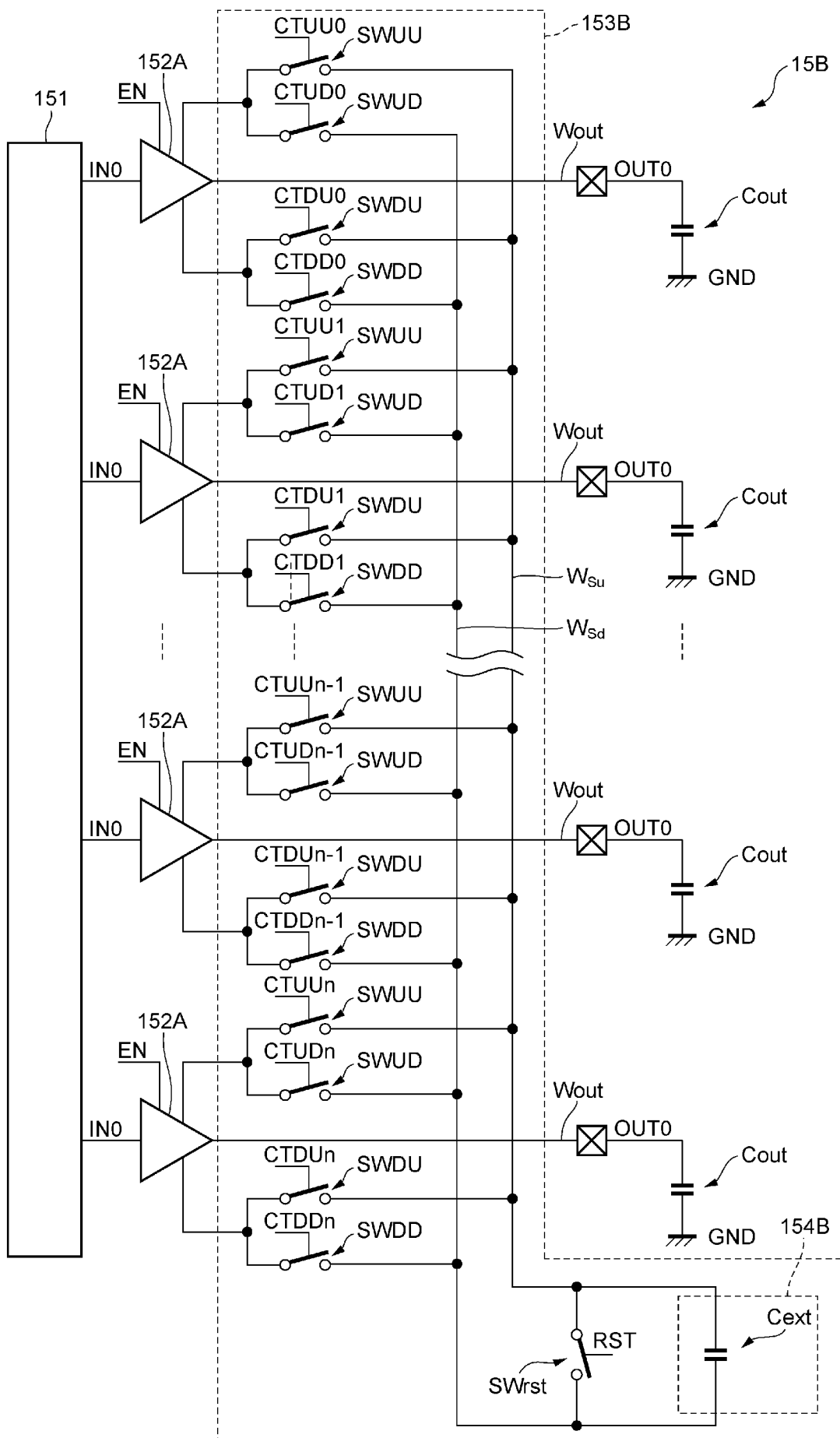




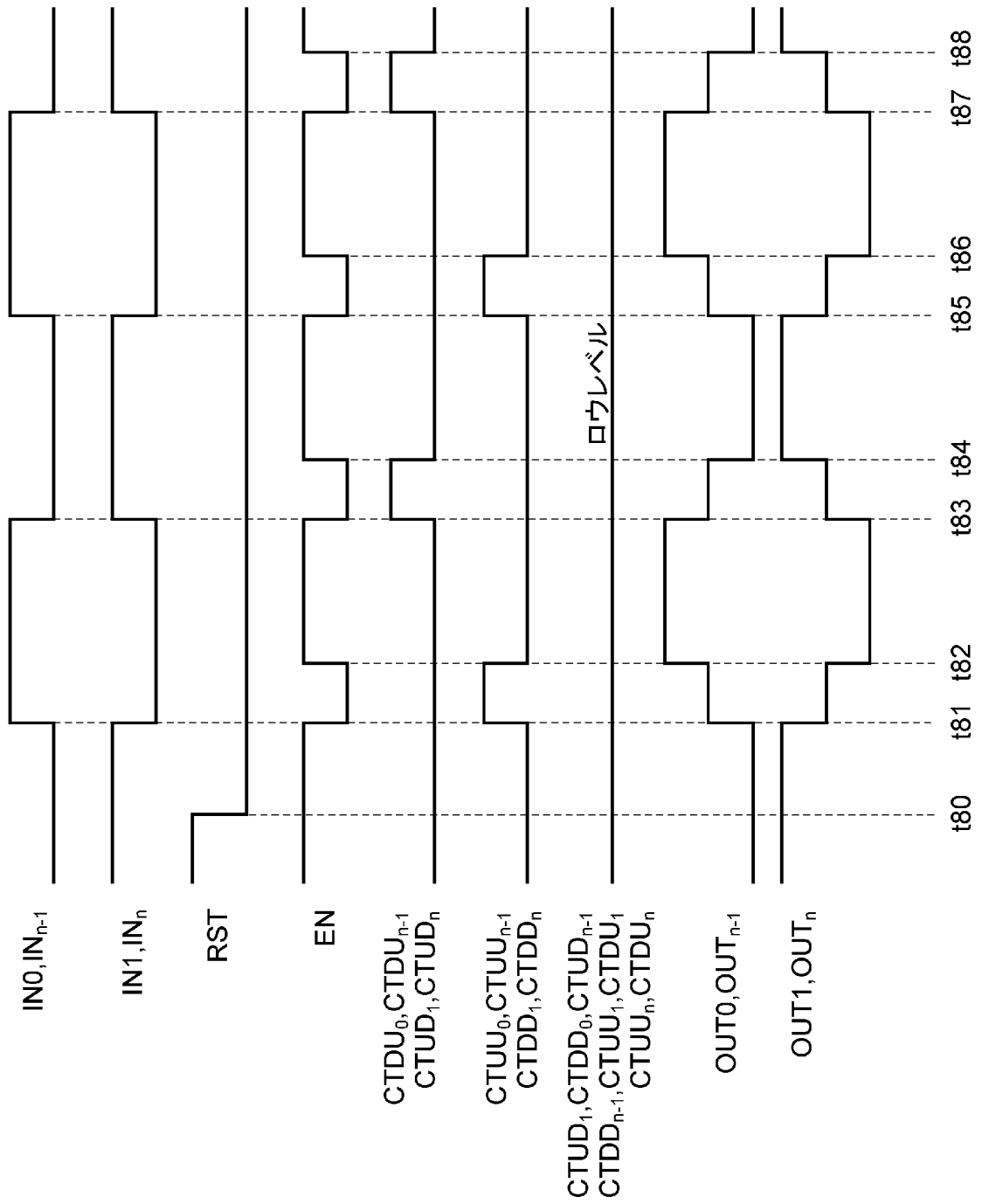
[図6]



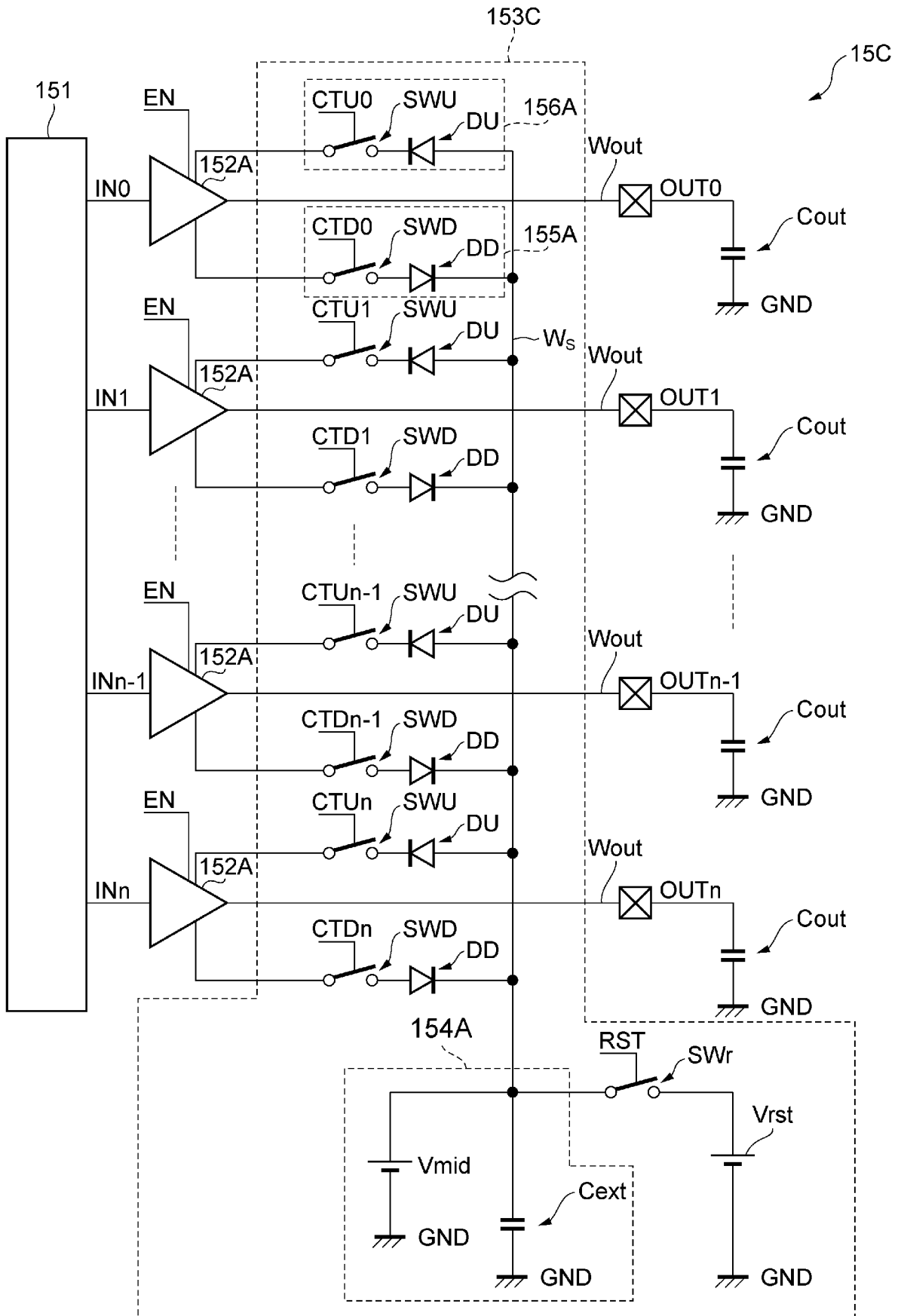
[図7]



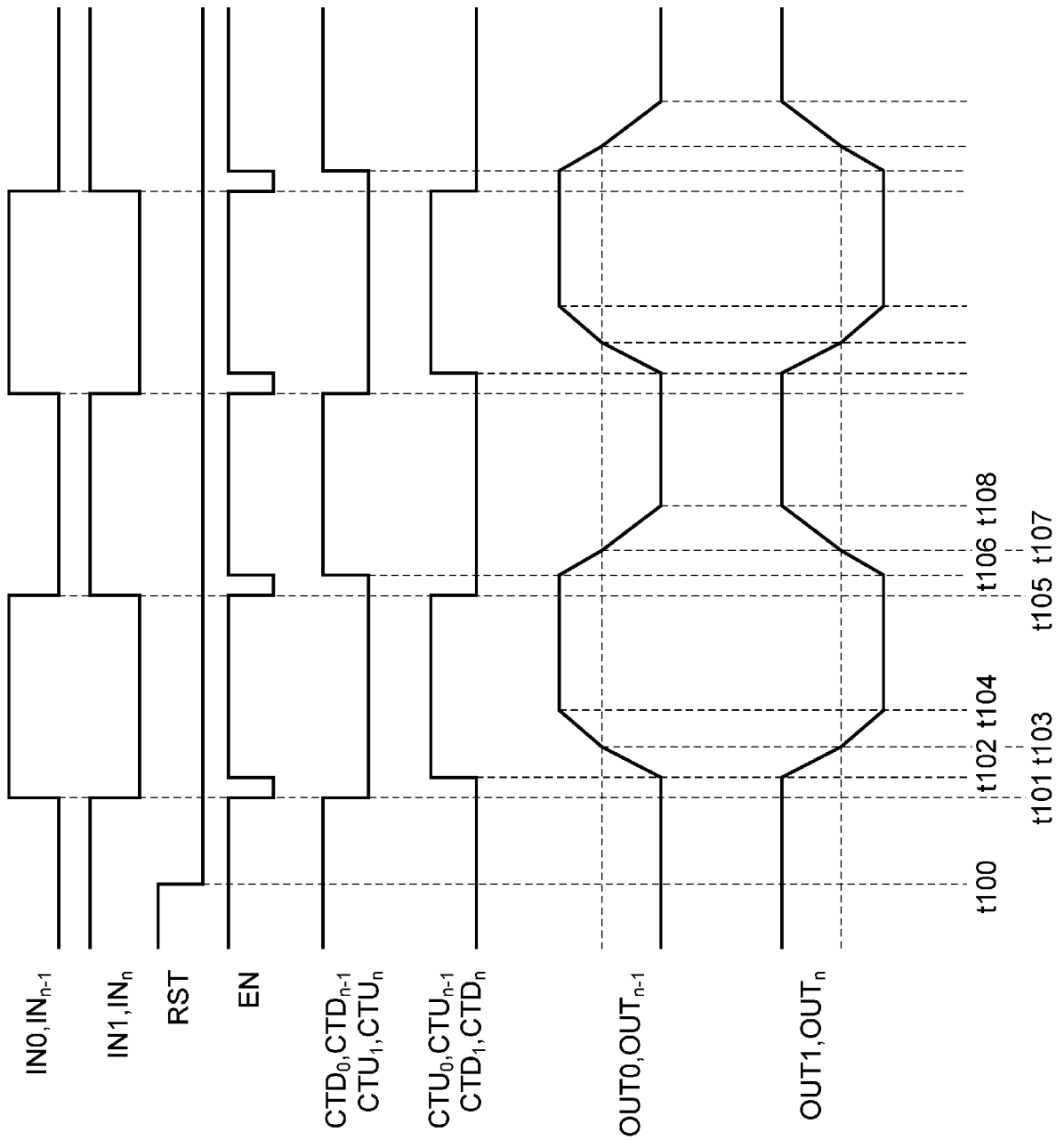
[図8]



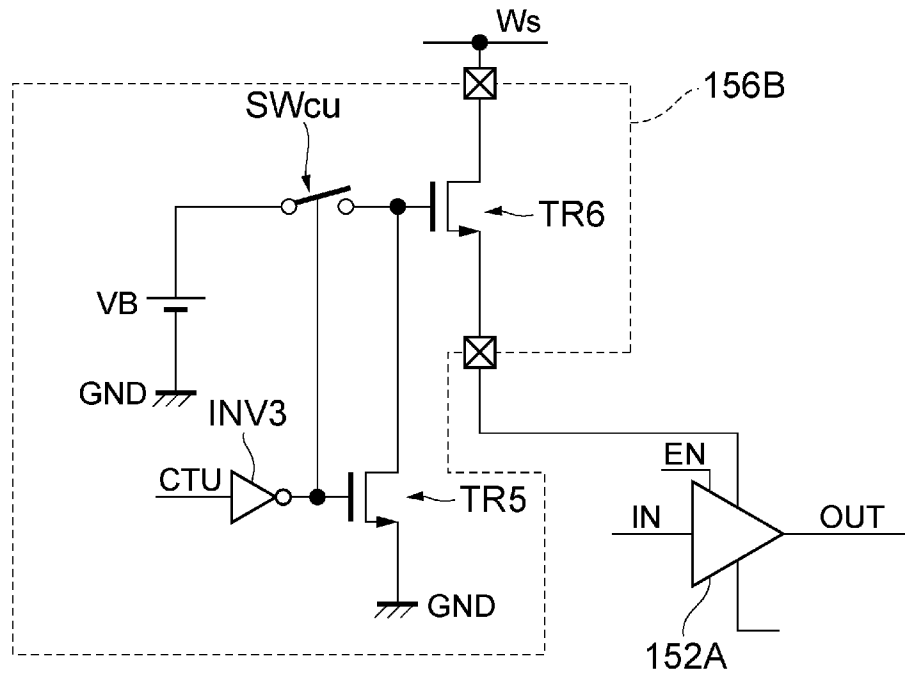
[図9]



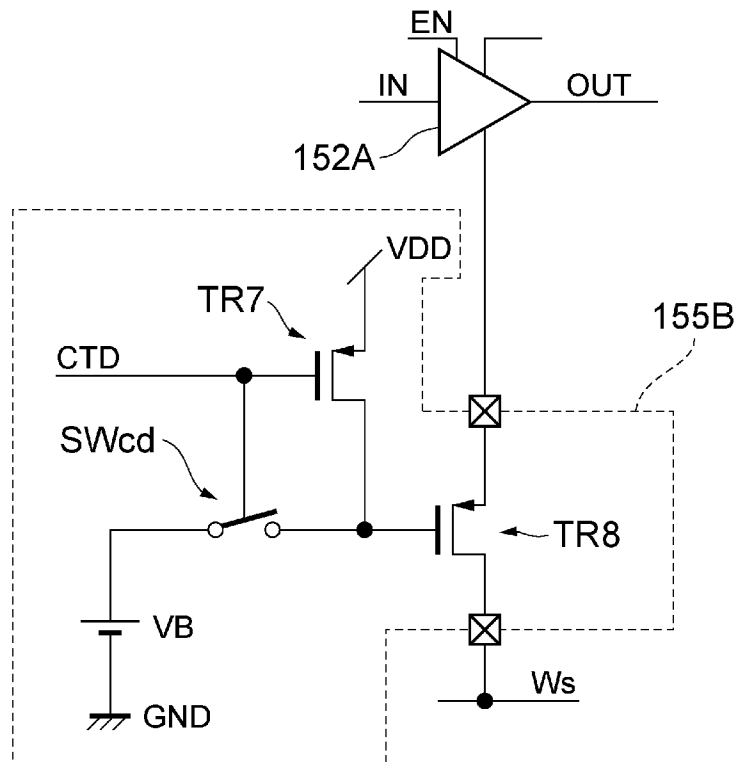
[図10]



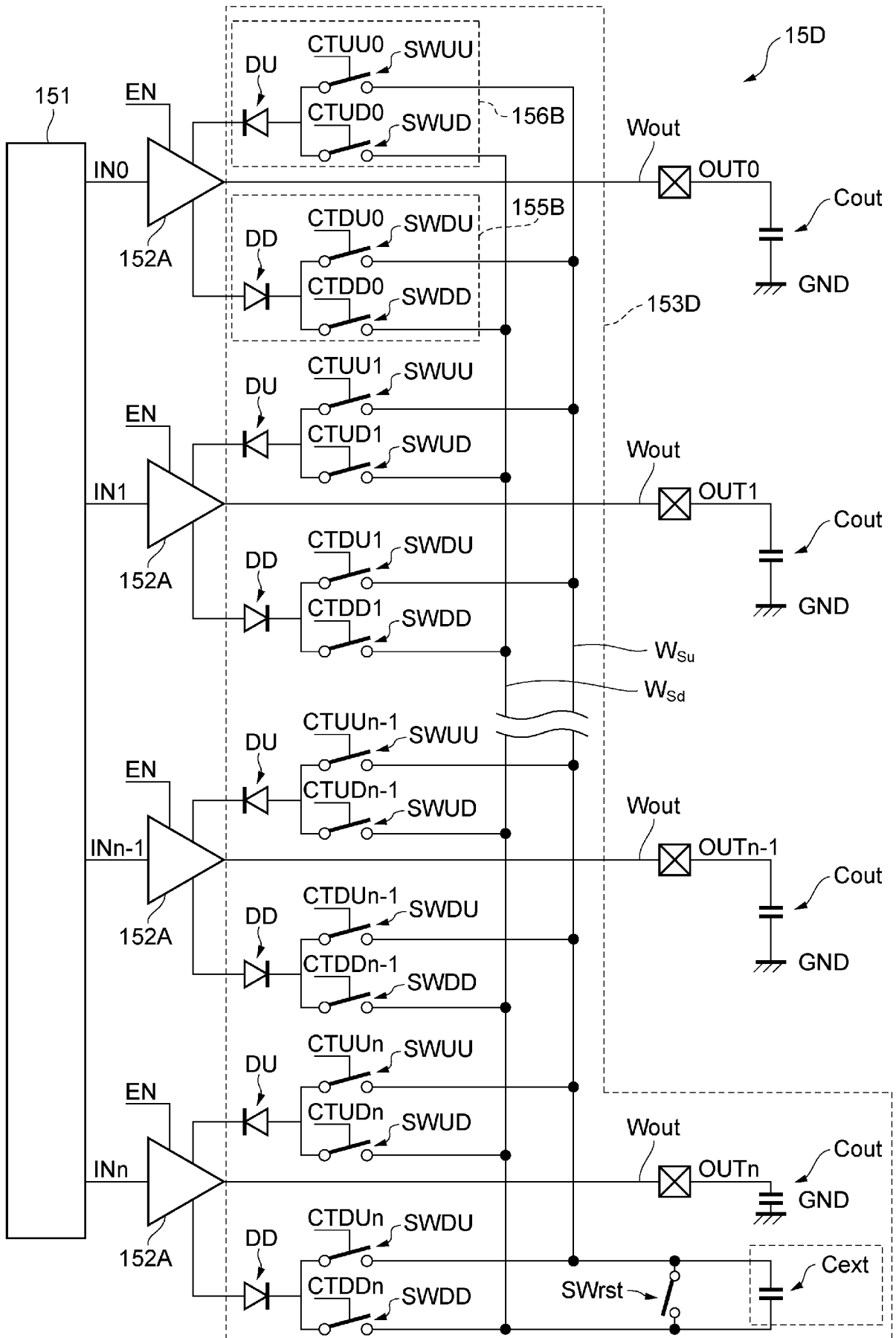
[図11A]



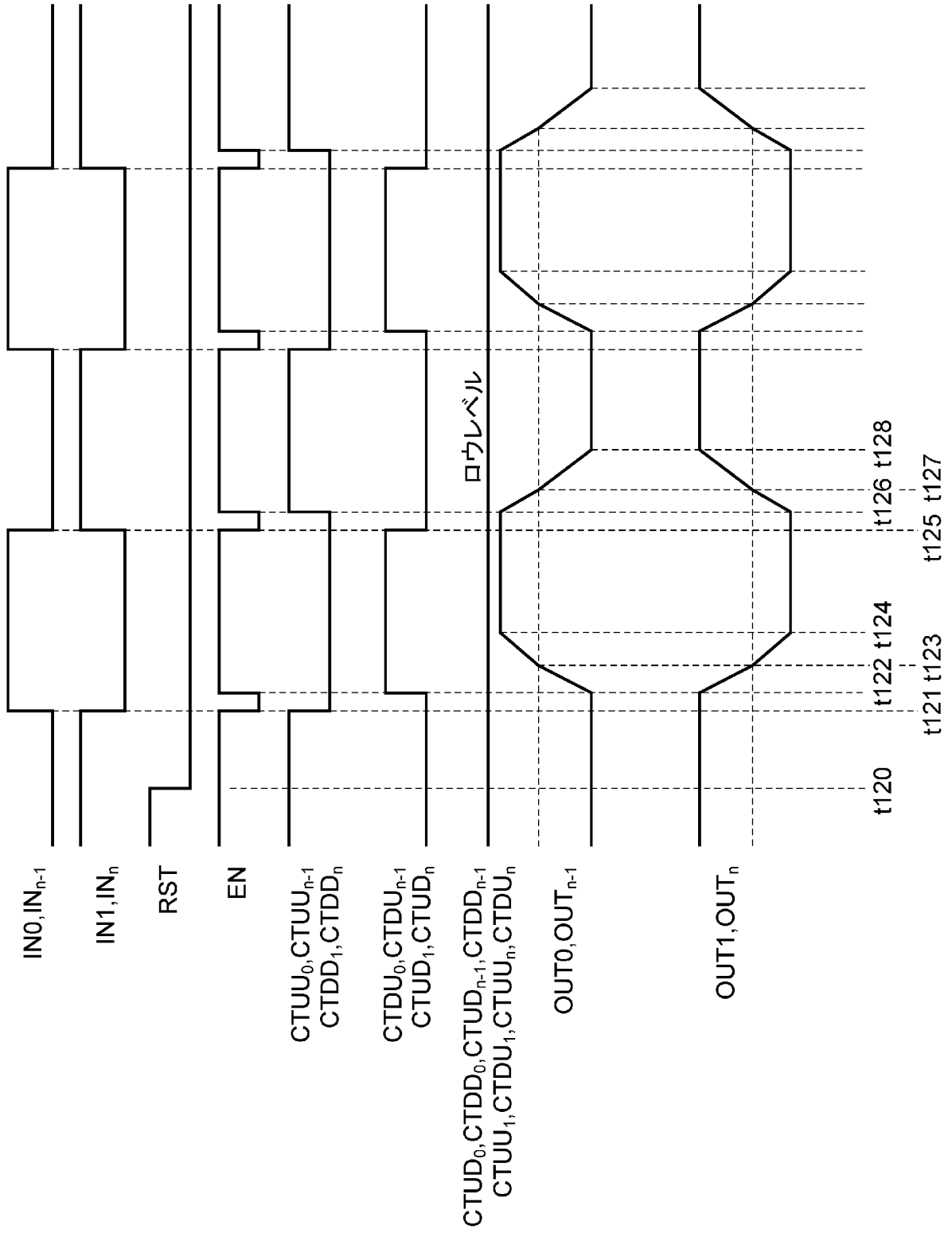
[図11B]



[図12]

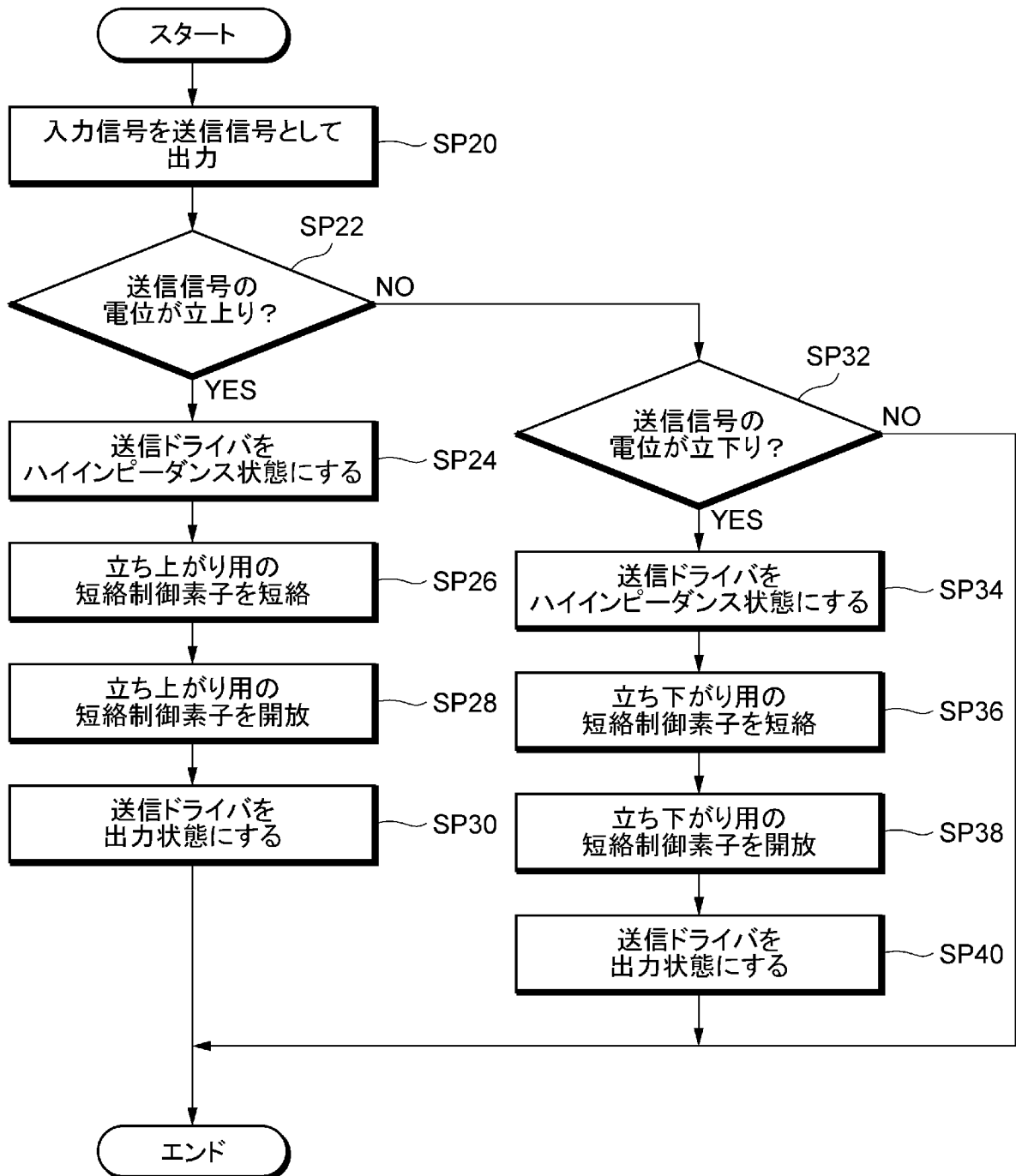


[図13]

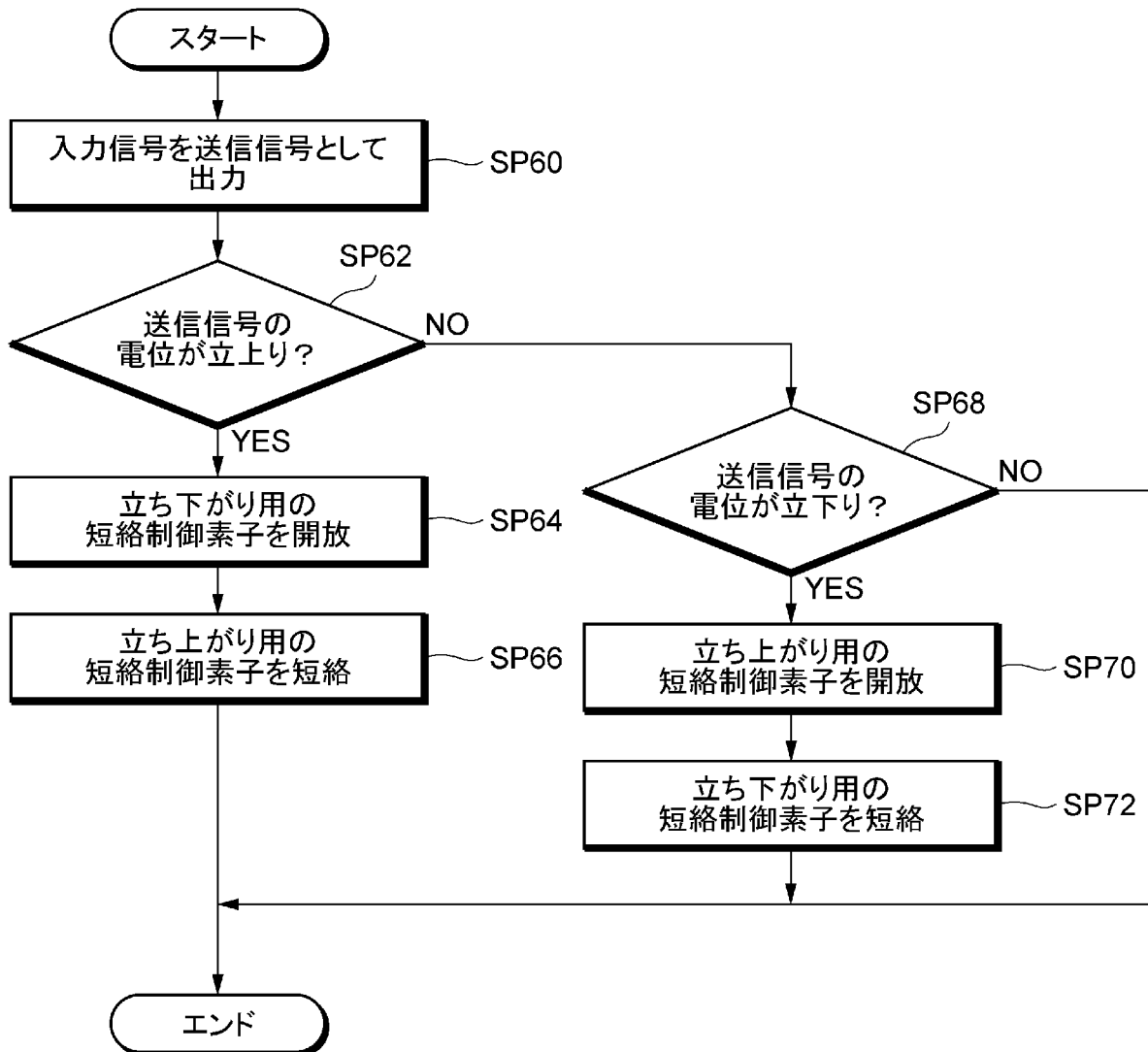




[図15]



[図16]



## INTERNATIONAL SEARCH REPORT

International application No.

**PCT/JP2022/038819**

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>G06F 3/041</i> (2006.01)i; <i>G06F 3/044</i> (2006.01)i FI: G06F3/041 570; G06F3/041 512; G06F3/044 B		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) G06F3/041; G06F3/044		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6156886 B2 (SYNAPTICS INC.) 05 July 2017 (2017-07-05) entire text, all drawings	1-20
A	JP 2019-91442 A (WACOM CO., LTD.) 13 June 2019 (2019-06-13) entire text, all drawings	1-20
A	JP 2005-328524 A (SAMSUNG ELECTRONICS CO., LTD.) 24 November 2005 (2005-11-24) entire text, all drawings	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>23 December 2022</b>		Date of mailing of the international search report <b>10 January 2023</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2022/038819**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	6156886	B2	05 July 2017	US	2013/0257745	A1	
					entire text, all drawings		
				WO	2013/148104	A1	
				CN	104185828	A	
				KR	10-2014-0144248	A	
-----							
JP	2019-91442	A	13 June 2019	US	2019/0146602	A1	
					entire text, all drawings		
				WO	2019/097565	A1	
				CN	110892368	A	
-----							
JP	2005-328524	A	24 November 2005	US	2005/0253948	A1	
					entire text, all drawings		
				KR	10-2005-0108042	A	
-----							

A. 発明の属する分野の分類（国際特許分類（IPC）） G06F 3/041(2006.01)i; G06F 3/044(2006.01)i FI: G06F3/041 570; G06F3/041 512; G06F3/044 B		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G06F3/041; G06F3/044 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2022年 日本国実用新案登録公報 1996 - 2022年 日本国登録実用新案公報 1994 - 2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 6156886 B2 (シナプティクス インコーポレイテッド) 05.07.2017 (2017 - 07 - 05) 全文・全図	1-20
A	JP 2019-91442 A (株式会社ワコム) 13.06.2019 (2019 - 06 - 13) 全文・全図	1-20
A	JP 2005-328524 A (三星電子株式会社) 24.11.2005 (2005 - 11 - 24) 全文・全図	1-20
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	23. 12. 2022	国際調査報告の発送日 10. 01. 2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）  星野 裕 5E 6301  電話番号 03-3581-1101 内線 3521	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/038819

引用文献			公表日	パテントファミリー文献			公表日
JP	6156886	B2	05.07.2017	US	2013/0257745	A1	
				全文・全図			
				WO	2013/148104	A1	
				CN	104185828	A	
				KR	10-2014-0144248	A	
-----							
JP	2019-91442	A	13.06.2019	US	2019/0146602	A1	
				全文・全図			
				WO	2019/097565	A1	
				CN	110892368	A	
-----							
JP	2005-328524	A	24.11.2005	US	2005/0253948	A1	
				全文・全図			
				KR	10-2005-0108042	A	
-----							