



(12) 发明专利

(10) 授权公告号 CN 110164971 B

(45) 授权公告日 2022.08.12

(21) 申请号 201810762478.6

(51) Int.CI.

(22) 申请日 2018.07.12

H01L 29/78 (2006.01)

(65) 同一申请的已公布的文献号

H01L 29/423 (2006.01)

申请公布号 CN 110164971 A

(56) 对比文件

(43) 申请公布日 2019.08.23

US 2017317207 A1, 2017.11.02

(30) 优先权数据

US 2010052044 A1, 2010.03.04

2018-024047 2018.02.14 JP

CN 102792448 A, 2012.11.21

(73) 专利权人 株式会社东芝

US 2011260212 A1, 2011.10.27

地址 日本东京都

CN 105977295 A, 2016.09.28

专利权人 东芝电子元件及存储装置株式会

审查员 周天微

社

(72) 发明人 下村纱矢 小林研也

(74) 专利代理机构 永新专利商标代理有限公司

权利要求书3页 说明书9页 附图19页

72002

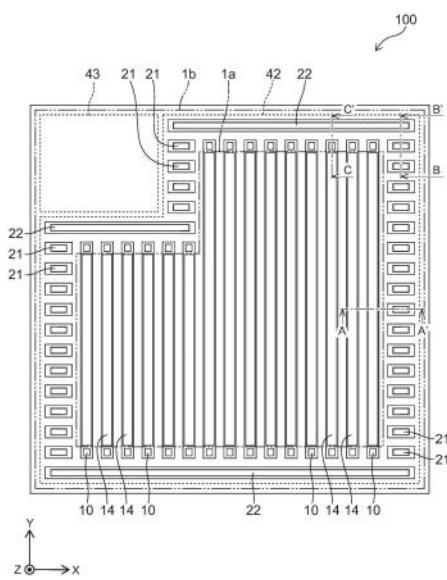
专利代理人 刘英华

(54) 发明名称

半导体装置

(57) 摘要

根据一个实施方式，半导体装置具备第1电极、第1导电型的第1半导体区域、第2导电型的第2半导体区域、第1导电型的第3半导体区域、第2电极、栅极电极、第1导电部及第2导电部。第1半导体区域具有第1区域及第2区域。第2半导体区域设置在第1区域之上，第3半导体区域设置在第2半导体区域之上。第2电极设置在第3半导体区域之上。栅极电极在第2方向上与第2半导体区域对置。第1导电部设置在第2区域之上，在第3方向上设置有多个。多个第1导电部在第2方向上与栅极电极并排。第2导电部设置在第2区域之上。第2导电部在第3方向上与栅极电极及多个第1导电部并排。



B

CN 110164971

1. 一种半导体装置,具备:

第1电极;

第1导电型的第1半导体区域,设置在上述第1电极之上,上述第1半导体区域具有第1区域和包围上述第1区域的第2区域;

第2导电型的第2半导体区域,设置在上述第1区域之上;

第1导电型的第3半导体区域,设置在上述第2半导体区域之上;

第2电极,设置在上述第3半导体区域之上,上述第2电极与上述第2半导体区域及上述第3半导体区域电连接;

栅极电极,在与从上述第1区域朝向上述第2半导体区域的第1方向垂直的第2方向上,与上述第2半导体区域隔着栅极绝缘部而对置;

第1导电部,在上述第2区域之上隔着第1绝缘部而设置,并与上述第2电极或上述栅极电极电连接,上述第1导电部在与上述第1方向及上述第2方向垂直的第3方向上设置多个,上述多个第1导电部互相分离,上述多个第1导电部在上述第2方向上与上述栅极电极并排;以及

第2导电部,与上述第2电极或上述栅极电极电连接,上述第2导电部在上述第2区域之上隔着第2绝缘部而设置,上述第2导电部在上述第3方向上与上述栅极电极及上述多个第1导电部并排。

2. 如权利要求1所述的半导体装置,其中,

上述第1导电部的上述第2方向上的长度,比上述栅极电极的上述第2方向上的长度长。

3. 如权利要求1所述的半导体装置,其中,

上述栅极电极在上述第2方向上设置多个,

上述多个栅极电极互相分离,

上述第2导电部在上述第3方向上与上述多个栅极电极及上述多个第1导电部并排,

上述第1绝缘部彼此间的上述第3方向上的距离,为上述栅极绝缘部彼此间的上述第2方向上的距离以下。

4. 如权利要求1所述的半导体装置,其中,还具备:

多个第3导电部,与上述第2电极或上述栅极电极电连接;及

第3电极,设置在上述多个第3导电部之上,与上述栅极电极电连接,

上述多个第3导电部在上述第3方向上互相分离,

上述多个第3导电部分别在上述第2区域之上隔着第3绝缘部而设置,

上述栅极电极的一部分在上述第2方向上,位于上述多个第1导电部的一部分与上述多个第3导电部之间。

5. 如权利要求4所述的半导体装置,其中,

上述多个第3导电部各自的上述第2方向上的长度,比上述多个第1导电部各自的上述第2方向上的长度长。

6. 如权利要求1所述的半导体装置,其中,

还具备设置在上述第1绝缘部中的第4导电部,

上述第4导电部在上述第2方向上与上述第1导电部分离。

7. 如权利要求1所述的半导体装置,其中,

上述第1导电部还在上述第2方向上设置多个，

上述栅极电极在上述第2方向上,位于多个上述第1导电部的一部分与多个上述第1导电部的其他的一部分之间。

8. 如权利要求1所述的半导体装置,其中,

上述第2导电部在上述第3方向上设置多个，

上述栅极电极在上述第3方向上,位于多个上述第2导电部中的1个第2导电部与多个上述第2导电部的其他的1个第2导电部之间。

9. 如权利要求1所述的半导体装置,其中,

还具备在上述第2半导体区域之上设置的第2导电型的第4半导体区域，

上述第4半导体区域中的第2导电型的杂质浓度,比上述第2半导体区域中的第2导电型的杂质浓度高。

10. 如权利要求1所述的半导体装置,其中,

还具备在上述第1电极与上述第1半导体区域之间设置,并与上述第1电极电连接的第1导电型的第5半导体区域，

上述第5半导体区域中的第1导电型的杂质浓度,比上述第1半导体区域中的第1导电型的杂质浓度高。

11. 一种半导体装置,具备:

第1电极;

第1导电型的第1半导体区域,设置在上述第1电极之上,与上述第1电极电连接,上述第1半导体区域具有第1区域和包围上述第1区域的第2区域;

第2导电型的多个第2半导体区域,设置在上述第1区域之上;

第1导电型的多个第3半导体区域,分别设置在上述多个第2半导体区域各自之上;

第2电极,设置在上述多个第3半导体区域之上,上述第2电极与上述多个第2半导体区域及上述多个第3半导体区域电连接;

多个栅极电极,分别在与从上述第1区域朝向上述第2半导体区域的第1方向垂直的第2方向上,与上述多个第2半导体区域分别隔着栅极绝缘部而对置;

第1导电部,在上述第2区域之上隔着第1绝缘部而设置,并与上述第2电极或上述栅极电极电连接,上述第1导电部在上述第2方向上设置多个,上述多个第1导电部互相分离,上述多个第1导电部在与上述第1方向及上述第2方向垂直的第3方向上与上述栅极电极并排;以及

第2导电部,与上述第2电极或上述栅极电极电连接,上述第2导电部在上述第2区域之上隔着第2绝缘部而设置,上述第2导电部在上述第2方向上与上述栅极电极及上述多个第1导电部并排。

12. 如权利要求11所述的半导体装置,其中,

上述第1导电部的上述第3方向上的长度,比上述栅极电极的上述第2方向上的长度长。

13. 如权利要求11所述的半导体装置,其中,

上述栅极电极在上述第2方向上设置多个，

上述多个栅极电极互相分离，

上述第2导电部在上述第2方向上与上述多个栅极电极及上述多个第1导电部并排，

上述第1绝缘部彼此间的上述第2方向上的距离,为上述栅极绝缘部彼此间的上述第2方向上的距离以下。

14. 如权利要求11所述的半导体装置,其中,

还具备在上述第2半导体区域之上设置的第2导电型的第4半导体区域,

上述第4半导体区域中的第2导电型的杂质浓度,比上述第2半导体区域中的第2导电型的杂质浓度高。

15. 如权利要求11所述的半导体装置,其中,

还具备在上述第1电极与上述第1半导体区域之间设置,并与上述第1电极电连接的第1导电型的第5半导体区域,

上述第5半导体区域中的第1导电型的杂质浓度,比上述第1半导体区域中的第1导电型的杂质浓度高。

16. 一种半导体装置,具备:

第1电极;

第1导电型的第1半导体区域,设置在上述第1电极之上,并与上述第1电极电连接,上述第1半导体区域具有第1区域及包围上述第1区域的第2区域;

第2导电型的多个第2半导体区域,设置在上述第1区域之上;

第1导电型的多个第3半导体区域,分别设置在上述多个第2半导体区域各自之上;

第2电极,设置在上述多个第3半导体区域之上,上述第2电极与上述多个第2半导体区域及上述多个第3半导体区域电连接;

多个栅极电极,分别在与从上述第1区域朝向上述第2半导体区域的第1方向垂直的第2方向上,与上述多个第2半导体区域分别隔着栅极绝缘部而对置;

第1导电部,在上述第2区域之上隔着第1绝缘部而设置,并与上述第2电极或上述栅极电极电连接,上述第1导电部在与上述第1方向及上述第2方向垂直的第3方向上设置多个,上述多个第1导电部互相分离,上述多个第1导电部在上述第2方向上与上述栅极电极并排;以及

第2导电部,在上述第2区域之上隔着第2绝缘部而设置,并与上述第2电极或上述栅极电极电连接,上述第2导电部在上述第2方向上设置多个,上述多个第2导电部互相分离,上述多个第2导电部在上述第3方向上与上述多个栅极电极并排。

17. 如权利要求16所述的半导体装置,其中,

还具备在上述第2半导体区域之上设置的第2导电型的第4半导体区域,

上述第4半导体区域中的第2导电型的杂质浓度,比上述第2半导体区域中的第2导电型的杂质浓度高。

18. 如权利要求16所述的半导体装置,其中,

还具备在上述第1电极与上述第1半导体区域之间设置,并与上述第1电极电连接的第1导电型的第5半导体区域,

上述第5半导体区域中的第1导电型的杂质浓度,比上述第1半导体区域中的第1导电型的杂质浓度高。

半导体装置

[0001] 关联申请

[0002] 本申请享受以日本专利申请2018-24047号(申请日:2018年2月14日)为基础申请的优先权。本申请通过参照该基础申请而包含基础申请的全部内容。

技术领域

[0003] 本发明的实施方式通常涉及半导体装置。

背景技术

[0004] MOSFET(Metal Oxide Semiconductor Field Effect Transistor)等的半导体装置,作为开关装置使用。MOSFET包括寄生双极晶体管。在该寄生晶体管动作时,半导体装置可能被破坏。因此,希望寄生晶体管不易动作。

发明内容

[0005] 本发明的实施方式提供能够抑制寄生晶体管的动作的半导体装置。

[0006] 根据一个实施方式,半导体装置具备第1电极、第1导电型的第1半导体区域、第2导电型的第2半导体区域、第1导电型的第3半导体区域、第2电极、栅极电极、第1导电部及第2导电部。上述第1半导体区域设置于上述第1电极之上。上述第1半导体区域具有第1区域及包围上述第1区域的第2区域。上述第2半导体区域设置于上述第1区域之上。上述第3半导体区域设置于上述第2半导体区域之上。上述第2电极设置于上述第3半导体区域之上,与上述第2半导体区域及上述第3半导体区域电连接。上述栅极电极,在与从上述第1区域朝向上述第2半导体区域的第1方向垂直的第2方向上,隔着栅极绝缘部与上述第2半导体区域对置。上述第1导电部隔着第1绝缘部设置在上述第2区域之上。上述第1导电部,在与上述第1方向及上述第2方向垂直的第3方向上,彼此分离地设置有多个。多个上述第1导电部在上述第2方向上与上述栅极电极并排,并与上述第2电极或上述栅极电极电连接。上述第2导电部与上述第2电极或上述栅极电极电连接。上述第2导电部,隔着第2绝缘部设置在上述第2区域之上。上述第2导电部在上述第3方向上与上述栅极电极及上述多个第1导电部并排。

附图说明

[0007] 图1是表示第1实施方式的半导体装置的俯视图。

[0008] 图2是图1的A—A'剖视图。

[0009] 图3A及图3B是图1的B—B'剖视图及C—C'剖视图。

[0010] 图4A~图4D是表示第1实施方式的半导体装置的制造工序的工序剖视图。

[0011] 图5A~图5D是表示第1实施方式的半导体装置的制造工序的工序剖视图。

[0012] 图6A~图6D是表示第1实施方式的半导体装置的制造工序的工序剖视图。

[0013] 图7A~图7C是例示连接有第1实施方式的半导体装置的电气电路的电路图。

[0014] 图8是表示图7所示的电气电路中的半导体装置中的电流及电压的波形的曲线。

- [0015] 图9是示意地表示第1实施方式的半导体装置中的空穴的流动的俯视图。
- [0016] 图10是表示第1实施方式的变形例的半导体装置的俯视图。
- [0017] 图11是图10的A—A' 剖视图。
- [0018] 图12是表示第2实施方式的半导体装置的俯视图。
- [0019] 图13A及图13B是图12的A—A' 剖视图。
- [0020] 图14是图12的B—B' 剖视图及C—C' 剖视图。
- [0021] 图15A～图15D是表示第1实施方式的半导体装置的一部分的俯视图及表示第2实施方式的半导体装置的一部分的俯视图。
- [0022] 图16是表示第3实施方式的半导体装置的俯视图。

具体实施方式

- [0023] (第1实施方式)
 - [0024] 图1是表示第1实施方式的半导体装置的俯视图。
 - [0025] 图2是图1的A—A' 剖视图。
 - [0026] 图3A及图3B是图1的B—B' 剖视图及C—C' 剖视图。
 - [0027] 图1表示在图2的D—D' 线的位置切断后的面。在图1中,省略各半导体区域。
 - [0028] 半导体装置100例如是MOSFET。半导体装置100如图1～图3所示,具有n⁻型(第1导电型)半导体区域1(第1半导体区域)、p型(第2导电型)基极区域2(第2半导体区域)、n⁺型源极区域3(第3半导体区域)、p⁺型接触区域4(第4半导体区域)、n⁺型漏极区域5(第5半导体区域)、场板电极(以下称为FP电极)10、栅极电极14、第1导电部21、第2导电部22、漏极电极41(第1电极)、源极电极42(第2电极)及栅极衬垫43(第3电极)。
 - [0029] 在实施方式的说明中,使用XYZ正交坐标系。将从n⁻型半导体区域1的第1区域1a朝向p型基极区域2的方向设为Z方向(第1方向)。将相对于Z方向垂直且相互正交的2个方向设为X方向(第2方向)及Y方向(第3方向)。另外,为了说明,将从第1区域1a朝向p型基极区域2的方向称为“上”,将其相反方向称为“下”。这些方向,基于第1区域1a与p型基极区域2的位置关系,而与重力的方向无关。
 - [0030] 在图1中,源极电极42及栅极衬垫43以虚线表示。如图1所示,源极电极42及栅极衬垫43设置在半导体装置100的上表面,互相分离。在源极电极42之下,设置有FP电极10、栅极电极14、第1导电部21及第2导电部22。
 - [0031] 如图2所示,漏极电极41设置于半导体装置100的下表面。n⁺型漏极区域5设置于漏极电极41之上,与漏极电极41电连接。n⁻型半导体区域1设置于n⁺型漏极区域5之上。n⁻型半导体区域1具有第1区域1a及包围第1区域1a的第2区域1b。从第1区域1a朝向第2区域1b的方向,与Z方向垂直。p型基极区域2设置于第1区域1a之上。n⁺型源极区域3及p⁺型接触区域4设置于p型基极区域2之上。
 - [0032] FP电极10隔着绝缘部11设置于第1区域1a之上。栅极电极14隔着绝缘部12设置于FP电极10之上。栅极电极14在X方向上隔着栅极绝缘部15而与n⁻型半导体区域1的一部分、p型基极区域2及n⁺型源极区域3中的至少一部分对置。在栅极电极14之上,设置有绝缘部35。栅极电极14与栅极衬垫43电连接。
 - [0033] 源极电极42的一部分,设置于绝缘部35中,与n⁺型源极区域3及p⁺型接触区域4电连

接。在图2所示的例子中, p^+ 型接触区域4位于比 n^+ 型源极区域3更靠下方。 n^+ 型源极区域3在X方向上与源极电极42的一部分并排。源极电极42的电位例如被设定为接地。栅极电极14与源极电极42通过绝缘部35而在电气上分离。FP电极10与源极电极42或者栅极电极14(栅极衬垫43)电连接。

[0034] p 型基极区域2、 n^+ 型源极区域3、 p^+ 型接触区域4、FP电极10及栅极电极14分别在第1区域1a之上, 在X方向上设置多个, 在Y方向上延伸。

[0035] 第1导电部21, 如图1所示在Y方向上设置有多个。多个第1导电部21互相分离。多个第1导电部21在X方向上与栅极电极14并排。在图1的例子中, 第1导电部21还在X方向上设置有多个。多个栅极电极14在X方向上位于多个第1导电部21的一部分与多个第1导电部21的其他的一部分之间。

[0036] 第2导电部22在X方向上延伸。第2导电部22在Y方向上与多个栅极电极14及多个第1导电部21并排。在图1的例子中, 第2导电部22在Y方向上设置有多个。多个栅极电极14及多个第1导电部21在Y方向上位于第2导电部22与其他的第2导电部22之间。

[0037] 多个第1导电部21及多个第2导电部22例如以不位于栅极衬垫43之下的方式仅设置在源极电极42之下。

[0038] 如图2所示, 第1导电部21隔着第1绝缘部31设置在第2区域1b之上。第1导电部21在X方向及Y方向上, 隔着第1绝缘部31与 n^- 型半导体区域1的一部分对置。第1导电部21例如与源极电极42电连接。或者, 第1导电部21也可以与栅极电极14及栅极衬垫43电连接。

[0039] 在第1导电部21与 p 型基极区域2之间的第1绝缘部31中, 例如设置有第4导电部24。第4导电部24在X方向上与第1导电部21分离。例如, 第4导电部24的X方向上的长度, 比第1导电部21的X方向上的长度短。第4导电部24的Z方向上的长度, 比第1导电部21的Z方向上的长度短。第4导电部24的电位例如是浮动的。或者, 第4导电部24可以与源极电极42电连接。

[0040] 如图3A及图3B所示, 第2导电部22隔着第2绝缘部32设置在第2区域1b之上。第2导电部22在X方向及Y方向上, 隔着第2绝缘部32而与 n^- 型半导体区域1的一部分对置。第2导电部22例如与源极电极42电连接。或者, 第2导电部22也可以与栅极电极14及栅极衬垫43电连接。

[0041] 例如, 如图3A及图3B所示, 第1导电部21和第2导电部22, 连续并相连。第1绝缘部31与第2绝缘部32, 连续并相连。

[0042] 对半导体装置100的各构成要素的材料的一例进行说明。

[0043] 关于 n^- 型半导体区域1、 p 型基极区域2、 n^+ 型源极区域3、 p^+ 型接触区域4及 n^+ 型漏极区域5, 作为半导体材料, 包含硅、碳化硅、氮化钙或者砷化镓。在使用硅作为半导体材料的情况下, 作为 n 型杂质, 能够使用砷、磷或者锑。作为 p 型杂质, 能够使用硼。

[0044] FP电极10、栅极电极14、第1导电部21及第2导电部22, 包含多晶硅等的导电材料。

[0045] 绝缘部11、绝缘部12、栅极绝缘部15、第1绝缘部31及第2绝缘部32, 包含氧化硅等的绝缘材料。

[0046] 漏极电极41、源极电极42及栅极衬垫43, 包含铝等的金属。

[0047] 对半导体装置100的动作进行说明。

[0048] 在相对于源极电极42而对漏极电极41施加了正的电压的状态下, 对栅极电极14施加阈值以上的电压时, 在 p 型基极区域2的栅极绝缘部15附近形成沟道(反型层), 半导体装

置100成为导通状态。电子通过该沟道从源极电极42向漏极电极41流动。然后,对栅极电极14施加的电压变得比阈值低时,p型基极区域2中的沟道湮灭,半导体装置100成为截止状态。

- [0049] 对半导体装置100的制造方法的一例进行说明。
- [0050] 图4A~图6D是表示第1实施方式的半导体装置的制造工序的工序剖视图。
- [0051] 图4A~图6D表示与图1的A—A'截面对应的部分的制造工序。
- [0052] 首先,准备具有n⁺型半导体区域5m及n⁻型半导体区域1m的半导体基板S。n⁻型半导体区域1m设置在n⁺型半导体区域5m之上。在n⁻型半导体区域1m的上表面,使用光刻法及RIE(Reactive Ion Etching)法,如图4A所示,形成沟槽T1及T2。沟槽T1在X方向上形成多个。各个沟槽T1在Y方向上延伸。沟槽T2在Y方向上形成多个。沟槽T2的X方向上的尺寸,比沟槽T1的X方向上的尺寸长。沟槽T1是用于形成FP电极10及栅极电极14的沟槽。沟槽T2是用于形成第1导电部21的沟槽。除此以外,在该工序中,形成用于形成第2导电部22的未图示的沟槽。
- [0053] 将半导体基板S热氧化,沿着n⁻型半导体区域1m的表面形成绝缘层11m。如图4B所示,在绝缘层11m之上,使用CVD(Chemical Vapor Deposition)法,形成填埋沟槽T1及T2的导电层10m。
- [0054] 如图4C所示,通过将导电层10m的一部分去除,形成互相分离的多个导电层10n。将在沟槽T2内形成的导电层10n用未图示的掩模覆盖。如图4D所示,将在沟槽T1内形成的导电层10n的一部分去除。沟槽T1内残留的导电层10n与FP电极10对应。沟槽T2内残留的导电层10n与第1导电部21对应。
- [0055] 将包括沟槽T2的半导体基板S的外周用未图示的掩模覆盖。如图5A所示,通过湿式蚀刻将绝缘层11m的一部分去除。据此,沟槽T1的内表面的一部分及沟槽T2的内表面的一部分露出。将半导体基板S热氧化,在沟槽T1的内表面、沟槽T2的内表面及第1导电部21的表面形成绝缘部15m。绝缘部15m比绝缘层11m薄。在FP电极10的上表面,形成绝缘层12m。
- [0056] 如图5B所示,在绝缘部15m之上,形成填埋沟槽T1及T2的导电层14m。使用CDE(Chemical Dry Etching)法或者RIE法,将导电层14m的一部分去除。据此,如图5C所示,形分别设置在沟槽T1内及沟槽T2内的多个导电层。在沟槽T1内形成的导电层与栅极电极14对应。在沟槽T2内形成的导电层,与第4导电部24对应。
- [0057] 将p型杂质离子注入到沟槽T1彼此间及沟槽T1与T2间,形成p型半导体区域2m。在沟槽T1彼此间的p型半导体区域2m的表面,离子注入n型杂质,形成n⁺型半导体区域3m。如图5D所示,形成覆盖栅极电极14及第4导电部24的绝缘层35m。
- [0058] 在绝缘层35m之上,形成光致抗蚀剂PR。如图6A所示,在光致抗蚀剂PR上形成多个开口OP1及开口OP2。绝缘层35m的一部分,通过多个开口OP1及开口OP2而露出。多个开口OP1分别位于多个p型半导体区域2m的正上方。开口OP2位于第1导电部21的正上方。
- [0059] 使用光致抗蚀剂PR作为掩模,形成多个开口OP3及开口OP4。各个开口OP3,贯通绝缘层35m、绝缘部15m及n⁺型半导体区域3m,并到达p型半导体区域2m。开口OP4贯通绝缘层35m及绝缘部15m。将光致抗蚀剂PR去除,对开口OP3的底部离子注入p型杂质。据此,如图6B所示,形成p⁺型接触区域4。p⁺型接触区域4以外的p型半导体区域2m,与p型基极区域2对应。n⁺型半导体区域3m,与n⁺型源极区域3对应。
- [0060] 如图6C所示,在绝缘层35m之上,使用溅射法形成金属层。多个开口OP3及开口OP4,

通过该金属层而被填埋。通过对该金属层进行图案形成，形成源极电极42及栅极衬垫43。将n⁺型半导体区域5m的下表面一直研磨到n⁺型半导体区域5m成为规定的厚度。如图6D所示，在研磨过的n⁺型半导体区域5m的下表面，使用溅射法沉积金属材料，形成漏极电极41。通过以上的工序，制造图1～图3B所示的半导体装置100。

[0061] 关于通过图4A所示的工序形成的沟槽T1及T2，沟槽T2的X方向上的尺寸，比沟槽T1的X方向上的尺寸更长。据此，如图6A所示，能够将台阶st1与第1导电部21的X方向上的第1距离增长。台阶st1形成在绝缘层11m的上表面与第1导电部21的上表面之间。在第1距离变长时，在绝缘层35m的上表面形成的台阶st2与第1导电部21的X方向上的第2距离变长。若有台阶st2，则在光致抗蚀剂PR的表面产生台阶st3。若第2距离变长，则能够使台阶st3的位置，相比于形成开口OP2的位置，向半导体基板S的外周侧偏移。

[0062] 光致抗蚀剂PR的台阶st3存在的部分的厚度，比栅极电极14上等的光致抗蚀剂PR的其他的部分的厚度大。因此，若台阶st3的位置与开口OP2的位置重叠，在形成开口OP2时，光致抗蚀剂PR未被充分去除，绝缘层35m可能不露出。在绝缘层35m未通过开口OP2露出的情况下，开口OP4未适当形成。其结果，第1导电部21可能与源极电极42不连接。如上所述，通过使台阶st3的位置从开口OP2形成的位置偏移，能够适当地形成开口OP4。

[0063] 参照图7A～图9对第1实施方式的效果进行说明。

[0064] 图7A至图7C是例示连接有第1实施方式的半导体装置的电气电路的电路图。

[0065] 图8是表示图7A至图7C所示的电气电路中的半导体装置中的电流以及电压的波形的曲线。

[0066] 图9是示意地表示第1实施方式的半导体装置中的空穴的流动的俯视图。

[0067] 另外，在图9中，将n⁻型半导体区域1及p型基极区域2以外的半导体区域省略。

[0068] 在图7A～图7C所示的例子中，使用本实施方式的2个半导体装置100-1和100-2，构成半桥电路。图7A表示半导体装置100-1为导通状态、半导体装置100-2为截止状态时的样子。在半导体装置100-1中，流动导通电流I_{ON}。

[0069] 在图7A所示的状态下，半导体装置100-1被断开时，基于电感L而产生感应电动势。据此，如图7B所示，在通过半导体装置100-2的n⁻型半导体区域1与p型基极区域2构成的二极管中，流动顺向的电流I_F。此时，从源极电极42向n⁻型半导体区域1注入空穴，从漏极电极41向n⁻型半导体区域1注入电子。

[0070] 在半导体装置100-2的二极管中流动正向电流时，蓄积于半导体装置100-2的内部的载流子被排出。此时，蓄积于n⁻型半导体区域1的空穴被向源极电极42排出。电子被向漏极电极41排出。通过从半导体装置100-2排出载流子，如图7C所示，在半导体装置100-2中流动反向恢复电流I_R。反向恢复电流I_R，从漏极电极41朝向源极电极42流动。

[0071] 在图8中，实线表示在半导体装置100-2中流动的电流。虚线表示漏极电极41相对于源极电极42的电压。横轴表示时间，纵轴表示电流值。电流值，将从漏极电极41朝向源极电极42的方向作为正而表示。

[0072] 如图8所示，在定时t1流动正向电流，然后，开始流动反向恢复电流。半导体装置100-2的漏极电极41相对于源极电极42的电压V上升。此时，根据反向恢复电流的减少的斜率dI_R/dt，电压V发生冲击电压Vs。在dI_R/dt较大时，冲击电压Vs也变大。在冲击电压Vs较大时，由n⁺型源极区域3、p型基极区域2以及n⁻型半导体区域1构成的寄生NPN晶体管容易动

作。寄生NPN晶体管动作时,在半导体装置内流动大电流,半导体装置可能被破坏。因此,希望 dI_R/dt 较小。

[0073] 在二极管动作时所注入的载流子的一部分,还蓄积在n⁻型半导体区域1的外周。在n⁻型半导体区域1的外周蓄积的空穴,在反向恢复动作时,向附近的p型基极区域2移动并向源极电极42排出。因此,在设置于外周侧的p型基极区域2,与其他的部分,流动更多的空穴。因此,p型基极区域2的电位容易上升,寄生NPN晶体管更容易动作。

[0074] 关于该课题,在半导体装置100中,在n⁻型半导体区域1的第2区域1b之上,设置有多个第1导电部21。多个第1导电部21互相分离。多个第1导电部21与源极电极42或者栅极电极14(栅极衬垫43)电连接。即,在半导体装置100为截止状态时,第1导电部21的电位相对于空穴为负。

[0075] 根据该构成,在n⁻型半导体区域1的外周蓄积的空穴h的一部分,如图9的虚线箭头所表示那样,在第1导电部21彼此间通过后向p型基极区域2流动。空穴h的其他的一部分,如虚线箭头所示那样,在第1绝缘部31附近被捕获。被捕获的空穴h,与未被捕获的空穴h相比,花费更长的时间向p型基极区域2流动。

[0076] 这样,通过设置互相分离的多个第1导电部21,能够增大空穴h到达p型基极区域2为止的时间的偏差。其结果,能够减小图8所示的 dI_R/dt ,能够降低由于寄生NPN晶体管的动作而半导体装置被破坏的可能性。

[0077] 如图9所示,希望第1导电部21的X方向上的长度L1,比栅极电极14的X方向上的长度L2长。长度L1较长,从而空穴h更容易被捕获,能够进一步减小 dI_R/dt 。

[0078] 希望第1绝缘部31彼此间的Y方向上的距离D1,与栅极绝缘部15彼此间的X方向上的距离D2相同,或者比其短。距离D1例如与n⁻型半导体区域1的第1绝缘部31彼此间的部分的Y方向上的长度相同。距离D2例如与n⁻型半导体区域1的栅极绝缘部15彼此间的部分的X方向上的长度相同。距离D2例如与栅极绝缘部15彼此间的p型基极区域2的X方向上的长度相同。

[0079] 例如,第1绝缘部31的厚度比栅极绝缘部15的厚度大。在该情况下,在将半导体装置100断开了时,在第1绝缘部31附近的n⁻型半导体区域1,与栅极电极14及FP电极10附近的n⁻型半导体区域1相比,耗尽层难以变宽。在多个第1导电部21互相分离的构成中,距离D1较长时,第1绝缘部31彼此间的n⁻型半导体区域1难以耗尽化。其结果,半导体装置100的耐压可能降低。

[0080] 为了易于使第1绝缘部31彼此间的n⁻型半导体区域1耗尽化,并抑制半导体装置100的耐压的降低,希望距离D1为距离D2以下。更希望的是,距离D1不足距离D2。据此,第1绝缘部31彼此间的n⁻型半导体区域1更易于耗尽化,能够抑制半导体装置100的耐压的降低。

[0081] 希望第1绝缘部31与第2绝缘部32之间的Y方向上的距离D3,与距离D2相同,或者比其短。距离D3例如与n⁻型半导体区域1的第1绝缘部31与第2绝缘部32之间的部分的Y方向上的长度相同。根据该构成,与上述同样地,能够抑制半导体装置100的耐压的降低。

[0082] (变形例)

[0083] 图10是表示第1实施方式的变形例的半导体装置的俯视图。

[0084] 图11是图10的A—A' 剖视图。

[0085] 图10的俯视图表示图11的B—B' 线处的截面。

[0086] 第1实施方式的变形例的半导体装置110如图10所示,还具备多个第3导电部23。多个第3导电部23在Y方向上互相分离。各个第3导电部23在X方向上延伸。各个第3导电部23的一部分位于栅极衬垫43之下。

[0087] 栅极电极14的一部分在X方向上位于多个第1导电部21与多个第3导电部23之间。第2导电部22的一部分设置于栅极衬垫43之下。多个第3导电部23在Y方向上位于第1导电部21与第2导电部22的一部分之间及多个栅极电极14与第2导电部22的其他的一部分之间。第3导电部23的X方向上的长度,比栅极电极14及第1导电部21的各个X方向上的长度长。

[0088] 如图11所示,第3导电部23在第2区域1b之上隔着第3绝缘部33而设置。第3导电部23在X方向及Y方向上,与n⁻型半导体区域1的一部分隔着第3绝缘部33而对置。栅极衬垫43在第3导电部23之上隔着绝缘部36而设置。第3导电部23与源极电极42电连接。或者,第3导电部23也可以与栅极电极14及栅极衬垫43电连接。

[0089] 在半导体装置100的二极管中流动电流时,在栅极衬垫43之下的n⁻型半导体区域1也蓄积载流子。在栅极衬垫43之下蓄积的空穴,向距栅极衬垫43近的p型基极区域2流动。因此,在距栅极衬垫43近的p型基极区域2中,电位容易上升,寄生NPN晶体管更易于动作。

[0090] 如图10所示,通过设置多个第3导电部23,与多个第1导电部21同样地,空穴h向源极电极42排出时,能够捕获空穴h的一部分。据此,能够抑制栅极衬垫43附近的寄生NPN晶体管的动作,能够进一步降低半导体装置被破坏的可能性。

[0091] (第2实施方式)

[0092] 图12是表示第2实施方式的半导体装置的俯视图。

[0093] 图13A及图13B是图12的A—A' 剖视图。

[0094] 图14是图12的B—B' 剖视图及C—C' 剖视图。

[0095] 图12的俯视图表示图13的D—D' 线处的截面。

[0096] 在第2实施方式的半导体装置200中,如图12所示,多个第1导电部21在X方向上互相分离。多个第1导电部21在Y方向上与多个栅极电极14并排。第2导电部22在X方向上与栅极电极14及第1导电部21并排。

[0097] 在图12所示的例子中,多个栅极电极14在Y方向上,位于多个第1导电部21的一部分与多个第1导电部21的其他的一部分之间。各个栅极电极14的至少一部分,在X方向上,位于第2导电部22与其他的第2导电部22之间。

[0098] 如图13A所示,例如,栅极绝缘部15与第2绝缘部32之间的X方向上的距离D5,与栅极绝缘部15彼此间的距离D6相同。例如,如图13B所示,第1绝缘部31与第2绝缘部32之间的X方向上的距离D7,与第1绝缘部31彼此间的距离D8相同。或者,距离D8比距离D6短。第1导电部21的Y方向上的长度L3(图14所示),比栅极电极14的X方向上的长度L4(图13A所示的)长。

[0099] 在本实施方式中也是,通过设置多个第1导电部21,与第1实施方式同样地,能够增大空穴h到达p型基极区域2为止的时间的偏差。据此,能够减小反向恢复动作时的dI_R/dt,能够降低由于寄生NPN晶体管的动作而半导体装置被破坏的可能性。

[0100] 在第2实施方式的半导体装置中,与半导体装置110同样地,也可以在栅极衬垫43之下设置有多个第3导电部23。在该情况下,多个第3导电部23在X方向上彼此分离。通过设置多个第3导电部23,能够抑制栅极衬垫43附近的寄生NPN晶体管的动作,能够进一步降低半导体装置被破坏的可能性。

[0101] 为了进一步提高耐压,希望多个第1导电部21如半导体装置100那样在Y方向上排列。关于该点,参照图15A至图15D进行说明。

[0102] 图15A至图15D是表示第1实施方式的半导体装置的一部分及第2实施方式的半导体装置的一部分的俯视图。

[0103] 在图15A至图15D所示的例子中,绝缘部11彼此间的距离、第1绝缘部31彼此间的距离、绝缘部11与第1绝缘部31之间的距离、绝缘部11与第2绝缘部32之间的距离及第1绝缘部31与第2绝缘部32之间的距离,彼此相同。

[0104] 图15A表示半导体装置200的Y方向上的端部附近。图15B表示半导体装置200的X方向上的端部附近。如图15A所示,距离D11为距离D的 $1/\sqrt{2}$ 倍。距离D11,是一对第1绝缘部31及一对绝缘部11间的中心点C1与各绝缘部之间的距离。距离D是绝缘部11彼此间的距离。

[0105] 另一方面,如图15B所示,距离D12是距离D的 $1/\sqrt{3}$ 倍。距离D12是绝缘部11、第1绝缘部31及第2绝缘部32间的中心点C2与各绝缘部之间的距离。

[0106] 即,距离D11与距离D12不同,比距离D12长。距离D11与距离D之差,比距离D12与距离D之差大。这些距离之差较大时,耗尽层的扩展方法会发生偏差,半导体装置的耐压可能降低。

[0107] 图15C表示半导体装置100的Y方向上的端部附近。图15D表示半导体装置100的X方向上的端部附近。如图15C所示,距离D13是距离D的 $1/\sqrt{3}$ 倍。距离D13是一对绝缘部11及第2绝缘部32之间的中心点C3与各绝缘部之间的距离。

[0108] 如图15D所示,距离D14是绝缘部11彼此间的距离D的 $1/\sqrt{3}$ 倍。距离D14是栅极绝缘层15及一对第1绝缘部31间的中心点C4与各绝缘部之间的距离。

[0109] 即,距离D13与距离D14相同。另外,与半导体装置200相比,距离D13及距离D14各自与距离D之差,比距离D11与距离D之差小。

[0110] 因此,在半导体装置100中,能够减小第1绝缘部31附近的耗尽层的扩展方法与第2绝缘部32附近的耗尽层的扩展方法之差。因此,即使多个第1导电部21互相分离的情况下,也能够进一步抑制耐压的降低。

[0111] (第3实施方式)

[0112] 图16是表示第3实施方式的半导体装置的俯视图。

[0113] 在第3实施方式的半导体装置300中,多个第1导电部21在X方向上与栅极电极14并排。多个第1导电部21在Y方向上互相分离。多个第2导电部22在Y方向上与多个栅极电极14并排。多个第2导电部22在X方向上互相分离。

[0114] 在图16的例子中,多个栅极电极14在X方向上,位于多个第1导电部21的一部分与多个第1导电部21的其他的一部分之间。多个栅极电极14在Y方向上,位于多个第2导电部22的一部分与多个第2导电部22的其他的一部分之间。

[0115] 通过设置多个第1导电部21及多个第2导电部22,在n⁻型半导体区域1外周部的更宽的范围中,能够增大空穴h到达p型基极区域2为止的时间的偏差。据此,能够进一步降低由于寄生NPN晶体管的动作而半导体装置被破坏的可能性。

[0116] 关于以上说明的各实施方式中的各半导体区域之间的杂质浓度的相对的高低,例

如能够使用SCM(扫描型静电电容显微镜)来确认。另外,各半导体区域中的载流子浓度,能够看作与各半导体区域中活性化的杂质浓度相等。因此,关于各半导体区域间的载流子浓度的相对的高低,能够使用SCM来确认。

[0117] 另外,关于各半导体区域中的杂质浓度,能够通过例如SIMS(二次离子质量分析法)来测定。

[0118] 以上,对本发明的几个实施方式进行了例示,但这些实施方式是作为例子提示的,无意限定发明的范围。这些新的实施方式,能够以其他各种各样的方式实施,在不脱离发明的主旨的范围内,能够进行各种省略、置换、变更等。这些实施方式及其变形例,包含在发明的范围及主旨中,并且包含在权利要求书记载的发明及其等同的范围中。另外,前述的各实施方式,能够相互组合而实施。

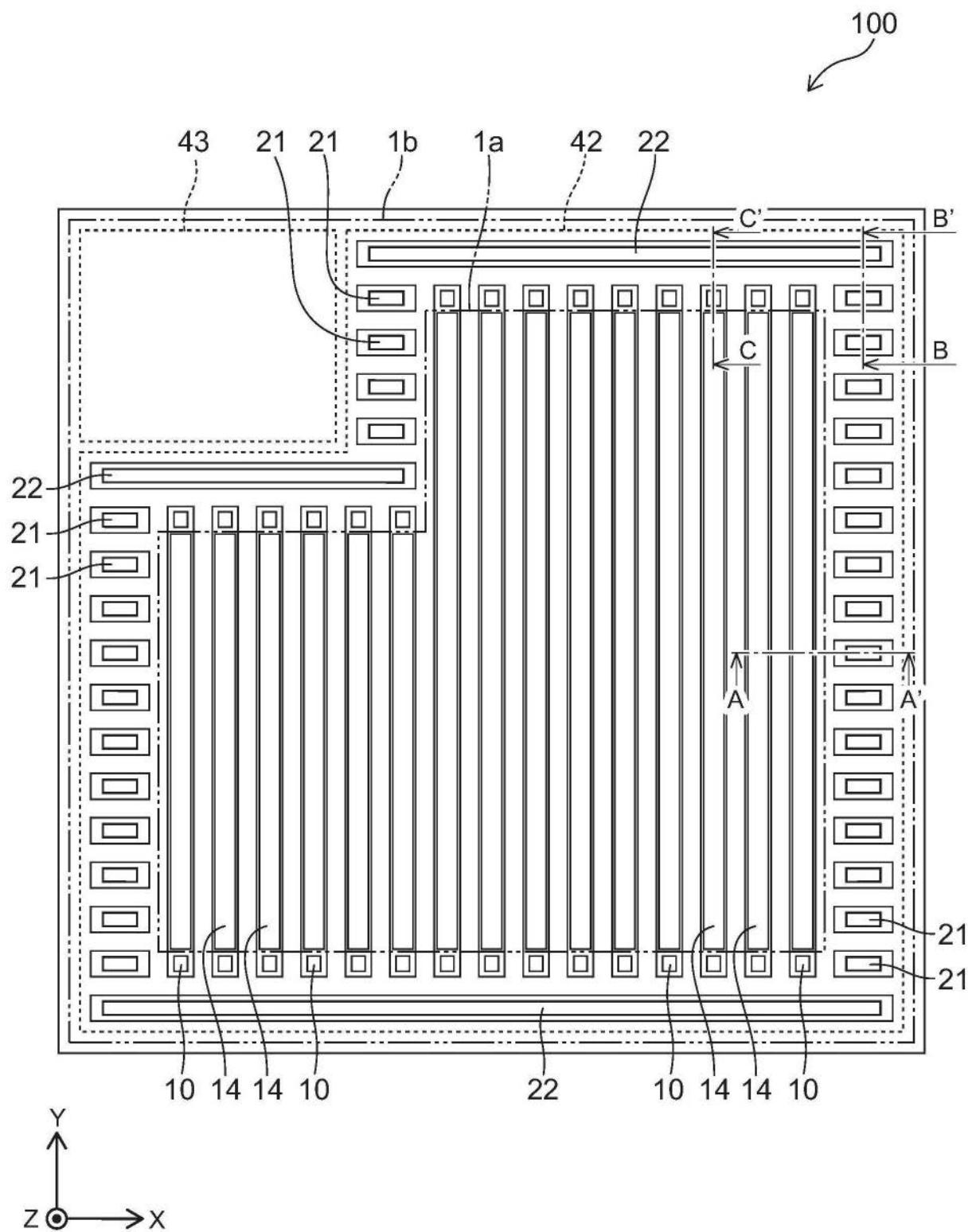


图1

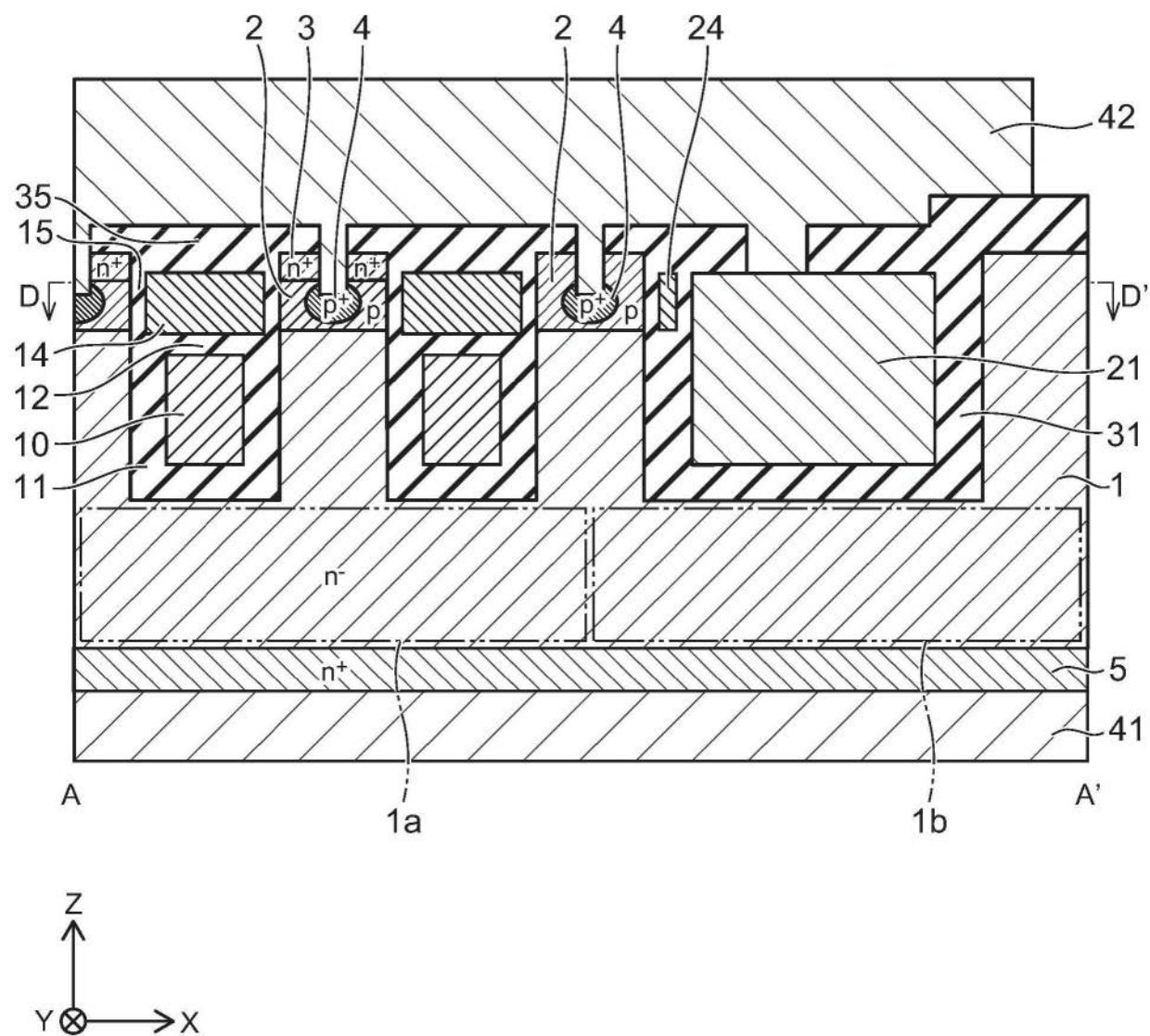


图2

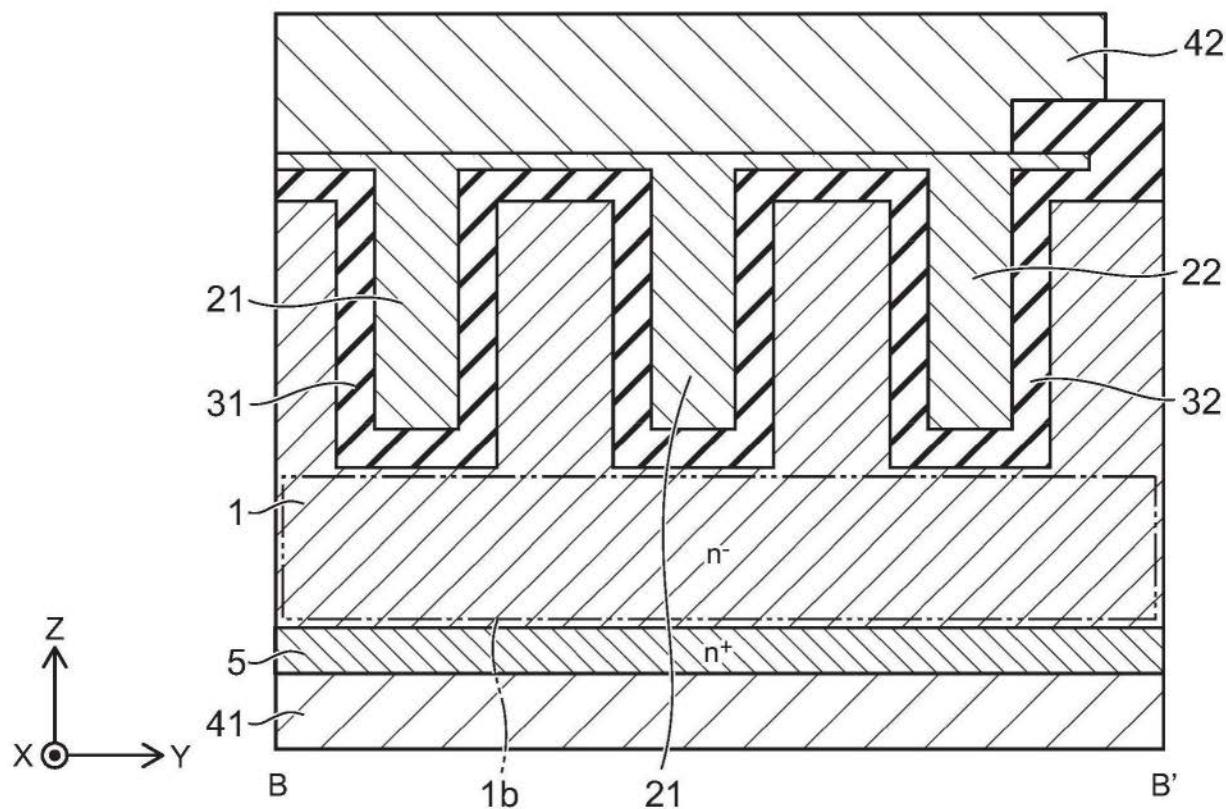


图3A

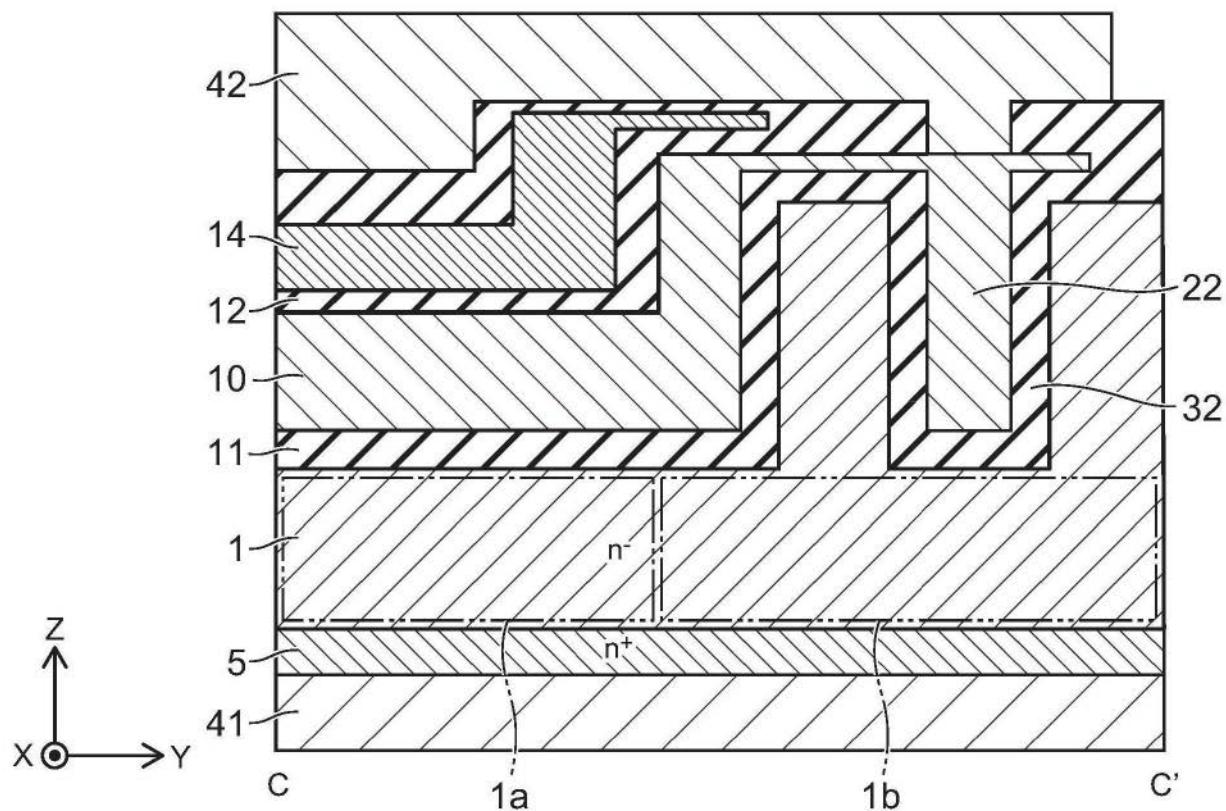


图3B

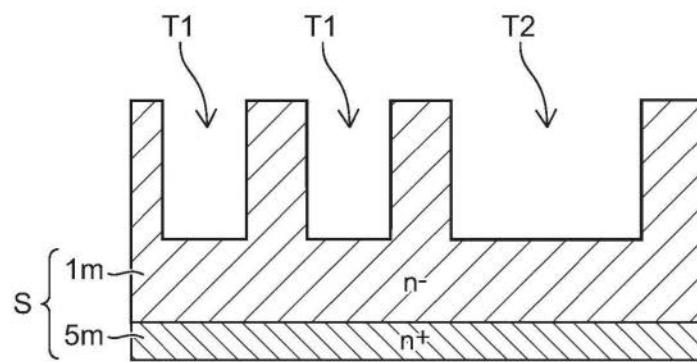


图4A

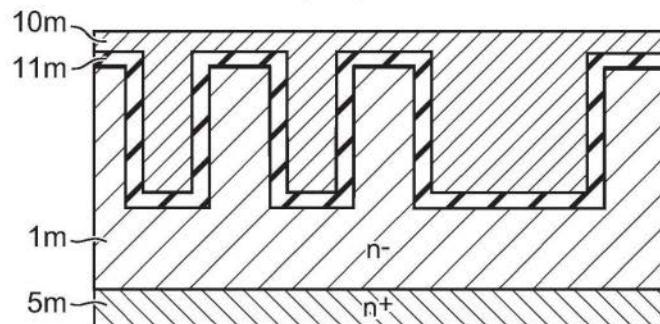


图4B

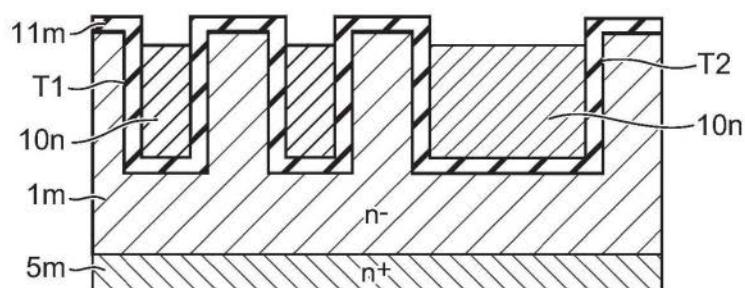


图4C

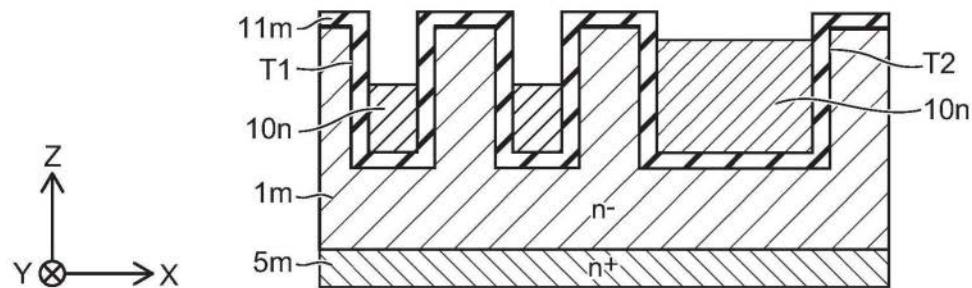


图4D

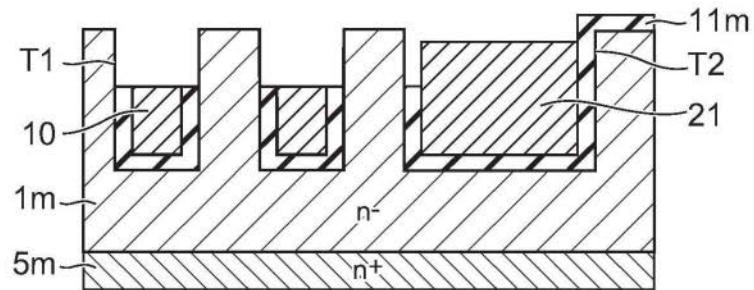


图5A

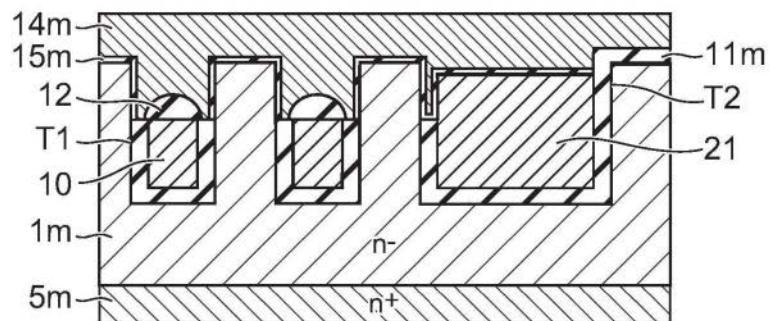


图5B

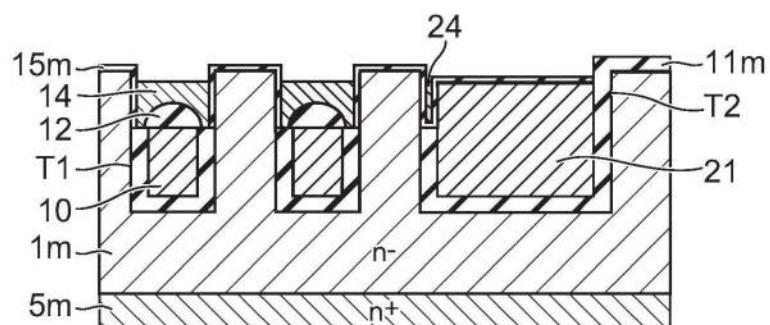


图5C

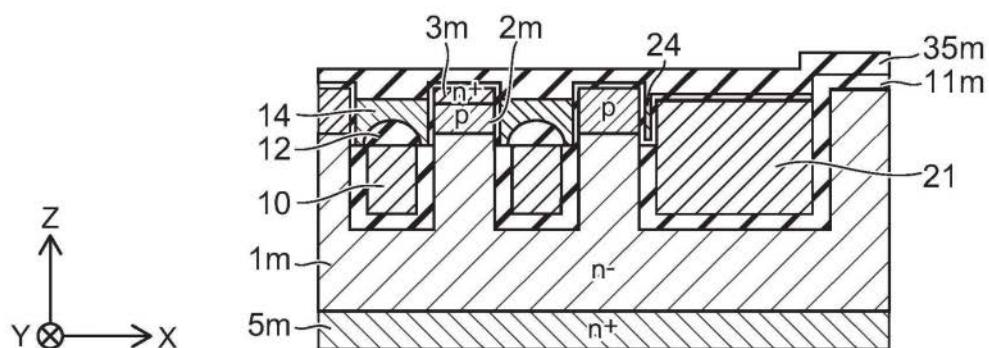


图5D

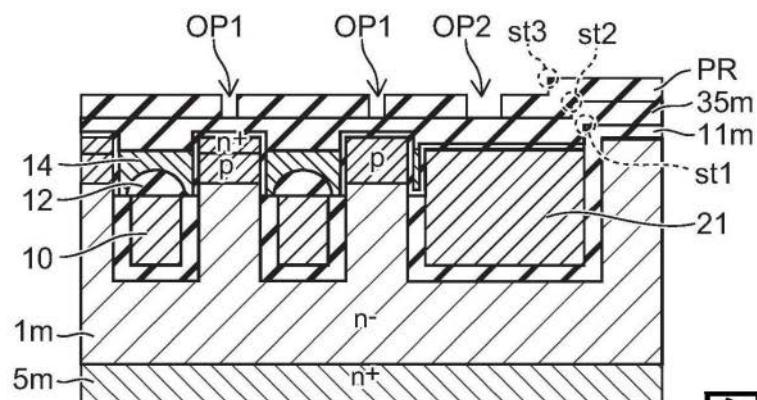


图 6A

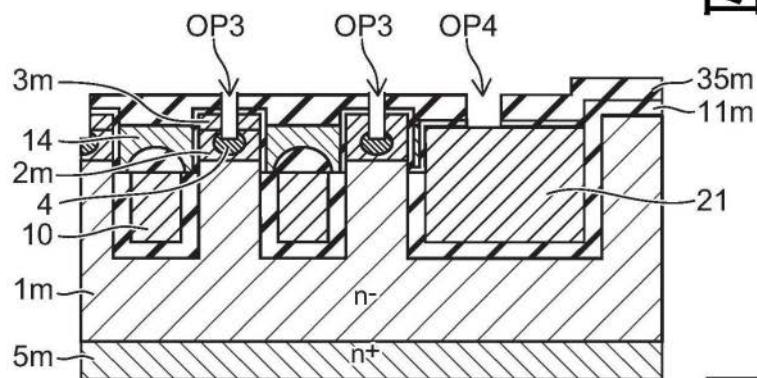


图 6B

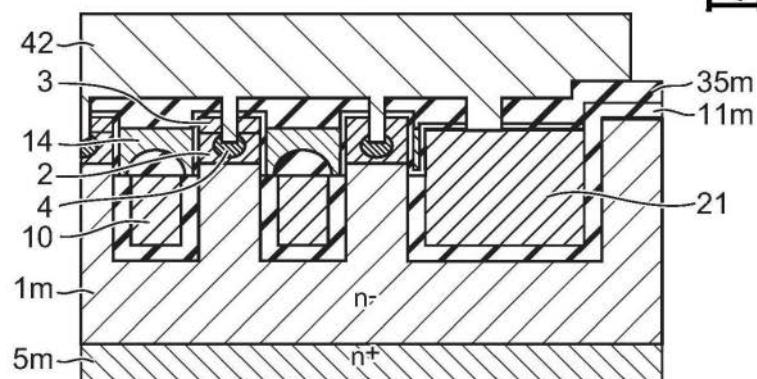


图 6C

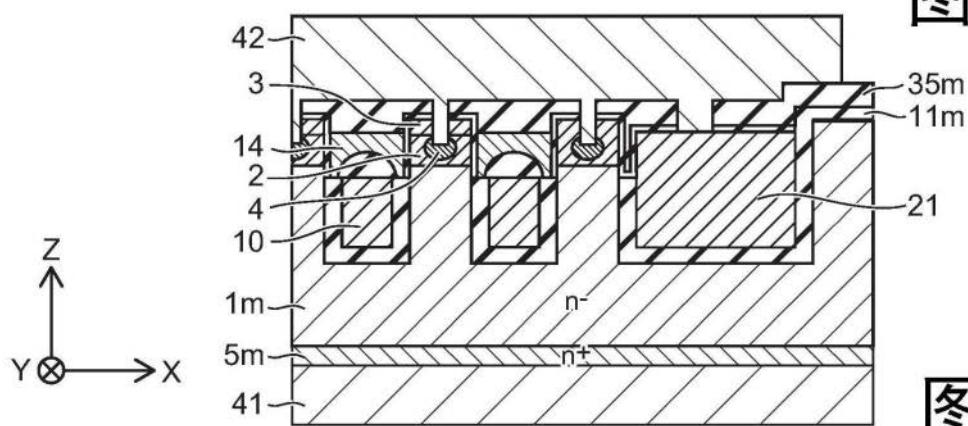


图 6D

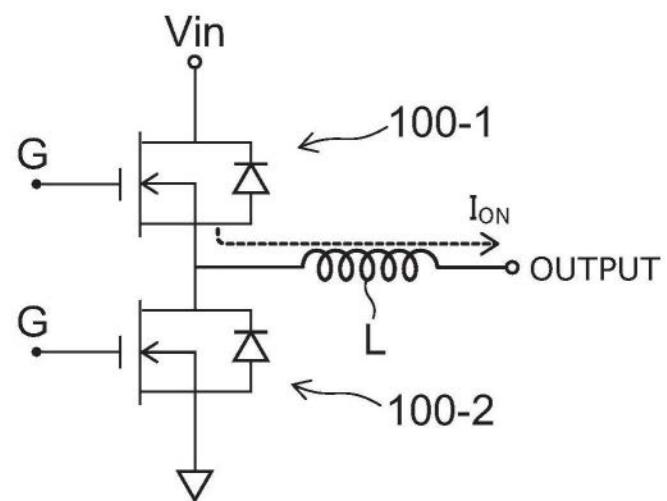


图7A

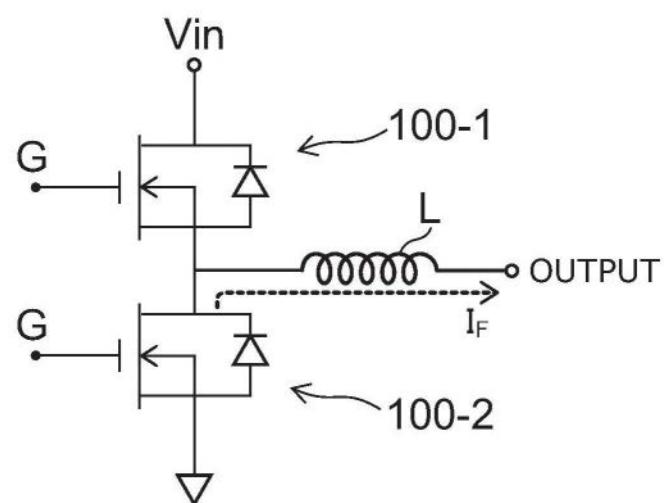


图7B

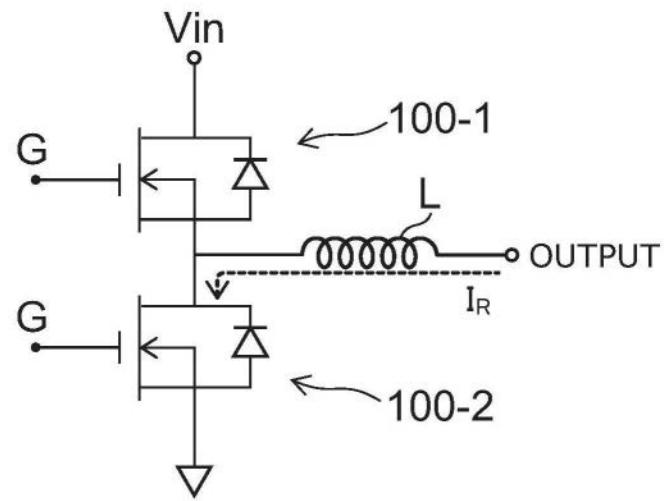


图7C

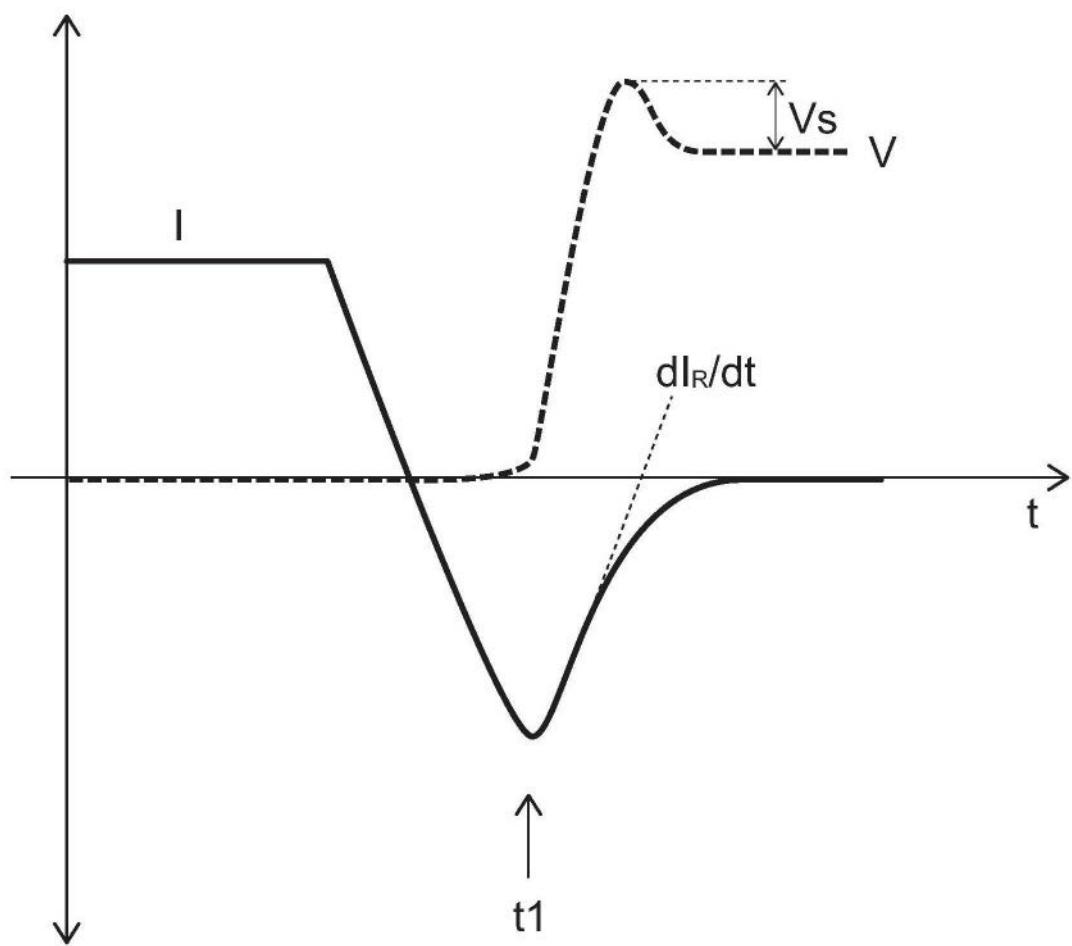


图8

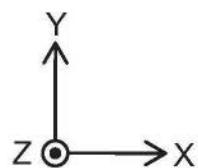
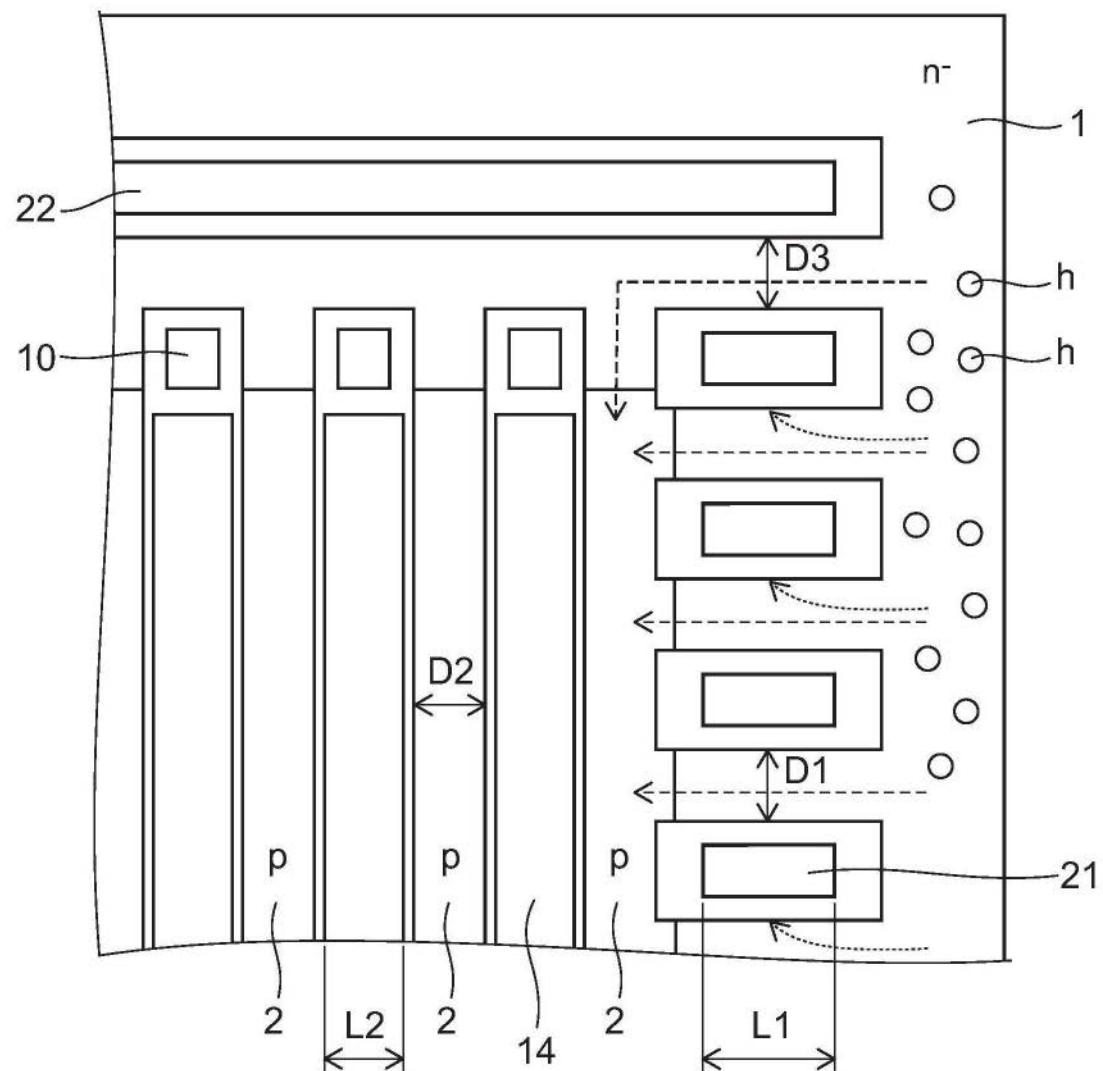


图9

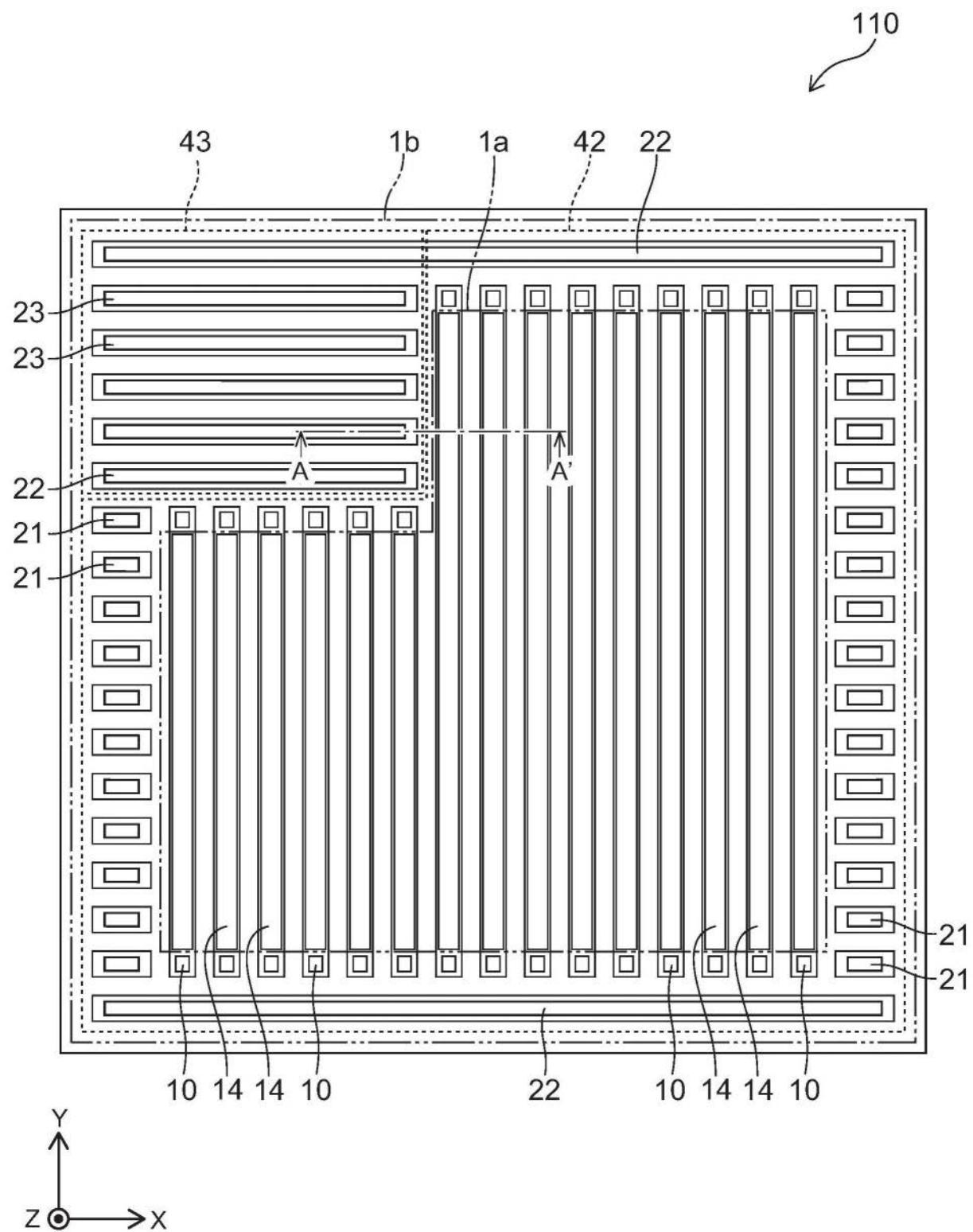


图10

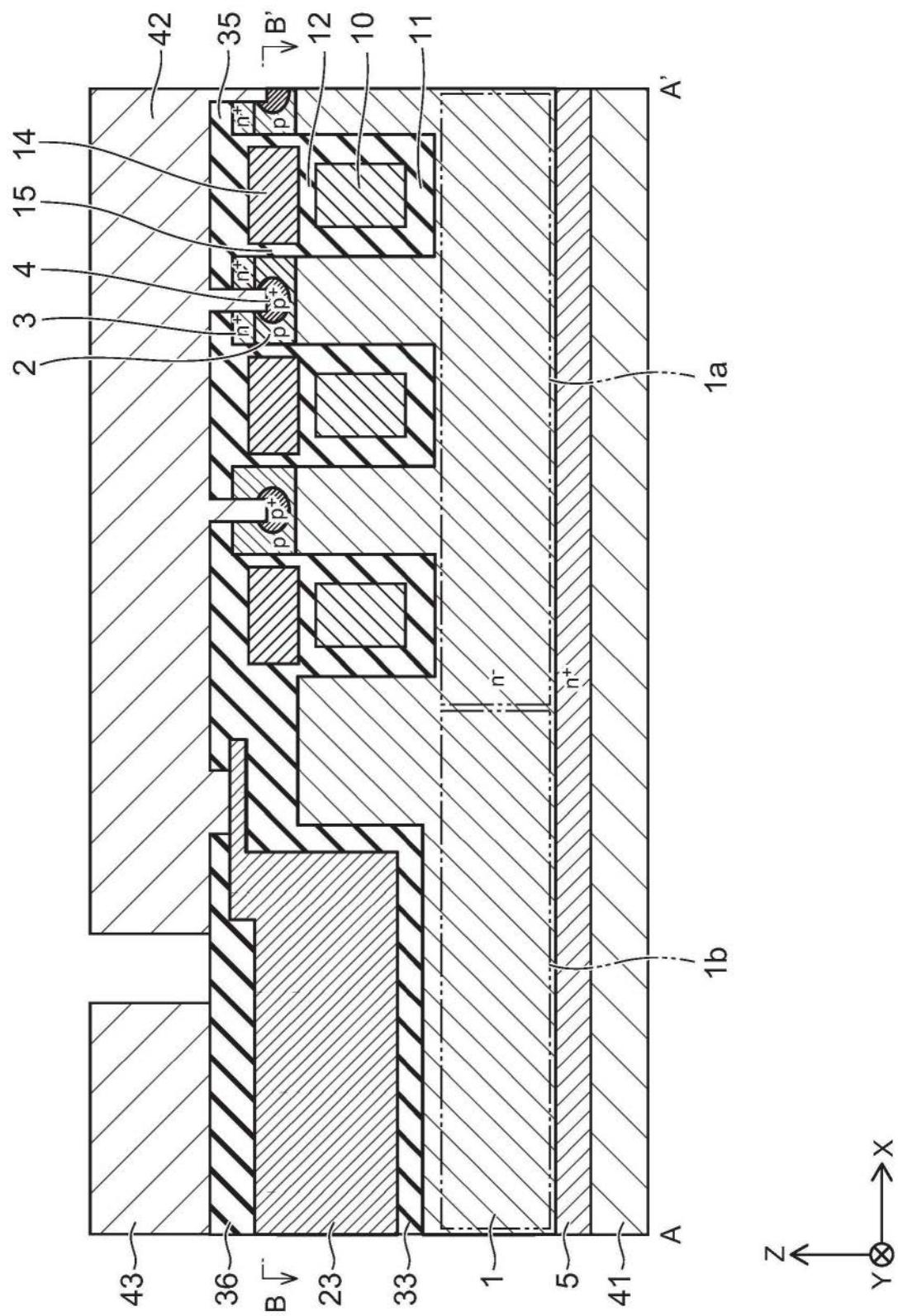


图11

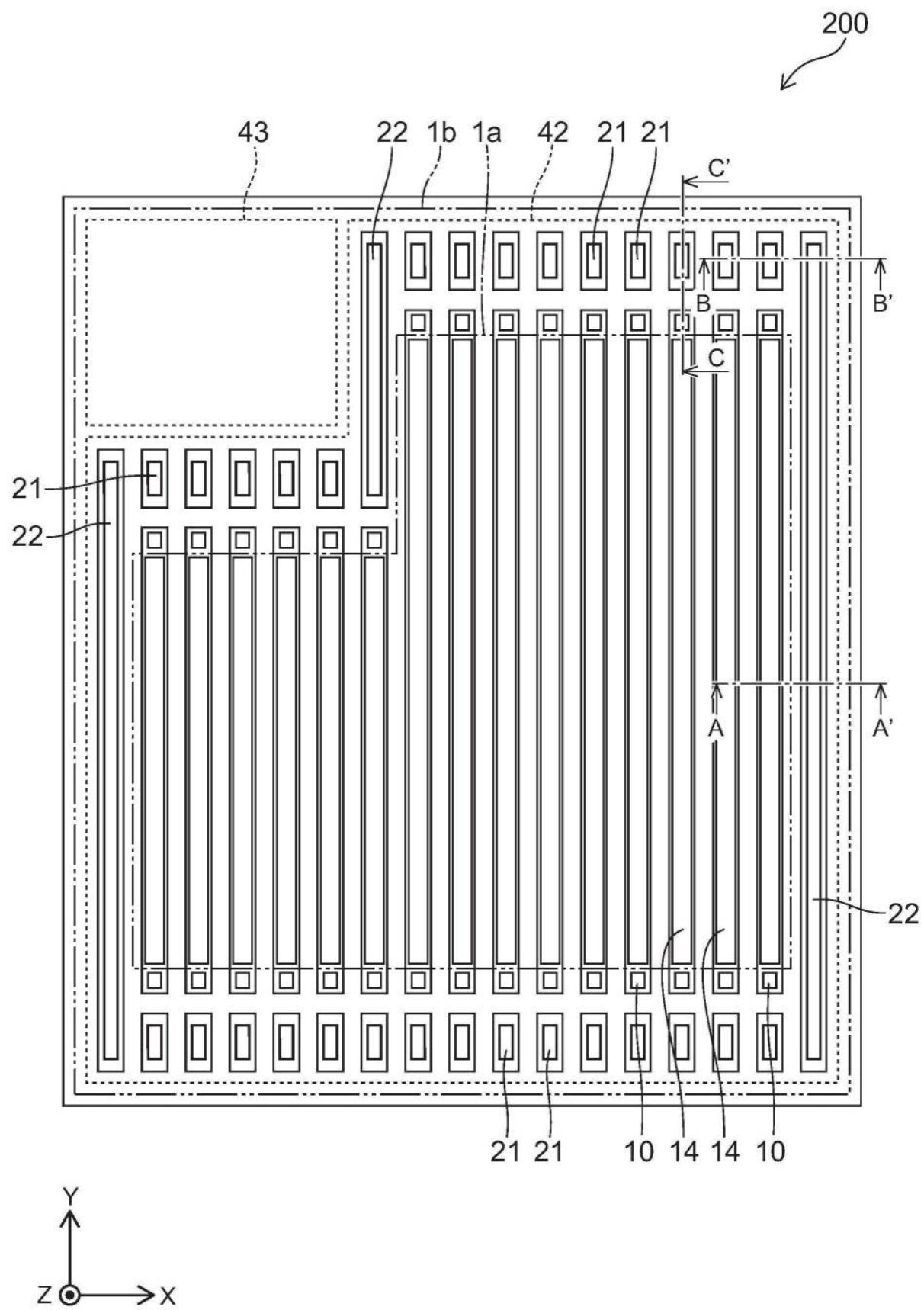


图12

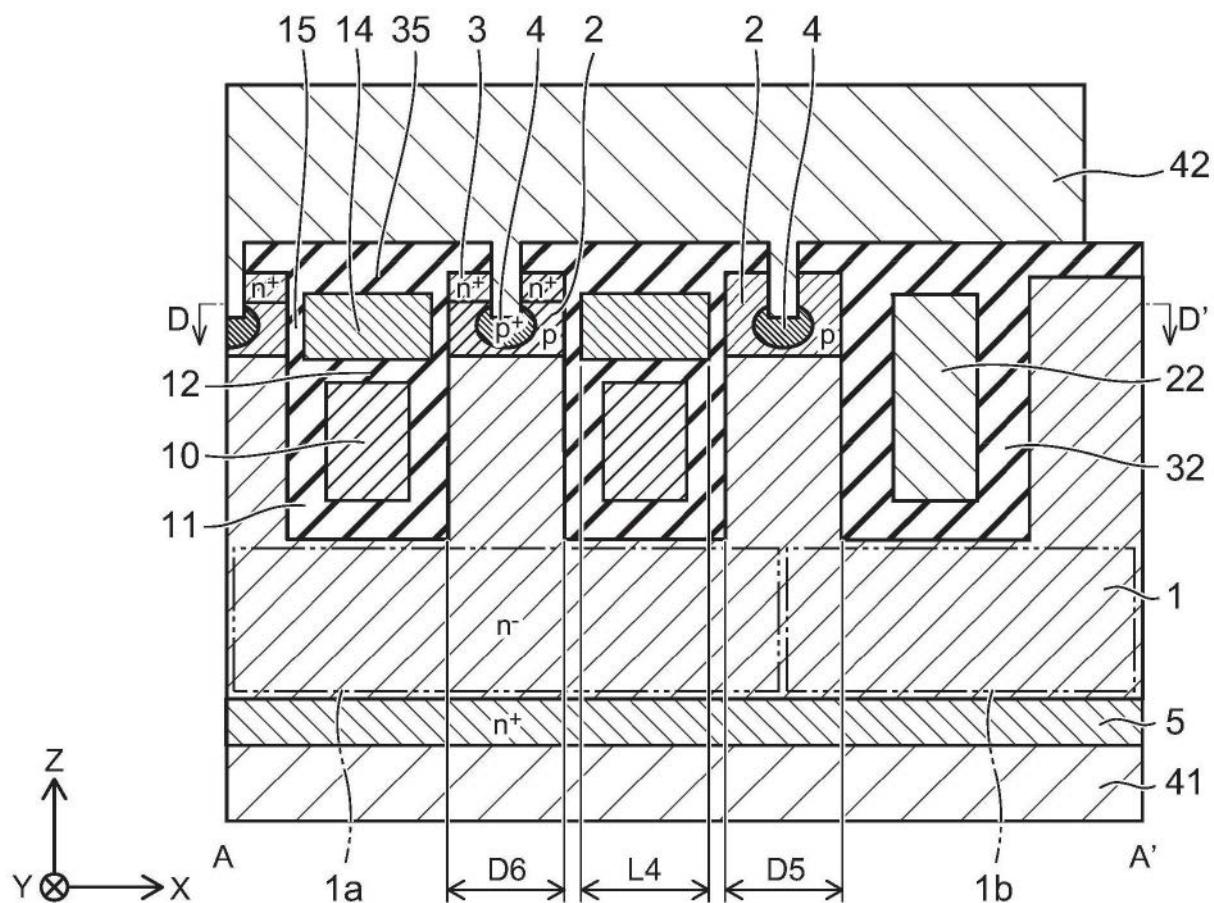


图13A

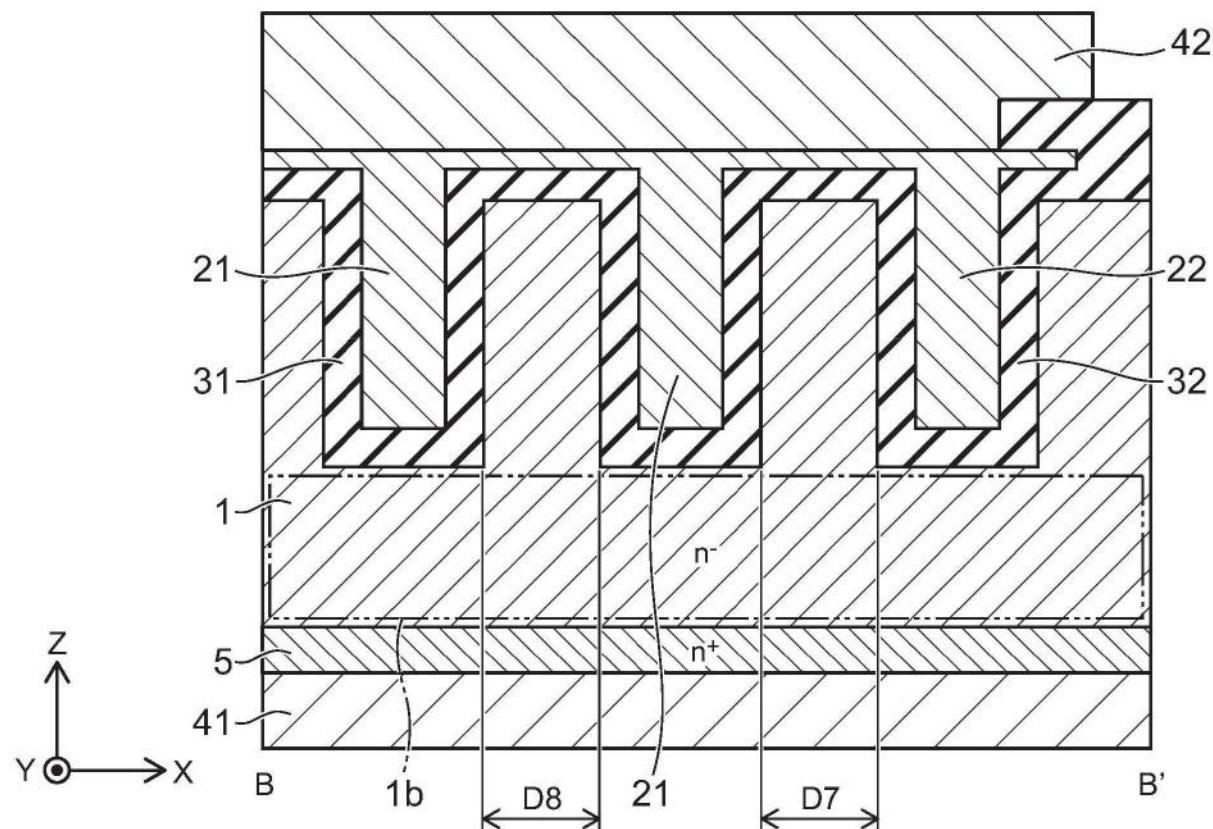


图13B

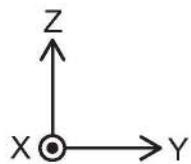
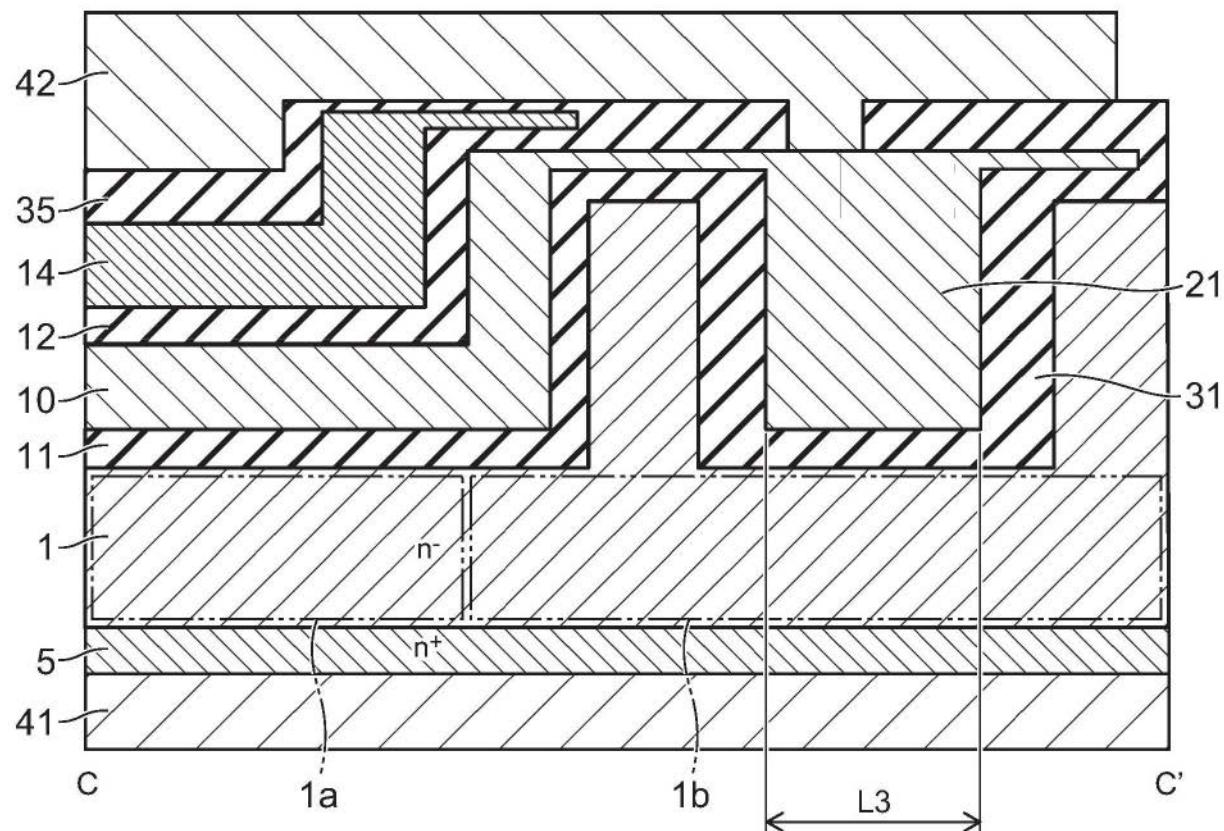


图14

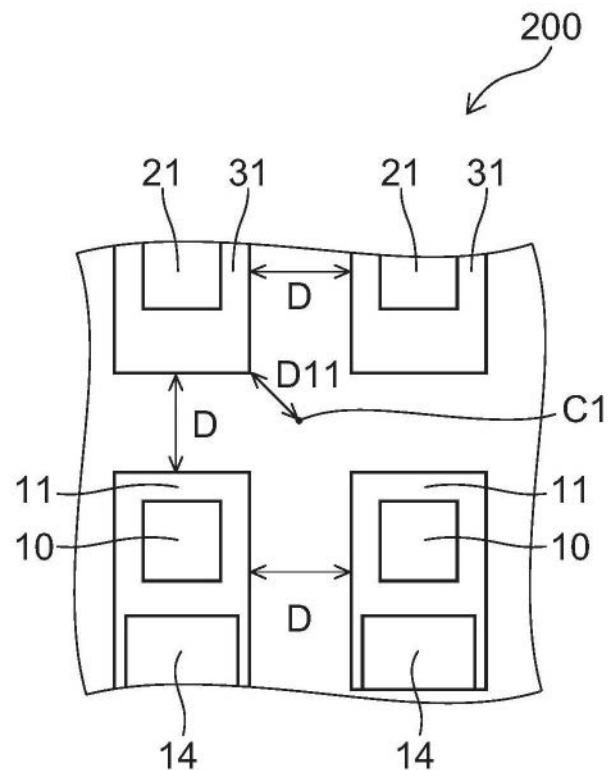


图15A

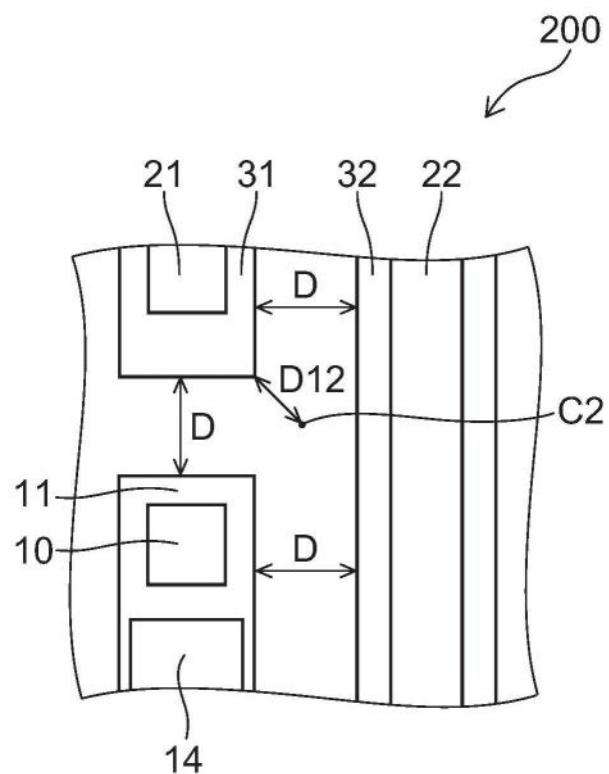


图15B

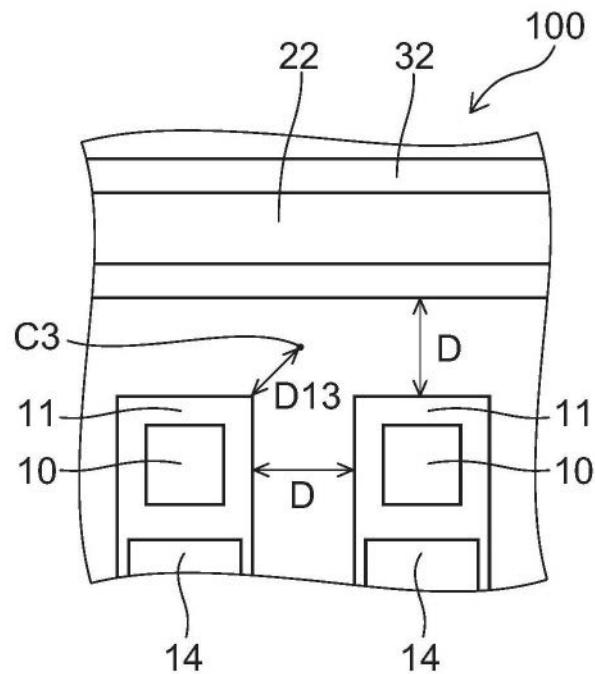


图15C

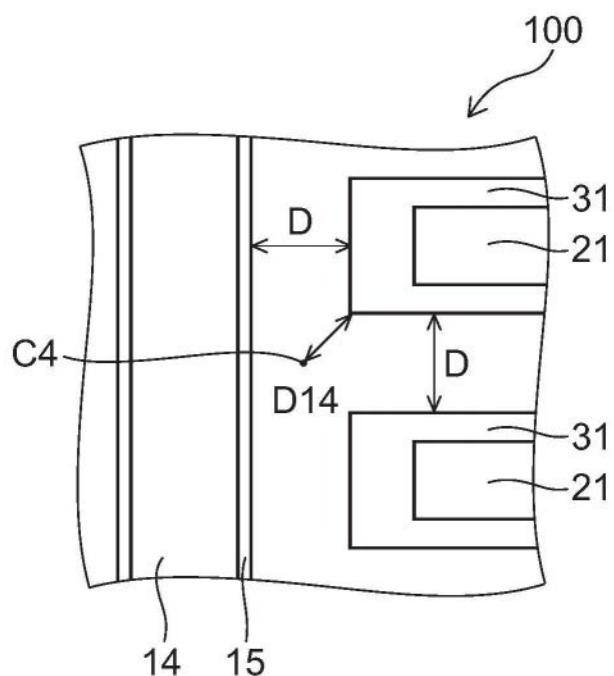


图15D

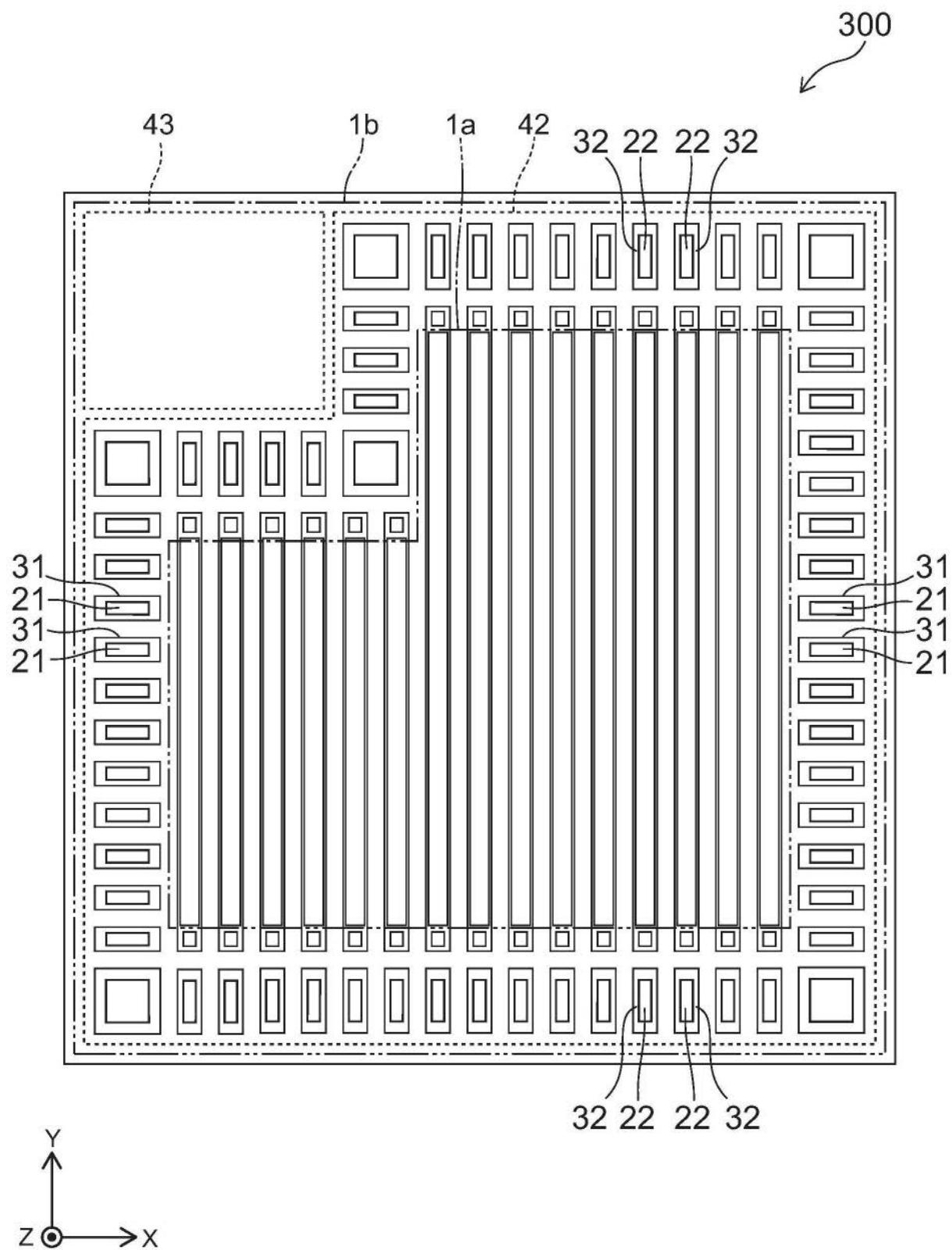


图16