



(12) 发明专利

(10) 授权公告号 CN 101546782 B

(45) 授权公告日 2011.01.12

(21) 申请号 200910127094.8

24 行 - 第 6 页第 10 行、附图 1-2C.

(22) 申请日 2009.03.27

CN 1638147 A, 2005.07.13, 说明书第 4 页第
24 行 - 第 6 页第 10 行、附图 1-2C.

(30) 优先权数据

US 6191449 B1, 2001.02.20, 说明书附图

10-2008-0028324 2008.03.27 KR

74.

(73) 专利权人 三星移动显示器株式会社

Fariborz Assaderaghi et al. Dynamic
Threshold-Voltage MOSFET(DTMOS) for Ultra-
low Voltage VLSI. IEEE transactions on
electron devices. 1997, 第 44 卷(第 3 期), 420-
421.

地址 韩国京畿道

(72) 发明人 朴炳建 徐晋旭 梁泰勋 李吉远
李东炫

审查员 韩颖姝

(74) 专利代理机构 北京德琦知识产权代理有限公司 11018

代理人 康泉 宋志强

(51) Int. Cl.

H01L 29/786(2006.01)

H01L 29/06(2006.01)

H01L 29/423(2006.01)

H01L 21/336(2006.01)

H01L 27/32(2006.01)

(56) 对比文件

CN 1638147 A, 2005.07.13, 说明书第 4 页第

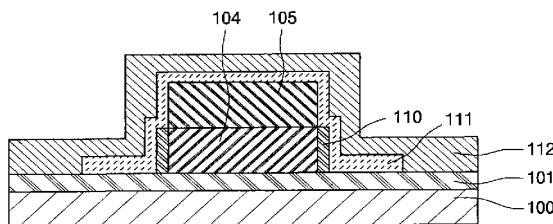
权利要求书 1 页 说明书 5 页 附图 9 页

(54) 发明名称

薄膜晶体管、其制造方法及有机发光二极管显示装置

(57) 摘要

薄膜晶体管、其制造方法及有机发光二极管显示装置。该薄膜晶体管包括：基板；布置在所述基板上的半导体层，包括沟道区、源极区、漏极区和基体接触区；布置在所述半导体层上从而使所述第一基体接触区暴露的栅极绝缘层；布置在所述栅极绝缘层上从而接触所述第一基体接触区的栅电极；布置在所述栅电极上的层间绝缘层；以及布置在所述层间绝缘层上并且被电连接至所述源极区和所述漏极区的源电极和漏电极。所述基体接触区被形成在所述半导体层的边缘中。



1. 一种制造薄膜晶体管的方法,该方法包括:

通过利用结晶诱导金属将非晶硅层结晶成多晶硅层来在基板上形成半导体层;

在所述半导体层上形成栅极绝缘层,从而使所述半导体层的边缘暴露;

利用所述栅极绝缘层作为掩模,将N型杂质注入所述半导体层的暴露的边缘;

将所述基板退火,以将保留在所述半导体层中的所述晶体诱导金属吸除到所述半导体层的暴露的边缘中;

在所述栅极绝缘层上形成与所述半导体层的暴露的边缘接触的栅电极;

在所述栅电极上形成层间绝缘层;以及

在所述层间绝缘层上形成分别被电连接至所述半导体层的源极区和漏极区的源电极和漏电极。

2. 根据权利要求1所述的制造薄膜晶体管的方法,其中所述半导体层的暴露的边缘被连接至所述半导体层的沟道区。

3. 根据权利要求2所述的制造薄膜晶体管的方法,其中所述半导体层的暴露的边缘的宽度不大于0.1 μm。

4. 根据权利要求1所述的制造薄膜晶体管的方法,其中形成半导体层和栅极绝缘层包括:

在所述基板上形成多晶硅层;

在所述多晶硅层上沉积绝缘层;以及

在所述多晶硅层和所述绝缘层上执行一次图案化工艺以形成所述半导体层和所述栅极绝缘层。

5. 根据权利要求4所述的制造薄膜晶体管的方法,其中在所述多晶硅层和所述绝缘层上执行一次图案化工艺包括使所述绝缘层的临界尺寸偏差大于所述多晶硅层的临界尺寸偏差。

6. 根据权利要求1所述的制造薄膜晶体管的方法,其中退火在450°C到900°C的温度下执行30秒到10小时。

薄膜晶体管、其制造方法及有机发光二极管显示装置

技术领域

[0001] 本发明方面涉及薄膜晶体管、制造该薄膜晶体管的方法以及包括该薄膜晶体管的有机发光二极管显示装置。

背景技术

[0002] 通常,由于多晶硅层的高场效应迁移率及对高速电路和 / 或互补金属氧化物半导体 (CMOS) 电路的适应性,多晶硅层被广泛用作薄膜晶体管的半导体层。使用这样的多晶硅层的薄膜晶体管被用作有源矩阵液晶显示 (AMLCD) 装置的开关装置。这样的薄膜晶体管也用作有源矩阵有机发光二极管显示装置 (AMOLED) 的开关装置和 / 或驱动装置。

[0003] 用在有源矩阵显示装置中的多晶硅薄膜晶体管通常是具有浮动的、岛状的半导体层的浮体多晶硅薄膜晶体管 (poly-Si TFT)。随着浮体多晶硅薄膜晶体管按比例缩小,导致该多晶硅薄膜晶体管的漏极电流和饱和区减少。

[0004] 为了解决该问题,已提出其中半导体层与栅电极相连的栅极 - 基体接触 TFT。栅极 - 基体接触 TFT 在低栅极电压下具有增大的亚阈值斜率值和高的漏极电流。因此,即使在这样的低栅极电压下,也能实现开 / 关特性,从而形成低功率平板显示装置。

[0005] 通常,为了实现栅极 - 基体接触薄膜晶体管,接触栅电极的基体接触区被独立形成,以便从现有的不具有基体接触区的半导体层延伸。然而,这样的结构增加了半导体层和基体接触区所占的面积,因此不适于装置集成。

发明内容

[0006] 通过利用半导体层的边缘区作为基体接触区而不从半导体层延伸独立的基体接触层来实施栅极 - 基体接触结构,本发明方面提供比现有的栅极 - 基体接触薄膜晶体管具有较小面积的薄膜晶体管。本发明方面也涉及制造该薄膜晶体管的方法,以及包括该薄膜晶体管的有机发光二极管显示装置。

[0007] 根据本发明的示例性实施例,薄膜晶体管包括:基板;布置在所述基板上并且包括沟道区、源极区、漏极区和基体接触区的半导体层;布置在所述半导体层上并使所述基体接触区暴露的栅极绝缘层;布置在所述栅极绝缘层上、与所述基体接触区接触的栅电极;布置在所述栅电极上的层间绝缘层;以及布置在所述层间绝缘层上并且被电连接至所述源极区和所述漏极区的源电极和漏电极。所述基体接触区被布置在所述半导体层的边缘处。

[0008] 根据本发明的另一示例性实施例,制造薄膜晶体管的方法包括:在基板上形成半导体层;在所述半导体层上形成栅极绝缘层,以使所述半导体层的边缘暴露;在所述栅极绝缘层上形成接触所述半导体层的暴露的边缘的栅电极;在所述栅电极上形成层间绝缘层;以及在所述层间绝缘层上形成源电极和漏电极。所述源电极和漏电极通过所述层间绝缘层和所述栅极绝缘层中的开口被电连接至所述半导体层的源极区和漏极区。

[0009] 根据本发明的又一示例性实施例,有机发光二极管显示装置包括:基板;布置在所述基板上并且包括沟道区、源极区、漏极区和基体接触区的半导体层;布置在所述半导体

层上并使所述基体接触区暴露的栅极绝缘层；布置在所述栅极绝缘层上、与所述基体接触区接触的栅电极；布置在所述栅电极上的层间绝缘层；布置在所述层间绝缘层上并且被电连接至所述源极区和所述漏极区的源电极和漏电极；被电连接至所述源电极和漏电极之一的第一电极；布置在所述第一电极上并且包括发射层的有机层；以及布置在所述有机层上的第二电极。所述基体接触区被布置在所述半导体层的边缘处。

[0010] 本发明的另外的方面和 / 或优点将在下面的说明书中部分地提出，部分地，从本说明书中将是显而易见的，或者通过实践本发明而获知。

附图说明

[0011] 从以下结合附图对示例性实施例的描述中，本发明的这些和 / 或其它方面及优点将变得显而易见和更加容易理解，其中：

[0012] 图 1A、2A、3A、4A 和 5A 为示出根据本发明示例性实施例 1 的制造薄膜晶体管的过程的平面图，并且图 1B、2B、3B、4B 和 5B 为分别沿着图 1A、2A、3A、4A 和 5A 的线 A-A' 的剖面图；

[0013] 图 6A、7A 和 8A 为示出根据本发明示例性实施例 2 的制造薄膜晶体管的过程的平面图，并且图 6B、7B 和 8B 为分别沿着图 6A、7A 和 8A 的线 B-B' 的剖面图；并且

[0014] 图 9 为根据本发明示例性实施例的包括薄膜晶体管的有机发光二极管显示装置的剖面图。

具体实施方式

[0015] 现将详细参考本发明的示例性实施例，其中示例被示出在附图中。说明书中，相同的附图标记始终表示相同的元件。为了解释本发明的方面，下面将参考附图描述示例性实施例。

[0016] 正如在此处提及的，当描述第一元件被布置或形成于第二元件之“上”，或与第二元件“相邻”时，第一元件可以直接接触第二元件，或者可以通过位于它们之间的一个或多个元件与第二元件分离。相反地，当提到元件被“直接”布置或形成于另一元件“上”时，则不存在中间元件。正如在此处使用的，术语“和 / 或”包括一个或多个相关列项的任意和全部组合。

示例性实施例 1

[0018] 图 1A、2A、3A、4A 和 5A 为示出根据本发明示例性实施例 1 的制造薄膜晶体管的过程的平面图。图 1B、2B、3B、4B 和 5B 为沿着图 1A、2A、3A、4A 和 5A 的线 A-A' 的剖面图。

[0019] 参考图 1A 和 1B，缓冲层 101 被形成在可由玻璃或塑料形成的基板 100 上。缓冲层 101 可以包括一个或多个诸如氧化硅层或氮化硅层之类的绝缘层。例如，该绝缘层可以通过化学气相沉积或物理气相沉积形成。缓冲层 101 防止水分和 / 或杂质从基板 100 扩散。在非晶硅层结晶期间，缓冲层 101 也可用于控制传热速率。

[0020] 然后，多晶硅层 102 被形成在缓冲层 101 上。可以通过使用诸如快速热退火 (RTA)、固相结晶 (SPC)、准分子激光晶化 (ELA)、金属诱导结晶 (MIC)、金属诱导横向结晶 (MILC)、顺次横向固化 (SLS) 或超晶粒硅 (SGS) 之类的结晶方法对非晶硅层进行结晶从而形成多晶硅层 102。

[0021] 然后，绝缘层 103 形成在多晶硅层 102 上。绝缘层 103 可以是氧化硅层、氮化硅层或它们的组合。

[0022] 参考图 2A 和 2B，多晶硅层 102 和绝缘层 103 被图案化。多晶硅层 102 被图案化以形成半导体层 104。绝缘层 103 被图案化以形成栅极绝缘层 105。栅极绝缘层 105 使半导体层 104 的一个或多个边缘区 106 暴露。

[0023] 此处，半导体层 104 的长度参考与连接半导体层 104 的源极区 107（图 3A）和漏极区 108（图 3A）的线平行的方向，而半导体层 104 的宽度参考垂直于长度方向的方向，即沿着线 A-A' 延伸的方向。半导体层 104 的边缘区 106 横过半导体层 104 的宽度被分开预定的距离。

[0024] 通过一次图案化工艺，即通过调整蚀刻条件以使绝缘层 103 相对于多晶硅层 102 是过蚀刻的，栅极绝缘层 105 可以被形成以使半导体层 104 的边缘区 106 暴露。例如，通过使绝缘层 103 的临界尺寸 (CD) 偏差大于下面的多晶硅层 102 的临界尺寸偏差，栅极绝缘层 105 可以被蚀刻以使得半导体层 104 的边缘区 106 暴露。

[0025] 边缘区 106 的宽度 a 小于约 $0.1 \mu m$ 。该范围形成不具有独立延伸的基体接触区的栅极 - 基体接触 TFT 结构，而且不会大大减少现有半导体层 104 的沟道区的面积。

[0026] 参考图 3A 和 3B，杂质被注入半导体层 104 的通过栅极绝缘层 105 而暴露的边缘区 106。另一类型的杂质被注入半导体层 104 的源极区 107 和漏极区 108。例如，一种杂质可以是 N 型杂质，而另一种杂质可以是 P 型杂质。这导致半导体层 104 的源极区 107 和漏极区 108 及边缘区 106 的 PNP 或 NPN 型结构，以使从源极区 107 和漏极区 108 流出的电流不流入边缘区 106。P 型杂质可以从由硼 (B)、铝 (Al)、镓 (Ga) 和铟 (In) 构成的组中选择。N 型杂质可以从由磷 (P)、砷 (As) 和锑 (Sb) 构成的组中选择。

[0027] 通过注入杂质到半导体层 104 的源极区 107 和漏极区 108 要被形成的区域，形成半导体层 104 的源极区 107 和漏极区 108。沟道区 109 被形成在源极区 107 和漏极区 108 之间。基体接触区 110 被形成在半导体层 104 的边缘区 106 中，并且在源极区 107 和漏极区 108 之间延伸。基体接触区 110 被连接至沟道区 109，并且被布置在沟道区 109 的相对侧。为了方便起见，下文中，仅提到一个基体接触区 110。

[0028] 源极区 107 和漏极区 108 可以通过使用光刻胶图案作为掩模将杂质注入半导体层 104 中而形成。可替代地，源极区 107 和漏极区 108 可以通过使用随后形成的栅电极作为掩模将杂质注入半导体层 104 中而形成。

[0029] 参考图 4A 和 4B，栅电极材料被沉积在栅极绝缘层 105 上，然后被图案化以形成栅电极 111。栅电极 111 叠盖沟道区 109 和基体接触区 110。栅电极 111 可以是铝 (Al) 层、诸如铝 - 钷 (Al-Nd) 之类的铝合金层或堆积在铬 (Cr) 或钼 (Mo) 合金上的多层铝合金。由于绝缘层 103 被图案化以使基体接触区 110 暴露，所以栅电极 111 接触基体接触区 110，从而形成栅极 - 基体接触 TFT。因为基体接触区 110 被布置在沟道区 109 的相对的边缘，所以沟道区 109 的宽度 b 小于半导体层 104 整体的宽度，即小于沟道区 109 加上基体接触区 110 的宽度。

[0030] 在相关技术中，通过在基板的整个表面上形成多晶硅层、在多晶硅层上形成光刻胶图案以及使用光刻胶图案作为掩模蚀刻多晶硅层来形成半导体层。在蚀刻多晶硅层的过程中，半导体层的边缘可能被蚀刻溶液或用于蚀刻的等离子体破坏。

[0031] 此外,半导体层的边缘上残余的光刻胶可能使半导体层不均匀和 / 或具有不好的特性。这可能影响包括这样的半导体层的 TFT 的阈值电压或 S- 系数,并且可能导致 TFT 的 I-V 特性曲线上的峰值。这些问题是由在沟道区中包括破坏的边缘而导致的。

[0032] 通过向半导体层的与沟道区接触的边缘注入杂质,而不是将边缘包括在沟道区中,本发明方面能够解决上述和 / 或其它问题。杂质形成接触栅电极的基体接触区。这使得利用现有的半导体层形成栅极 - 基体接触薄膜晶体管而不形成独立的基体接触区成为可能。

[0033] 参考图 5A 和 5B,层间绝缘层 112 被形成在基板 100 的整个表面上。层间绝缘层 112 可以是氮化硅层、氧化硅层或它们的多层。

[0034] 然后,层间绝缘层 112 和栅极绝缘层 105 被蚀刻以形成使半导体层 104 的源极区 107 和漏极区 108 暴露的接触孔 113。然后,源电极 114 和漏电极 115 通过接触孔 113 被连接至源极区 107 和漏极区 108。源电极 114 和漏电极 115 可以由钼 (Mo)、铬 (Cr)、钨 (W)、铝 - 钕 (Al-Nd)、钛 (Ti)、钼钨 (MoW) 和铝 (Al) 中的一种形成。

[0035] 示例性实施例 2

[0036] 图 6A、7A 和 8A 为示出根据本发明示例性实施例 2 的制造薄膜晶体管的过程的平面图。图 6B、7B 和 8B 为分别沿着图 6A、7A 和 8A 的线 B-B' 的剖面图。

[0037] 参考图 6A 和 6B,缓冲层 601 被形成在基板 600 上,然后多晶硅层 602 被形成在缓冲层 601 上。参考图 7A 和 7B,同示例性实施例 1 不同的是,最初只有多晶硅层 602 被图案化以形成半导体层 603。

[0038] 绝缘层被沉积在基板 600 的整个表面上。绝缘层被图案化从而形成栅极绝缘层 604。栅极绝缘层 604 的图案化使连接至半导体层 603 的沟道区 607 的半导体层 603 的边缘暴露。

[0039] 然后,第一杂质被注入半导体层 603 暴露的边缘以形成基体接触区 608。第二杂质被注入半导体层 603 的另外的部分以形成源极区 605 和漏极区 606。沟道区 607 是与基体接触区 608 接触的半导体层 603 的非掺杂部分,且被布置在源极区 605 和漏极区 606 之间。第一和第二杂质可以是 N 型或 P 型杂质,只要它们是不同类型的杂质。基体接触区 608 的长度 c 可以等于或大于沟道区 607 的长度。

[0040] 参考图 8A 和 8B,栅电极材料被沉积在栅极绝缘层 604 上。然后,栅电极材料被图案化以形成叠盖沟道区 607 和基体接触区 608 的栅电极 609。栅电极 609 通过将被图案化的栅极绝缘层 604 图案化时形成的孔而与基体接触区 608 接触,从而形成完成的栅极 - 基体接触薄膜晶体管。

[0041] 层间绝缘层 610 被形成在基板的整个表面上。然后,层间绝缘层 610 和栅极绝缘层 604 被蚀刻以形成使半导体层 603 的源极区 605 和漏极区 606 暴露的接触孔 611。源电极 612 和漏电极 613 通过接触孔 611 被连接至源极区 605 和漏极区 606。

[0042] 示例性实施例 3

[0043] 现在将描述利用根据本发明示例性实施例 3 的、利用半导体层的边缘在半导体层中吸除 (gettering) 结晶诱导金属的过程。结晶诱导金属被用于使多晶硅层结晶成示例性实施例 1 和 2 的半导体层。

[0044] 该吸除过程指通过执行退火过程,将保留在沟道形成区中的结晶诱导金属吸除到

半导体层的暴露的边缘中。在杂质特别是 N 型杂质被注入半导体层的边缘后执行该退火过程。

[0045] 因为暴露的边缘接触沟道区，所以利用暴露的边缘的吸除过程具有高吸除效率，因为沟道区中存在的结晶诱导金属只需移动短距离就可到达暴露的边缘。

[0046] 在 450°C 到 900°C 的温度范围内，退火过程执行约 30 秒至约 10 小时。低于约 450°C 的退火温度可能不会有效地从半导体层转移结晶诱导金属。超过 900°C 的退火温度可能使基板变形。退火时间少于 30 秒可能不会有效地移动结晶诱导金属。退火时间超过 10 小时可能使基板变形，增加 TFT 的制造成本，并且减少产率。

[0047] 示例性实施例 4

[0048] 图 9 为根据本发明示例性实施例的包括 TFT 的有机发光二极管显示装置的剖面图。参考图 9，绝缘层 116 被形成在根据如图 5B 所示的本发明示例性实施例的包括 TFT 在内的基板 100 的整个表面上。绝缘层 116 可以由选自氧化硅层、氮化硅层、玻璃上硅层的无机层或者选自聚酰亚胺、苯二氮系列树脂或丙烯酸脂的有机层形成。绝缘层 116 可以包括堆积形成的无机层和有机层。

[0049] 绝缘层 116 被蚀刻以形成使源电极 114 和漏电极 115 之一暴露的孔 117。第一电极 118 被形成以通过孔 117 且被连接至源电极 114 和漏电极 115 之一。第一电极 118 可以是阳极或阴极。当第一电极 118 是阳极时，它可由诸如氧化铟锡 (ITO)、氧化铟锌 (IZO) 或氧化铟锡锌 (ITZO) 之类的透明传导材料形成。当第一电极 118 是阴极时，它可由 Mg、Ca、Al、Ag、Ba 或其合金形成。

[0050] 然后，像素限定层 119 被形成在第一电极 118 上。像素限定层 119 具有使第一电极 118 的表面暴露的开口。包括发射层的有机层 120 被形成在第一电极 118 上。有机层 120 可以进一步包括由空穴注入层、空穴传输层、空穴阻挡层、电子阻挡层、电子注入层和电子传输层构成的组中选择的至少之一。然后，第二电极 121 被形成在有机层 120 上以完成有机发光二极管显示装置。

[0051] 因为实现了不包括独立基体接触区的基体接触区，根据本发明方面的薄膜晶体管比现有的栅极 - 基体接触薄膜晶体管具有更小的面积。基体接触区由半导体层的边缘区形成。

[0052] 尽管已示出和描述了本发明的几个示例性实施例，但本领域技术人员应当理解，可以对这些实施例做出改变而不违背本发明的原理和精神，本发明的范围由权利要求书及其等同物限定。

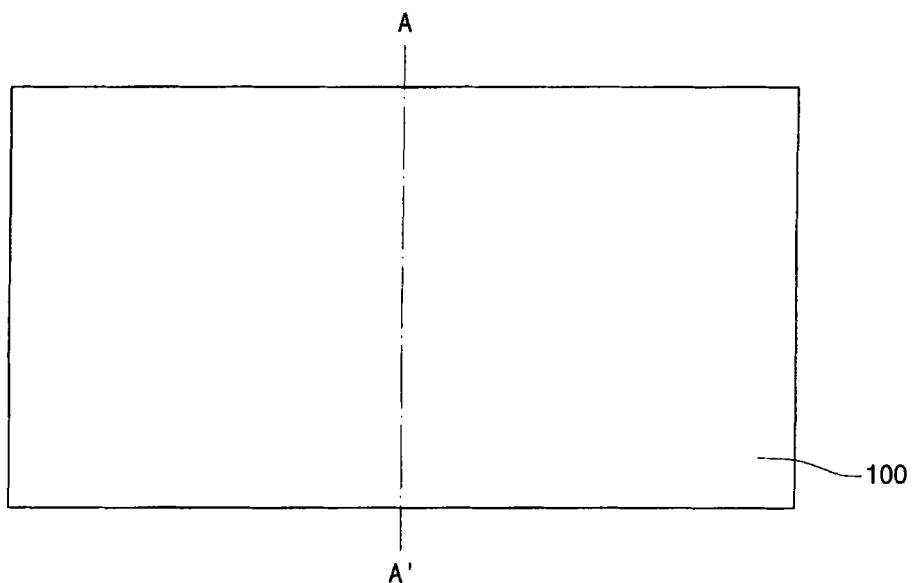


图 1A

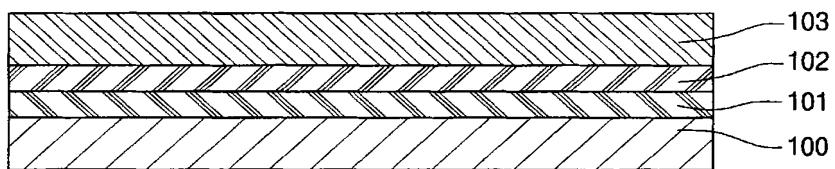


图 1B

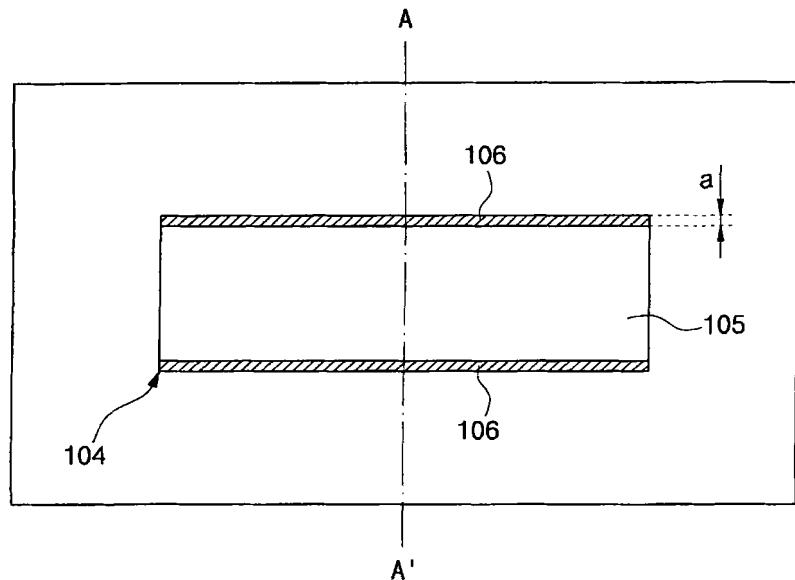


图 2A

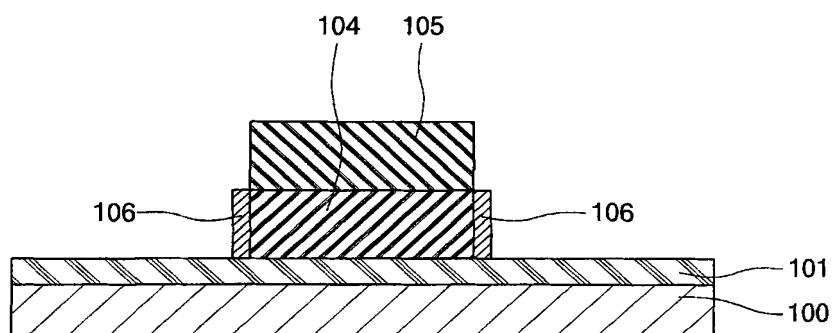


图 2B

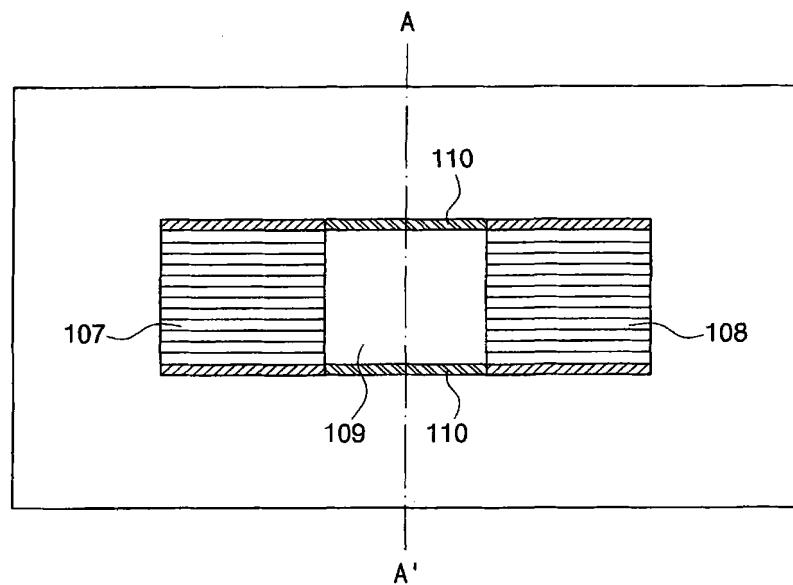


图 3A

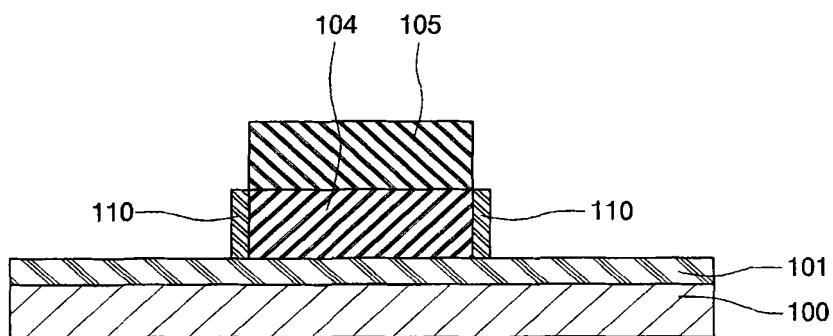


图 3B

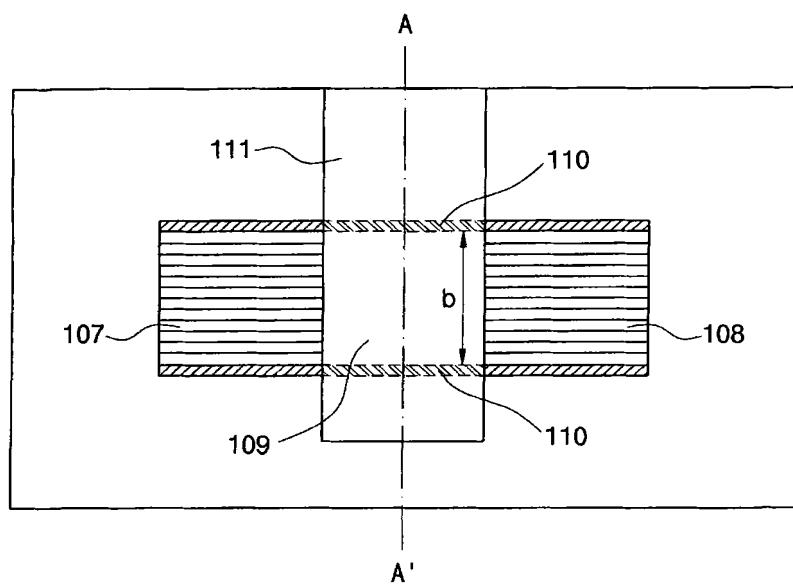


图 4A

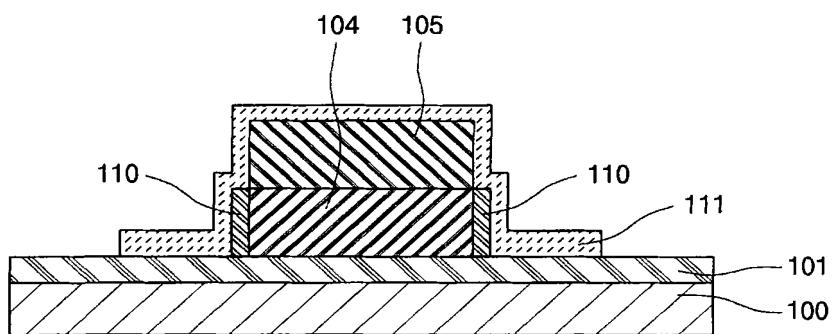


图 4B

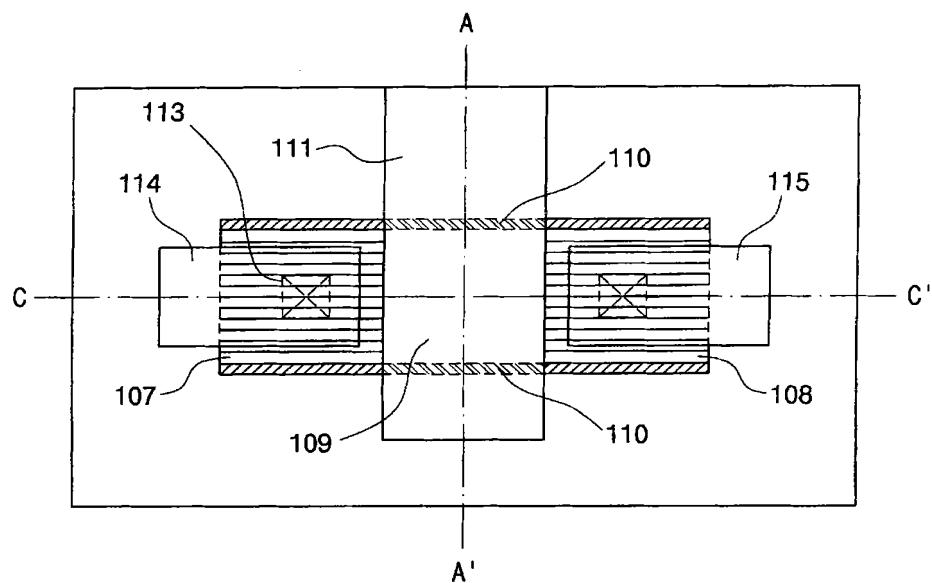


图 5A

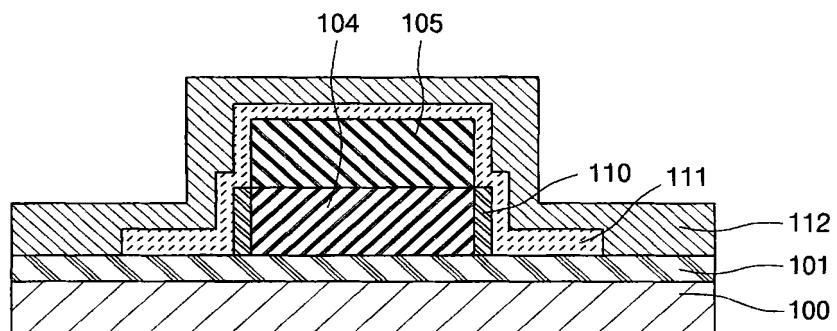


图 5B

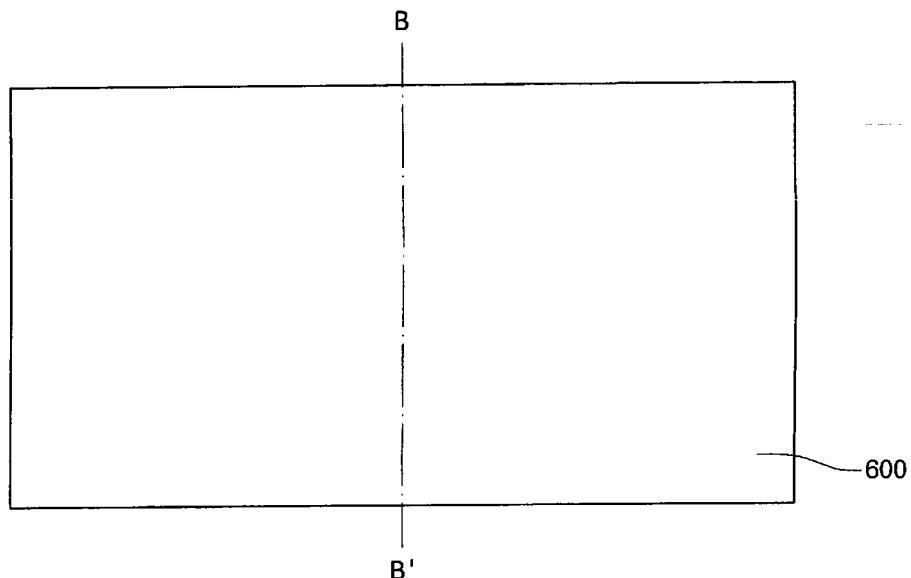


图 6A

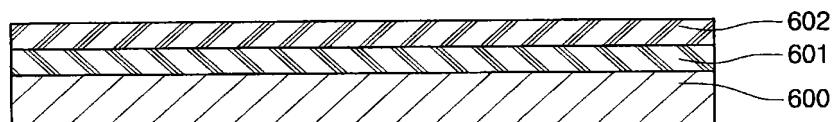


图 6B

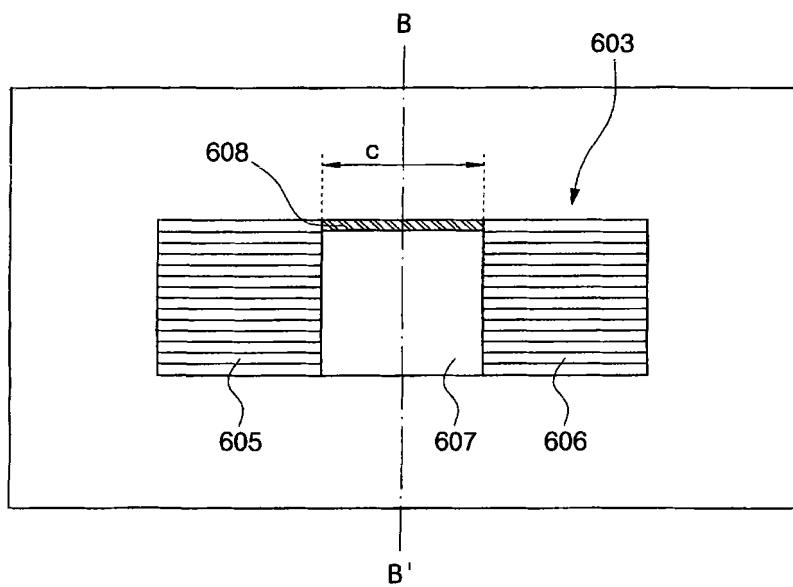


图 7A

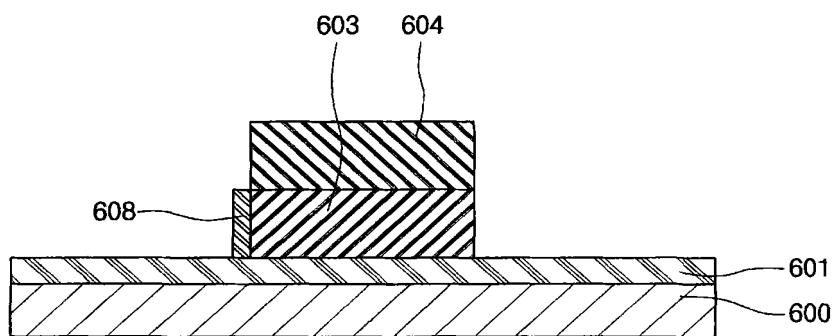


图 7B

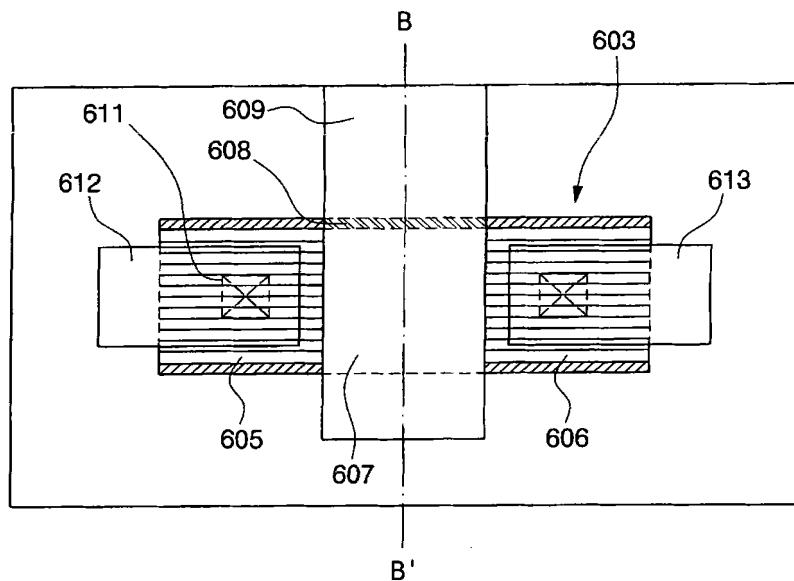


图 8A

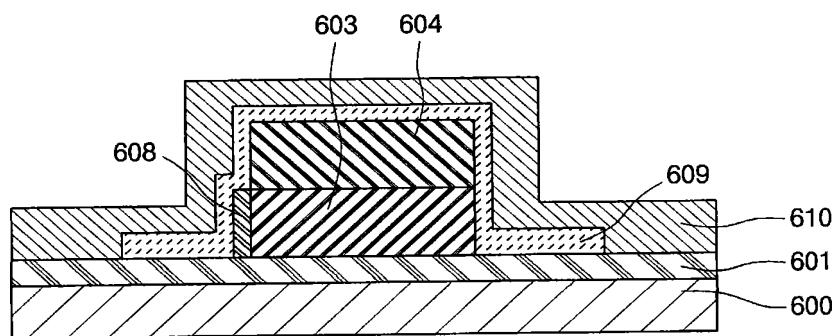


图 8B

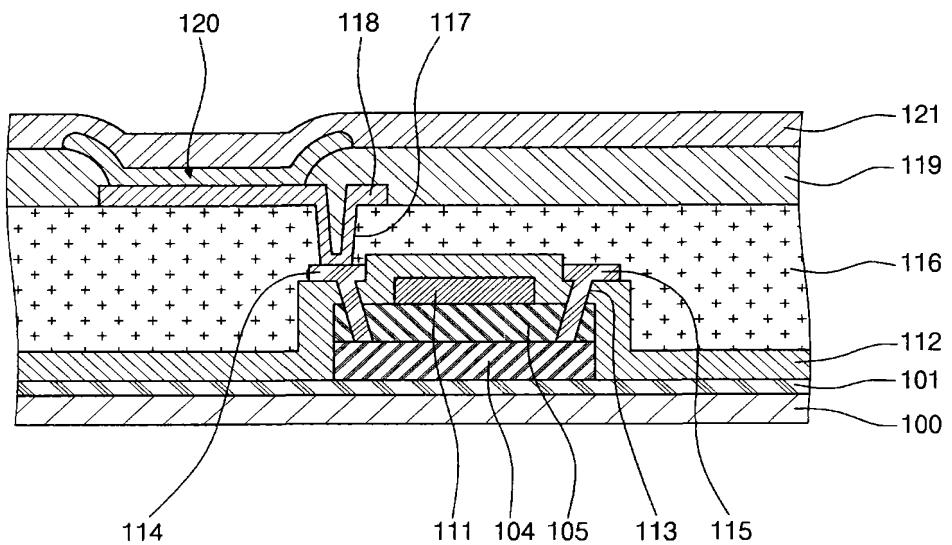


图 9