



Patent dodatkowy
do patentu nr _____

Zgłoszono: 21.02.77 (P. 196182)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 28.08.78

Opis patentowy opublikowano: 15.11.1980

Int. Cl.² G11C 11/34
G11C 19/00

CZYTELNIJA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Twórcy wynalazku: Krzysztof Tabędzki, Andrzej Tysiąc

Uprawniony z patentu: Przedsiębiorstwo Produkcji i Montażu Urządzeń
Elektrycznych Budownictwa „Elektromontaż”,
Poznań (Polska)

Pamięć sekwencyjnych układów sterowania

1

Przedmiotem wynalazku jest pamięć sekwencyjnych układów sterowania, umożliwiającą konstruowanie różnych bloków funkcjonalnych, na przykład rejestrów pierścieniowych, układów sterowania komutatorów i innych.

Znane układy logiczne z pamięcią, składające się z wielu bloków pamięciowych koniecznych do zapamiętywania aktualnych decyzji, różnią się strukturą dla odczytów statycznych i dynamicznych. Tak skonstruowane układy charakteryzują się znacznym hazardem oraz zmniejszoną niezawodnością działania, wynikającymi z dużej ilości zastosowanych elementów.

Istotą wynalazku jest połączenie pamięci układów logicznych w taki sposób, że wejście każdej komórki pamięci jest sprzęgnięte z zanegowanym wyjściem komórki uprzedniej i wyjściem prostym komórki przeduprzedniej, przy czym każda komórka pamięci posiada oddzielne wejścia blokujące i wyzwajające. Takie rozwiązanie pamięci eliminuje gonitwę, zmniejsza ilość elementów w układach i poprawia ich niezawodność działania, umożliwia unifikację oraz upraszcza proces projektowania układów logicznych z pamięcią.

Przedmiot wynalazku jest uwidoczniiony w przykładzie wykonania na rysunku przedstawiającym schemat poglądowy pamięci sekwencyjnych układów sterowania, zrealizowanej

2

w postaci bloku pierścieniowego, który składa się z komórek pamięci A_1 do A_4 o wejściach blokujących b_1 do b_4 i wejściach powielonych b'_1 do b'_4 oraz o wejściach wyzwajających W_1 do W_4 i wejściach powielonych W'_1 do W'_4 , oddzielnych dla każdej komórki. Wejście każdej komórki pamięci A_1 do A_4 jest sprzęgnięte z zanegowanym wyjściem komórki uprzedniej i z wyjściem prostym komórki przeduprzedniej. Podanie „0” logicznego powoduje odblokowanie komórki pamięci A_1 do A_4 , natomiast podanie „1” logicznej powoduje przesunięcie zawartości pamięci o jedną pozycję.

Wyboru stanu wyróżnionego dokonuje się przez zmostkowanie wyjścia funktora NOR z wybranym wyjściem zanegowanym komórki A_1 do A_4 , oraz przez odcięcie sygnału zerowania od tej komórki.

Zastrzeżenie patentowe

Pamięć sekwencyjnych układów sterowania zbudowana z elementów logicznych, **znamienna tym**, że składa się ze sprzęgniętych ze sobą komórek pamięci (A_n), przy czym wejście każdej komórki (A_n) jest połączone z zanegowanym wyjściem komórki uprzedniej (A_{n-1}) i wyjściem prostym komórki przeduprzedniej (A_{n-2}), a wejścia blokujące (b_n) i wejścia wyzwajające (W_n) są oddzielne dla każdej komórki pamięci (A_n).

