



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0004721  
(43) 공개일자 2012년01월13일

(51) Int. Cl.

H03M 13/00 (2006.01) G06F 11/08 (2006.01)

(21) 출원번호 10-2010-0065365

(22) 출원일자 2010년07월07일

심사청구일자 2010년07월07일

(71) 출원인

인하대학교 산학협력단

인천광역시 남구 인하로 100, 인하대학교 (용현동, 인하공업전문대학)

(72) 발명자

이한호

인천광역시 남구 소성로 71, 정보통신공학부 (용현동, 인하대학교)

박정인

인천광역시 남구 소성로 71, 하이테크센터 528호 (용현동, 인하대학교)

최창석

인천광역시 남구 소성로 71, 하이테크센터 528호 (용현동, 인하대학교)

(74) 대리인

특허법인무한

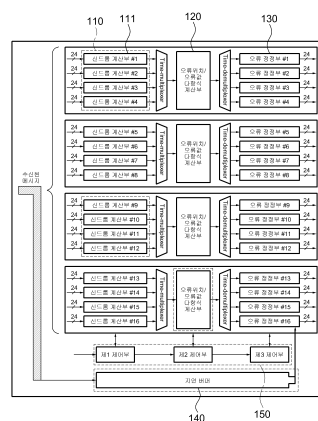
전체 청구항 수 : 총 5 항

(54) Time-multiplexing RiBM 알고리즘을 이용한 고속 저면적 16-채널 리드-솔로몬 복호 장치 및 그 방법

### (57) 요약

본 발명은 고속 저면적 16-채널 3-병렬 리드-솔로몬 복호 장치에 관한 것으로써, 보다 상세하게는 16-채널 3-병렬 리드-솔로몬 복호기를 효과적으로 파이프라이닝하고, 타임-멀티플렉싱 방법을 KES 블록에 적용함으로써 동작 속도를 고속화하는 장치 및 방법이 개시된다. 16 채널 리드-솔로몬 복호 장치는 수신 메시지를 사용하여 홀수 항과 짝수 항이 구분된 신드롬 다항식을 계산하는 신드롬 다항식 계산부; 상기 신드롬 다항식을 기초로 오류 위치 다항식과 오류 값 다항식을 계산하는 오류 위치/오류 값 다항식 계산부; 및 상기 오류 위치 다항식과, 오류 값 다항식을 사용하여 상기 수신 메시지의 오류 위치와 오류 값을 계산하고, 계산된 오류 위치와 오류 값에 따라 상기 수신 메시지의 오류를 정정하는 오류 정정부를 포함한다.

### 대 표 도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 KI002145

부처명 지식경제부 한국산업기술평가관리원

연구관리전문기관

연구사업명 산업원천기술개발사업

연구과제명 차세대 광통신용 디지털 신호처리 기반 초고속 CMOS회로 설계 기술

기여율

주관기관 인하대학교 산학협력단

연구기간 2010. 03. 01 ~ 2011. 02. 28

---

## 특허청구의 범위

### 청구항 1

수신 메시지를 사용하여 홀수 항과 짝수 항이 구분된 신드롬 다항식을 계산하는 신드롬 다항식 계산부;

상기 신드롬 다항식을 기초로 오류 위치 다항식과 오류 값 다항식을 계산하는 오류 위치/오류 값 다항식 계산부; 및

상기 오류 위치 다항식과, 오류 값 다항식을 사용하여 상기 수신 메시지의 오류 위치와 오류 값을 계산하고, 계산된 오류 위치와 오류 값에 따라 상기 수신 메시지의 오류를 정정하는 오류 정정부

를 포함하는 16 채널 리드-솔로몬 복호 장치.

### 청구항 2

제1항에 있어서,

상기 신드롬 다항식 계산부는,

쉬프트 연산과 곱셈 연산 및 덧셈 연산을 3-병렬로 동시에 수행하여 신드롬 값을 계산하는 복수의 기본 셀을 포함하고,

상기 신드롬 다항식을 파이프라이닝이 가능하도록 홀수 항과 짝수 항으로 재구성하는 것을 특징으로 하는 16 채널 리드-솔로몬 복호 장치.

### 청구항 3

제2항에 있어서,

상기 오류 위치/오류 값 다항식 계산부는,

복수의 상기 신드롬 다항식 계산부로부터 순차적으로 상기 신드롬 값을 입력 받아 곱셈 연산, 다항식 연산 및 덧셈 연산을 수행하여 결과 값을 계산하고, 계산된 결과 값을 다른 처리 소자로 전달하는 복수의 처리 소자; 및

제어 신호를 상기 처리 소자에 전달하여 상기 처리 소자의 연산을 제어하는 KES 제어부를 포함하고,

상기 KES 제어부는,

타임-멀티플렉싱 방법을 적용하여 복수의 상기 기본 셀로부터 순차적으로 상기 신드롬 값을 입력 받고, 교차적으로 복수의 신드롬 다항식에 따른 연산을 수행하는 것을 특징으로 하는 16 채널 리드-솔로몬 복호 장치.

### 청구항 4

제3항에 있어서,

상기 KES 제어부는,

상기 결과 값을 전달할 다른 처리 소자가 없는 마지막 처리 소자로부터 최종 결과 값을 전달 받고, 상기 최종 결과 값을 기초로 제어 신호를 계산하여 상기 최종 결과 값과 함께 상기 처리 소자들에게 전달하는 것을 특징으로 하는 16 채널 리드-솔로몬 복호 장치.

### 청구항 5

수신 메시지를 사용하여 홀수 항과 짝수 항이 구분된 신드롬 다항식을 계산하는 단계;

상기 신드롬 다항식을 기초로 오류 위치 다항식과 오류 값 다항식을 계산하는 단계;

상기 오류 위치 다항식과, 오류 값 다항식을 사용하여 상기 수신 메시지의 오류 위치와 오류 값을 계산하는 단계; 및

계산된 오류 위치와 오류 값에 따라 상기 수신 메시지의 오류를 정정하는 단계

를 포함하는 16 채널 리드-솔로몬 복호 방법.

## 명세서

### 기술분야

[0001] 본 발명은 고속 저면적 16-채널 3-병렬 리드-솔로몬(Reed-Solomon) 복호 장치에 관한 것으로서, 보다 상세하게는 16-채널 3-병렬 리드-솔로몬 복호기를 효과적으로 파이프라이닝하고, 타임-멀티플렉싱(Time-multiplexing) 방법을 KES(Key-Equation Solver) 블록에 적용함으로써 동작 속도를 고속화하는 기술에 관한 것이다.

### 배경기술

[0002] PC의 보급이 확대되고 성능이 급격히 향상됨에 따라 컴퓨터 간 통신에 사용되는 이더넷의 규격은 100 Mbps급, 1 Gbps급, 10 Gbps급 이더넷으로 발전하고 있으며, 현재는 10 Gbps급 보다 더 높은 대역폭의 이더넷 규격이 요구되고 있다.

[0003] 이러한 이더넷 규격의 변화에 따라 3 병렬 리드-솔로몬 복호기가 개발되었다.

[0004] 리드-솔로몬 코드는 마그네틱, 광 저장매체, 유선 및 위성 통신 등 다양한 응용분야에 널리 쓰이는 FEC(Forward Error Correction) 기술로써 통신로 상에서 발생하는 랜덤오류 및 연접 오류까지 정정 가능한 채널부호화방식이다.

[0005] 그러나, 종래의 3 병렬 리드-솔로몬 복호기는 3-병렬을 구현하기 위하여 신드롬 다항식 계산(Syndrome Polynomial Computation)블록과 친서치(Chien Search) 블록, 포니(Forney) 알고리즘 연산블록의 덧셈 트리(tree)가 증가하게 되어 크리티컬 패스 (Critical path)가 증가하였다.

[0006] 크리티컬 패스는 동작속도에 영향을 미치는 중요한 변수로써, 데이터 처리량에도 많은 영향을 끼친다. 따라서 크리티컬 패스를 축소하여 동작속도의 성능을 향상시킬 수 있는 장치 및 방법이 요구된다.

### 발명의 내용

#### 해결하려는 과제

[0007] 본 발명의 일실시예는 신드롬 다항식을 홀수 항(odd term)과 짝수 항(even term)으로 나누어 재구성함으로써 크리티컬 패스를 단축시킬 수 있는 장치 및 방법을 제공한다.

[0008] 또한, 본 발명의 일실시예는 KES 블록이 타임-멀티플렉싱 방법을 적용하여 공유한 복수의 신드롬 다항식 계산부로부터 순차적으로 신드롬 값을 입력 받고, 교차적으로 각각의 신드롬 다항식 계산부에 따른 연산을 수행함으로써 추가적인 지연 없이도 크리티컬 패스를 단축시킬 수 있는 장치 및 방법을 제공한다.

#### 과제의 해결 수단

[0009] 본 발명의 일실시예에 따른 16 채널 리드-솔로몬 복호 장치는 수신 메시지를 사용하여 홀수 항과 짝수 항이 구분된 신드롬 다항식을 계산하는 신드롬 다항식 계산부; 상기 신드롬 다항식을 기초로 오류 위치 다항식과 오류 값 다항식을 계산하는 오류 위치/오류 값 다항식 계산부; 및 상기 오류 위치 다항식과, 오류 값 다항식을 사용하여 상기 수신 메시지의 오류 위치와 오류 값을 계산하고, 계산된 오류 위치와 오류 값에 따라 상기 수신 메시지의 오류를 정정하는 오류 정정부를 포함한다.

[0010] 본 발명의 일실시예에 따른 16 채널 리드-솔로몬 복호 방법은 수신 메시지를 사용하여 홀수 항과 짝수 항이 구분된 신드롬 다항식을 계산하는 단계; 상기 신드롬 다항식을 기초로 오류 위치 다항식과 오류 값 다항식을 계산하는 단계; 상기 오류 위치 다항식과, 오류 값 다항식을 사용하여 상기 수신 메시지의 오류 위치와 오류 값을 계산하는 단계; 및 계산된 오류 위치와 오류 값에 따라 상기 수신 메시지의 오류를 정정하는 단계를 포함한다.

#### 발명의 효과

[0011] 본 발명의 일실시예에 따르면, 신드롬 다항식을 홀수 항과 짝수 항으로 나누어 재구성함으로써 크리티컬 패스를 단축시킬 수 있다.

[0012] 또한, 본 발명의 일실시예에 따르면, KES 블록이 타임-멀티플렉싱 방법을 적용하여 공유한 복수의 신드롬 다항

식 계산부로부터 순차적으로 신드롬 값을 입력 받고, 교차적으로 각각의 신드롬 다항식 계산부에 따른 연산을 수행함으로써 추가적인 지연 없이도 크리티컬 패스를 단축시킬 수 있다.

[0013] 그리고, 본 발명의 일실시예에 따르면, 크리티컬 패스의 단축에 따라 동작 속도를 증가시킴으로써 광 통신과 같은 대용량 데이터 처리량을 요구하는 시스템에서 사용할 수도 있다.

### 도면의 간단한 설명

[0014] 도 1은 본 발명에 따른 16 채널 3 병렬 리드-솔로몬 복호 장치의 구성을 도시한 도면이다.

도 2는 본 발명에 따른 신드롬 다항식 계산부의 상세 구성을 도시한 도면이다.

도 3은 본 발명에 따른 KES 블록의 상세 구성을 도시한 도면이다.

도 4는 본 발명에 따른 KES 제어부의 회로의 일례이다.

도 5는 본 발명에 따른 KES 블록의 데이터 처리 타이밍 도와 종래 방법에 따른 KES 블록의 데이터 처리 타이밍 도를 비교한 도면이다.

도 6은 본 발명에 따른 친서치 블록의 상세 구성을 도시한 도면이다.

도 7은 본 발명에 따른 포니 알고리즘 연산 블록과 오류메시지 정정 블록의 상세 구성을 도시한 도면이다.

도 8은 본 발명에 따른 16 채널 리드-솔로몬 복호 방법을 도시한 순서도이다.

### 발명을 실시하기 위한 구체적인 내용

[0015] 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0016] 도 1은 본 발명에 따른 16 채널 3 병렬 리드-솔로몬 복호 장치의 구성을 도시한 도면이다.

[0017] 도 1을 참고하면, 16 채널 3 병렬 리드-솔로몬 복호 장치는 신드롬 다항식 계산부(110), 오류 위치/오류 값 다항식 계산부(120), 오류 정정부(130), 및 지연 버퍼(140)로 구성될 수 있다.

[0018] 신드롬 다항식 계산부(110)는 수신한 수신 메시지를 사용하여 신드롬 다항식  $S(x)$ 를 계산한다.

[0019] 구체적으로, 신드롬 다항식 계산부(110)는 3 병렬로 입력 되는 수신 메시지를 사용하여 홀수 항과 짝수 항이 구분된 신드롬 다항식을 계산할 수 있다. 이때, 신드롬 다항식 계산부(110)는 85클럭 안에 신드롬 다항식을 계산하여 오류 위치/오류 값 다항식 계산부(120)로 전달할 수 있다.

[0020] 또한, 신드롬 다항식 계산부(110)는 쉬프트(shift) 연산과 곱셈 연산 및 덧셈 연산을 3-병렬로 동시에 수행하여 신드롬 값을 계산하는 복수의 기본 셀(111)을 포함할 수 있다.

[0021] 신드롬 다항식 계산부(110)의 상세 구성 및 동작은 이하 도 2를 참조하여 상세히 설명한다.

[0022] 오류 위치/오류 값 다항식 계산부(120)는 신드롬 다항식 계산부(110)가 계산한 신드롬 다항식을 기초로 오류 위치 다항식(error locator polynomial)  $\sigma(x)$ 와 오류 값 다항식(error value polynomial)  $\omega(x)$ 을 계산한다. 이때, 오류 위치/오류 값 다항식 계산부(120)는 키 등식(Key equation)  $S(x)\sigma(x)=\omega(x) \bmod x^{2t}$ 을 해결하기 위해 유클리드 알고리즘, 수정 유클리드 알고리즘 또는 벨르캄프-메시 알고리즘을 이용하는 KES 블록일 수 있다.

[0023] 이때, 오류 위치/오류 값 다항식 계산부(120)는 타임 멀티플렉서(Time-multiplexer)를 통하여 복수의 기본 셀(111)로부터 순차적으로 신드롬 값을 입력 받고, 교차적으로 각각의 기본 셀에 따른 연산을 수행하여 오류 위치 다항식  $\sigma(x)$ 와 오류 값 다항식  $\omega(x)$ 을 계산할 수 있다. 이때, 오류 위치/오류 값 다항식 계산부(120)는 계산한 오류 위치 다항식  $\sigma(x)$ 와 오류 값 다항식  $\omega(x)$ 을 타임 멀티플렉서를 통하여 각기 다른 오류 정정부(130)로 전달할 수 있다.

[0024] 오류 위치/오류 값 다항식 계산부(120)의 상세 구성 및 동작은 이하 도 3을 참조하여 상세히 설명한다.

[0025] 오류 정정부(130)는 오류 위치/오류 값 다항식 계산부(120)로부터 전달 받은 오류 위치 다항식과, 오류 값 다항식을 사용하여 수신 메시지의 오류 위치와 오류 값을 계산하고, 계산된 오류 위치와 오류 값에 따라 수신 메시지의 오류를 정정한다.

[0026] 이때, 오류 정정부(130)는 친서치 블록, 포니 알고리즘 연산 블록 및 오류메시지 정정 블록을 포함하고 있다.

- [0027] 이때, 친서치 블록은 오류 위치를 계산하고, 포니 알고리즘 연산 블록은 오류 위치에 대응하는 오류 값을 계산할 수 있다.
- [0028] 또한, 오류메시지 정정 블록은 친서치 블록이 계산한 오류 위치와 포니 알고리즘 연산 블록이 계산한 오류 값을 지연 버퍼(140)에 저장된 수신 메시지에 더하여 수신 메시지의 오류를 정정할 수 있다.
- [0029] 지연 버퍼(140)는 오류 정정부가 오류 위치와 오류 값을 더하고자 할 경우에 수신 메시지를 계산이 필요한 클럭 수만큼 지연시킨다. 이때, 지연 버퍼(140)는 FIFO(first input first output) 구조를 가진 저장 매체일 수 있다.
- [0030] 제어부(150)은 신드롬 다항식 계산부(110), 오류 위치/오류 값 다항식 계산부(120) 및 오류 정정부(130)의 동작을 제어할 수 있다.
- [0031] 이때, 제어부(150)은 신드롬 다항식 계산부(110)를 제어하는 제1 제어부, 오류 위치/오류 값 다항식 계산부(120)를 제어하는 제2 제어부 및 오류 정정부(130)를 제어하는 제3제어부를 포함할 수 있다.
- [0032] 도 2는 본 발명에 따른 신드롬 다항식 계산부의 상세 구성을 도시한 도면이다.
- [0033] 본 발명에 따른 신드롬 다항식 계산부(110)는 하기 수학식 1을 기초로 계산될 수 있다.

### 수학식 1

$$S_i(\alpha^i) = R_{\text{even}}(\alpha^i) + R_{\text{odd}}(\alpha^i) \\ = [((\dots(R_{254}\alpha^{2i} + R_{253}\alpha^i + R_{252})\alpha^{6i} + R_{248}\alpha^{2i} + R_{247}\alpha^i + R_{246})\alpha^{6i} + \dots + (R_8\alpha^{2i} + R_7\alpha^i + R_6)\alpha^{6i} + (R_2\alpha^{2i} + R_1\alpha^i + R_0))] + [((\dots(R_{251}\alpha^{2i} + R_{250}\alpha^i + R_{249})\alpha^{6i} + R_{245}\alpha^{2i} + R_{244}\alpha^i + R_{243})\alpha^{6i} + \dots + (R_5\alpha^{2i} + R_4\alpha^i + R_3)\alpha^{3i})]$$

- [0034]
- [0035] 이때, 상기 수학식 1은 종래의 신드롬 다항식 계산부에서 사용하던 하기 수학식 2를 홀수 항과 짝수 항으로 나누어서 구성한 수식이다.

### 수학식 2

$$S_i = R(\alpha^i) = ((\dots(R_{254}(\alpha^i)^2 + R_{253}(\alpha^i)^1 + R_{252})(\alpha^i)^3 + R_{251}(\alpha^i)^2 + R_{250}(\alpha^i)^1 + R_{249})(\alpha^i)^3 + \dots)(\alpha^i)^3 + R_2(\alpha^i)^2 + R_1(\alpha^i)^1 + R_0)$$

- [0036]
- [0037] 신드롬 다항식 계산부(110)는 3 병렬 구성을 사용하므로 신드롬 다항식을 계산하기 위하여 85클럭이 필요하다. 이때, 신드롬 다항식 계산부(110)는 마지막 85 클럭 때 홀수 항에  $\alpha^{3i}$ 를 곱함으로써 추가적인 지연 없이 완전한 신드롬 다항식을 계산할 수 있다.
- [0038] 그리고, 도 2에 도시된 바와 같이 신드롬 다항식 계산부(110)는 16개의 기본 셀(111)들을 포함할 수 있다.
- [0039] 이때, 기본 셀(111)은 레지스터(210), 제1 상수 곱셈기(220), 제2 상수 곱셈기(230), 덧셈 트리(240), 선택기(250), 제3 상수 곱셈기(260) 및 제4 상수 곱셈기(270)로 구성될 수 있다.
- [0040] 먼저, 레지스터(210), 제1 상수 곱셈기(220) 및 제2 상수 곱셈기(230)는 3 병렬 구성에 따라 16 채널 3 병렬 리드-솔로몬 복호 장치로 전송되는 3개의 수신 메시지를 각각 수신할 수 있다.
- [0041] 구체적으로, 레지스터(210)는 3 병렬로 전송되는 수신 메시지 중에서 마지막 항을 수신하고, 수신한 마지막 항을 2클럭 지연 시킴으로써 수신한 마지막 항의 차수를 맞출 수 있다.
- [0042] 또한, 제1 상수 곱셈기(220)는 3 병렬로 전송되는 수신 메시지 중에서 중간 항을 수신하고, 수신한 중간 항에  $\alpha^i$ 를 곱하여 중간 항의 차수를 맞출 수 있다.
- [0043] 이때, 제1 상수 곱셈기(220)는  $\alpha^i$ 를 곱한 중간 항을 1 클럭 지연시킴으로써 상기 수학식 1에 따른 타이밍을 맞

출 수 있다.

- [0044] 그리고, 제2 상수 곱셈기(230)는 3병렬로 전송되는 수신 메시지 중에서 첫 번째 항을 수신하고, 수신한 첫 번째 항에  $a^{2i}$ 를 곱하여 첫 번째 항의 차수를 맞출 수 있다. 이때, 제2 상수 곱셈기(230)는  $a^{2i}$ 를 곱한 첫 번째 항을 1 클럭을 지연시킴으로써 타이밍을 맞출 수도 있다.
- [0045] 덧셈 트리(240)는 제1 상수 곱셈기(220)와 제2 상수 곱셈기(230)에서 출력된 결과 값을 더하고, 상기 결과 값에 선택기(250)에서 선택된 값을 더할 수 있다. 다음으로, 덧셈 트리(240)는 선택기(250)에서 선택된 값이 더해진 값을 1클럭 지연 시킨 다음에 레지스터(210)에서 출력된 결과 값을 더하여 최종 결과 값을 출력할 수 있다.
- [0046] 이때, 선택기(250)는 3 클럭까지 선택신호를 1로 유지하여 0값을 덧셈 트리(240)에 출력하고, 4 클럭부터 85 클럭까지는 선택신호를 0으로 유지하여 제3 상수 곱셈기(260)의 결과 값을 덧셈 트리(240)에 출력할 수 있다. 즉, 선택기(250)는 3클럭까지 초기화를 수행하고, 4 클럭부터는 제3 상수 곱셈기(260)의 결과를 반영하도록 할 수 있다.
- [0047] 그 다음으로, 제3 상수 곱셈기(260)는 덧셈 트리(240)의 최종 결과 값에  $a^{6i}$ 를 곱하여 홀수 항과 짝수 항으로 나눈 신드롬 다항식의 차수를 맞출 수 있다.
- [0048] 마지막으로 제4 상수 곱셈기(270)는 마지막 클럭인 85 클럭에서 홀수 항에  $a^{3i}$ 를 곱하여 최종적인 신드롬 다항식을 완성할 수 있다.
- [0049] 이때, 제3 상수 곱셈기(250)과 제4 상수 곱셈기(270)는 파이프라인 된 상수 곱셈기일 수 있다.
- [0050] 신드롬 다항식 계산부(110)는 상기 구성에 따라 연산회로를 구현함으로써 크리티컬 패스가 종래의 6개의 XOR 게이트와 한 개의 선택기에서 3개의 XOR 게이트로 감소 시킬 수 있다.
- [0051] 도 3은 본 발명에 따른 KES 블록의 상세 구성을 도시한 도면이다.
- [0052] 본 발명에 따른 KES 블록은 상기 도 1의 오류 위치/오류 값 다항식 계산부(120)이며 도 3에 도시된 바와 같이 25개의 처리 소자(Processing Element) (310)와 하나의 KES 제어부(320)로 구성될 수 있다.
- [0053] 오류 위치/오류 값 다항식 계산부(120)는 RiBM 알고리즘을 사용하여 오류 위치 및 오류 값 다항식을 계산할 수 있으며, 하기 수학식 3 및 수학식 4에 따라 초기 값을 설정할 수 있다.

### 수학식 3

[0054] 
$$\delta_{3t}(0) = 1, \delta_i(0) = 0 \ (i = 2t, 2t+1, \dots, 3t-1), k(0) = 0, v(0) = 1.$$

### 수학식 4

[0055] 
$$\delta_i(0) = \Theta_i(0) = S_i, \ (i = 0, \dots, 2t-1)$$

- [0056] 이때, 수학식 3의  $\delta_i(x)$ 는 불합도(discrepancy)를 나타내는 다항식이고,  $k$ 와  $v$ 는 제어신호일 수 있다.
- [0057] 또한, 수학식 4의  $\Theta_i(x)$ 는 불합도 다항식을 임시로 저장하는 다항식일 수 있다.
- [0058] 그리고, 오류 위치/오류 값 다항식 계산부(120)는 하기 수학식 5를 만족하는  $\delta_i(x)$ ,  $\Theta_i(x)$ ,  $k$ ,  $v$  값을 사용하여 불합도 다항식을 업데이트(update)할 수 있다. 이때,  $r$ 값은 0부터  $2t-1$ 까지 증가하면서 불합도 다항식을 업데이트할 수 있다.

## 수학식 5

$$\delta_i(r+1) = \forall(r) \cdot \delta_{i+1}(r) - \delta_0(r) \cdot \Theta_i(r), (i = 0, \dots, 3t)$$

[0059]

[0060] 오류 위치/오류 값 다항식 계산부(120)는 하기 수학식 6을 2t번만큼 반복적으로 연산하여 하기 수학식 7과 같은 오류위치 다항식  $\sigma(x)$ 와 오류 값 다항식  $\omega(x)$ 를 계산할 수 있다.

## 수학식 6

if  $\delta_0(r) \neq 0$  and  $k(r) \geq 0$   
then  $\Theta_i(r+1) = \delta_{i+1}(r), (i = 0, 1, \dots, 3t)$

$$\forall(r+1) = \delta_0(r)$$

$$k(r+1) = -k(r) - 1$$

else  $\Theta_i(r+1) = \Theta_i(r), (i = 0, 1, \dots, 3t)$

$$\forall(r+1) = \forall(r)$$

$$k(r+1) = k(r) + 1$$

[0061]

## 수학식 7

$$\sigma_i(2t) = \delta_{t+1}(2t), (i = 0, 1, \dots, t)$$

$$\omega_i(2t) = \delta_i(2t), (i = 0, 1, \dots, t-1)$$

[0062]

[0063] 처리 소자(310)는 복수의 기본 셀(111)이 계산한 상기 신드롬 값에 곱셈 연산, 다항식 연산 및 덧셈 연산을 수행하여 결과 값을 계산하고, 계산된 결과 값을 다른 처리 소자로 전달할 수 있다.

[0064] 일례로, 도 3에서 오른 쪽에 있는 처리 소자는 계산된 결과 값을 왼쪽에 결합된 처리 소자로 전달할 수 있다.

[0065] 이때, 가장 왼쪽에 있어서 결과 값을 전달할 다른 처리 소자가 없는 마지막 처리 소자는 계산된 최종 결과 값  $\delta_0(r)$ 을 KES 제어부(320)로 전달할 수 있다.

[0066] 또한, 가장 오른 쪽에 있는 25번째의 처리 소자를 3t라고 하고 가장 왼쪽에 있는 첫 번째 처리 소자를 0이라고 하면, 처리 소자 0 내지 처리 소자 7이 오류 값 다항식  $\omega(x)$ 의 값을 출력하고, t인 처리 소자 8 내지 2t인 처리 소자 16이 오류 위치 다항식  $\sigma(x)$ 의 값을 출력 할 수 있다.

[0067] 이때, KES 제어부(320)는 제어 신호  $\gamma(r)$ , MC(r)와 함께 최종 결과 값  $\delta_0(r)$ 를 각각의 처리 소자(310)로 전달 할 수 있다.

[0068] 구체적으로 KES 제어부(320)는 도 4에 도시된 바와 같은 회로에 따라 입력된 최종 결과 값  $\delta_0(r)$ (410)에서 제어 신호  $\gamma(r)$ , MC(r)를 생성하고, 제어 신호  $\gamma(r)$ , MC(r)를 최종 결과 값  $\delta_0(r)$ 과 함께 출력할 수 있다 (420).

- [0069] 이때, MC(r)는 상기 수학식 6의  $\theta$  값을 제어하고,  $y(r)$ 는 상기 수학식 6의  $\delta$  값을 계산하는데 사용될 수 있다.
- [0070] 또한, 각각의 처리 소자(310)는 도 3에 도시된 바와 같이 초기화 부(311)와 다항식 연산부(312)로 구성될 수 있다.
- [0071] 이때, 선택부(311)는 처음부터 4 클럭까지는 각각의 다른 4개의 채널 값을 순차적으로 초기화 시켜주기 위하여 모든 선택기의 선택신호를 1로 유지할 수 있다.
- [0072] 또한, 선택부(311)는 5클럭부터 64 클럭까지는 선택기의 선택신호를 0으로 유지하여 오른 쪽에 있는 처리 소자로부터 전달된 결과 값인  $\delta_{i+1}$  값과 신드롬 다항식 계산부(110)로부터 전달된 신드롬 값 또는 초기값을 입력으로 받아들일 수 있다.
- [0073] 다항식 연산부(312)는 제1 곱셈기(313), 제1 지연기(314), 제2 곱셈기(315), 제2 지연기(316) 및 덧셈 연산기(317)로 구성될 수 있다.
- [0074] 이때, 제1 곱셈기(313)는 오른 쪽에 위치한 다른 처리 소자로부터 입력 받은 결과 값  $\delta_{i+1}$  과 제어 신호  $y(r)$ 를 곱셈 연산하고, 제1 지연기(314)는 제1 곱셈기(313)의 결과 값을 1클럭 지연 시킬 수 있다.
- [0075] 또한, 제2 곱셈기(315)는 초기화 부(311)의 결과 값과 최종 결과 값  $\delta_0(r)$ 를 곱셈 연산하고, 제2 지연기(316)는 제2 곱셈기(315)의 결과 값을 1클럭 지연 시킬 수 있다. 이때, 제1 곱셈기(313)과 제2 곱셈기(315)는 3단 파이프라인 된 곱셈기일 수 있다.
- [0076] 다음으로 덧셈 연산기(317)가 1클럭 지연된 제1 곱셈기(313)의 결과 값과 1클럭 지연된 제2 곱셈기(315)의 결과 값을 더하여 선택부(310)로 전송할 수 있다.
- [0077] 이때, 선택부(310)는 신드롬 값 또는 초기 값을 덧셈 연산기(317)의 결과 값과 함께 선택기에 입력하여 처리 소자(310)의 결과 값  $\delta_i(r)$ 를 출력할 수 있다.
- [0078] 도 5는 본 발명에 따른 KES 블록의 데이터 처리 타이밍 도와 종래의 방법에 따른 KES 블록의 데이터 처리 타이밍 도를 비교한 도면이다.
- [0079] 종래의 방법에 따른 KES 블록은 타이밍도(510)에 도시된 바와 같이 한 채널의 신드롬 다항식을 16 클럭 동안 처리할 수 있다(511). 그리고, 종래의 방법에 따른 KES 블록은 16 클럭의 계산과정이 종료된 후에 다음 채널의 신드롬 다항식을 16 클럭 동안 처리할 수 있었다. 이때, 채널은 KES 블록을 공유하는 각각의 신드롬 다항식 계산부가 신드롬 다항식을 제공하는 통로일 수 있다.
- [0080] 반면에 본 발명에 따른 KES 블록인 오류 위치/오류 값 다항식 계산부(120)는 타이밍도(520)에 도시된 바와 같이 1클럭 내지 4 클럭을 각각 1채널 내지 4채널의 값으로 초기화할 수 있다(521).
- [0081] 다음으로 오류 위치/오류 값 다항식 계산부(120)는 5클럭 내지 60 클럭에서 각각의 채널을 변경해가면서 교차적으로 계산을 수행할 수 있다(522). 이때, 오류 위치/오류 값 다항식 계산부(120)는 계산에 따른 각 채널의 중간 값을 레지스터에 저장할 수 있다.
- [0082] 마지막으로 오류 위치/오류 값 다항식 계산부(120)는 61 클럭에서 1채널의 결과 값을 출력하고, 62 클럭에서 2채널의 결과 값을 출력할 수 있다. 또한, 오류 위치/오류 값 다항식 계산부(120)는 63 클럭에서 3채널의 결과 값을 출력하고, 64 클럭에서 4채널의 결과 값을 출력할 수 있다(523).
- [0083] 오류 위치/오류 값 다항식 계산부(120)는 각 채널의 중간 값을 위한 레지스터들을 이용하여 파이프라이닝 기법을 적용함으로써 크리티컬 패스를 종래의 6개의 XOR 게이트, 1개의 NAND 게이트, 1개의 선택기에서 2개의 XOR 게이트로 감소 시킬 수 있다.
- [0084] 도 6은 본 발명에 따른 친서치 블록의 상세 구성을 도시한 도면이다.
- [0085] 본 발명에 따른 친서치 블록(600)은 오류 정정부(130)에 포함되며, 8개의 친서치 기본 셀(610)과 덧셈 트리(620), 및  $\sigma_0$  덧셈기 (630)로 구성될 수 있다.
- [0086] 기본 셀(610)은 3개의 상수 곱셈기와 한 개의 선택기, 한 개의 레지스터로 구성될 수 있다.
- [0087] 이때, 기본 셀(610)의 상수 곱셈기들은 3-병렬로 들어오는 입력 값들에  $a_i$ ,  $a_{2i}$ ,  $a_{3i}$  값을 각각 곱하여 입력

값의 차수를 맞출 수 있다.

- [0088] 또한, 기본 셀(610)의 선택기의 선택신호는 첫 클럭에서만 1의 값을 가지고 나머지 클럭 동안에는 0의 값을 유지할 수 있다.
- [0089] 그리고 기본 셀(610)의 레지스터는 입력 값에  $\alpha_{3i}$  을 곱한 값을 피드백 시켜줌으로써 다음 차수를 올바르게 맞출 수 있다.
- [0090] 덧셈 트리(620)는 8개의 기본 셀(610)에서 나온 출력 값들을 파이프라이닝 함으로써 7개의 XOR 게이트와 한 개의 선택기를 사용하던 종래의 크리티컬 패스를 3개의 XOR 게이트와 한 개의 선택기로 축소할 수 있다.
- [0091] 이때, 덧셈 트리(620)는 8개의 기본 셀(610)에서 나온 출력 값 중에서 홀수 항의 값들은 따로 모아서 더함으로써 오류위치의 미분 값을 계산할 수 있다.
- [0092] 이때, 계산된 미분 값은 에러 정정부에서 최종적으로 오류를 정정할 때 사용될 수 있다.
- [0093]  $\sigma_0$  덧셈기(630)는  $\sigma_0$  값을 덧셈 트리(620)에서 출력되는 항 중에 3개 항에 마지막으로 각각 더함으로써 오류위치 값을 출력할 수 있다.
- [0094] 도 7은 본 발명에 따른 포니 알고리즘 연산 블록과 오류메시지 정정 블록의 상세 구성을 도시한 도면이다.
- [0095] 포니 알고리즘 연산 블록(710)은 도 7에 도시된 바와 같이 친서치 블록(600)에서 기본 셀 C8을 제거한 형태로 구성되어 오류 값을 계산할 수 있다. 이때, 포니 알고리즘 연산 블록의 기본 셀들은 친서치 블록(600)의 기본 셀들과 동일한 형태로 구성될 수 있다.
- [0096] 오류메시지 정정 블록(720)은 포니 알고리즘 연산 블록(710)에서 계산된 오류 값 정보와 친서치 블록(600)에서 계산된 오류 위치 정보, 및 오류위치의 미분 값을 입력으로 한다.
- [0097] 이때, 오류메시지 정정 블록(720)은 친서치 블록(600)으로부터 입력 받은 오류 위치 정보에 NOR 게이트(721) 연산을 사용하여 오류가 발생한 위치를 나타낼 수 있다.
- [0098] 또한, 오류메시지 정정 블록(720)은 친서치 블록(600)의 덧셈 트리(620)에서 계산된 오류위치의 미분 값에 ROM 역변환기(722)를 사용하여 나눗셈을 곱셈으로 바꿔줄 수 있다. 이때 ROM 역변환기(722)는 룩업테이블(Look up table) 형태로 구성될 수 있다.
- [0099] 그리고, 오류메시지 정정 블록(720)은 포니 알고리즘 연산 블록(710)에서 계산된 오류 값 정보를 ROM 역변환기(722)의 출력과 곱셈 연산하고, 곱셈 연산의 결과값을 NOR 게이트(721) 출력과 AND 게이트(723) 연산하여 FIFO의 출력과 더함으로써 최종적으로 오류 메시지를 출력할 수 있다.
- [0100] 도 8은 본 발명에 따른 16 채널 리드-솔로몬 복호 방법을 도시한 순서도이다.
- [0101] 단계(S810)에서 신드롬 다항식 계산부(110)는 수신 메시지를 사용하여 홀수 항과 짝수 항이 구분된 신드롬 다항식을 계산할 수 있다.
- [0102] 단계(S720)에서 오류 위치/오류 값 다항식 계산부(120)는 단계(S810)에서 계산된 신드롬 다항식을 기초로 오류 위치 다항식과 오류 값 다항식을 계산할 수 있다.
- [0103] 단계(S830)에서 오류 정정부(130)는 단계(S820)에서 계산된 오류 위치 다항식과, 오류 값 다항식을 사용하여 수신 메시지의 오류 위치와 오류 값을 계산할 수 있다.
- [0104] 단계(S840)에서 오류 정정부(130)는 단계(S830)에서 계산된 오류 위치와 오류 값에 따라 수신 메시지의 오류를 정정할 수 있다.
- [0105] 본 발명은 신드롬 다항식을 홀수 항과 짝수 항으로 나누어 재구성함으로써 크리티컬 패스를 단축시킬 수 있다.
- [0106] 또한, KES 블록이 타임-멀티플렉싱 방법을 적용하여 공유한 복수의 신드롬 다항식 계산부로부터 순차적으로 신드롬 값을 입력 받고, 교차적으로 각각의 신드롬 다항식 계산부에 따른 연산을 수행함으로써 추가적인 지연 없이도 크리티컬 패스를 단축시킬 수 있다.
- [0107] 그리고, 본 발명은 크리티컬 패스의 단축에 따라 동작 속도가 증가하므로 대용량 데이터 처리량을 요구하는 시스템을 사용할 수도 있다.

[0108] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[0109] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

## 부호의 설명

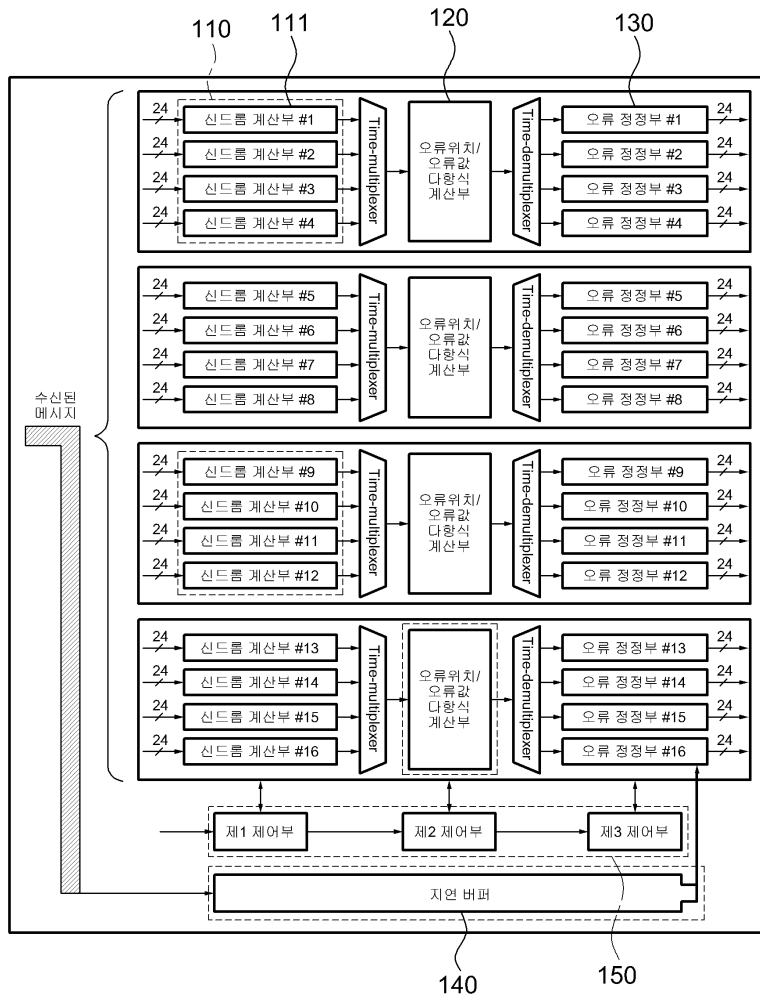
[0110] 110: 신드롬 다항식 계산부

120: 오류 위치/오류 값 다항식 계산부(KES 블록)

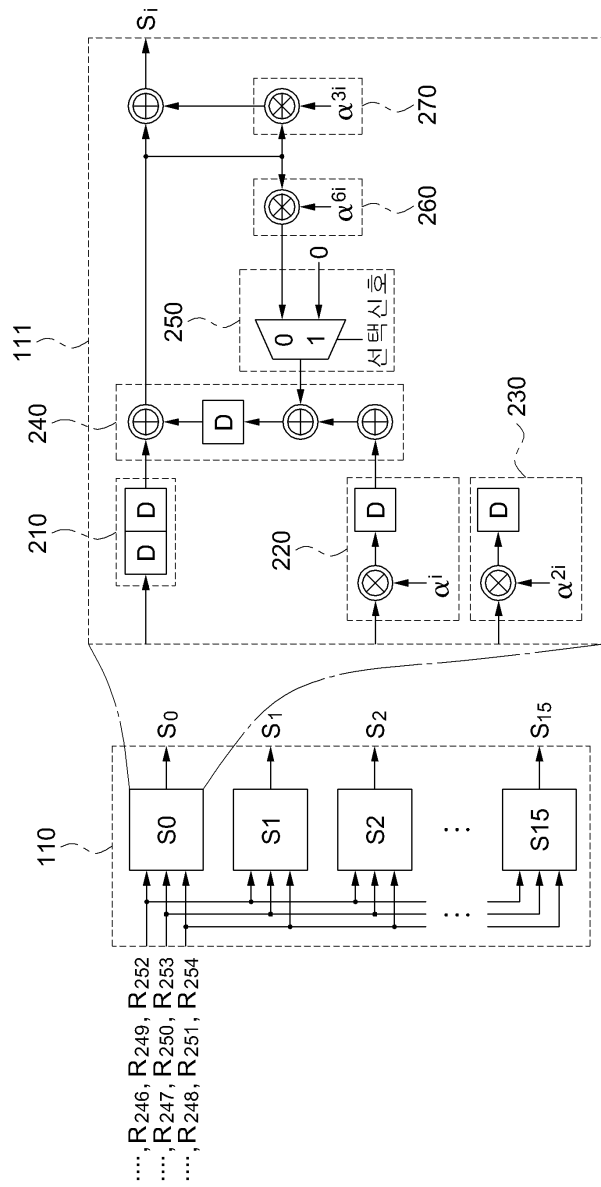
130: 오류 정정부

## 도면

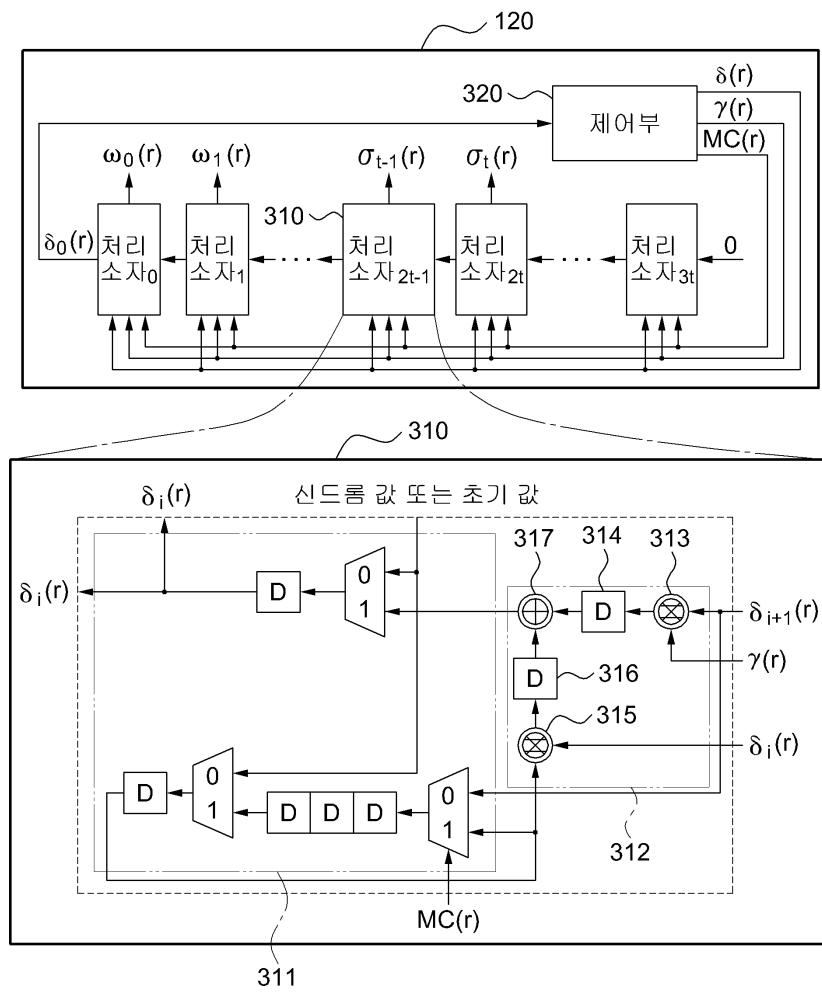
### 도면1



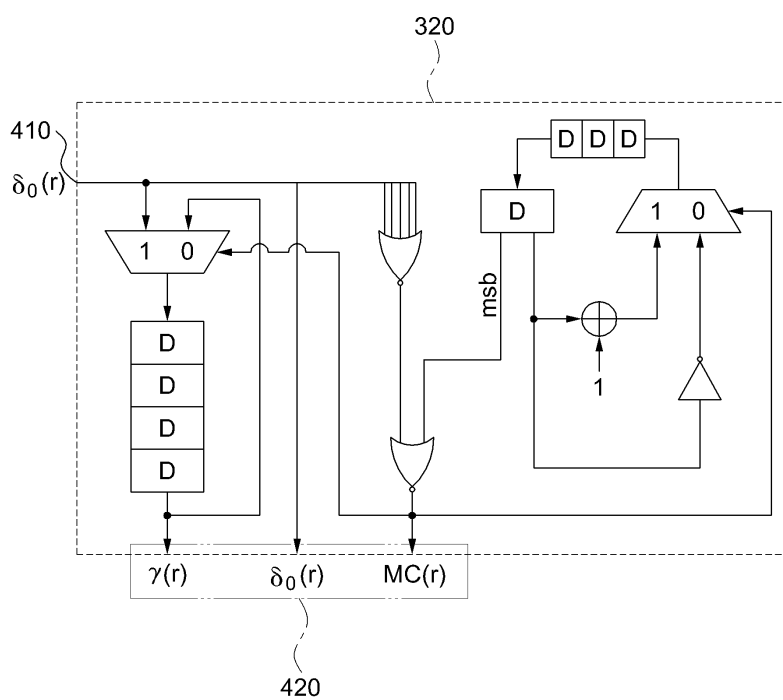
도면2



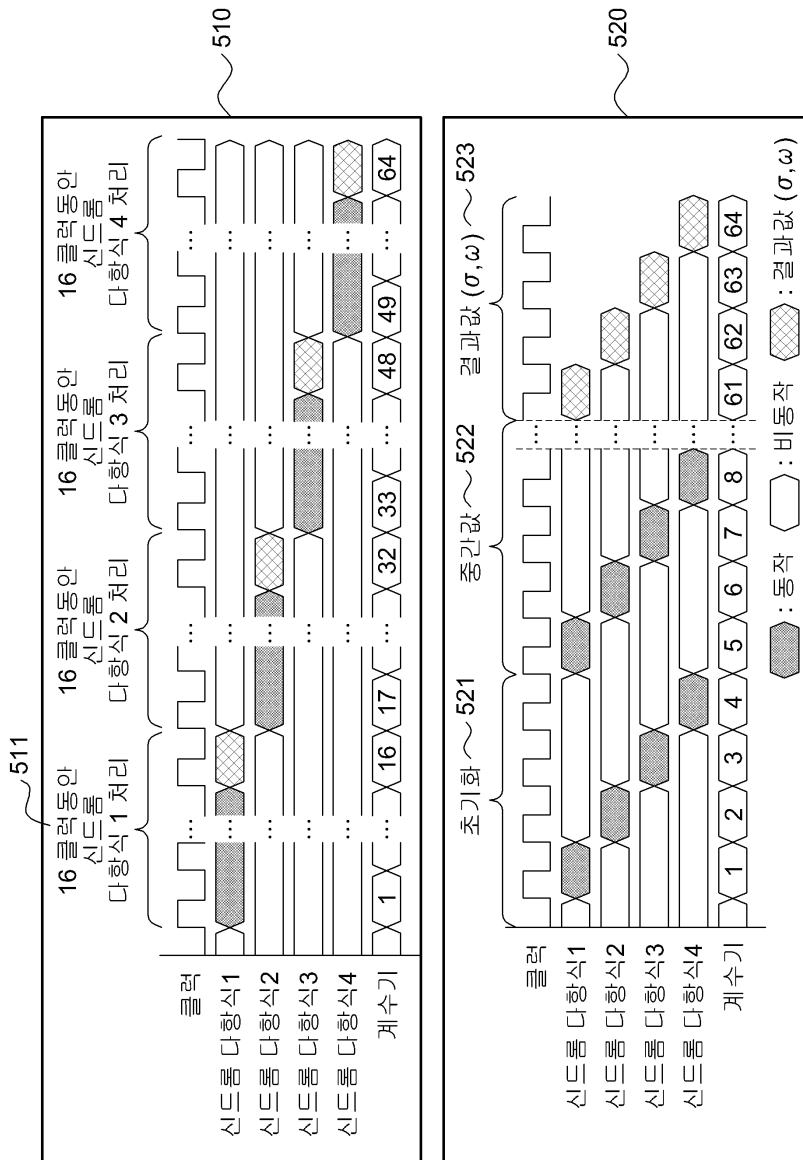
도면3



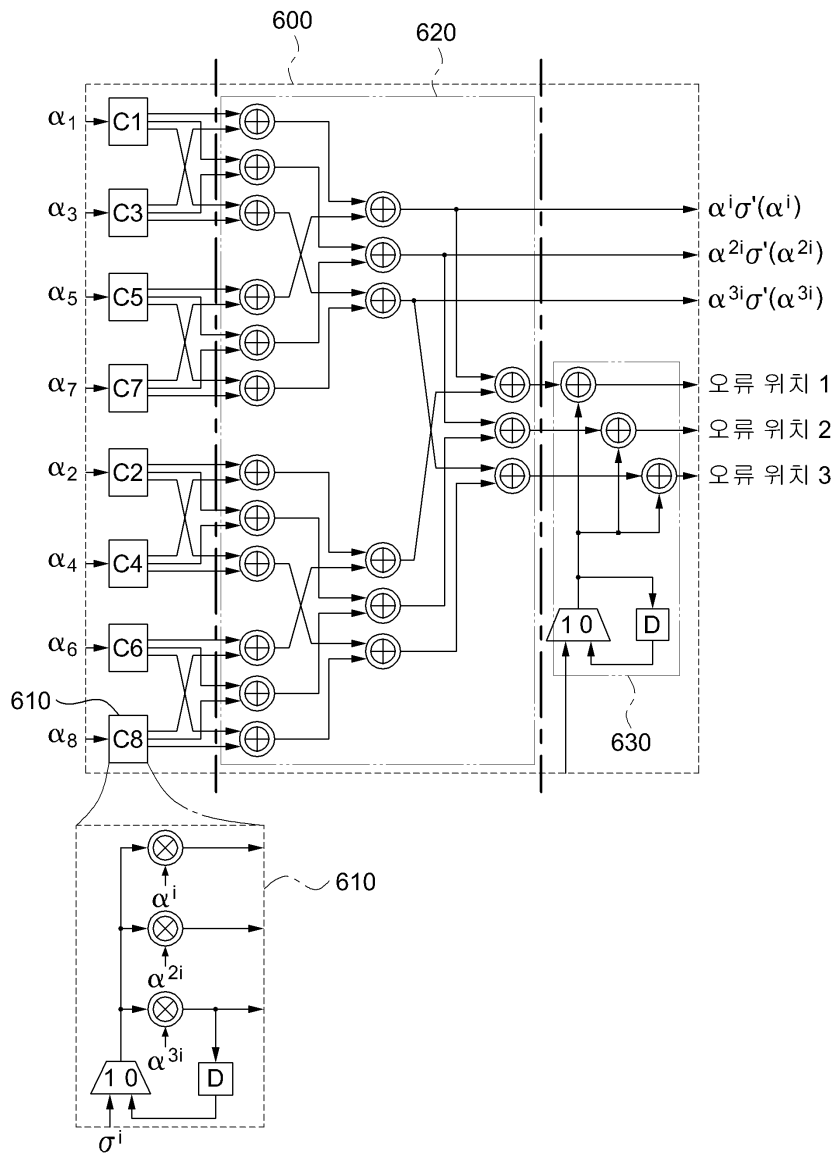
도면4



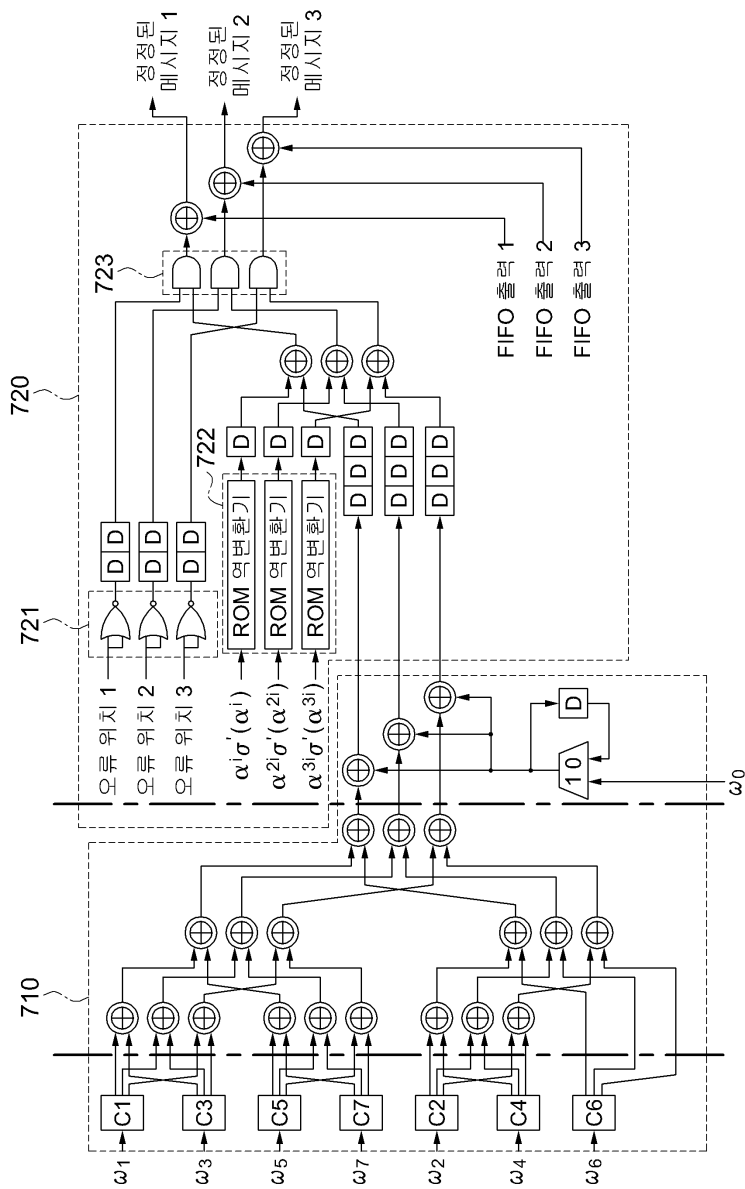
도면5



도면6



도면7



도면8

