

公告本

發明專利說明書

98年9月9日修正
補完

中文說明書替換頁(98年9月)9日

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：097125466

※ 申請日期：97.7.4

※IPC 分類：

H01L 23/525 (2006.01)

H01L 21/768 (2006.01)

一、發明名稱：(中文/英文)

低阻值貫穿晶圓通孔

LOW RESISTANCE THROUGH-WAFER VIA

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

瑞典商AAC微特公司

AAC MICROTEC AB

代表人：(中文/英文)

弗傑克 布魯恩

BRUHN, FREDRIK

住居所或營業所地址：(中文/英文)

瑞典歐普賽拉市S-751 83達格哈瑪斯喬維吉路54B號

DAG HAMMARSKJOLDS VAG 54B, S-751 83 UPPSALA, SWEDEN

國 籍：(中文/英文)

瑞典 SWEDEN

三、發明人：(共 1 人)

姓 名：(中文/英文)

彼得 尼爾森

NILSSON, PETER

國 籍：(中文/英文)

瑞典 SWEDEN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 瑞典；2007年07月05日；0701657-9
2. 瑞典；2007年09月12日；0702047-2
3. 瑞典；2007年10月26日；0702403-7

☐ 無主張專利法第二十七條第一項國際優先權：

- 1.
- 2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種晶圓(3)，其包括穿過該晶圓(3)的一貫穿晶圓通孔(7)，係藉由一貫穿晶圓貫通孔(9)及至少一第一導電塗層(25)形成。該貫穿晶圓貫通孔(9)除了一收縮(23)之外的一實質垂直側壁(11)提供一在該晶圓上佔據一小面積的可靠貫穿晶圓通孔(7)。該晶圓(3)較佳係由一半導體材料(如矽，或一玻璃陶瓷)製成。描述一種製造此一晶圓(3)的方法。

六、英文發明摘要：

The present invention provides a wafer (3) comprising a through-wafer via (7) through the wafer (3) formed by a through-wafer via hole (9) and at least a first conductive coating (25). A substantially vertical sidewall (11) of the through-wafer via hole (9) except for a constriction (23) provides a reliable through-wafer via (7) occupying a small area on the wafer. The wafer (3) is preferably made of a semiconductor material, such as silicon, or a glass ceramic. A method for manufacturing such a wafer (3) is described.

七、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

3	晶圓
4	晶圓的上側
5	晶圓的下側
7	貫穿晶圓通孔
9	貫穿晶圓貫通孔
10	開放通道
11	貫穿晶圓貫通孔9之側壁
13	第一部分
14	第二部分
15	第三部分
20	上傾斜側壁
21	下傾斜側壁
22	上傾斜側壁和下傾斜側壁的交叉處
23	收縮
25	第一導電塗層
27	絕緣層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於透過一用於電子裝置之晶圓之導電連接，如一矽晶圓或一玻璃晶圓。

【先前技術】

在微電子的領域中，積體電路裝置密度以高速率增加中。在1965的摩爾定律(Moore's law)中，推算出每晶片電晶體的數量將會每二年呈雙倍成長，且微電子的發展的確也大致符合此預測。然而，實行積體電路之進一步小型化的代價昂貴且更加複雜的電路需要I/O引線的一增加數量，其複雜化了該等裝置的接觸及封裝。因此，需求其他構件用於獲得更高的裝置密度。一新興替代方案係，藉由堆疊裝置於彼此之上而增加每單位面積的裝置密度。目前，大部分經堆疊之裝置係藉由線接合而互連，其係一需要在裝置上擁有大量空間且具有多餘的長連接引線之複雜程序。再者，線接合通常會造成一相當高的阻值且不可靠。

微電機系統(MEMS)是微電子的副產品，其中可改善微電子系統或技術的功能性。在MEMS中，積體電路係以，例如機械、化學、生物功能整合，或基於處理微電機系統(如加速器、感測器或生物晶片)之微電子的廣泛知識而製造。許多此種微電機系統擴展至所有的三維中，以獲得所需的機能性。

由於在微電子中，MEMS結構主要係使用如基板之矽晶

圓而製造，但是已變得更加普遍使用例如其他半導體材料、聚合物、陶瓷及玻璃。隨著製造3D微電子及MEMS結構的興趣增加，在該3D結構之基板或晶圓的前側及背側之間製造電互連的興趣也隨之增加，即所謂的"貫穿晶圓通孔"。使用上述的貫穿晶圓通孔，可避免不可靠及代價昂貴的線接合，且可增加互連密度。該等貫穿晶圓通孔應盡可能的在該等晶圓上佔有小面積，且電互連的阻值應為低。另外，該等貫穿晶圓通孔的處理應與此領域中習知的處理技術相容。

已揭示不同的貫穿晶圓通孔設計，且用於製造該通孔的策略可分成兩類。在第一類中，該等貫穿晶圓通孔係由晶圓材料形成，例如一摻雜之半導體通孔。在第二類中，一貫穿晶圓貫通孔係使用例如雷射剝離、鑽孔、濕式蝕刻或乾式蝕刻形成在晶圓中。之後，在該貫穿晶圓貫通孔的至少側壁上沈積一導電材料，例如使用一物理汽相沈積(PVD)程序。為了增加導電貫穿晶圓通孔的截面積(為了減少電阻值)，一金屬或金屬合金一般係電鍍在該導電塗層上。與第二類的貫穿晶圓通孔相比，第一類的貫穿晶圓通孔通常具有一相對較高的阻值，因為該金屬或金屬合金有較高導電率之故。

用於形成該貫通孔的技術主要係依據晶圓材料。然而，一般而言，該等貫通孔延伸穿過具有垂直側壁的晶圓。使用一視線(LOS)程序，如PVD，沈積一導電材料在該等側壁上係一具挑戰性的操作，尤其係對於具有一高縱橫比的

孔，因為貫通孔的邊緣有一遮蔽效應。

矽中習知的低阻值貫穿晶圓通孔典型上係藉由使用濕式蝕刻處理或乾式蝕刻處理而形成，以形成該貫通孔。一般係使用非等向性蝕刻程序，如KOH蝕刻，其係一濕式蝕刻程序；或深反應性離子蝕刻(DRIE)，其係一乾式蝕刻程序。使用非等向性濕式蝕刻，貫通孔的幾何形狀會被晶圓材料的晶面限制，且因此該等貫通孔會佔據一相對較大的面積。可藉由蝕刻該晶圓的兩側而稍微減少該面積，其中經蝕刻的凹處碰觸介於其間的側壁。然而，當經蝕刻的凹處碰觸該貫通孔的開口時，會形成其他晶面。接著蝕刻這些晶面，且可產生在該等貫通孔的中間部分中的面積，其和貫通孔的開口不呈視線，即此等面積係被遮蔽的且無法使用一物理汽相沈積程序塗布。物理汽相沈積係一視線程序，且僅有在蒸鍍/濺鍍源之視線中的表面會被塗布。由於一貫通孔具有垂直壁，所以DRIE係有益的，且因此可能佔據一較小面積。這些具有垂直貫通孔的貫通孔不會遭受到上述的遮蔽效應，但是仍會有一由於該等垂直壁的遮蔽效應，尤其係對於窄及深的貫通孔。

相應地，習知的低阻值貫穿晶圓通孔會形成在遭受一由於導電材料之貫通孔的不完整覆蓋的貫穿晶圓貫通孔中。此限制住DRIE蝕刻貫穿晶圓通孔的可靠性，特別係對於形成在厚基板中的窄通孔。

【發明內容】

先前技術對於能夠提供可靠、低阻值的貫穿晶圓通孔具

有缺點，特別係對於由於形成具有一適當幾何形狀之貫穿晶圓貫通孔的缺點。

本發明的目的係克服先前技術之缺點。此係藉由該晶圓及如申請專利範圍中的獨立請求項中所定義的方法而達成。

在一第一態樣中，本發明提供一具有一上側及一下側之晶圓，且包括至少一貫穿晶圓貫通孔，其具有一側壁。該貫穿晶圓貫通孔的側壁塗布有一第一導電塗層，其形成一自該上側至該下側的貫穿晶圓通孔。另外，該側壁包括至少一第一部分，具有一實質垂直側壁，及一第二部分，其在該貫穿晶圓貫通孔內形成一收縮。該收縮包括朝向該上側之開口中擴出的至少一上傾斜側壁。

在本發明之一具體實施例中，一貫穿晶圓貫通孔包括一第三部分，具有一實質垂直側壁，其定位的方式使得第二部分係位在該第一及該第三部分之間。該收縮可進一步包括朝該下側擴出的一下傾斜側壁。

在一具體實施例中，一晶圓包括複數個貫穿晶圓通孔，其中封閉至少一貫穿晶圓通孔及敞開至少一貫穿晶圓通孔。本發明的另外具體實施例包括一電子裝置，其包括全數皆遭封閉的複數個貫穿晶圓通孔。本發明的另一具體實施例包括一晶圓，其包括全數皆敞開的複數個貫穿晶圓通孔。

本發明的一具體實施例包括一電子裝置，其包括一具有根據本發明之貫穿晶圓通孔的晶圓。

在一第二態樣中，本發明提供一種用於根據本發明製造一晶圓的方法。該方法包括下列步驟：在該晶圓中界定至少一第一傾斜壁，該第一傾斜壁決定該收縮之上傾斜壁的形狀；藉由非等向性蝕刻形成該貫穿晶圓貫通孔，其中該收縮之上傾斜側壁複製該第一傾斜側壁；及沈積第一導電塗層於該貫穿晶圓貫通孔之側壁上。

在根據本發明之方法的一具體實施例中，該界定步驟包括以下步驟：藉由蝕刻，在該晶圓之上側上形成具有一第一傾斜壁之至少一第一凹處，及視需要藉由蝕刻，在該晶圓之下側上形成具有一第二傾斜側壁之至少一第二凹處，該第二傾斜壁決定該收縮朝該下側擴出之一下傾斜壁的形狀。

歸功於本發明，其使使用與微電子、MEMS及奈米技術之領域中習知處理技術相容的程序來提供一高良率、可靠的貫穿晶圓通孔成為可能。另外，該方法簡單且需求最小數量的掩膜步驟。

歸功於本發明，其使在預製造的電子裝置中提供貫穿晶圓通孔成為可能，該等電子裝置包括，例如積體組件如微電子組件、積體電路、MEMS結構及奈米結構，其整合在晶圓表面，例如CMOS電路，或配置在晶圓表面，例如記憶體組件、處理器、FPGA、ASIC、致動器、感測器、微結構或奈米結構。

本發明的進一步優點係提供一電鍍過的貫穿晶圓通孔，其可經選擇成敞開或關閉，即密封地封閉貫穿晶圓通孔係

可能的。

另一進一步優點係，該貫穿晶圓通孔的收縮提供該導電材料的一改善黏結性，且付予一機械支撐至該導電材料，提昇該裝置的穩健性及可靠性。

另外，該收縮造成一改善的熱性質。該導電材料對該貫穿晶圓通孔之側壁的經改善黏結性改善了橫向熱傳導率，且因此提昇該貫穿晶圓通孔的橫向冷卻。另外，使用流過一敞開的貫穿晶圓通孔之冷卻液體的液體冷卻會由於該收縮處之增加的流速而提昇。

本發明的具體實施例係定義在隨附的申請專利範圍中。當結合附圖及申請專利範圍考量本發明之下列詳細說明時，本發明之其他目的、優點及新穎特徵將會變得顯而易見。

【實施方式】

針對本說明書之用途，名詞"電子裝置"指微電子裝置、電子MEMS裝置、電子奈米技術裝置及單一電子裝置。一微電子裝置可包括微電子組件，諸如整合在晶圓表面中或配置在該晶圓之表面上的積體電路。一MEMS裝置可由例如一半導體晶圓的微機械加工或是在一晶圓上表面微機械加工形成。該單一電子裝置可為一基板，用作電子組件之一載體或在其他電子裝置之間的一中間層。名詞"晶圓"源自如積體電路之電子裝置及大部分地MEMS結構亦由矽晶圓製造的事實。然而，名詞"晶圓"不受限於矽晶圓或為矽晶圓之典型形狀的電路基板，其可指適用於使用在電子裝

置內的所有基板。

圖式中之晶圓的尺寸並未按照比例繪製。一般而言，為了清晰說明，過於誇張放大圖式中的橫向尺寸。

本發明的基本原理係一形狀界定步驟及一隨後非等向性蝕刻程序的一結合，以在一貫穿晶圓貫通孔中形成一收縮，其實現電子裝置之更可靠的製造及操作，該等電子裝置包括具有根據本發明之貫穿晶圓通孔的晶圓。

圖1示意性說明根據本發明之一晶圓的一具體實施例。晶圓3具有一上側4及一下側5，且包括至少一貫穿晶圓貫通孔9，其具有一側壁11。該貫穿晶圓貫通孔9之側壁11塗布有一第一導電塗層25，其形成一自該上側4至該下側5的貫穿晶圓通孔7。另外，該貫穿晶圓貫通孔9包括一具有一實質垂直側壁16之第一部分13及一形成一收縮23之第二部分14，該收縮23在該貫穿晶圓貫通孔9內凸出。如圖1中所觀察到，該收縮23包括一朝該上側4往上擴出的上傾斜側壁20及一朝下側5往下擴出的下傾斜側壁21。

圖2示意性說明根據本發明之一晶圓3的一具體實施例。晶圓3具有一上側4及一下側5，且包括至少一貫穿晶圓貫通孔9，其具有一塗布有一第一導電塗層25的側壁11，該第一導電塗層25形成一自該上側4至該下側5的貫穿晶圓通孔7。另外，該貫穿晶圓貫通孔9包括一具有一實質垂直側壁16之第一部分13；一形成一收縮23之第二部分14，該收縮23在該貫穿晶圓貫通孔9內凸出；及一具有一實質垂直側壁17之第三部分15。如圖2中所觀察到，該收縮23包括

一朝該上側擴出的上傾斜側壁20及一朝下側5擴出的下傾斜側壁21。

在本發明之一具體實施例中，上述參考圖1及2之具體實施例的該晶圓3係由一半導體材料製成。較佳係，該半導體材料係單晶矽。一替代方案係所謂的"絕緣物上矽(SOI)晶圓"，其包括，例如一介於一主體層(bulk layer)及一裝置層之間的氧化矽層。其他半導體材料係為可行的，如SiC及GaAs，然而，本發明不限於此。對於半導體材料，圖1及2所說明的傾斜側壁(20、21)係為傾斜的平面，典型上依循該半導體晶圓的晶面。

本發明不受限於矽或其他半導體材料。在本發明的另一具體實施例中，該晶圓3係由如一光敏玻璃或玻璃陶瓷的一光敏原料，或一光敏聚合物製成。光敏玻璃或玻璃陶瓷，例如Schott的Foturan®，係藉由曝露該晶圓欲以一特定波長的光移除的一部分、熱處理該晶圓及接著蝕刻該欲移除的部分所構造。最終材料結合了玻璃的唯一性(透明度、硬度、化學及熱阻值等)，和獲得具緊密公差及高縱橫比之良好結構的可能性。若使用一聚焦光束，如一雷射束，則可達成三維結構。光敏聚合物可以類似於玻璃陶瓷的方式加以處理。欲移除的部分受到一特定波長的光的保護，而該晶圓的其餘部分係曝露的。藉此，聚合化經曝露的部分且使用一溶劑溶解該欲移除的部分。

在本發明的另一具體實施例中，該晶圓3係由一印刷電路板(PCB)、一撓性印刷電路板(FPC)或類似者製成。在這

些情況中，根據本發明之貫穿晶圓貫通孔9典型上係藉由鑽孔、雷射剝離、乾式蝕刻或衝壓形成。

圖3示意性說明一晶圓包括一貫穿晶圓通孔的一具體實施例，其係圖2所說明之該貫穿晶圓通孔的一變化例。具有一朝上側擴出之上傾斜側壁20及一朝下側擴出之下傾斜側壁21的收縮23在該等傾斜側壁20、21的交叉處22平滑地變圓。

當塗布該側壁11時，根據本發明之貫穿晶圓貫通孔9的設計係有利的。在一具有延伸穿過整個晶圓之垂直側壁的習知貫通孔中，當一視線程序，如物理汽相沈積係用於沈積該側壁塗層時，在該貫通孔之中間的覆蓋範圍可能是不足的。該收縮23的該等傾斜壁20、21分別在置於上側4及下側5前面的沈積源的視線範圍內。因此，該等傾斜壁20、21以一可靠方式塗布。另外，如圖3示意說明的平滑圓形收縮23避免在穿過該貫穿晶圓通孔7的導電路徑中變得尖銳。因此，與先前技術的通孔相比，根據本發明之貫穿晶圓通孔提供電及機械優點，其可由處理過程中提昇的產量及提昇的電性質例證，尤其係在RF應用中。

作為範例，圖4a-f示意性說明本發明之替代性具體實施例，然而本發明並不限於此些範例。一般而言係以該收縮23之上傾斜壁20及下傾斜壁21之間的尖點交叉處22說明此等替代具體實施例。然而，尖點交叉處並為必要性且該交叉處之圓形化可為任何程度。

參考圖4a，本發明之一具體實施例的一晶圓3具有一上

側4及一下側5，且包括至少一貫穿晶圓貫通孔9，其具有一側壁11。該貫穿晶圓貫通孔9之側壁11塗布有一第一導電塗層25，其形成一自該上側4至該下側5的貫穿晶圓通孔7。另外，該貫穿晶圓貫通孔9包括一具有一實質垂直側壁16之第一部分13及一形成一收縮23之第二部分14，該收縮23在鄰接該上側4之該貫穿晶圓貫通孔9內凸出。該收縮23包括一朝該上側擴出的上傾斜側壁20，及一呈水平或與該下側以一小角度(小於 10° 或小於 5°)傾斜的下傾斜側壁21。

參考圖4b，本發明之一具體實施例包括一貫穿晶圓貫通孔9，其中該第一部分13係鄰接該上側4及該收縮23係鄰接該下側5。該收縮23包括一朝該上側擴出的上傾斜側壁20及一呈水平或與該下側以一小角度(小於 10° 或小於 5°)傾斜的下側壁21。

參考圖4c，本發明之一具體實施例包括一貫穿晶圓貫通孔9，其中該第二部分14包括置於該貫穿晶圓貫通孔9之中間的收縮23，該貫穿晶圓貫通孔9係位在具有實質垂直側壁16、17之第一部分13及第三部分15之間。該收縮23包括一朝該上側擴出的上傾斜側壁20及一本質上呈水平的下傾斜側壁21。雖然圖1-3說明之具體實施例中，具有垂直側壁的該等部分13、14、15在上側4及下側5具有相同的尺寸，但是該等尺寸可以不同。圖4d說明其中該第一部分13及該第三部分15具有不同寬度的具體實施例，產生一非對稱收縮23，其中該下傾斜側壁21具有一大於該上傾斜側壁20的表面。另外該等垂直側壁16、17可稍微呈斜向或呈錐

形。然而，該側壁的任何傾度增加該貫通孔的佔用面積 (footprint)。可藉由使用用於形成該貫穿晶圓貫通孔的不同方法達成該傾度。例如，一乾式蝕刻程序可提供在一貫穿晶圓貫通孔中的傾斜或錐形側壁。

圖 4e-f 說明本發明之具體實施例，其中該上傾斜側壁 20 及該下傾斜側壁 21 係凹形彎曲。圖 4e 說明一具體實施例，其中該收縮 23 之該上傾斜側壁 20 及該下傾斜側壁 21 之間的交叉處 22 形成一點。在類似於圖 3 之圓形收縮 23 的描述中，圖 4f 說明的具體實施例具有一位在該收縮 23 之該上傾斜側壁 20 及該下傾斜側壁 21 之間的圓形，即凹形彎曲交叉處 22。

圖 5 示意性說明本發明之一具體實施例，其中該晶圓 3 之上側 4 及下側 5 的至少一部分和該側壁 11 係由一連續絕緣層 27 覆蓋，以提供該第一導電塗層 25 及該晶圓 3 之間的電絕緣。例如，一可由矽製成的半導體晶圓 3 可處理成使得其變得導電，因為其對於電絕緣該通孔 7 為必要性的，以避免裝置 1 之不同組件間的串擾及短路。在此具體實施例中，在該貫穿晶圓貫通孔 9 的中間留下一開放通道 10。

圖 6 示意性說明本發明的另一具體實施例，其中該貫穿晶圓通孔 9 係如此的窄以致於該第一導電塗層 25 填補該收縮 23 內的開口，並因此密封該貫穿晶圓貫通孔。

較佳地係，根據本發明之貫穿晶圓貫通孔 9 的橫向大小係在 50-500 μm 的範圍內，更佳地係，在 100-200 μm 的範圍內。一貫穿晶圓貫通孔的實際大小係取決於晶圓 3 的厚

度、該晶圓材料及處理方法。一100-150 μm 寬的通孔典型上係用於一300 μm 厚的矽晶圓，而一150-200 μm 寬的通孔典型上係用於一500 μm 厚的矽晶圓，即根據本發明之一矽晶圓之一貫穿晶圓貫通孔9的寬度較佳係該矽晶圓3之厚度的1/3，最多是1/2。

圖7a示意性說明根據本發明之一矽晶圓3的一範例。該矽晶圓3具有一上側4及一下側5，且包括至少一貫穿晶圓貫通孔9，其具有一側壁11。該晶圓3之該上側4及該下側5之至少一部分和該側壁11可由一連續絕緣層27覆蓋，其由氧化矽製成。該貫穿晶圓貫通孔9之側壁11較佳係塗布有一由例如Ti/Cu製成的第一導電塗層25，該第一導電塗層25形成一自該上側4至該下側5的貫穿晶圓通孔7。另外，該貫穿晶圓貫通孔9包括一具有一實質垂直側壁16之第一部分13；一形成一收縮23之第二部分14，該收縮23在該貫穿晶圓貫通孔9內凸出；及一具有一實質垂直側壁17之第三部分15。如圖7a中所觀察到，該收縮23包括一朝該上側擴出的上傾斜側壁20及一朝下側擴出的下傾斜側壁21。另外，該收縮23，即是具有一朝該上側擴出之上傾斜側壁20及一朝下側擴出之下傾斜側壁21的收縮23在該等傾斜側壁20、21之交叉處22平滑地變圓。一例如由Cu製成的第二導電塗層26覆蓋該第一導電塗層25。在此具體實施例中，該第二塗層26的厚度係厚於該第一塗層，但此非為絕對必要的，而且貫穿晶圓貫通孔9保持開放。

圖7b示意性說明本發明的另一具體實施例，其中該第一

導電塗層及該第二導電塗層26的厚度厚的足以靠近該貫穿晶圓通孔9。

圖7c示意性說明又另一具體實施例。第二導電塗層26，例如係電鍍在該第一導電塗層上，填充該貫穿晶圓貫通孔9及凸起在該晶圓3之至少該上側4上。

圖7d說明本發明之貫穿晶圓通孔7的一具體實施例，其已經根據例如圖7c填充且接著使用例如研磨、拋光隨後平坦化。

參考圖7e-f，根據本發明之一晶圓3的一具體實施例包括一第一導電塗層25及/或第二導電塗層26，其僅覆蓋該貫穿晶圓貫通孔9之側壁11的一部分。此可藉由例如在該等導電塗層25、26沈積之前圖案化一沈積在該側壁11上的光阻層而達成。圖7e示意性說明一包括一收縮23之低阻值貫穿晶圓通孔的一貫穿晶圓貫通孔9。一第一導電塗層25覆蓋該收縮之上傾斜壁20及下傾斜壁21的至少一部分，及一第二導電塗層26覆蓋該第一導電塗層25且形成一插塞，其封閉該貫穿晶圓貫通孔9並在該晶圓3之上側4及下側5之間提供一電連接。此配置可例如首先藉由沈積第一導電塗層25於該側壁11上及接著沈積一覆蓋該第一導電塗層25的光阻層、圖案化該光阻層以曝露在上傾斜壁20及下傾斜壁21之該部分中的第一導電塗層25，及沈積該第二導電塗層於該第一導電塗層25之經曝露部分上而獲得。圖7f示意性說明根據本發明之一電子裝置的一具體實施例，其中該收縮23係定位成鄰接該晶圓3之上側4。為了接觸一附接至，或

整合在該晶圓3之該上側4中的組件52，該第一導電塗層25及/或該第二導電塗層26透過一由該收縮23形成的窄通道延伸至該組件。該窄通道可例如藉由首先從該下側5形成該貫穿晶圓貫通孔9的較寬部分、沈積一光阻層於該貫穿晶圓貫通孔之側壁11上、圖案化該光阻層以敞開該光阻層中的一孔，及藉由蝕刻形成該窄通道而形成。沈積該第一導電塗層25及/或該第二導電塗層26以在該上側4上的組件至該下側5形成一電連接。組件之此種接觸優於先前技術的技術，其中防止了電鍍一平直貫通孔會造成孔隙的負面影響。

上述具體實施例之描述中所給定的晶圓材料及導電塗層僅作為範例。熟知本技術者人士應理解，其他金屬或金屬合金，如Cu、Ni、Au、Al等可用作導電塗層，及替代性絕緣層27材料係如BCB、聚對二甲苯基、 Si_3N_4 等的材料。然而，該等導電及絕緣材料並未受限於此等材料，且不同材料之組合亦為可能。另外，存在於貫穿晶圓通孔7中的第一導電塗層25可用作一用於一電鍍之第二導電塗層26的晶種層。如熟知本技術者人士所理解，許多晶種層材料亦為可能，例如為Ti/Cu、Ti/Ni、Al等。

從圖7b中清楚得知，該收縮23的作用為該貫穿晶圓通孔7之導電塗層的錨定。藉此，與例如一具有延伸穿過整個通孔之垂直側壁的通孔相比，可提昇該裝置之操作及處理期間的可靠性。於後者中，處理或使用期間引發的機械力可造成該導電塗層被拉出或推出該通孔，其係一問題。

在本發明之一具體實施例中，該晶圓3包括複數個貫穿晶圓貫通孔，其中至少一貫穿晶圓貫通孔9係封閉的及至少一貫穿晶圓貫通孔9係敞開的。在許多MEMS系統中需求此特徵，其中用於氣體傳輸及電連接兩者的通孔在相同晶圓中為必要的。

圖8說明本發明之一具體實施例，其中該晶圓3係一SOI晶圓，其具有一鄰接該晶圓3之上側4的裝置層38及一在該裝置層38下的絕緣層39。一貫穿晶圓通孔7自該晶圓之該上側4延伸至該下側5。該裝置層38可用以形成一電子裝置，其例如包括MEMS結構或微電子組件。

參考圖9a，本發明的一具體實施例包括積體組件50，例如CMOS電路，其在該晶圓3之上側4之至少頂表面層中。根據本發明之包括一絕緣層27及至少一第一導電塗層25的貫穿晶圓通孔7自該晶圓3之該上側4延伸至該下側5。一鈍化層53較佳係覆蓋該等積體組件50及該晶圓表面。該貫穿晶圓通孔7可電連接至該積體組件50。該鈍化層非為必要的，但還是通常需求一些鈍化層。根據本發明之一電子裝置可從一包括預製積體組件50的習知電子裝置開始製造，如下所述。接著，已存在於該電子裝置上的一鈍化層53可用以在隨後處理中保護該等積體組件50。該鈍化層亦可在開始該處理之前加入，或在完成該電子裝置之前加入。

參考圖9b，根據本發明之晶圓3的一具體實施例包括整合在該晶圓3表面中的積體組件50，如積體電路，以及包括配置在該晶圓3之表面上的組件，如鈍化組件、積體微

電子組件、MEMS結構、奈米結構、感測器、致動器及類似者52。一包括一絕緣層27及至少一第一導電塗層25及視需要一第二導電塗層26的貫穿晶圓通孔7自該晶圓3之該上側4延伸至該下側5。如圖9b所說明，一鈍化層53覆蓋該等積體組件50及該晶圓表面。該貫穿晶圓通孔7可電連接至該積體組件50。

本發明實現了在晶圓3中形成貫穿晶圓通孔7，該晶圓3包括預製積體組件50，如微電子組件、MEMS結構、奈米結構、感測器、致動器或類似者。僅作為範例，在製作該貫穿晶圓通孔7之前，可製造或安裝配置在該晶圓3之表面上的該等積體電路或微電子組件，如記憶體電路、處理器、FPGA及ASIC。利用習知技術，無法輕易製成可靠的貫穿晶圓通孔7，至少不是在具有厚晶圓3的裝置中。為了實現使用習知技術製成可靠的通孔，該等通孔必須製作成具有大直徑，或窄通孔必須在一厚晶圓中處理成一有限深度，隨後薄化該晶圓以曝露該等通孔。以一先通孔蝕刻(via-first)方法，產生裂縫成形(crack initiation)，降低製造此一裝置期間的總產量。

圖10說明本發明包括一玻璃陶瓷晶圓3的一具體實施例。該玻璃陶瓷較佳係Foturan®或一類似玻璃陶瓷材料。由於此一材料和矽的處理不同，該貫穿晶圓貫通孔9的其他幾何形成亦為可能。該貫穿晶圓貫通孔9之第一部分13及第二部分14係稍呈凹形，及上傾斜側壁20及下傾斜側壁21係彎曲的。另外，在該上傾斜側壁20及該下傾斜側壁21

之間的交叉處22係平滑地變圓。使用一玻璃陶瓷晶圓，該交叉處22之最大半徑可大於使用一矽晶圓時。

圖11a示意性說明本發明包括至少兩堆疊晶圓3的一具體實施例。每一晶圓3具有一上側4及一下側5和至少一貫穿晶圓貫通孔9。下方晶圓3a的下側係鄰接且面向於上方晶圓3b之下側。該等晶圓3a、3b之上側4及下側5的至少一部分和該貫穿晶圓貫通孔9之側壁11係由一連續的絕緣層27覆蓋。該等貫穿晶圓貫通孔9之側壁11係塗布有一第一導電塗層25，如一金屬或金屬合金膜，藉由例如物理汽相沈積實現；以及視需要塗布有一第二導電塗層26，如一經電鍍的金屬或金屬合金層，其形成一自該上側4至該下側5的貫穿晶圓通孔7。另外，該等貫穿晶圓貫通孔9包括一具有一實質垂直側壁16的第一部分13；一形成一收縮23的第二部分14，其朝貫穿晶圓貫通孔9之中心線凸出；以及一具有一側壁17的第三部分15，其本質上係垂直的但不限於此。在該第一晶圓3a中的至少一貫穿晶圓通孔7係與在該第二晶圓3b中的一貫穿晶圓通孔7對準，且藉由一接合處61彼此連接。如圖11a所說明，該接合處61係附接至該等貫穿晶圓通孔7的第二導電層26，並延伸入該貫穿晶圓貫通孔9中。此給予了一橫向及垂直皆錨定的可靠連接。該貫穿晶圓通孔7亦可為敞開或完全填充的。如圖11b所說明，以一敞開的貫穿晶圓通孔7，允許該接合處61延伸超過該貫穿晶圓通孔7的收縮23。因此，改善該接合處61的垂直錨定。該接合處61可藉由軟焊(soldering)、焊接

(welding)、電鍍、膠合(例如以導電膠)或類似者形成。

圖 12a 示意性說明本發明的一具體實施例，其包括根據本發明之貫穿晶圓通孔 7 的一陣列。至少一第一群 47 連續的貫穿晶圓通孔 7 沿著一線 46 延伸。沿著該線 46 而分配該等貫穿晶圓通孔 7 以形成該陣列。每一連續的貫穿晶圓通孔 7 在一垂直於該線 46 的方向中以一成步階的方式相對於先前的貫穿晶圓通孔 7 位移。

圖 12b 示意性說明本發明包括貫穿晶圓通孔 7 之一陣列的一具體實施例。至少一第一群 47 及一第二群 48 連續的貫穿晶圓通孔 7 係循序配置且沿著一線 46 延伸以形成該陣列。在群 7、8 中之每一連續的貫穿晶圓通孔 7 在一垂直於該線 46 的方向中以一成步階的方式相對於先前的貫穿晶圓通孔 7 位移。較佳地係，在第一群 47 之最後一個貫穿晶圓通孔 7 和第二群 48 之第一個貫穿晶圓通孔 7 間的距離係大於在群 47、48 中兩個連續的貫穿晶圓通孔 7 間的垂直距離。

上述參考圖 12a 及 12b 所述之具體實施例提昇了一具有貫穿晶圓通孔 7 之一陣列的電子裝置的可靠性。該等具體實施例不僅僅有利於根據本發明之貫穿晶圓通孔，亦有利於其他通孔。一般而言，貫穿晶圓通孔 7 係置於一平直列中。若出現一由於例如在一個貫穿晶圓通孔處之施加負載造成的裂縫形成，則該裂縫將有可能會從一個貫穿晶圓通孔 7 傳遞到另一個。特定言之，若使用一單晶晶圓(如一矽晶圓)，且該等貫穿晶圓通孔 7 係置於平行該晶圓之任何晶面的一平直列上，則很有可能會發生上述局面。為了最小

化此問題，貫穿晶圓通孔7之一陣列可在不沿著一晶面之位置的另一方向中導向。然而，如熟知本技術者人士應了解，時常需要或至少有益地係將該等貫穿晶圓通孔7實質沿著一晶面置放。藉由如上述參考圖12a及12b置放該等貫穿晶圓通孔7，可阻止裂縫傳遞，因為一裂縫必需要在一方向中傳遞而不是沿著該等晶面，其需求更多更多的能量。另外，圖12b的配置減少了一裂縫沿著整個陣列傳遞的風險，因為在第一群47之最後一個貫穿晶圓通孔7和第二群48之第一個貫穿晶圓通孔7之間有一長距離。

參考圖13a，本發明之一具體實施例係一具有一上側4及一下側5的晶圓3，其包括從該上側4延伸至該下側的至少一貫穿晶圓貫通孔9。作為範例說明，該貫穿晶圓貫通孔9包括一具有一實質垂直側壁16的第一部分13；一形成一收縮23的第二部分14，該收縮23在該貫穿晶圓貫通孔9內凸出；以及一具有一實質垂直側壁17的第三部分15。該收縮23包括一朝該上側擴出的上傾斜側壁20及一朝該下側擴出的下傾斜側壁21。可藉由一通過該貫穿晶圓貫通孔9之冷卻媒介60之流動的方式調適該晶圓、包括該晶圓的一電子裝置或該晶圓的至少一部分至冷卻。

參考圖13b，本發明之一具體實施例係一具有一上側4及一下側5的晶圓3，其包括至少一貫穿晶圓貫通孔9，該貫穿晶圓貫通孔9包括根據本發明的一收縮23。該貫穿晶圓貫通孔9的側壁11係塗布有至少一第一導電塗層25，以形成一自該上側4至該下側5的貫穿晶圓通孔7。藉由範例說

明，該貫穿晶圓貫通孔9包括一具有一實質垂直側壁16之第一部分13；一形成該收縮23之第二部分14，該收縮23朝該貫穿晶圓貫通孔9的中心線凸出；及一具有一實質垂直側壁17的第三部分15。該收縮23包括一朝該上側擴出的上傾斜側壁20及一朝該下側擴出的下傾斜側壁21。可藉由一在該貫穿晶圓貫通孔9中的冷卻媒介60的方式調適該晶圓、包括該晶圓的一電子裝置或該晶圓的至少一部分至冷卻。較佳地係，該冷卻媒介60流過該貫穿晶圓貫通孔9。

電子裝置在操作期間通常係高溫的或處於暖機狀態。特定言之，這是針對於高頻率組件，例如射頻(RF)組件的情況。整合在該晶圓中、整合在該晶圓之表面上，或安裝在該晶圓之表面上的電子組件產生欲被導離的熱。而且，一貫穿晶圓通孔可產生一實質熱量，尤其係當該貫穿晶圓通孔傳導高頻率信號時。電子裝置的性能可藉由冷卻該裝置而改善。通常，一電子裝置的晶圓3係用作一散熱器。側壁11處的熱傳導性質對於從該晶圓3導熱至該貫穿晶圓通道(反之亦然)的能力而言係重要的。根據本發明的一貫穿晶圓通孔7提昇了側壁處的熱傳導性質，因為第一導電層25及晶圓3之間的改善接觸。該改善接觸係由於該收縮23之斜表面之有益沈積條件的結果。

一晶圓或一包括一貫穿晶圓貫通孔9之電子裝置的冷卻可藉由使一冷卻媒介流過該貫穿晶圓貫通孔9而改善。該冷卻媒介接著吸收熱，並將熱傳走。從該晶圓3傳導至該冷卻媒介的熱受到一形成在該側壁11處之流動冷卻媒介中

的邊界層的限制。在側壁11處的流速係遠低於在該貫穿晶圓貫通孔9之中間的流速。然而，由於根據本發明之貫穿晶圓貫通孔9的該收縮23，該冷卻媒介之流速在該收縮處增加。因此，可分配該邊界層及增加熱傳導率。此現象可利用於具有及不具有兩導電塗層25、26之貫穿晶圓貫通孔9中的冷卻。後者的一範例係用於根據本發明之貫穿晶圓貫通孔7，其中高頻率信號，如射頻信號係傳導通過該貫穿晶圓通孔7。

雖然參考圖13a及13b之具體實施例係描述成在該貫穿晶圓貫通孔9之中間中具有一收縮23，但是該貫通孔9的幾何形狀並不限於此。上述之具體實施例及其修改例之任何開放式貫穿晶圓貫通孔組態亦可提昇熱傳導。

參考圖14，說明製造一晶圓3之方法，該晶圓3具有一上側4及一下側5且包括至少一貫穿晶圓貫通孔9，其具有一側壁11；其中該貫穿晶圓貫通孔9之該側壁11係塗布有一第一導電塗層25，其形成一自該上側4至該下側5的貫穿晶圓通孔7；及該貫穿晶圓貫通孔包括至少一具有一實質垂直側壁16的第一部分13及一定義一收縮23的第二部分14，該收縮23包括至少一朝該上側擴出的上傾斜側壁20；該方法包括步驟如下：

- 101 在該晶圓3中界定至少一第一傾斜壁18，該第一傾斜壁18決定該收縮23之該上傾斜壁20的形狀；
- 102 藉由非等向性蝕刻形成該貫穿晶圓貫通孔9，其中該收縮23之該上傾斜側壁20複製該第一傾斜側壁18；以及

- 103 沈積該第一導電塗層25於該貫穿晶圓貫通孔9之該側壁11上。

在本發明之該方法的一具體實施例中，該界定步驟包括藉由蝕刻而在該晶圓3之該上側4上形成具有一第一傾斜壁18之至少一第一凹處28的步驟。

參考圖15，在本發明之該方法的一具體實施例中，該界定步驟包括藉由蝕刻而在該晶圓3之該上側4上形成具有一第一傾斜壁18之至少一第一凹處28的步驟104。較佳係，藉由非等向性蝕刻之該形成步驟包括乾式蝕刻。

參考圖16，本發明之該方法的一具體實施例進一步包括步驟105：藉由蝕刻，在該晶圓3之該下側5上形成具有一第二傾斜側壁19之至少一第二凹處29，該第二傾斜壁19決定該收縮23朝該下側擴出之一下傾斜壁21的形狀。舉例說明，藉由非等向性蝕刻之該形成步驟包括乾式蝕刻。

圖1所說明之貫穿晶圓通孔7可藉由在該上側4中形成該第一凹處28製造在一(100)矽晶圓中，該第一凹處28藉由例如一KOH溶液中的非等向性濕式蝕刻與在該下側中的該第二凹處29對準且實質上具有相同尺寸。因此，由(111)平面界定該第一凹處28及該第二凹處29的第一傾斜壁18及第二傾斜壁19。在濕式蝕刻之後，在該第二凹處29內乾式蝕刻該半導體晶圓，例如使用一DRIE程序，以形成該等垂直側壁。該第二傾斜側壁19的形狀在該乾式蝕刻程序期間實質上係保留成通過該晶圓3的穿透孔傳遞。最後，穿透孔達到該第一凹處28的底部，形成一貫通孔9。該第二傾斜

側壁19實質上係複製以形成該收縮23之該下傾斜側壁21。

在本發明之一具體實施例中，該非等向性蝕刻包括該晶圓3之該上側4的乾式蝕刻。藉由範例，可藉由在該上側4中形成該第一凹處28，在一100矽晶圓中實現圖3所說明之貫穿晶圓通孔7，該第一凹處28藉由例如一KOH溶液中的非等向性濕式蝕刻與該下側中的該第二凹處29對準且實質上具有相同尺寸。在該濕式蝕刻之後，在該第一凹處28及該第二凹處29內乾式蝕刻該半導體晶圓3，例如使用一DRIE程序。藉此，該第一傾斜側壁18及第二傾斜側壁19實質上係複製以分別形成該收縮23的該上傾斜側壁20及該下傾斜側壁21。該乾式蝕刻可同時從該晶圓的兩側4、5或一次從一側4、5予以執行。

在該乾式蝕刻步驟之後，該收縮23之上傾斜壁20及下傾斜壁21之間的交叉處22變得相對較尖銳。另外，該乾式蝕刻程序可在該等傾斜壁20、21的表面上留下一定的缺陷，例如所謂的"長草現象(grass)"。在本發明之方法的一具體實施例中，該方法進一步包括在該貫穿晶圓通孔7之該側壁11的至少表面上形成一臨時層36(例如氧化矽)的步驟。二氧化矽的形成會消耗該晶圓3的矽至一特定深度。典型上，會消耗1-3 μm 的矽。藉由在一濕式蝕刻程序中使用一氫氟酸溶液移除該氧化矽，可移除該等缺陷，因為氧化層36的形成本質上消耗該等缺陷中所有的矽，且該收縮23因此變得較平滑。

亦可使用一非等向性乾式蝕刻程序形成該第一凹處及該

第二凹處，其中該程序經調諧以給予該等傾斜側壁20、21的一特定傾度。

在本發明之一具體實施例中，該濕式蝕刻步驟包括等向性蝕刻步驟。可使用例如等向性濕式蝕刻或等向性乾式蝕刻形成該第一凹處28及該第二凹處29。藉由使用一等向性蝕刻，該第一傾斜側壁18及該第二傾斜側壁19變得凹形彎曲，且因此該上傾斜側壁20及該下傾斜側壁21在隨後的乾式蝕刻程序中係複製成相同的形狀。

可使用一物理汽相沈積(PVD)程序，如濺渡或蒸鍍沈積該第一導電塗層25。由於本發明之該收縮23的受控制形狀，該等導電塗層25、26的覆蓋範圍係完整的，即使使用一視線程序。

在本發明之方法的一具體實施例中，該沈積步驟進一步包括沈積一第二導電塗層26於該第一導電塗層25上的步驟。以該第一導電塗層25作為一晶種層，使用電鍍(電鍍或無電極電鍍)一金屬或金屬合金，例如Cu、Al、Ni、Au、Ag等而沈積該第二導電塗層26。在此情況中，該第一導電塗層25較佳係使用一濕式化學程序或無電極電鍍而沈積。經電鍍層26的厚度可選擇成一當該貫穿晶圓貫通孔9係由該經電鍍金屬或金屬合金26而關閉的最大厚度，如圖7b所說明。該第一導電塗層25可由Ti/Cu、Ti/Au、Ti/Ni、Cr/Cu、Cr/Au、Cr/Ni、Pd/Ni、Pd/Ag、Ti/Ag之群中選出，但並不限於此等材料。

本發明之方法的一具體實施例進一步包括，在沈積該第

一導電塗層25之前至少在該貫穿晶圓貫通孔9之該等側壁11上沈積一絕緣層36的步驟。取代沈積一絕緣層，該絕緣層可藉由一熱程序而形成，其中在表面上的矽部分地轉移至，例如 SiO_2 或 Si_3N_4 。

在製造根據本發明之一晶圓的方法的一具體實施例中，起始晶圓包括預製組件，如積體微電子組件、MEMS結構或奈米結構，即該起始晶圓實際上係一電子裝置。如上述，該等積體微電子組件50可為，例如至少部分地埋置在該晶圓3表面中的CMOS電路，或沈積微電子組件的薄膜，如該晶圓之表面上的記憶體電路。在習知技術中，貫穿晶圓通孔係在該電子裝置之該等組件製造之前或之後製成。當在該等組件之前製成，該貫穿晶圓通孔必須承受該等組件之製造的典型高溫程序，其不包括使用高導電率材料，如該等貫穿晶圓通孔中的金屬。因此，此種貫穿晶圓通孔具有一相對較高的阻值。換句話說，當在包括預製組件之晶圓上製作該等貫穿晶圓通孔時，該貫穿晶圓通孔處理的可靠性及產量係至關緊要的。習知的程序導致通孔在該貫穿晶圓通孔中具有導電塗層25的不符合要求覆蓋範圍，太大的通孔，有裂縫的傾向，或要求晶圓薄化程序。本發明允許貫穿晶圓通孔在包括預製組件之晶圓上的高產量的處理。另外，避免晶圓薄化。

在本發明之方法的一具體實施例中，一貫穿晶圓通孔7係在一包括預製組件的晶圓3中形成，由該晶圓3之下側5上的CMOS電路50作為例證。首先，藉由乾式蝕刻在下側5

中形成一第一凹處28，以界定一第一傾斜壁18。接下來，使用非等向性乾式蝕刻以形成一貫穿晶圓貫通孔9。因此，形成一收縮23且該收縮23之上傾斜側壁20複製該第一傾斜側壁18。該貫穿晶圓貫通孔9的側壁11較佳係塗布有一絕緣層，以提供電絕緣。隨後，該貫穿晶圓貫通孔9係塗布有至少一第一導電塗層25。在另一具體實施例中，在非等向性乾式蝕刻該貫穿晶圓貫通孔9之前，使用濕式蝕刻例如非等向性KOH蝕刻以形成該第一凹處28。此在該等組件上需求一鈍化層53，以防止其受到侵犯性蝕刻劑的影響。一般而言，該等包括預製組件的晶圓係以一鈍化層保護，其適用於貫穿晶圓貫通孔處理。否則，必需要在進一步處理之前沈積一鈍化層。雖然此等具體實施例描述僅從上側4蝕刻，但是應理解可在一包括預製組件的晶圓中形成根據本發明之任何貫穿晶圓通孔7。

圖17a及17b說明本發明之方法的一範例。一525 μm 厚的矽100晶圓3係當作原料。如熟知本技術者人士所理解，該晶圓已在此步驟之前被處理過，以形成晶圓中的結構或組件。該處理包括下列步驟：

- 形成一氧化矽層41，其覆蓋該晶圓3的至少該上側4及該下側5；
- 藉由習知的微影蝕刻沈積及圖案化一光阻層42，以形成一掩膜層，其在未來貫穿晶圓貫通孔9的位置中具有開口；
- 使用一標準濕式蝕刻程序，例如藉由使用一BHF溶液

移除未被遮罩的氧化矽 41；

- 藉由標準方法剝離該光阻 42；
- 使用一 KOH(非等向性晶面相依濕式蝕刻)分別在該上側 4 及該下側 5 上形成該第一凹處 28 及該第二凹處 29；
- 藉由 DRIE 蝕刻，形成該貫穿晶圓貫通孔 9 的該第一部分 13 及部分該第三部分 15；
- 使用濺鍍在該晶圓的該上側 4 上沈積一 Al 層 43；
- 藉由 DRIE 蝕刻形成該貫穿晶圓貫通孔 9 之該第三部分 15 的剩餘部分，該 Al 層 43 係用作一蝕刻終止層；
- 藉由一標準程序剝離在該上側上的該 Al 層 43；
- 移除該氧化矽 41 及形成一覆蓋該晶圓 3 之至少該上側 4 及該下側 5 和該貫穿晶圓貫通孔 9 之該側壁 11 的新氧化矽層 27；
- 沈積一第一導電塗層 25，即一由 Ti/Cu 製成的晶種層，其覆蓋該氧化層；
- 沈積一光阻層 44，其係圖案化以留下該光阻層 44 中圍繞在該等貫穿晶圓貫通孔 9 的開口；
- 藉由電鍍，沈積一由 Cu 製成的第二導電塗層 26；
- 藉由一標準程序移除該光阻 44；以及
- 使用一標準程序移除該經曝露的晶種層 25。

參考圖 18，根據本發明之一方法的一具體實施例包括以下步驟：

- 在該晶圓 3 中界定至少一第一傾斜壁 18，該第一傾斜壁 18 決定該收縮 23 之該上傾斜壁 20 的形狀；

- 藉由非等向性蝕刻部分地形成該貫穿晶圓貫通孔9，其中該收縮23之該上傾斜側壁20複製該第一傾斜側壁18；
- 沈積一光阻層32在該貫穿晶圓貫通孔9的該側壁11上；
- 藉由微影蝕刻圖案化該光阻層32，及顯影以移除該光阻層32在該貫穿晶圓貫通孔9之中心的一部分；以及
- 以該光阻層作為遮罩，蝕刻該貫穿晶圓貫通孔9的剩餘部分。

當一組件係在該晶圓3之下側5上時，亦可使用此程序。此或許要求某種程度的保護施加在該晶圓的下側。該光阻層32的圖案化可製成具有高精確度且因此從該上側至該組件的一電連接可以高精確度達成。

亦可使用一光阻層的圖案化以界定出該等導電塗層25、26所塗敷之處。另外，一光阻層的圖案化亦可使用以圖案化沈積於該貫穿晶圓貫通孔9之側壁上的其他層。此等層可包括電漿增強化學汽相沈積(PECVD) SiO_2 、BCB或聚對二甲苯基。如熟知本技術者人士所知，可使用不同方法來沈積該光阻，即可使用旋塗式光阻、噴灑式光阻及電沈積式光阻等。圖19係本發明之方法的一具體實施例的示意圖，其中該方法包括下列步驟：

- 在該晶圓3中界定至少一第一傾斜壁18，該第一傾斜壁18決定該收縮23之該上傾斜壁20的形狀；
- 界定該貫穿晶圓貫通孔(9)之該側壁(11)的剩餘部分。
- 藉由非等向性蝕刻形成該貫穿晶圓貫通孔9，其中該

收縮23之該上傾斜側壁20複製該第一傾斜側壁18；以及

- 沈積該第一導電塗層25於該貫穿晶圓貫通孔9之該側壁11上。

在本發明的一具體實施例中，該方法進一步包括在該晶圓(3)中界定至少一第二傾斜壁(19)的步驟，該第二傾斜壁(19)決定該收縮(23)之該下傾斜壁(21)的形狀。

參考圖20，一具有一根據圖3之形狀的晶圓3係使用一光敏原料製造，例如Foturan®或其他所謂的玻璃陶瓷。根據本發明，一用於Foturan®之具有一特定波長，例如約290-330 nm波長的光束在該材料上掃描，以界定該上傾斜側壁20及該下傾斜側壁21、一介於該上傾斜側壁20及該下傾斜側壁21之間的平滑交叉處22及該側壁11的剩餘部分，即是界定該貫穿晶圓貫通孔9的幾何形狀。經曝露的材料改變其性質，使得一隨後熱處理使該晶圓材料在經曝露區域中結晶化。在Foturan®中，銀原子係形成在該經曝露區域中，且在500°C及600°C之間的熱處理期間，玻璃係在此等銀原子周圍結晶化。在該經曝露區域中，即在該貫穿晶圓貫通孔中的材料，接著藉由使用一氫氟酸溶液的非等向性蝕刻移除。當在室溫中以10%的氫氟酸溶液蝕刻時，該等結晶區域具有一比玻化區域高達20倍的蝕刻率。

雖然已結合目前視為最實用而且較佳之具體實施例說明本發明，應瞭解本發明不限於揭示之具體實施例，相反地，期望其涵蓋隨附之申請專利範圍內之各種修改及均等配置。

【圖式簡單說明】

現將參考附圖來說明本發明之較佳具體實施例，其中：

圖1係根據本發明之一貫穿晶圓通孔之一具體實施例的示意說明；

圖2係根據本發明之一貫穿晶圓通孔之另一具體實施例的示意說明；

圖3係根據本發明之一貫穿晶圓通孔具有一圓形收縮之一具體實施例的示意說明；

圖4a至4f係根據本發明之一貫穿晶圓通孔的不同具體實施例；

圖5係根據本發明之一貫穿晶圓通孔包括一絕緣層之一具體實施例的示意說明；

圖6係根據本發明之一封閉式貫穿晶圓通孔之一具體實施例的示意說明；

圖7a及7b分別係根據本發明之一封閉式及一開放式貫穿晶圓通孔之說明，其皆具有一第二導電塗層；

圖7c係一貫穿晶圓通孔具有一填充該貫通孔及凸出該貫通孔外側之導電塗層的示意說明；及圖7d係圖7c的通孔在拋光之後的示意說明；

圖7e示意性說明包括一收縮之一低阻值貫穿晶圓通孔之貫穿晶圓貫通孔；

圖7f示意性說明根據本發明之一電子裝置的一具體實施例；

圖8係根據本發明之一SOI晶圓包括一貫穿晶圓通孔的示

意說明；

圖9a係根據本發明之一電子裝置包括一積體電路及一貫穿晶圓通孔的示意說明；

圖9b係根據本發明之一電子裝置包括一整合在晶圓表面中的積體電路、一配置在該晶圓表面上的微電子組件及一貫穿晶圓通孔的示意說明；

圖10係根據本發明之一玻璃陶瓷晶圓包括一封閉式低阻值貫穿晶圓通孔的示意說明；

圖11a及11b係根據本發明之一電子裝置包括二個堆疊晶圓的示意說明，各晶圓包括一貫穿晶圓通孔，其中該等晶圓係由該等通孔連接；

圖12a係根據本發明之一包括一第一群貫穿晶圓通孔之通孔陣列的示意說明，及圖12b係根據本發明之一包括一第二群貫穿晶圓通孔之通孔陣列的示意說明；

圖13a及圖13b係根據本發明之包括一位在貫穿晶圓貫通孔內之冷卻媒介之數個晶圓的示意說明，其中圖13a的貫穿晶圓貫通孔不具有導電塗層，而圖13b的貫穿晶圓貫通孔具有一導電塗層；

圖14係根據本發明之製造一晶圓之方法的一具體實施例的示意說明；

圖15係根據本發明之製造一晶圓之方法的另一具體實施例的示意說明；

圖16係根據本發明之製造一晶圓之方法的又另一具體實施例的示意說明；

圖 17a 及 17b 係根據本發明之製造一半導體晶圓的一範例的示意說明；

圖 18 示意性說明使用一圖案化光阻層作為遮罩而形成的一貫穿晶圓貫通孔；

圖 19 係根據本發明之製造一玻璃陶瓷晶圓之方法的一具體實施例的示意說明；以及

圖 20 係根據本發明之製造一玻璃陶瓷晶圓之方法的另一具體實施例的示意說明。

【主要元件符號說明】

3	晶圓
3a	下方晶圓
3b	上方晶圓
4	晶圓的上側
5	晶圓的下側
7	貫穿晶圓通孔
9	貫穿晶圓貫通孔
10	開放通道
11	貫穿晶圓貫通孔 9 之側壁
13	第一部分
14	第二部分
15	第三部分
16	實質垂直側壁
17	實質垂直側壁
18	第一傾斜側壁

19	第二傾斜側壁
20	上傾斜側壁
21	下傾斜側壁
22	上傾斜側壁和下傾斜側壁的交叉處
23	收縮
25	第一導電塗層
26	第二導電塗層
27	絕緣層
28	第一凹處
29	第二凹處
32	光阻層
38	裝置層
39	絕緣層
41	氧化矽層
42	光阻層
43	Al層
44	光阻層
47	第一群貫穿晶圓通孔
48	第二群貫穿晶圓通孔
50	積體組件
52	組件
53	鈍化層
60	冷卻媒介
61	接合處

十、申請專利範圍：

1. 一種晶圓(3)，其包括一從該晶圓(3)之一上側(4)至一下側(5)的貫穿晶圓通孔(7)，其中該貫穿晶圓通孔(7)包括一貫穿晶圓貫通孔(9)，其具有至少部分地覆蓋有一第一導電塗層(25)的一側壁(11)；其中該貫穿晶圓貫通孔(9)包括至少一具有一實質垂直側壁(16)的第一部分(13)及一形成一收縮(23)的第二部分(14)，該收縮(23)具有至少一朝該貫穿晶圓貫通孔(9)之上側擴出的上傾斜側壁(20)，其特徵在於該第二部分(14)係配置在該側壁(11)之該第一部分(13)及一第三部分(15)之間，該第三部分(15)具有一實質垂直側壁(17)。
2. 如請求項1之晶圓(3)，其中該收縮(23)進一步包括一朝向下側擴出的下傾斜側壁(21)。
3. 如請求項1之晶圓(3)，其中該收縮(23)之該上傾斜側壁(20)及該下傾斜側壁(21)係平面的。
4. 如請求項1之晶圓(3)，其中該收縮(23)之該上傾斜側壁(20)及該下傾斜側壁(21)係彎曲的。
5. 如請求項1之晶圓(3)，其中該收縮(23)之該上傾斜側壁(20)及該下傾斜側壁(21)的一交叉處(22)係平滑地變圓。
6. 如請求項1之晶圓(3)，其中該晶圓(3)包括一結晶半導體材料。
7. 如請求項6之晶圓(3)，其中該上傾斜側壁(20)及該下傾斜側壁(21)依循該晶圓(3)的晶面。
8. 如請求項1之晶圓(3)，其中該晶圓(3)係由一光敏材料製

成。

9. 如請求項1之晶圓(3)，其中該晶圓(3)係由玻璃陶瓷製成。
10. 如請求項1之晶圓(3)，其中一第二導電塗層(26)至少部分地覆蓋該第一導電塗層(25)。
11. 如請求項10之晶圓(3)，其中該第一導電塗層(25)及/或該第二導電塗層(26)封閉該貫穿晶圓貫通孔(9)。
12. 如請求項11之晶圓(3)，其中該晶圓(3)包括複數個貫穿晶圓通孔(7)，其中至少一貫穿晶圓通孔(7)係封閉的及至少一貫穿晶圓通孔(7)係敞開的。
13. 如請求項1之晶圓(3)，其中該晶圓(3)包括至少一第一群貫穿晶圓通孔(47)，每一貫穿晶圓通孔相對於一先前的貫穿晶圓通孔以一成步階的方式位移。
14. 如請求項13之晶圓(3)，其中該晶圓(1)進一步包括一第二群貫穿晶圓通孔(48)，其與該第一群貫穿晶圓通孔(47)沿著一線(46)循序配置。
15. 如請求項1之晶圓(3)，其中該晶圓(3)包括積體組件(50)，如積體微電子組件、MEMS結構、奈米結構、感測器、致動器或類似者。
16. 一種電子裝置，其包括一如請求項1之晶圓(3)。
17. 如請求項16之電子裝置(1)，其中該電子裝置包括晶圓(3)的一堆疊，各晶圓(3)包括一貫穿晶圓通孔(7)，其藉由一接合處(61)連接至一相鄰晶圓(3)的一貫穿晶圓通孔。

18. 一種製造一晶圓(3)之方法，該晶圓(3)包括一從該晶圓(3)之一上側(4)延伸至一下側(5)的貫穿晶圓通孔(7)，其中該貫穿晶圓通孔(7)包括一具有側壁(11)的貫穿晶圓貫通孔(9)，且該貫穿晶圓貫通孔(9)之至少一第一部分(13)具有一實質垂直側壁(16)，及該貫穿晶圓貫通孔(9)之一第二部分(14)界定在該貫穿晶圓貫通孔(9)中的一收縮(23)；藉此該方法包括下列步驟：

在該晶圓(3)中界定至少一第一傾斜側壁(18)；

形成該貫穿晶圓貫通孔(9)，藉此，該收縮(23)之上傾斜側壁(20)複製該第一傾斜側壁(18)；

沈積至少一第一導電塗層(25)於該貫穿晶圓貫通孔(9)之該側壁(11)上；以及

在該晶圓(3)中界定一第二傾斜側壁(19)的步驟，其特徵在於，在形成該貫穿晶圓貫通孔的該步驟中，該收縮(23)之一下傾斜側壁(21)複製該第二傾斜側壁(19)。

19. 如請求項18之方法，其中形成該貫穿晶圓貫通孔(9)之該步驟包括非等向性蝕刻步驟。
20. 如請求項18之方法，其中界定至少一第一傾斜側壁(18)之該步驟包括藉由蝕刻形成一第一凹處(28)的步驟，該第一凹處(28)包括該晶圓(3)之該上側(4)上的該第一傾斜側壁(18)。
21. 如請求項18之方法，其中界定一第二傾斜側壁(19)之該步驟包括藉由蝕刻形成一第二凹處(29)的步驟，該第二凹處(29)包括該晶圓(3)之該下側(5)上的該第二傾斜側壁

(19)。

22. 如請求項18之方法，其中形成該貫穿晶圓貫通孔(9)之該步驟包括自該上側(4)及該下側(5)雙向蝕刻的步驟，以形成該貫穿晶圓貫通孔(9)具有一實質垂直側壁(17)的第一第三部分(15)。
23. 如請求項20之方法，其進一步包括形成一臨時層(36)及藉由蝕刻移除該臨時層(36)的步驟。
24. 如請求項20之方法，其中藉由蝕刻之該形成步驟包括濕式蝕刻步驟。
25. 如請求項24之方法，其中該濕式蝕刻步驟包括使用一KOH溶液的非等向性晶面相依濕式蝕刻步驟，或等向性濕式蝕刻步驟。
26. 如請求項18之方法，其中形成該貫穿晶圓貫通孔(9)之該步驟包括乾式蝕刻步驟。
27. 如請求項26之方法，其中該乾式蝕刻步驟包括深反應性離子蝕刻步驟。
28. 如請求項18之方法，其中該界定步驟包括界定該貫穿晶圓貫通孔(9)之該側壁(11)之一第二側壁(19)的步驟，藉此在該形成該貫穿晶圓貫通孔的該步驟中，該收縮(23)之一下傾斜側壁(21)複製該第二傾斜側壁(19)。
29. 如請求項18之方法，其中該界定步驟包括在一對應於該貫穿晶圓貫通孔(9)的區域中將該晶圓(3)曝露於光的步驟，以及該形成步驟包括蝕刻該經曝露區域的步驟。
30. 如請求項18之方法，其中該沈積步驟包括物理汽相沈

積。

31. 如請求項18之方法，其進一步包括使用電鍍沈積一第二導電塗層(26)於該第一導電塗層(25)上的步驟。

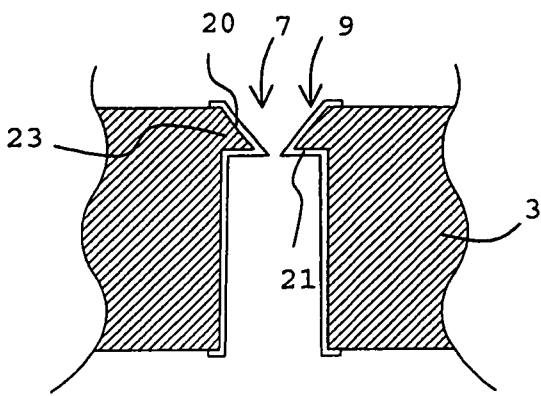


圖 4a

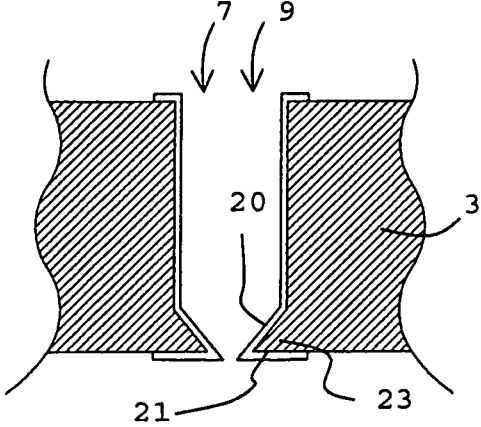


圖 4b

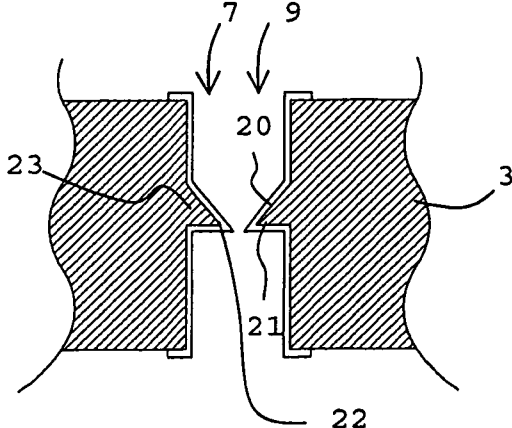


圖 4c

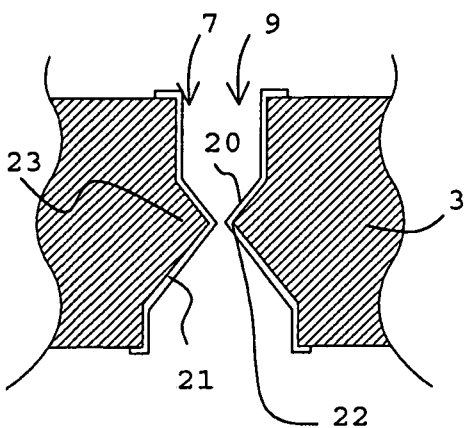


圖 4d

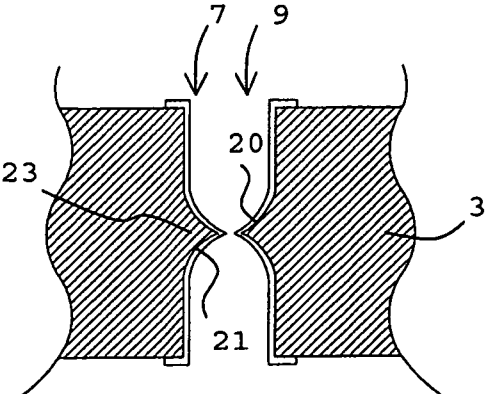


圖 4e

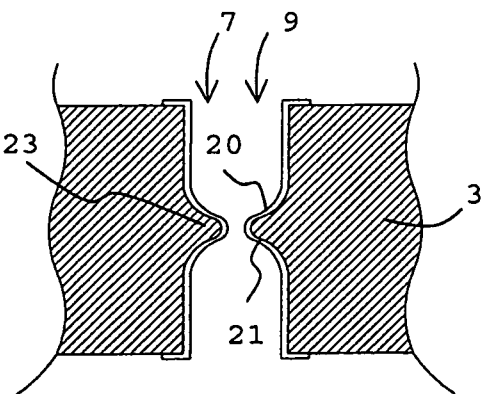


圖 4f

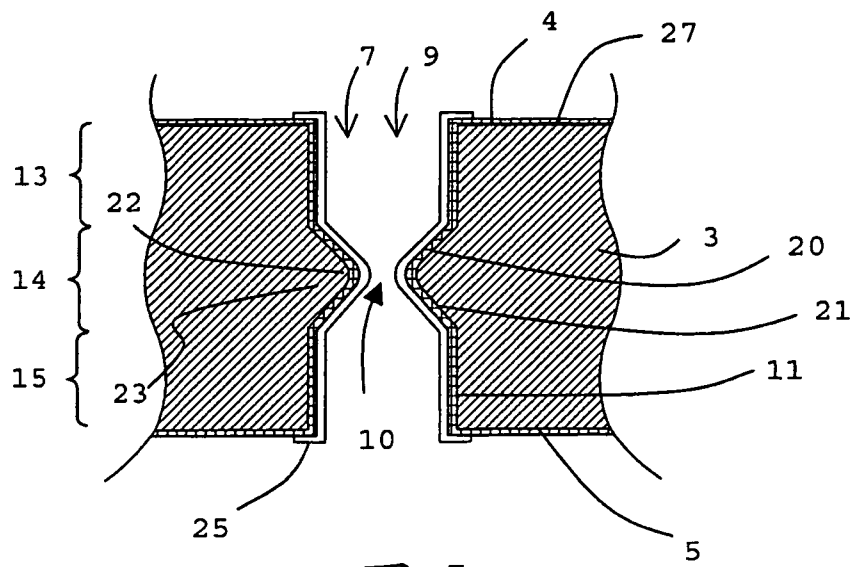


圖 5

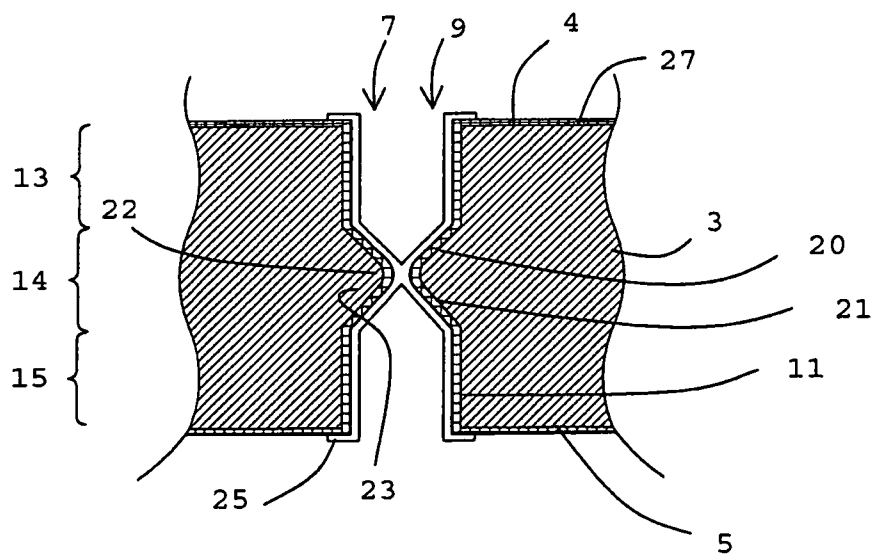
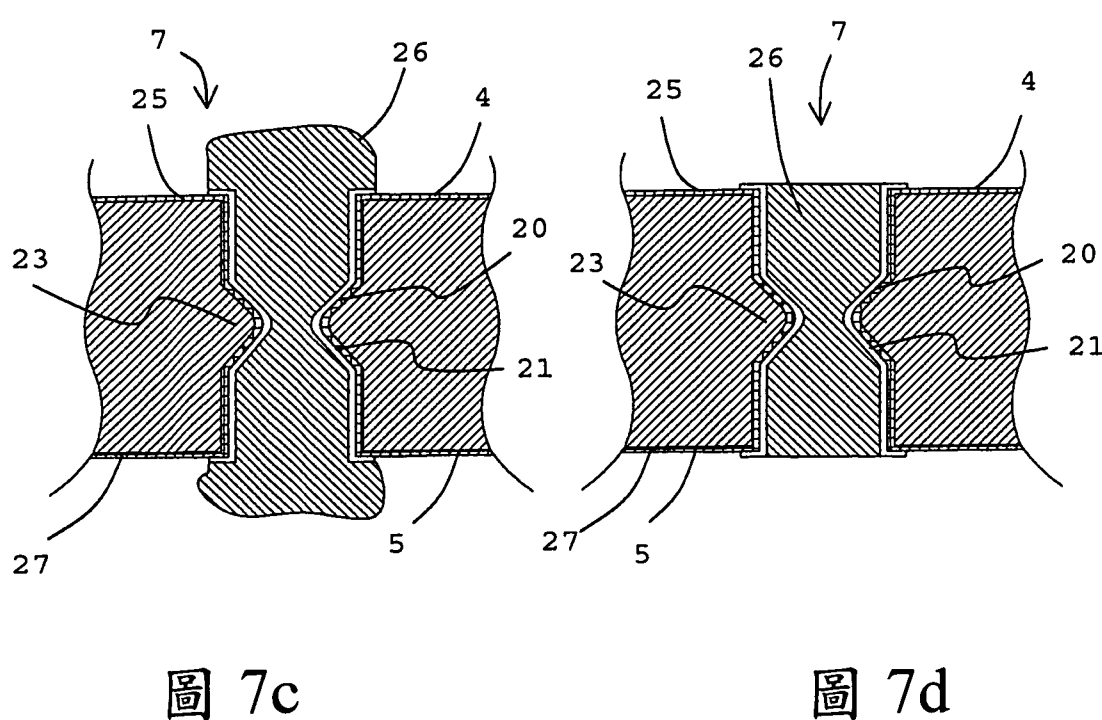
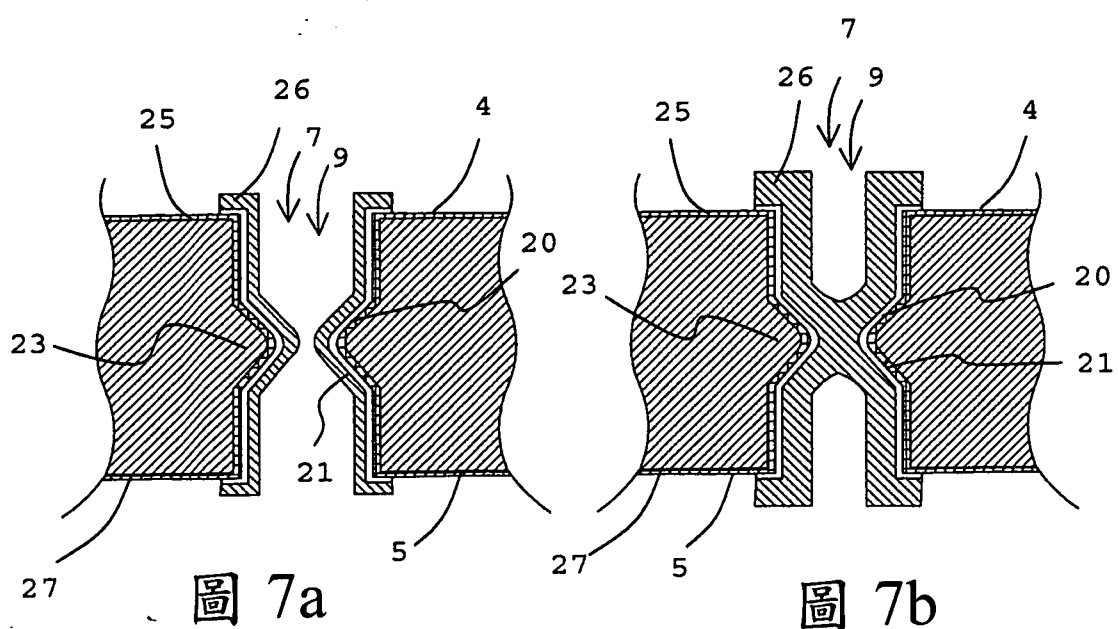


圖 6



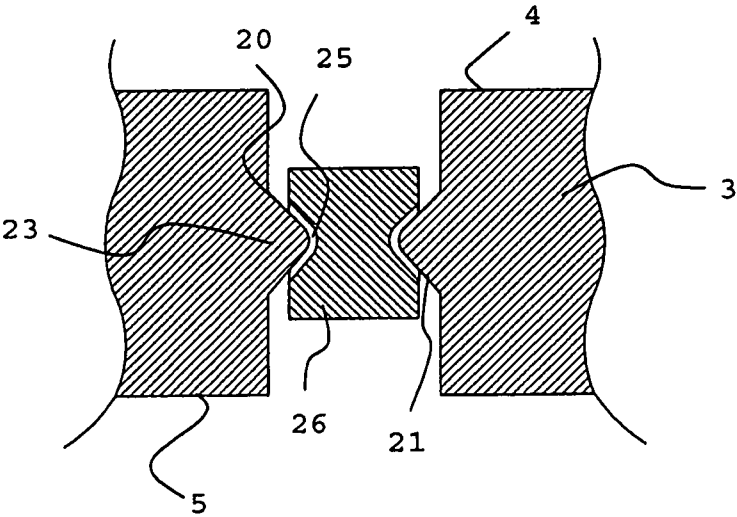


圖 7e

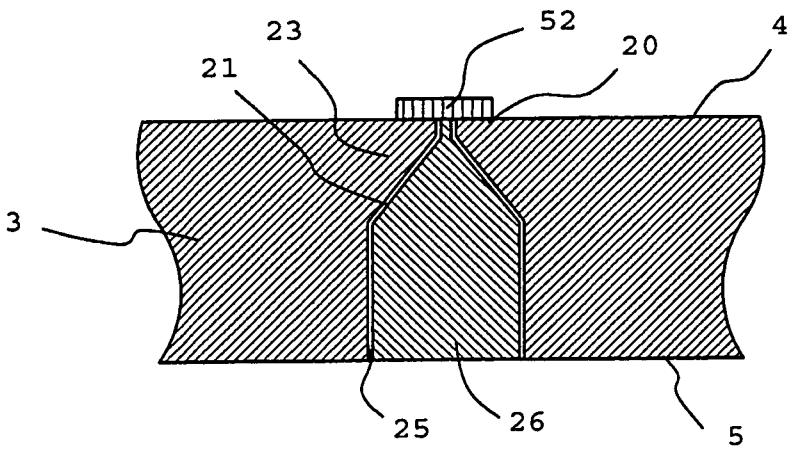


圖 7f

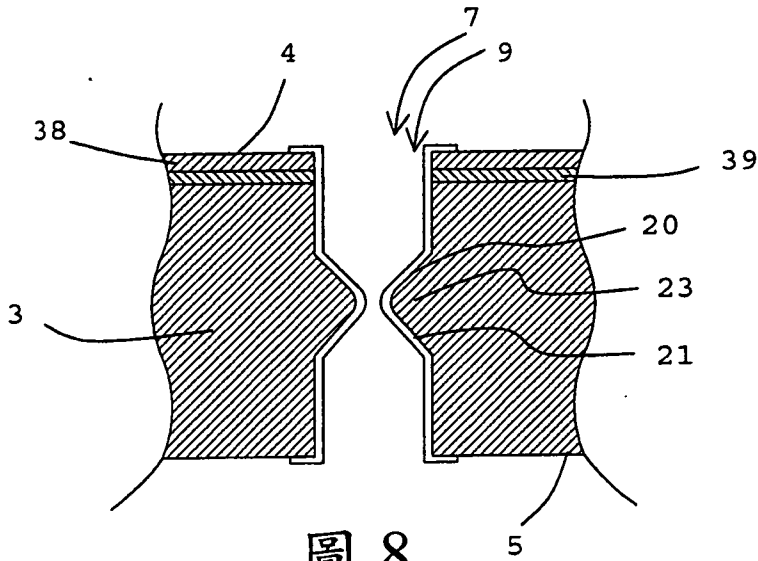


圖 8

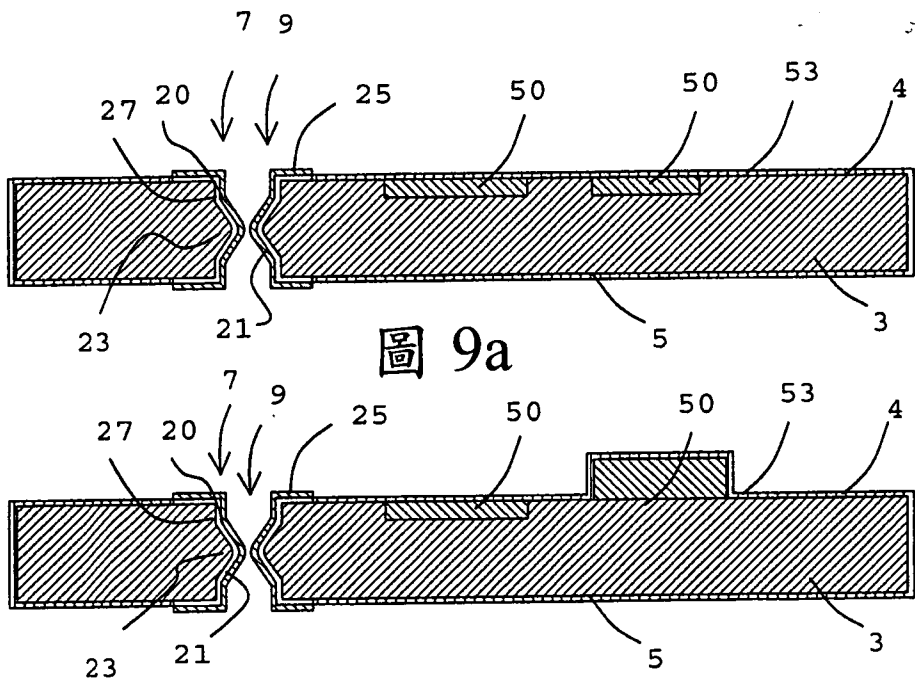


圖 9a

圖 9b

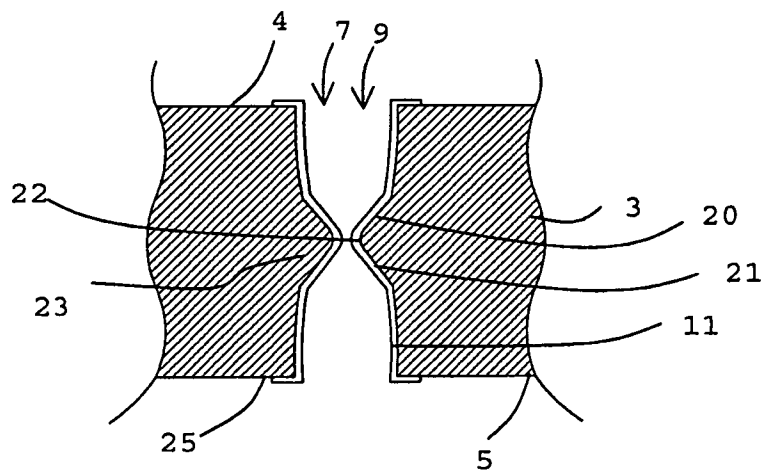


圖 10

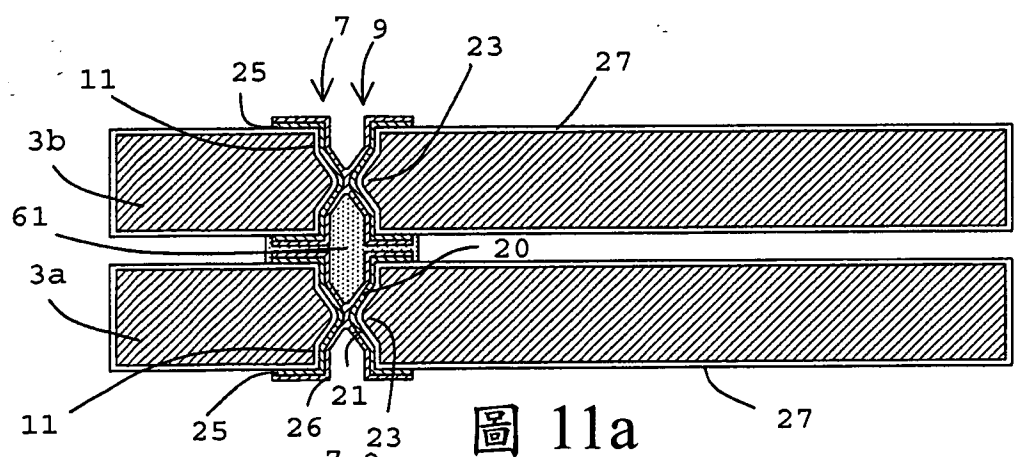


圖 11a

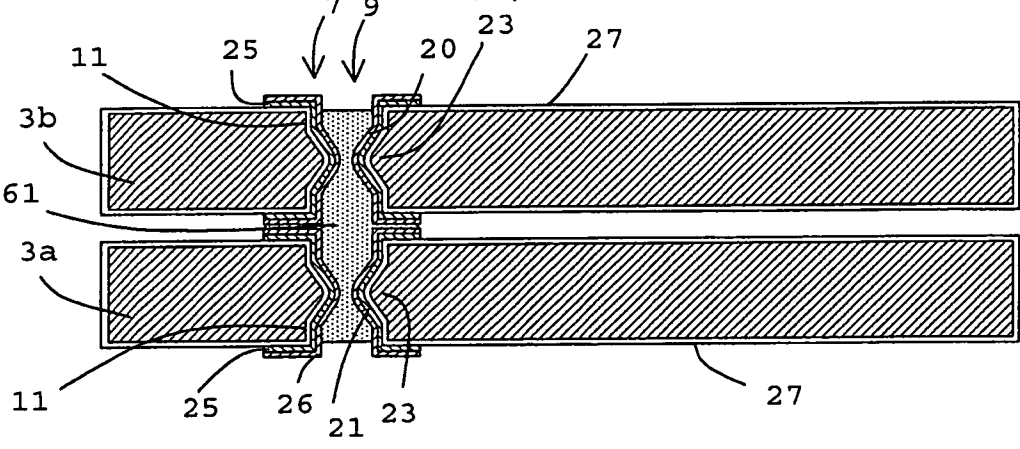


圖 11b

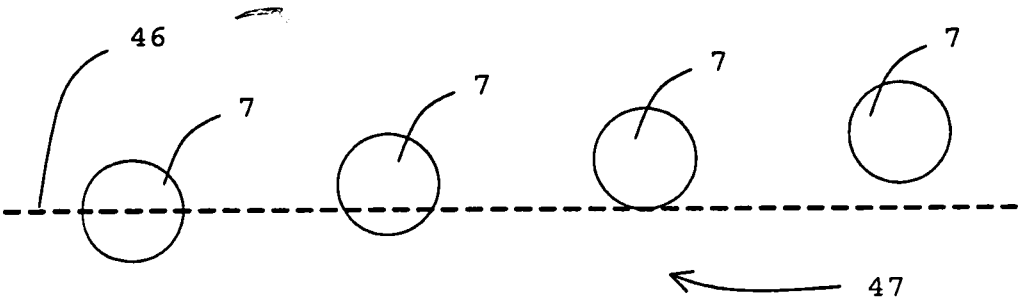


圖 12a

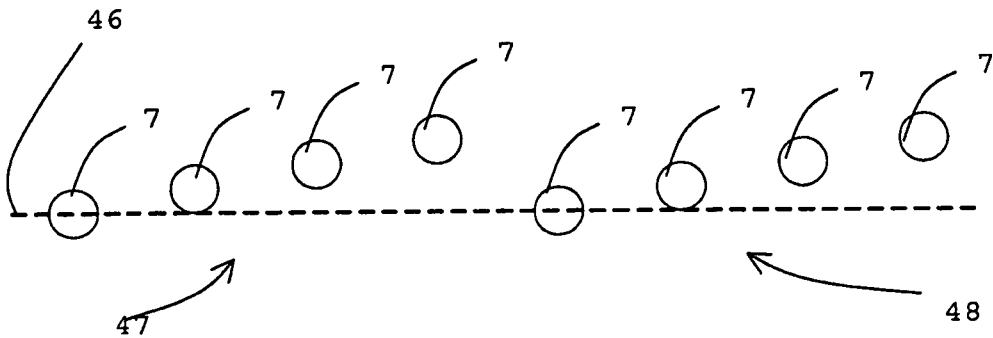


圖 12b

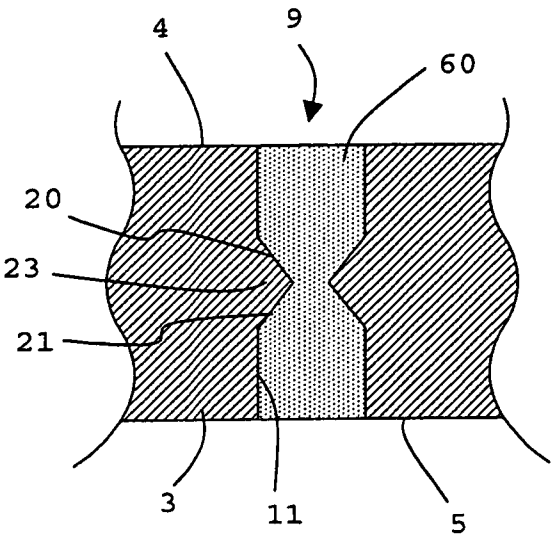


圖 13a

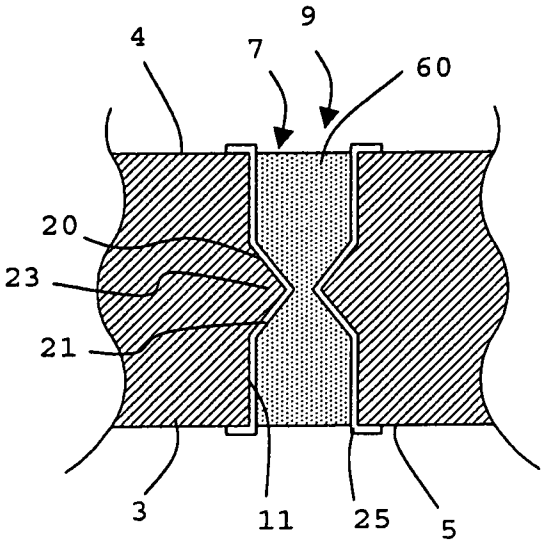


圖 13b

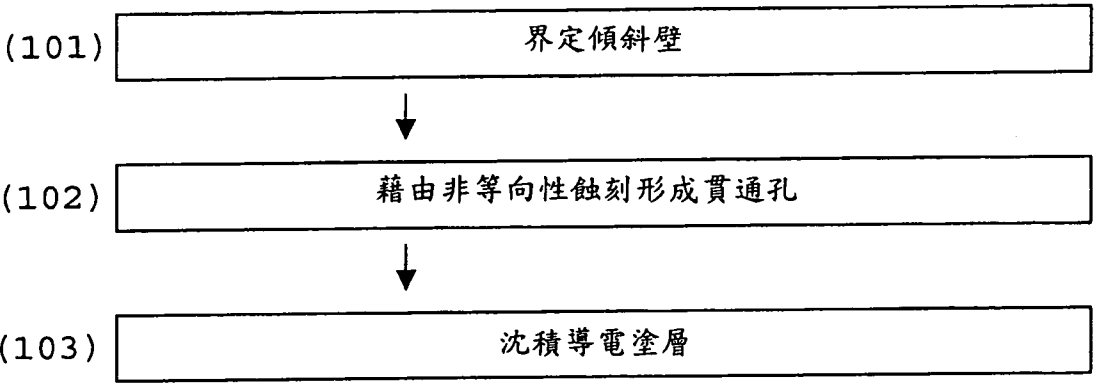


圖 14

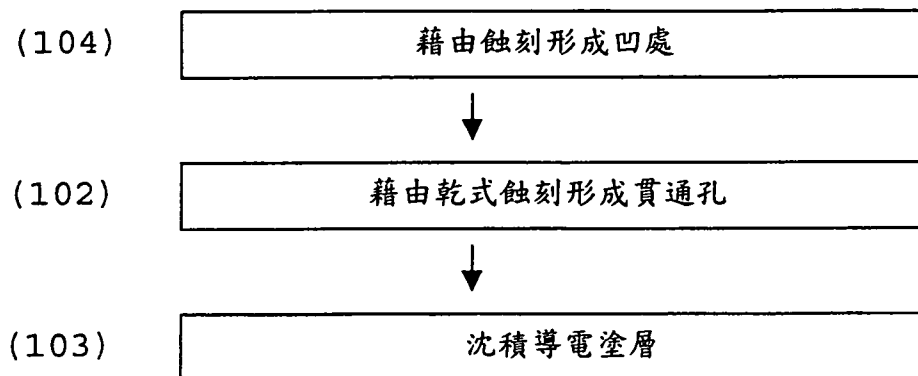


圖 15

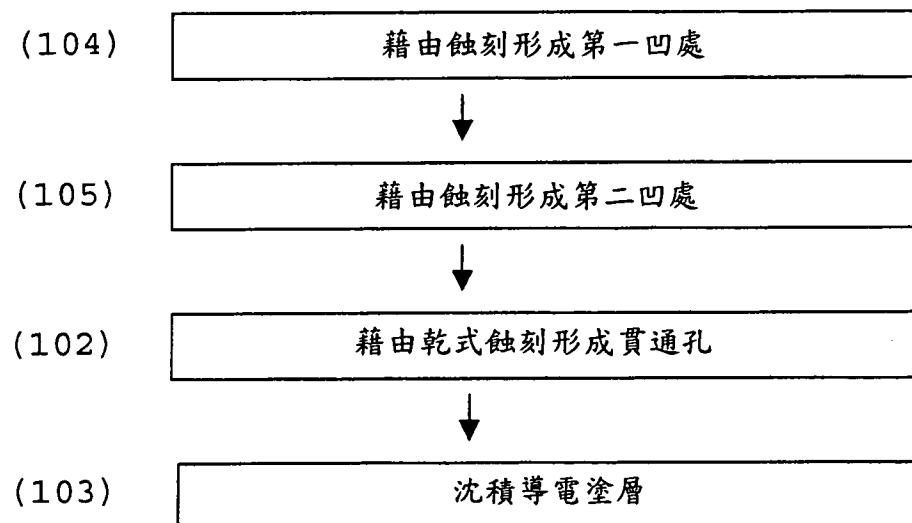


圖 16

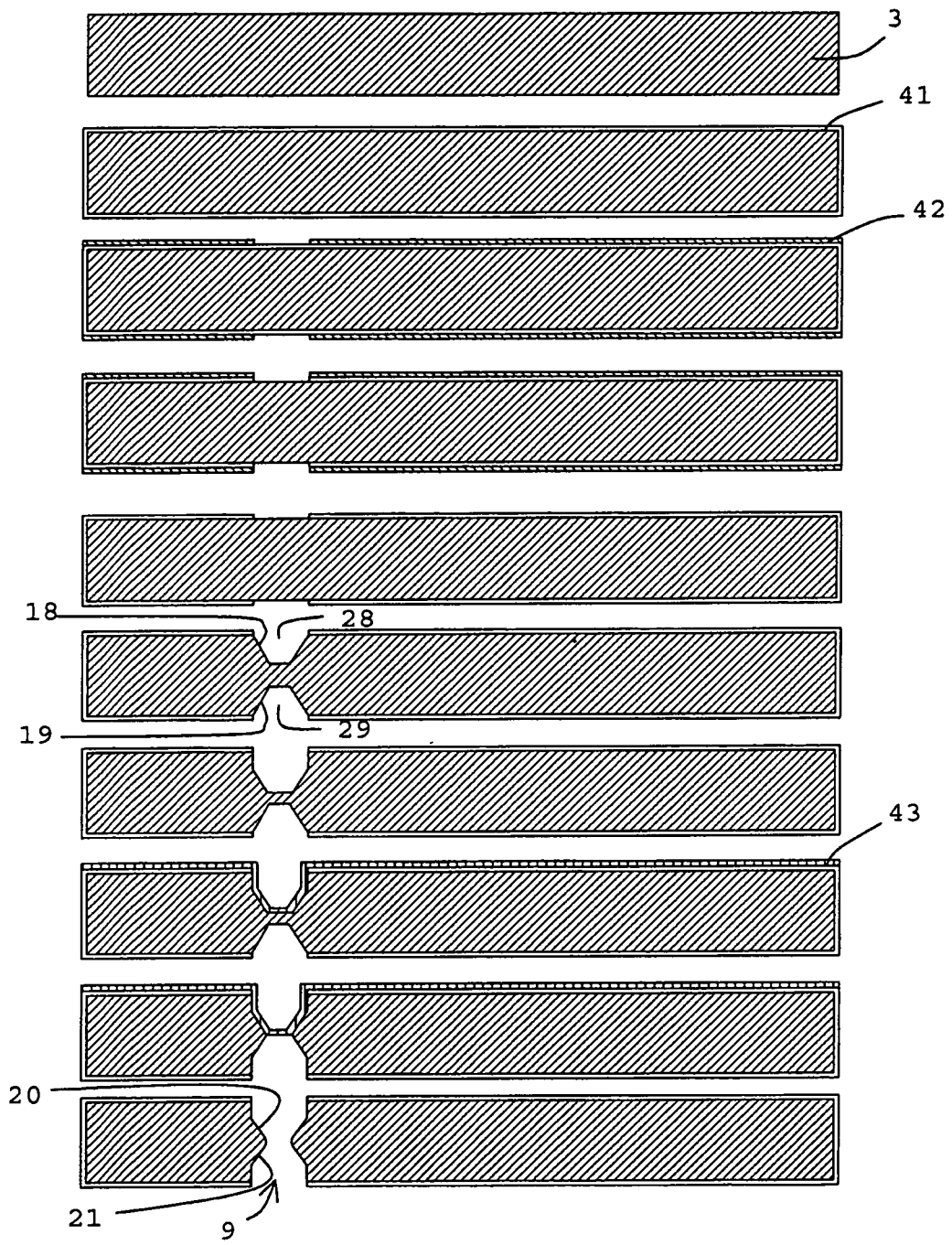


圖 17a

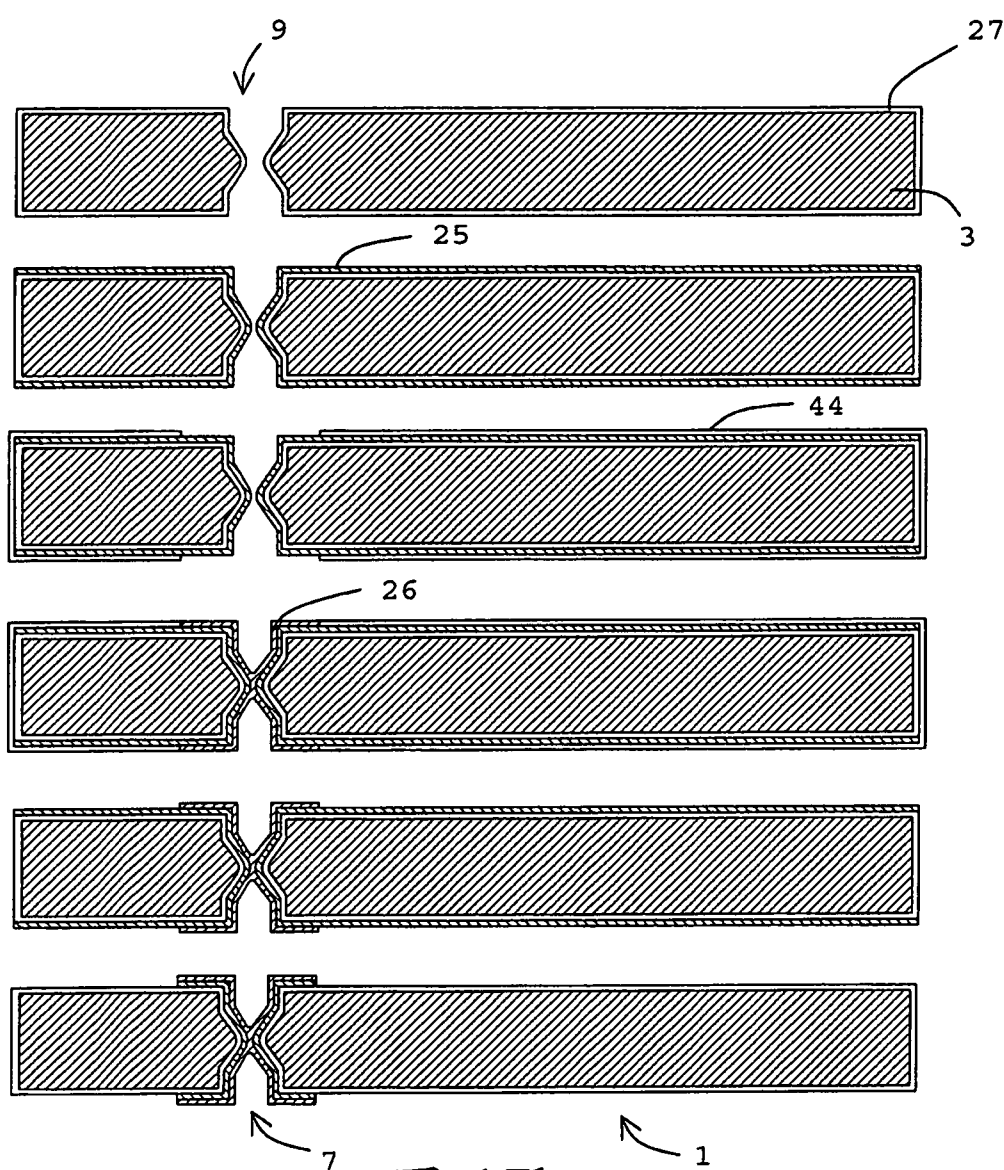


圖 17b

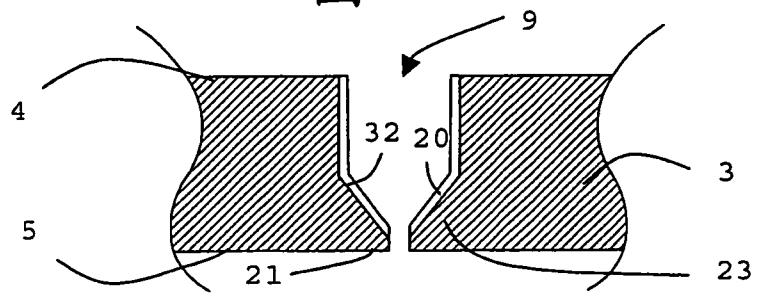


圖 18

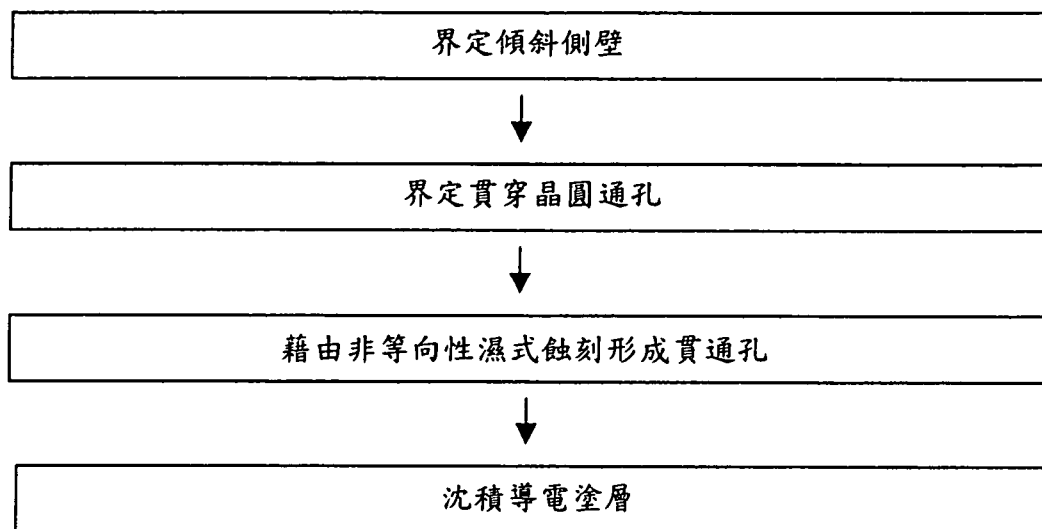


圖 19

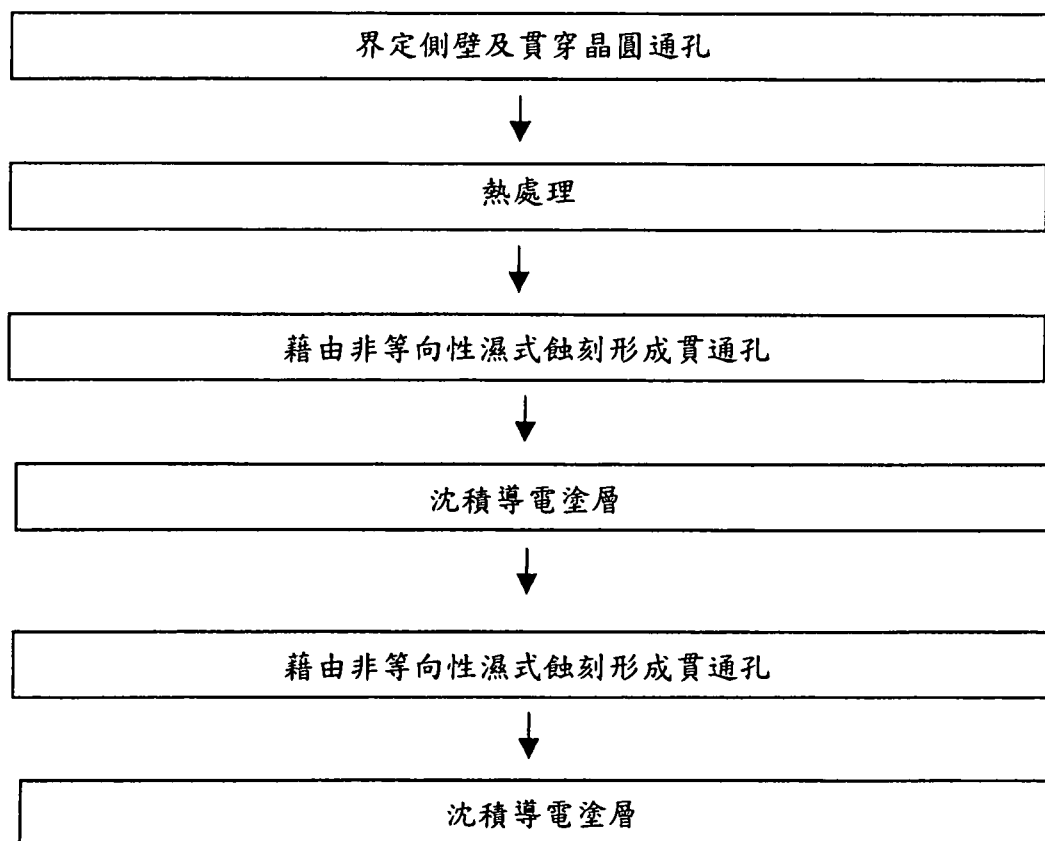


圖 20