

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4504364号
(P4504364)

(45) 発行日 平成22年7月14日(2010.7.14)

(24) 登録日 平成22年4月30日(2010.4.30)

(51) Int.Cl. F I
G 1 1 C 11/417 (2006.01) G 1 1 C 11/34 3 0 5
G 1 1 C 11/419 (2006.01) G 1 1 C 11/34 3 1 1

請求項の数 2 (全 11 頁)

(21) 出願番号	特願2006-509807 (P2006-509807)	(73) 特許権者	504199127
(86) (22) 出願日	平成16年4月8日(2004.4.8)		フリースケール セミコンダクター イン
(65) 公表番号	特表2006-523360 (P2006-523360A)		コーポレイテッド
(43) 公表日	平成18年10月12日(2006.10.12)		アメリカ合衆国 78735 テキサス州
(86) 国際出願番号	PCT/US2004/010812		オースティン ウィリアム キャノン
(87) 国際公開番号	W02004/093139		ドライブ ウェスト 6501
(87) 国際公開日	平成16年10月28日(2004.10.28)	(74) 代理人	100116322
審査請求日	平成19年4月9日(2007.4.9)		弁理士 桑垣 衛
(31) 優先権主張番号	10/412,490	(72) 発明者	パルマー、ジェレマイア ティー、シー、
(32) 優先日	平成15年4月11日(2003.4.11)		アメリカ合衆国 78660 テキサス州
(33) 優先権主張国	米国 (US)		フルーガービル デレン レーン 31 2

最終頁に続く

(54) 【発明の名称】 センス・アンプおよびセルフタイム式ラッチを備えるメモリ装置

(57) 【特許請求の範囲】

【請求項1】

メモリ装置であって、

複数のメモリ・セルであって、該複数のメモリ・セルのそれぞれは、第1のビット線および第2のビット線に結合されている、複数のメモリ・セルと、

読み出しサイクルの少なくとも一部の間前記第1のビット線に結合される第1のデータ線と、

前記読み出しサイクルの少なくとも一部の間前記第2のビット線に結合される第2のデータ線と、

前記第1のデータ線および前記第2のデータ線に結合された一対の交差結合したインバータを有するセンス・アンプであって、該一対の交差結合したインバータは、センス・イネーブル信号の有効化にตอบสนองして、前記ビット線を介して前記複数のメモリ・セルのうちの選択された1つからのデータ信号を増幅し、増幅されたデータ信号を提供する、センス・アンプと、

前記第1のビット線および前記第2のビット線と前記センス・アンプとの間に結合されている分離回路であって、前記センス・イネーブル信号の有効化とほぼ同時に、前記複数のメモリ・セルのうちの前記選択された1つを前記センス・アンプから分離し、前記センス・イネーブル信号が無効化された後、前記第1および第2のデータ線がプリチャージされる間中、前記複数のメモリ・セルのうちの前記選択された1つを前記センス・アンプから継続的に分離する分離回路と、

10

20

前記増幅されたデータ信号のみに応答して、前記増幅されたデータ信号に対応するデータを記憶するセルフタイム式記憶装置であって、

第1の電流電極、電源電圧端子と結合されている第2の電流電極、および前記第1のデータ線に結合されている制御電極を有する第1のトランジスタと、

第1の電流電極、前記電源電圧端子に結合されている第2の電流電極、および前記第2のデータ線に結合されている制御電極を有する第2のトランジスタと、

前記第1のトランジスタの前記第1の電流電極に結合されている入力、および前記第2のトランジスタの前記第1の電流電極に結合されている出力を有する第1のインバータと、

前記第2のトランジスタの前記第1の電流電極に結合されている入力、および前記第1のトランジスタの前記第1の電流電極に結合されている出力を有する第2のインバータと、

前記第1のインバータの前記出力および前記第2のインバータの前記入力に結合されている出力と

を含む前記セルフタイム式記憶装置と、

を備えるメモリ装置。

【請求項2】

メモリ装置のメモリ・セルを読み出すための方法であって、前記メモリ装置は複数のメモリ・セルであって、該複数のメモリ・セルのそれぞれは第1のビット線、第2のビット線およびワード線に結合されている、前記複数のメモリ・セルと、読み出しサイクルの少なくとも一部の間前記第1のビット線に結合される第1のデータ線と、前記読み出しサイクルの少なくとも一部の間前記第2のビット線に結合される第2のデータ線と、前記第1のデータ線および前記第2のデータ線に結合された一対の交差結合したインバータを有するセンス・アンプと、前記第1のビット線および前記第2のビット線と前記センス・アンプとの間に結合されている分離回路と、セルフタイム式ラッチであって、第1の電流電極、電源電圧端子と結合されている第2の電流電極、および前記第1のデータ線に結合されている制御電極を有する第1のトランジスタと、第1の電流電極、前記電源電圧端子に結合されている第2の電流電極、および前記第2のデータ線に結合されている制御電極を有する第2のトランジスタと、前記第1のトランジスタの前記第1の電流電極に結合されている入力、および前記第2のトランジスタの前記第1の電流電極に結合されている出力を有する第1のインバータと、前記第2のトランジスタの前記第1の電流電極に結合されている入力、および前記第1のトランジスタの前記第1の電流電極に結合されている出力を有する第2のインバータと、前記第1のインバータの前記出力及び前記第2のインバータの前記入力に結合されている出力とを含む前記セルフタイム式ラッチとを備え、前記方法は、

前記複数のメモリ・セルのうちの少なくとも1つを選択すること、

増幅されたデータ信号を生成するために、センス・イネーブル信号の有効化に応答して、前記センス・アンプにより前記第1のビット線および第2のビット線上の電圧を感知して増幅することであって、前記増幅されたデータ信号は、前記選択することによって選択された前記複数のメモリ・セルのうちの前記少なくとも1つに記憶されている論理状態を表す、電圧を感知して増幅すること、

前記分離回路により、前記センス・イネーブル信号の有効化とほぼ同時に、前記センス・アンプから前記ビット線を分離すること、

前記セルフタイム式ラッチの前記第1および第2のインバータに、前記増幅されたデータ信号に対応するデータを前記増幅されたデータ信号のみに応答してラッチするように、前記第1および第2のトランジスタを前記増幅されたデータ信号によって制御して前記電源電圧端子の電圧を前記セルフタイム式ラッチの出力に供給すること、

を備え、前記分離することは、前記センス・イネーブル信号が無効化された後、前記第1および第2のデータ線がプリチャージされる間中、前記複数のメモリ・セルのうちの前記選択された1つを前記センス・アンプから継続的に分離することを含む、方法。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路に関し、より詳細には、メモリ装置に関する。

【背景技術】

【0002】

メモリ装置、例えば、ランダム・アクセス・メモリ（RAM：Random Access Memory）は、センス・アンプを含む。そのセンス・アンプは、そのセンス・アンプに結合されたメモリ・セルのアレイが記憶している値を示す信号を供給する。

【0003】

図1は、従来技術のメモリ装置を示す。メモリ装置101は、それぞれがデータのビットを記憶するための複数のメモリ・セルを有するビット・セル・アレイ103を含む。ビット・セル・アレイ103の複数のメモリ・セルのそれぞれは、一对の差動ビット線BL105および*BL107に結合されている。アレイ103における各セルは、行デコーダ109に結合されているワード線に結合されている。メモリ装置101はまた、列論理111と、センス・アンプ回路113と、ラッチ115と、出力バッファ117とを含む。列論理111は、プリチャージおよび等化回路と、書き込み回路と、列デコード回路と、分離トランジスタとを含む。ラッチ115は、ラッチ115が、センス・アンプ回路113の出力からデータをサンプリングすることができるようにするために、容量クロック・タイミング信号を受信する。第2のアンプ回路113は、センス・イネーブル信号により動作可能になる。

10

【発明の開示】

【発明が解決しようとする課題】

【0004】

複数のセンス・アンプ回路およびラッチを有するメモリ装置の場合には、各ラッチにクロック信号を供給すると、クロック生成回路に過大な負担がかかり、従って、電力が消費され、クロック信号の性能が劣化する。さらに、クロック信号によりラッチ115を動作可能にするには、クロック信号とセンス・イネーブル信号との間に特定のセットアップと時間保持要件とを維持しなければならない。メモリ装置の性能が変化すると、センス・アンプ回路113の出力をラッチできなくなる場合も起きる。加えて、クロック信号を処理するために、ラッチには余分な回路が必要になる。さらに、クロック入力を含むラッチ回路を使用すると、メモリ装置の動作中に不必要な遅延が生じる。

20

30

【0005】

改良形のメモリ装置の開発が待望されている。

【課題を解決するための手段】

【0006】

本発明の一態様によれば、メモリ装置は複数のメモリ・セルを含む。複数のメモリ・セルのそれぞれは、ビット線に結合されている。メモリ装置は、またセンス・イネーブル信号の有効化にตอบสนองして、増幅されたデータ信号を供給するために、ビット線を介した複数のメモリ・セルのうちの選択された1つからのデータ信号を増幅するセンス・アンプを含む。メモリ装置は、さらに、ビット線とセンス・アンプとの間に結合されている分離回路を含む。分離回路は、センス・イネーブル信号の有効化とほぼ同時に、センス・アンプから複数のメモリ・セルのうちの選択された1つを分離するためのものである。メモリ装置は、また、センス・アンプに結合されているセルフタイム式記憶装置であって、増幅されたデータ信号のみにตอบสนองして、増幅されたデータ信号に対応するデータを記憶するセルフタイム式記憶装置を含む。

40

【0007】

本発明の別の態様によれば、メモリ装置は、複数のメモリ・セルを含む。複数のメモリ・セルのそれぞれは、第1のビット線および第2のビット線に結合されている。メモリ装置は、読み出しサイクルの少なくとも一部の間第1のビット線に結合されている第1の

50

データ線、および読み出しサイクルの少なくとも一部の間第2のビット線に結合されている第2のデータ線を含む。メモリ装置は、さらに、一對の交差結合したインバータを有するセンス・アンプを含む。一對の交差結合したインバータは、第1のデータ線および第2のデータ線に結合されており、センス・イネーブル信号の有効化にตอบสนองして、複数のメモリ・セルのうちの選択された1つからのデータ信号を増幅する。メモリ装置は、また、第1のデータ線に結合されている入力および出力を有する第1のバッファ回路、および第2のデータ線に結合されている入力および出力を有する第2のバッファ回路、および第1のバッファ回路の出力に結合されている第1の入力、および第2のバッファ回路の出力に結合されている第2の入力を有するセルフタイム式記憶装置も含む。セルフタイム式記憶装置は、第1のバッファ回路の出力と第2のバッファ回路の出力との間の差電圧のみに応答する。

10

【0008】

別の態様によれば、本発明は、メモリ装置のメモリ・セルを読み出すための方法を含む。メモリ装置は、複数のメモリ・セルを含む。複数のメモリ・セルのそれぞれは、ビット線およびワード線に結合されている。この方法は、複数のメモリ・セルのうちの少なくとも1つを選択すること、増幅されたデータ信号を生成するために、センス・イネーブル信号の有効化にตอบสนองして、センス・アンプによりビット線上の電圧を感知して増幅することを含む。増幅されたデータ信号は、上記選択することにより選択された複数のメモリ・セルのうちの少なくとも1つに記憶されている論理状態を表す。この方法は、また、センス・イネーブル信号の有効化とほぼ同時に、センス・アンプからビット線を分離すること、セルフタイム式ラッチにおいて、増幅されたデータ信号に対応するデータをラッチすることを含む。セルフタイム式ラッチは、増幅されたデータ信号のみにตอบสนองしてデータをラッチする。

20

【発明を実施するための最良の形態】

【0009】

添付図面を参照すれば、当業者であれば、本発明およびその幾多の目的、機能、および利点を十分に理解することができるだろう。

異なる図面にまたがる同一の参照番号は、別段の指示がない限り、同一の部材を示す。

【0010】

以下に本発明を実施するための形態について詳細に説明する。この説明は、本発明を説明するためのものであって、本発明を制限するためのものと解釈すべきではない。

30

図2は、本発明によるメモリ装置のブロック図である。メモリ装置201は、それぞれがデータのビットを記憶する複数のメモリ・セルを含むビット・セル・アレイ203を含む。一実施形態の場合には、メモリ装置201は、SRAMメモリであり、ビット・セル・アレイ203のメモリ・セルは、6トランジスタのSRAMセルである。しかしながら、他の実施形態の場合には、例えば、他のタイプのSRAM、DRAM、MRAM、フラッシュ・メモリ、ROM、EPROM、EEPROM、強磁性、またはこれら以外のメモリ・セルのような他のタイプのメモリ・セルをメモリ装置において使用することができる。実施形態によっては、ビット・セル・アレイ203内の各セルは、複数のビットを記憶する。ビット・セル・アレイ203内の複数のメモリ・セルのそれぞれは、一對の差動ビット線BL205および*BL207に結合されている。アレイ203内の各セルは、行デコーダ209により制御されるワード線(例えば、210)に結合されている。行デコーダ209は、その入力において、行アドレスを受信し、その行アドレスにより指定されたワード線を有効化するために、その行アドレスをデコードする。メモリ装置201はまた、列論理211も含む。一実施形態の場合には、列論理は、プリチャージおよび等化回路と、書き込み回路と、列デコード回路と、分離トランジスタ(例えば、図3の306および308)とを含む。列論理は、メモリ・セルにデータを書き込むために、列アドレス線に結合され、かつ線内のデータに結合されている入力を有する。実施形態によっては、列論理211はまた、ビット線の複数のペアと結合され得る。列論理211は、選択された列をセンス・アンプ回路213に結合する際に列のデコード機能を実行する。

40

50

【 0 0 1 1 】

センス・アンプ回路 2 1 3 は、ビット・セル・アレイ 2 0 3 のメモリ・セルのメモリ素子内に記憶されているビットの値を決定するために、読み出しサイクルの間にローカル・データ線（例えば、図 3 の L D L 3 0 5 および * L D L 3 0 7）の違いを増幅する。メモリ素子内に記憶されているビットの値は、メモリ素子の論理状態に対応する。センス・アンプ回路 2 1 3 は、センス・イネーブル信号により、動作可能となりローカル・データ線の違いを増幅する。

【 0 0 1 2 】

メモリ装置 2 0 1 は、セルフタイム式ラッチ 2 1 5 を含む。セルフタイム式ラッチ 2 1 5 は、センス・アンプ回路 2 1 3 が供給するデータを記憶するデータ記憶装置である。一実施形態の場合には、セルフタイム式ラッチ 2 1 5 は、センス・アンプ回路 2 1 3 から、増幅した差動データ信号を受信した時にのみデータを記憶する。セルフタイム式ラッチ 2 1 5 は、クロック信号用の入力を有していない。セルフタイム式ラッチ 2 1 5 の出力は、出力バッファに供給される。その出力バッファは、選択されたメモリ・セル内に記憶されているビットの値を示すバッファ済みデータ出力信号を供給する。

【 0 0 1 3 】

図 3 は、センス・アンプ回路 2 1 3、セルフタイム式ラッチ 2 1 5、および列論理 2 1 1 の一部 3 0 9（以後「回路部分 3 0 9」と称する）の一実施形態を示す回路図である。回路部分 3 0 9 は、センス・アンプ回路 2 1 3 からビット線 B L 2 0 5 および * B L 2 0 7 を分離するための 2 つの分離トランジスタ 3 0 6 および 3 0 8 を含む。信号線の前の「*」は、その信号線と、同一の名称を有するが「*」を含まない信号線とが、論理的に相補であることを示す。分離トランジスタ 3 0 6 および 3 0 8 は、分離制御信号（C D : control signal）により制御される。一実施形態の場合には、分離制御信号（C D）は、列論理 2 1 1 の列デコーダ（図示せず）により供給され、列論理 2 1 1 に供給された列アドレスからデコードされた信号である。回路部分 3 0 9 はまた、ローカル・データ線 L D L 3 0 5 および * L D L 3 0 7 をプリチャージするためのプリチャージおよび等化回路 3 1 2 を含む。プリチャージおよび等化回路 3 1 2 をビット線から分離トランジスタ 3 0 6 および 3 0 8 の対向側面上に配置すると、センス・アンプ回路 2 1 3 のセンス・アンプ 3 1 4 を、書き込みサイクルの間にビット・セル・アレイ 2 0 3 のセルに書き込みを行いながらプリチャージすることができる。

【 0 0 1 4 】

センス・アンプ 3 1 4 は、一对の交差結合したインバータ 3 1 8 および 3 2 0 を含む。インバータ 3 1 8 は、トランジスタ 3 1 7 および 3 1 9 から形成されていて、インバータ 3 2 0 は、トランジスタ 3 1 5 および 3 2 1 から形成されている。トランジスタ 3 1 9 および 3 2 1 のそれぞれは、トランジスタ 3 2 3 の電流電極に接続されている電流電極を含む。トランジスタ 3 2 3 は、その制御電極のところでセンス・イネーブル信号を受信する。センス・アンプ 3 1 4 は、センス・イネーブル信号の有効化にตอบสนองして、ローカル・データ線 L D L 3 0 5 と * L D L 3 0 7 との間の電圧の差を増幅する。一実施形態の場合には、センス・イネーブル信号が有効化されると、センス・アンプ 3 1 4 は、ビット線およびトランジスタ 3 0 6 および 3 0 8 を通して、アレイ 2 0 3 の選択されたビット・セルからの差動データ信号により、ローカル・データ線（L D L 3 0 5 または * L D L 3 0 7）のうちのいずれが低い電圧を有しているかを感知する。次に、センス・アンプ 3 1 4 は、そのローカル・データ線を電源端子 V S S の電圧にして、他のローカル・データ線を電源端子 V D D の電圧にすることにより、増幅された差動データ信号を供給する。

【 0 0 1 5 】

図の実施形態の場合には、センス・アンプ回路 2 1 3 も、セルフタイム式ラッチ 2 1 5 からセンス・アンプ 3 1 4 を分離するためのバッファ（例えば、インバータ 3 2 7 および 3 2 5）を含む。他の実施形態の場合には、センス・アンプ回路 2 1 3 は、バッファを含まない。さらに他の実施形態の場合には、インバータ 3 2 7 および 3 2 5 の代わりに、非反転バッファを使用することができる。

10

20

30

40

50

【 0 0 1 6 】

セルフタイム式ラッチ 2 1 5 は、トランジスタ 3 3 7 および 3 3 5 を含み、それらのトランジスタのそれぞれの制御電極はデータ線 D L 3 1 1 および * D L 3 1 3 に接続されている。トランジスタ 3 3 7 および 3 3 5 のそれぞれは、交差結合したインバータ 3 3 1 および 3 3 3 に結合されている電流端子を含む。セルフタイム式ラッチ 2 1 5 は、インバータ 3 3 1 の出力端子およびインバータ 3 3 3 の入力端子に接続されているその出力においてデータを出力する。セルフタイム式ラッチ 2 1 5 は、差動データ線 D L 3 1 1 および * D L 3 1 3 上における増幅された差動データ信号の受信に应答して、その増幅された差動データ信号の値に対応する値を、その出力（データ・アウト）において、供給する。

【 0 0 1 7 】

図 4 は、2 つの読み出しサイクルの間における図 3 の回路のタイミング図の一実施形態である。読み出し「1」サイクルと表示されたタイミング図の一部は、「1」という値を示す記憶論理状態を有するビット・アレイ 2 0 3 の選択されたメモリ・セルの読み出しサイクルの間における種々のノード、信号およびデータ線の電圧の値を示す。読み出し「0」サイクルと表示されたタイミング図の一部は、「0」という値を示す記憶論理状態を有するビット・アレイ 2 0 3 の選択されたメモリ・セルの読み出しサイクルの間に種々のノード、信号およびデータ線の電圧の値を示す。特定の値に対する記憶論理状態の指定は、ある実施形態の場合には、「1」を指定するメモリ・セルの論理状態を、他の実施形態の場合には「0」と指定することができるというように任意的なものである。クロック信号は、メモリ装置外部のクロック回路（例えば、図 5 の 5 1 1）により供給される。

【 0 0 1 8 】

読み出しサイクルの間、C D 信号は、ローカル・データ線 L D L 3 0 5 および * L D L 3 0 7 のそれぞれを、ビット線 B L 2 0 5 および * B L 2 0 7 に結合するために、（例えば、4 0 5 のところで）ロー・レベルになる。この時間の間、ビット・セル・アレイ 2 0 3 におけるメモリ・セルは、そのビット・セルに関連するワード線（例えば、2 1 0）を作動させることにより読出しのために選択される。また、C D 信号が、ロー・レベルになると、プリチャージおよび等化回路 3 1 2 により、ローカル・データ線 L D L 3 0 5 および * L D L 3 0 7 のプリチャージを停止するために、プリチャージ信号がハイ・レベルになる。ローカル・データ線 L D L 3 0 5 および * L D L 3 0 7 のそれぞれを、ビット線 B L 2 0 5 および * B L 2 0 7 に結合し、プリチャージおよび等化回路 3 1 2 の動作を停止すると、ローカル・データ線 L D L 3 0 5 および * L D L 3 0 7 を選択されたビット・セルに結合することができ、L D L 3 0 5 および * L D L 3 0 7 の両端に、選択されたメモリ・セル内に記憶されている論理状態に依存する電圧差が生成される。図の実施形態の場合には、「1」を示す論理状態が選択されたメモリ・セル内に記憶されているために、C D 信号が有効化されると、* L D L 3 0 7 の電圧が L D L 3 0 5 の電圧レベルより低い電圧レベルになる（斜線 4 0 6 を参照のこと）。

【 0 0 1 9 】

C D 信号が 4 0 5 においてロー・レベルになってから所定の時間が経過すると、センス・イネーブル信号が 4 0 7 において有効化される（センス・イネーブル信号が能動ハイ信号になる）。センス・イネーブル信号、および C D 信号およびプリチャージ信号は、クロック信号から論理的に入手される。センス・イネーブル信号が有効化されると、センス・アンプ 3 1 4 をトリガーして、* L D L 3 0 7 を電源電圧端子 V S S の電圧レベルにする。センス・イネーブル信号が有効化された時点近傍で、C D 信号がハイ・レベルになり、ビット線 B L 2 0 5 および * B L 2 0 7 のそれぞれから、ローカル・データ線 L D L 3 0 5 および * L D L 3 0 7 が分離される。ローカル・データ線（例えば、L D L 3 0 5 および * L D L 3 0 7）がビット線（B L 2 0 5 および * B L 2 0 7）から分離されると、センス・アンプ 3 1 4 は、ローカル・データ線がビット線に結合していない場合はローカル・データ線上のキャパシタンスが低減するため、ビット線に結合している場合と比較すると、より高速にローカル・データ線上の差動データ信号を増幅することができる。

【 0 0 2 0 】

*LDL307がインバータ325の入力端子に接続しており、データ線*DL313がインバータ325の出力端子に接続しているため、*LDL307をVSSにすると、*DL313がハイ・レベルになる。DL311は、インバータ327を通してLDL305と結合しているため、DL311は低電圧レベルに留まる。*DL313がハイ・レベルになり、選択されたメモリ・セル内に「1」が記憶されていることを示すと、データ・アウト信号はロー・レベルになる。DL*313がハイ・レベルになると、トランジスタ335が導通し、インバータ331に電力を過度に供給し、インバータ333の入力端子をロー・レベルにする。インバータ333の入力端子がロー・レベルになると、インバータ331の入力端子(ノード341)がハイ・レベルになり、それによりデータ・アウト信号がロー・レベルになる。

10

【0021】

センス・イネーブル信号が有効化されず、かつプリチャージおよび等化回路312が、プリチャージ信号がロー・レベルになったために動作可能になると、ローカル・データ線*LDL307はVDDに戻り、それにより*DL313がロー・レベルになり、トランジスタ335がオフになる。しかしながら、セルフタイム式ラッチ215のラッチ機能により、データ・アウト信号の電圧レベルは、依然として低電圧レベルにラッチされている。それ故、セルフタイム式ラッチ215は、ローカル・データ線およびセンス・アンプ314がプリチャージされた後で、選択されたメモリ・セルの内容を示す値を供給する。

【0022】

データ・アウト信号の値は依然として同一レベルであり、以降のメモリ読み出しサイクルの間にセンス・アンプが反対の値を感知するまでその値を示す。例えば、データ・アウト信号の電圧は、以後のメモリ読み出しサイクルの間にセンス・アンプ314が「0」という値を感知するまで、ロー・レベルに留まる。

20

【0023】

読み出し「0」サイクルの間に、CD信号は(例えば、408において)低くなり、ローカル・データ線LDL305および*LDL307のそれぞれを、ビット線BL205および*BL207に結合する。この時間の間に、ビット・セル・アレイ203内のメモリ・セルが、そのビット・セルに関連するワード線(例えば、210)を作動させることにより、選択されて、読み出される。また、CD信号がロー・レベルになると、プリチャージ信号がハイ・レベルになり、プリチャージおよび等化回路312により、ローカル・データ線LDL305および*LDL307のプリチャージを停止する。選択されたメモリ・セル内に「0」が記憶されているため、LDL305の電圧は、*LDL307の電圧レベルよりも低い電圧レベルになる(図4の斜線412を参照のこと)。

30

【0024】

408においてCD信号がロー・レベルになってから所定の時間が経過すると、409においてセンス・イネーブル信号が有効化される。センス・イネーブル信号が有効化されると、センス・アンプ314をトリガーして、LDL305を電源電圧端子VSSの電圧レベルにする。センス・イネーブル信号が有効化される時点近傍で、CD信号がハイ・レベルになり、ビット線BL205および*BL207のそれぞれから、ローカル・データ線LDL305および*LDL307が分離される。

40

【0025】

LDL305がインバータ327の入力端子に接続しており、データ線DL311がインバータ327の出力端子に接続しているため、LDL305をVSSにすると、DL311がハイ・レベルになる。*DL313は、インバータ325を通して*LDL307と結合しているため、*DL313は低電圧レベルに留まる。DL311がハイ・レベルになり、選択されたメモリ・セル内に「0」が記憶されていることを示すと、データ・アウト信号はハイ電圧レベルになる。DL311がハイ電圧レベルになると、トランジスタ337が導通し、インバータ333に電力を過度に供給し、インバータ331の入力端子(ノード341)をロー・レベルにする。インバータ331の入力端子がロー・レベルになると、インバータ333の入力端子およびデータ・アウト信号がハイ電圧レベルになる

50

【 0 0 2 6 】

センス・イネーブル信号が有効化されず、かつプリチャージおよび等化回路 3 1 2 が、プリチャージ信号がロー・レベルになったために動作可能になると、ローカル・データ線 L D L 3 0 5 は V D D に戻り、それにより D L 3 1 1 がロー・レベルになり、トランジスタ 3 3 7 がオフになる。しかしながら、セルフタイム式ラッチ 2 1 5 のラッチ機能により、データ・アウト信号の電圧レベルは、依然として高電圧レベルにラッチされている。

【 0 0 2 7 】

増幅されたデータ信号のデータを捕捉して保持するために、維持されるべき特定のセットアップおよび時間保持要件を有するクロック同期されたラッチの場合とは対照的に、センス・アンプ回路の出力のみに応答するセルフタイム式ラッチを使用した場合、そのラッチは、増幅されたデータ信号をセンス・アンプが供給した直後の値をラッチする。また、クロック入力を有さないセルフタイム式ラッチを使用することにより、集積回路のクロック生成回路の負荷を軽減することができる。さらに、メモリ装置においてラッチおよびセンス・アンプ回路を具体化するための回路を減らすこともできる。

【 0 0 2 8 】

他の実施形態の場合には、センス・アンプ回路およびラッチは、他の構成を有することができる。例えば、（反転バッファ機能を行う）インバータ 3 2 5 および 3 2 7 の代わりに非反転バッファを使用することができる。このような実施形態の場合には、トランジスタ 3 3 7 および 3 3 5 の代わりに、Pチャネル型トランジスタを使用することができ、その場合には、その電流端子を V S S ではなく電源端子 V D D に接続する。また、他の実施形態の場合には、分離トランジスタ 3 0 6 および 3 0 8 を使用しなくてもよい。他の実施形態の場合には、例えば、増幅された差動出力を供給する他のセンス・アンプを含む、他のタイプのセンス・アンプ回路を使用することができる。

【 0 0 2 9 】

図 5 は、本発明による集積回路の一実施形態のブロック図である。集積回路 5 0 1 は、コア・プロセッサ 5 0 3 と、クロック回路 5 1 1 と、バス・コントローラおよびダイレクト・メモリ・アクセス回路 5 0 5 と、L 2 キャッシュ 5 0 9 とを含む。一実施形態の場合には、バス・コントローラおよびダイレクト・メモリ・アクセス (D M A : direct memory access) 回路 5 0 5 は、1 つまたは複数のバス・コントローラを含み、各バス・コントローラは異なるシステム・バス (例えば、P C I バス) に結合されている。L 2 キャッシュ 5 0 9 は、複数の列を含み、各列は、センス・アンプ回路 2 1 3、セルフタイム式ラッチ 2 1 5、および図 3 の回路部分 3 0 9 に類似のセンス・アンプ回路、セルフタイム式ラッチ、および回路部分を含む。クロック回路 5 1 1 は、クロック信号を供給する。コア・プロセッサ 5 0 3 は、バス 5 1 5 を通して L 2 キャッシュ 5 0 9 に行および列アドレスを供給し、バス 5 1 5 を通して L 2 キャッシュ 5 0 9 からデータを受信する。集積回路 5 0 1 は、また、他のバス・コントローラおよびメモリ (例えば、R A M またはフラッシュ) のような他のデバイスを含むことができる。一実施形態の場合には、集積回路 5 0 1 は、異なるプロトコルのバスを動作できるように結合するための通信処理回路である。

【 0 0 3 0 】

他の実施形態の場合には、本明細書に記載するセンス・アンプ回路セルフタイム式ラッチおよび列論理を他のタイプのメモリ装置において使用することができる。例えば、これらの回路を埋込みメモリ回路 (例えば、埋込み R A M または R O M)、またはスタンド・アロン・メモリ装置で使用することができる。

【 0 0 3 1 】

本発明の特定の実施形態を図示し、説明してきたが、当業者であれば、本明細書内の開示に基づいて、本発明およびその広義の態様から逸脱することなく、さらに変更および修正を行うことができる。それ故、添付の特許請求の範囲は、このようなすべての変更および修正を本発明の真の技術思想および範囲内に入るものとして包含することを理解することができるだろう。

10

20

30

40

50

【図面の簡単な説明】

【0032】

【図1】従来技術のメモリ装置のブロック図。

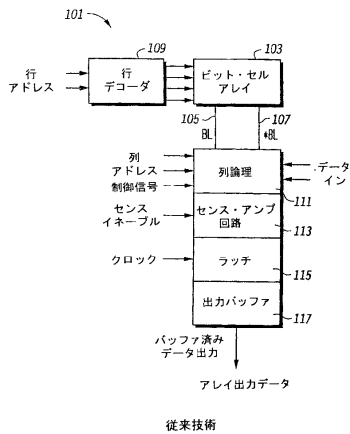
【図2】本発明によるメモリ装置の一実施形態のブロック図。

【図3】本発明によるセンス・アンプ回路およびセルフタイム式ラッチを含む図2のメモリ装置の一部の一実施形態の回路図。

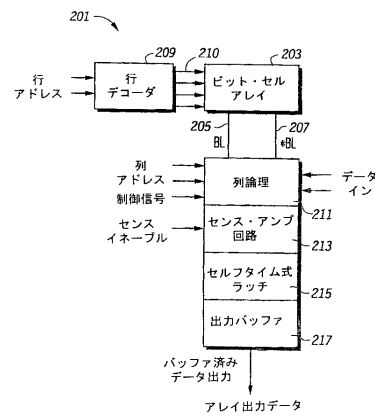
【図4】本発明によるメモリ装置の一実施形態のタイミング図。

【図5】本発明による集積回路の一実施形態のブロック図。

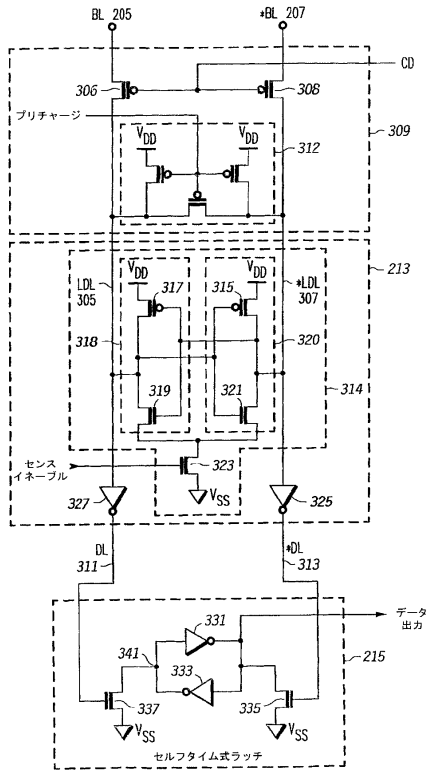
【図1】



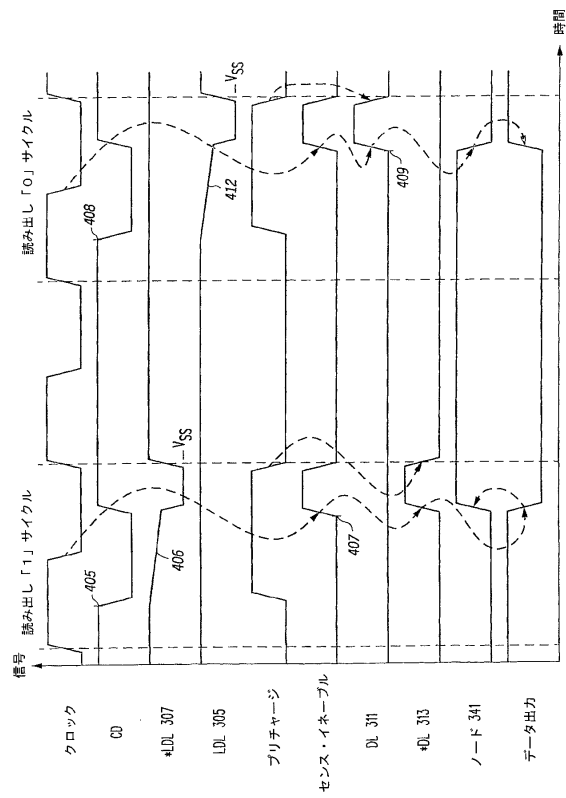
【図2】



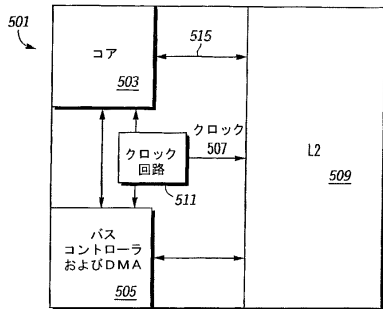
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 ペリー、ザ サード ペリー エイチ、
アメリカ合衆国 78726 テキサス州 オースティン インディゴ ブラッシュ ドライブ
9606

審査官 須原 宏光

(56)参考文献 特開平09 - 231771 (JP, A)
特開平04 - 291093 (JP, A)
特開平09 - 284100 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G11C 11/41