



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 919080

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 04.09.80 (21) 2976676/18-21

с присоединением заявки № -

(23) Приоритет -

Опубликовано 07.04.82. Бюллетень № 13

Дата опубликования описания 09.04.82

(51) М. Кл.³

Н.03 К 13/20

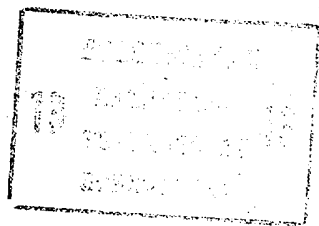
(53) УДК 681.

.325(088.8)

(72) Автор
изобретения

В. Э. Штейнберг

(71) Заявитель



(54) ЦИФРОВОЙ КОДИРУЮЩИЙ ПРЕОБРАЗОВАТЕЛЬ ЧАСТОТЫ СЛЕДОВАНИЯ ИМПУЛЬСОВ

1

Изобретение относится к электроизмерительной технике, а именно к устройствам для многоканального преобразования частоты следования импульсов в код и может быть использовано в качестве периферийного оборудования в многоуровневых цифровых системах сбора и обработки информации.

Известен кодирующий преобразователь частоты в код, содержащий вычитающий счетчик, преобразователь частоты в код, блок управления [1].

Это устройство реализует нелинейное кодирование периода, а его недостатком является ограниченная точность и узкий класс решаемых задач.

Наиболее близким по технической сущности к предлагаемому изобретению является устройство для измерения низких частот, содержащее формирователь, вычитающий счетчик, функциональный преобразователь [2].

Известное устройство обладает повышенной точностью вследствие высокой

2

степени точности реализации требуемой нелинейности при кодировании периода, а его недостатком является ограниченный класс решаемых задач, а именно невозможность многоканального кодирующего преобразования частоты.

Цель изобретения - расширение функциональных возможностей устройства за счет возможности многоканального кодирующего преобразования частоты на основе нелинейного кодирования периода.

Поставленная цель достигается тем, что в устройство, содержащее п формирователей входных сигналов, генератор опорной частоты, выход которого соединен с первым входом вентиля, выход которого подключен к входу первого управляемого делителя непосредственно и через последовательно соединенные делитель с фиксированным коэффициентом деления и элемент задержки - к входу счетчика, выходы которого соединены с информационными входами второго управляемого делителя и регистра памяти, вход

записи которого соединен с делителем с фиксированным коэффициентом деления, а выходы — с информационными входами первого управляемого делителя, выход которого соединен с входом второго управляемого делителя, выход которого подключен ко входу вычитающего счетчика, введены n триггеров, n элементов 2И-ИЛИ, n реверсивных счетчиков, n дешифраторов нуля, n регистров хранения, элемент И и блок управления, первый вход которого подключен к шине пуска устройства, второй вход блока управления соединен с выходом элемента И, входы которого подключены к выходам формирователей входных сигналов, выход каждого формирователя входных сигналов соединен с первым входом соответствующего элемента 2И-ИЛИ и с прямым входом соответствующего триггера, инверсный вход каждого из которых подключен к выходу соответствующего дешифратора нуля и входу записи соответствующего регистра хранения, одноименные входы n регистров хранения объединены и подключены к выходам вычитающего счетчика, вторые входы элементов 2И-ИЛИ объединены и подключены к второму входу вентиля и к первому входу блока управления, третьи и четвертые входы всех элементов 2И-ИЛИ объединены и подключены к выходу генератора опорной частоты, а пятые входы подключены к выходам соответствующих триггеров и управляющим входам реверсивных счетчиков, счетные входы которых соединены с выходами соответствующих элементов 2И-ИЛИ, а выходы — с входами соответствующих дешифраторов нуля, второй выход блока управления подключен к управляющим входам формирователей входных сигналов.

На чертеже приведена структурная схема устройства.

Устройство включает формирователи 1 входных сигналов, триггеры 2 и элементы 3 2И-ИЛИ, реверсивные счетчики 4, дешифраторы 5 нуля, регистры 6 хранения, элемент 7 И, блок 8 управления, генератор 9 опорной частоты, вентиль 10, делитель 11 с фиксированным коэффициентом деления, элемент 12 задержки, счетчик 13, регистр 14 памяти, управляемые делители 15 и 16, вычитающий счетчик 17, входные шины 18, шина 19 пуска.

Входные шины 18 подключены к первым входам формирователей 1, управляющие входы которых объединены и подключены к одному из выходов блока 8 управ-

ления, а выходы связаны с одними из выходов элементов 3 2И-ИЛИ, прямыми входами триггеров 2 и со входами элемента 7 И. Вторые входы элементов 3 2И-ИЛИ объединены с одним из входов вентиля 10 и подключены к первому выходу блока 8 управления, один из входов которого подключен к шине 19 пуска, а второй вход связан с выходом элемента 7 И. Третьи и четвертые входы элементов 3 2И-ИЛИ объединены и соединены с первым входом вентиля 10 и с выходом генератора 9 опорной частоты. Пятые входы элементов 3 2И-ИЛИ объединены с управляющими шинами реверсивных счетчиков 4 и подключены к прямым выходам триггеров 2, выходы элементов 3 2И-ИЛИ подключены к счетным входам реверсивных счетчиков 4, разрядные выходы которых подключены ко входам дешифраторов 5 нуля, выходы которых подключены к инверсным входам триггеров 2 и ко входам записи регистров 6 хранения, одноименные разрядные входы которых объединены и подключены к выходам вычитающего счетчика 17. Выход вентиля 10 подключен ко входу делителя 11 с фиксированным коэффициентом деления и к счетному входу управляемого делителя 15, выход которого связан со счетным входом управляемого делителя 16, выход которого связан со входом вычитающего счетчика 17. Выход делителя 11 подключен ко входу записи регистра 14 памяти и ко входу элемента 12, выход которого подключен ко входу счетчика 13, разрядные выходы которого подключены ко входам регистра 14 памяти и управляемого делителя 16. Выходы регистра 14 подключены ко входам управляемого делителя 15. Выходы регистров 6 хранения могут подключаться к устройствам отображения и регистрации информации.

Устройство работает следующим образом.

При подаче команды пуска на шину 19 с одного из выходов блока 8 управления на управляющие входы формирователей 1 поступает сигнал, в результате чего на их выходах формируются интервалы времени, равные периоду частотно-импульсного сигнала, поступающего на шины 18 устройства. Поскольку данные входные сигналы между собой асинхронны, то с начала каждого из интервалов времени, появляющихся на выходах формирователя 1, в реверсивных счетчиках 4 начинает накапливаться число импульсов опорной

частоты с выхода генератора 9, которые посту-
пают на третьи входы элементов 3 2И-ИЛИ, первые входы которых отпира-
ются выходным сигналом формирователей 1, а вторые входы отпираются разрешаю-
щим сигналом с первого выхода блока 8 управления. Процесс накопления импуль-
сов опорной частоты в реверсивных счет-
чиках 4 продолжается до тех пор, пока на последнюю шину 18 устройства не
поступит импульс преобразуемого сигнала. В этот момент времени на выходе
элемента 7 И появляется сигнал, в ре-
зультате чего на одном из выходов бло-
ка 8 управления снимается разрешающий
сигнал, запираются элементы 3 2И-ИЛИ
и отпирается по инверсному входу вентиль
10. С этого времени реверсивные счет-
чики 4 запираются и устройство, вслед-
ствие открытия вентиля 10, начинает от-
рабатывать обратную зависимость, при
этом осуществляется нелинейное коди-
рование периода, последнего из поступив-
ших на шины 18. На чертеже приведен
пример выполнения устройства для трех
каналов. Число в реверсивном счетчике
4 (например, третьего канала), на вход-
ную шину 18 которого импульс входного
сигнала поступил последним, равно единице,
вследствие однократного перепада потен-
циала из единицы в ноль на выходе тре-
тьего элемента 3 2И-ИЛИ. В момент
окончания периода сигнала на третьей
входной шине 18 задним фронтом импуль-
са с выхода третьего формирователя 1
третий триггер 2 устанавливается в едини-
цу, отпирая третий элемент 3 2И-ИЛИ
по пятому входу и устанавливая третий
реверсивный счетчик 4 в режим вычита-
ния, в результате чего первым же им-
пульсом с выхода генератора 9 третий ре-
версивный счетчик 4 обнуляется, что при-
водит к появлению сигнала на выходе со-
ответствующего дешифратора 5 нуля, кото-
рый поступает на вход записи третьего
регистра 6 хранения, осуществляя запись
в него кода остатка из вычитающего
счетчика 17, который численно равен
значению частоты, соответствующей пер-
вому периоду сигнала на третьей шине
18 устройства. Одновременно импульсом
с выхода третьего дешифратора 5 нуля
третий триггер 2 устанавливается в ну-
левое состояние, блокируя соответствую-
щий элемент 3 2И-ИЛИ. Таким образом,
третий канал, на входную шину 18 кото-
рого преобразуемый сигнал поступил по-
следним, обрабатывает его, фиксируя зна-
чения частоты в соответствующем регист-

ре хранения. Поскольку импульсы входных
сигналов на первую и вторую шины 18
устройства поступили раньше, то число в
соответствующих реверсивных счетчиках
4 отличается от единицы и по окончании
каждого из периодов и после установки
соответствующих триггеров 2 в единич-
ное состояние, происходит счет в обрат-
ном направлении в счетчиках 4, моменты
обнуления которых сдвинуты относительно
начала нелинейного кодирования (или мо-
мента отпираания вентиля 10) на величи-
ну, равную опережению начала соответст-
вующего периода относительно периода на
третьей шине 18, поступившего последним,
т.е. поступление сигналов с соответствую-
щих выходов дешифраторов 5 нуля проис-
ходит через интервалы времени, равные
периоду входного сигнала в каждом кана-
ле, отсчитанных от начала последнего по-
ступившего периода на шину 18 или от
начала нелинейного кодирования, которое
осуществляется следующим образом.

Поскольку угловые коэффициенты кривой,
описывающей закон изменения частоты
импульсов, поступающих на вычитаю-
щий вход счетчика 17, в каждый из мо-
ментов времени равны $K_y = dF/dt = 1/t^2$,
т.е. обратно пропорциональны квадрату
текущего времени, отсчитываемого от на-
чала третьего периода (или начала нели-
нейного кодирования), и является предель-
ным выражением для K_y , то в реальном
устройстве они реализуются при конечном
значении dt , равном Δt и отрабатывае-
мом делителем 11 с фиксированным коэф-
фициентом деления, а эквивалент квадра-
та текущего времени отрабатывается де-
лителями 15 и 16, коэффициенты которых
отличаются на единицу: $n, (n-1)$, что
позволяет реализовать полигональную ап-
проксимирующую функцию в виде интерпо-
лирующей, узлы интерполяции которой рас-
положены на исходной $F = 1/T$ с фиксиро-
ванным шагом $\Delta t = \text{const}$. Нетрудно
убедиться, что пределы выражений для
реальных и теоретических угловых коэф-
фициентов совпадают, чем обеспечивается
соблюдение требуемого закона нелинейно-
го кодирования

Таким образом, предлагаемое устрой-
ство обеспечивает эффективное, в смысле
быстродействия, кодирование требуемого
числа частотно-импульсных сигналов, по-
ступающих по отдельным каналам, что
расширяет его функциональные возмож-
ности и область применения. В случае
использования предлагаемого устройства
для преобразования по одному каналу, им-

пульс на входе которого условно принимается за последний из поступивших, устройство упрощается за счет исключения узлов 2-5 в соответствующем канале. Кроме того, на практике возможен случай, при котором моменты окончания периодов в каждом из каналов располагаются произвольно, однако на функционировании устройства это не отражается, так как считывание кода остатка из вычитающего счетчика 17 в соответствующий регистр 6 хранения происходит независимо.

При конкретной реализации устройства в зависимости от диапазона изменения кодированных сигналов устройство может включить масштабирующий узел, осуществляющий растяжку интервала времени, равного входному периоду, а также вариант, при котором производится осреднение нескольких периодов в каждом из каналов.

Ф о р м у л а и з о б р е т е н и я

Цифровой кодирующий преобразователь частоты следования импульсов, содержащий n формирователей входных сигналов, генератор опорной частоты, выход которого соединен с первым входом вентиля, выход которого подключен к входу первого управляемого делителя непосредственно и через последовательно соединенные делитель с фиксированным коэффициентом деления и элемент задержки - к входу счетчика, выходы которого соединены с информационными входами второго управляемого делителя и регистра памяти, вход записи которого соединен с делителем с фиксированным коэффициентом деления, а выходы - с информационными входами первого управляемого делителя, выход которого соединен с входом второго управляемого делителя, выход которого подключен к входу вычитающего счетчика, о т л и ч а ю щ и й с я тем, что,

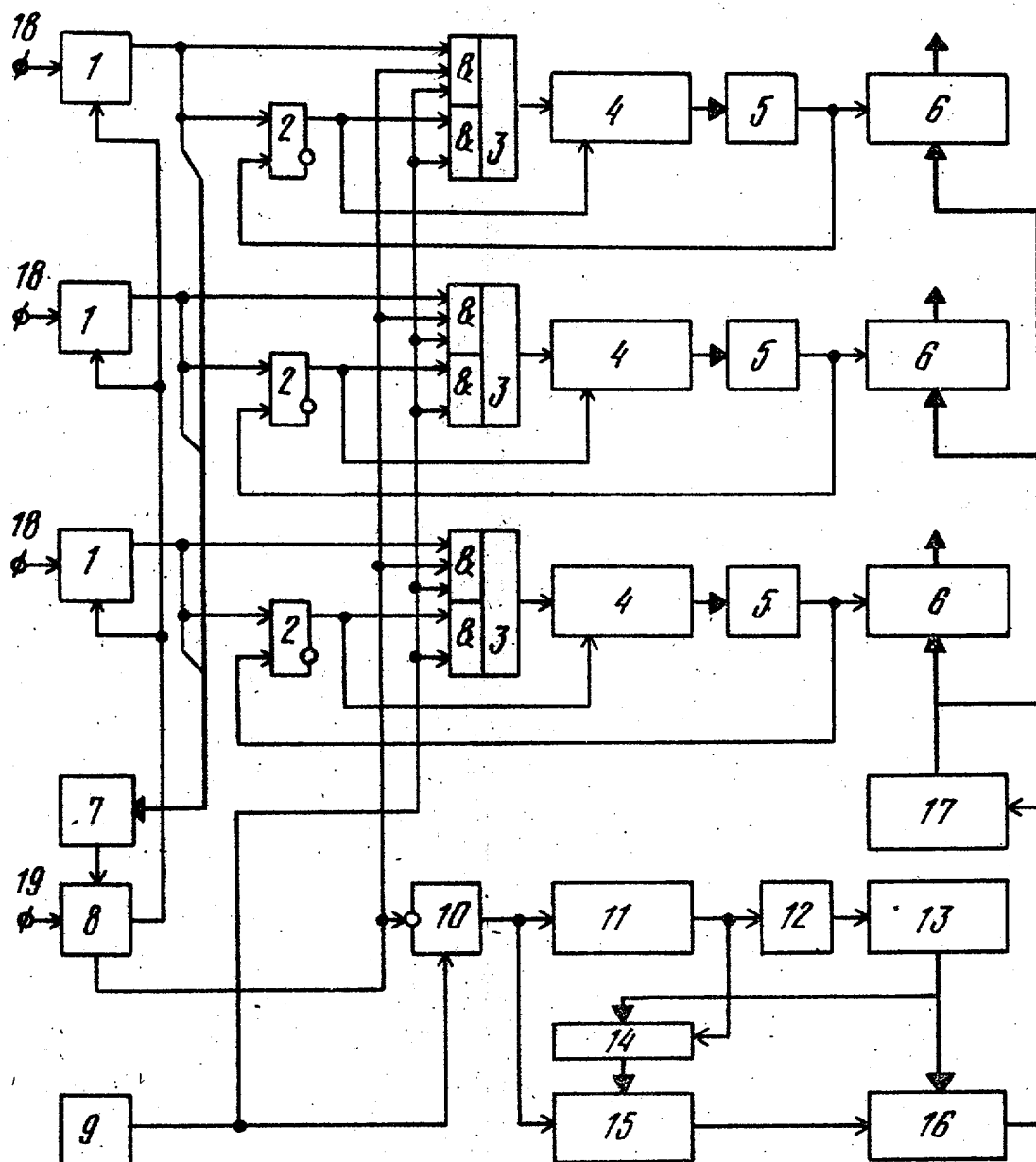
с целью расширения функциональных возможностей преобразователя, в него введены n триггеров, n элементов 2И-ИЛИ, n реверсивных счетчиков, n дешифраторов нуля, n регистров хранения, элемент И и блок управления, первый вход которого подключен к шине пуска устройства, второй вход блока управления соединен с выходом элемента И, входы которого подключены к выходам формирователей входных сигналов, выход каждого формирователя входных сигналов соединен с первым входом соответствующего элемента 2И-ИЛИ и с прямым входом соответствующего триггера, инверсный вход каждого из которых подключен к выходу соответствующего дешифратора нуля и входу записи соответствующего регистра хранения, одноименные входы n регистров хранения объединены и подключены к выходам вычитающего счетчика, вторые входы элементов 2И-ИЛИ объединены и подключены к второму входу вентиля и первому входу блока управления, третьи и четвертые входы всех элементов 2И-ИЛИ объединены и подключены к выходу генератора опорной частоты, а пятые входы подключены к выходам соответствующих триггеров и управляющим входам реверсивных счетчиков, счетные входы которых соединены с выходами соответствующих элементов 2И-ИЛИ, а выходы - с входами соответствующих дешифраторов нуля, второй выход блока управления подключен к управляющим входам формирователей входных сигналов.

Источники информации,

принятые во внимание при экспертизе

1. Кирианаки И. В., Дудыкевич В. Б. Методы и устройства цифрового измерения низких частот, "Вища школа", Львов, 1975, с. 108, рис. 3-12.

2. Авторское свидетельство СССР № 573766, кл. G 01R 23/00, 1977 (прототип).



Составитель Р. Матвеева

Редактор А. Власенко

Техред М. Надь

Корректор Е. Рошко

Заказ 2161/39

Тираж 954

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4