

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】令和 2 年 10 月 1 日 (2020.10.1)

【公表番号】特表 2020-524871(P2020-524871A)

【公表日】令和 2 年 8 月 20 日 (2020.8.20)

【年通号数】公開・登録公報 2020-033

【出願番号】特願 2019-568623(P2019-568623)

【国際特許分類】

G 1 1 C 29/44 (2006.01)

G 0 6 F 12/06 (2006.01)

G 0 6 F 11/22 (2006.01)

【F I】

G 1 1 C 29/44 1 0 0

G 0 6 F 12/06 5 1 5 Q

G 0 6 F 11/22 6 0 7 Z

【手続補正書】

【提出日】令和 2 年 7 月 22 日 (2020.7.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

エラーがあったと判定されたビットのアドレスを記憶するように構成された不審ビット・レジスタと、

(i) 第 1 のエラーが原因で前記不審ビット・レジスタに現れ、かつ (i i) 第 2 のエラーがあったと判定されたビットのアドレスを記憶するように構成された不良ビット・レジスタと、

を含む、不揮発性ランダム・アクセス・メモリ

を備える、メモリ・デバイス。

【請求項 2】

前記不審ビット・レジスタが、バーンイン・プロセス後に前記エラーが発生したと判定された前記ビットの前記アドレスを記憶するように構成され、前記メモリ・デバイスが、バーンイン・プロセス中にエラーがあると判定されたビットを識別するように構成されたメイン・レジスタをさらに備える、請求項 1 に記載のメモリ・デバイス。

【請求項 3】

前記メイン・レジスタおよび前記不良ビット・レジスタがヒューズ・ビット・レジスタとして構成されている、請求項 2 に記載のメモリ・デバイス。

【請求項 4】

前記メイン・レジスタおよび前記不良ビット・レジスタが前記不揮発性ランダム・アクセス・メモリに含まれている、請求項 3 に記載のメモリ・デバイス。

【請求項 5】

前記バーンイン・プロセス中に不良であると判定された前記ビットが電氣的短絡状態および電氣的開回路状態に対応する、請求項 2 に記載のメモリ・デバイス。

【請求項 6】

前記メイン・レジスタが前記不揮発性ランダム・アクセス・メモリに含まれている、請求項 2 に記載のメモリ・デバイス。

【請求項 7】

前記メイン・レジスタがワнтаイム・プログラマブル・メモリ・デバイスに含まれている、請求項 2 に記載のメモリ・デバイス。

【請求項 8】

前記不揮発性ランダム・アクセス・メモリが磁気トンネル接合を有するスピントルク磁気抵抗ランダム・アクセス・メモリである、請求項 1 に記載のメモリ・デバイス。

【請求項 9】

前記不審ビット・レジスタのアドレスの最も古いアドレスが、前記不審ビット・レジスタが満杯であること、および前記不審ビット・レジスタに書き込むためのアドレスが保留になっていることに応じて、上書きされる、請求項 1 に記載のメモリ・デバイス。

【請求項 10】

前記不良ビット・レジスタのアドレスの最も古いアドレスが、前記不良ビット・レジスタが満杯であること、および前記不良ビット・レジスタに書き込むためのアドレスが保留になっていることに応じて、上書きされる、請求項 1 に記載のメモリ・デバイス。

【請求項 11】

エラーがあると判定されたビットのアドレスを記憶する不審ビット・レジスタを不揮発性ランダム・アクセス・メモリ内に構成することと、

(i) 第 1 のエラーが原因で不審ビット・レジスタに現れ、かつ (i i) 第 2 のエラーがあると判定されたビットのアドレスを記憶するための不良ビット・レジスタを前記不揮発性ランダム・アクセス・メモリ内に構成することと、を含むメモリ・デバイスの実装方法。

【請求項 12】

許容できない書き込みエラー率があると判定されたビットを含むワードのアドレスを記憶するように構成された不良ビット・レジスタと、

不良ビットを識別して前記不良ビット・レジスタに書き込むように構成された不審ビット・レジスタと、

プロセッサであって、

エラー訂正コードを使用してエラーを検出したことに応答して、前記不審ビット・レジスタ内の前記エラーに関連するビットのアドレスを検索し、

一致するものが存在するということに応答して、前記エラーに関連する前記ビットの前記アドレスを前記不審ビット・レジスタから削除し、前記エラーに関連する前記ビットの前記アドレスを前記不良ビット・レジスタに書き込むように構成された、前記プロセッサと、

を備える、メモリ・システム。

【請求項 13】

前記プロセッサが、前記一致するものが存在しないということに応答して、前記エラーに関連する前記ビットの前記アドレスを前記不審ビット・レジスタに書き込むように構成されている、請求項 12 に記載のメモリ・システム。

【請求項 14】

バーンイン・プロセス中に不良であると判定されたビットを識別するように構成されたメイン・レジスタをさらに備える、請求項 12 に記載のメモリ・システム。

【請求項 15】

前記メイン・レジスタおよび前記不良ビット・レジスタがヒューズ・ビット・レジスタとして構成され、前記プロセッサが前記ヒューズ・ビット・レジスタを使用して、不良であると判定されたワードをヒューズ作動し、不良であると判定された前記ワードのそれぞれをそれぞれの冗長なアドレスで置き換えるように構成されている、請求項 14 に記載のメモリ・システム。

【請求項 16】

前記不良ビット・レジスタ、前記不審ビット・レジスタ、および前記メイン・レジスタが同じ不揮発性メモリ・デバイスに含まれている、請求項 12 に記載のメモリ・システム

。

【請求項 17】

前記不良ビット・レジスタおよび前記不審ビット・レジスタが同じ不揮発性メモリ・デバイスに含まれ、前記メイン・レジスタが異なる不揮発性メモリ・デバイスに含まれている、請求項 12 に記載のメモリ・システム。

【請求項 18】

(i) 許容できない書き込みエラー率があると判定されたビットを含むワードのアドレスを記憶するための不良ビット・レジスタと、(ii) 不良ビットを識別して前記不良ビット・レジスタに書き込むための不審ビット・レジスタと、を構成することを含み、

エラー訂正コードを使用してエラーを検出することに対応して、前記不審ビット・レジスタ内の前記エラーに関連するビットのアドレスに一致するものを検索することをさらに含み、

前記一致するものが存在するということに対応して、前記エラーに関連する前記ビットの前記アドレスを前記不審ビット・レジスタから削除し、前記エラーに関連する前記ビットの前記アドレスを前記不良ビット・レジスタに書き込むことをさらに含み、メモリ・システムの実装方法。