

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup> (11) 공개번호 특2001-0003467  
H01L 21/027 (43) 공개일자 2001년01월 15일

(21) 출원번호	10-1999-0023764
(22) 출원일자	1999년06월23일
(71) 출원인	현대전자산업 주식회사 김영환
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 권원택 경기도이천시대월면사동리현대아파트102-109 김영기 서울특별시강남구수서동까치마을아파트1003동1215호
(74) 대리인	강성배

**심사청구 : 있음**

**(54) 반도체 소자의 오버레이 측정 패턴 형성방법**

**요약**

본 발명은 외부박스와 내부박스로 이루어진 오버레이 측정패턴에서, 상기 외부박스가 하부막의 유동에 의해 변형되는 것을 방지하기 위한 방법에 관한 것으로서, 본 발명의 오버레이 측정패턴 형성방법은, 외부박스와 내부박스로 이루어진 오버레이 측정 패턴에서 상기 외부박스를 형성하기 위한 반도체 소자의 오버레이 측정 패턴 형성방법으로서, 하부 패턴들이 구비된 반도체 기판 상에 BPSG막을 증착하는 단계; 상기 BPSG막을 식각하여, 상기 반도체 기판의 소정 부분을 노출시키는 제1콘택홀을 형성하는 단계; 상기 BPSG막 및 제1콘택홀의 내벽에 제1폴리실리콘막을 증착하는 단계; 연마 공정으로, 상기 BPSG막 상에 증착된 제1폴리실리콘막을 제거하는 단계; 상기 결과물의 상부에 산화막을 증착하고, 상기 산화막 상에 상기 제1콘택홀 내에 증착된 산화막 부분의 일부분들을 노출시키는 감광막 패턴을 형성하는 단계; 상기 산화막을 식각해서, 상기 제1콘택홀 내에 잔류된 제1폴리실리콘막의 소정 부분들을 노출시키는 제2콘택홀들을 형성하는 단계; 상기 감광막 패턴을 제거하고, 상기 결과물의 상부에 상기 제2콘택홀이 매립될 정도의 충분한 두께로 제2폴리실리콘막을 증착하는 단계; 및 상기 제2폴리실리콘막을 패터닝하는 단계를 포함하여 이루어진다.

**대표도**

**도2e**

**명세서**

**도면의 간단한 설명**

도 1은 종래 기술에 따라 형성된 오버레이 측정패턴의 외부박스를 도시한 도면.  
도 2a 및 도 2e는 본 발명에 따른 외부박스 형성방법을 설명하기 위한 공정 단면도.  
도 3은 본 발명의 실시예에 따른 제2감광막 패턴을 형성하기 위한 노광 공정에서 사용되는 마스크 패턴을 도시한 도면.

[도면의 주요 부분에 대한 부호의 설명]

- 11 : 반도체 기판
- 12 : BPSG막
- 13 : 제1감광막 패턴
- 14 : 제1콘택홀
- 15 : 제1폴리실리콘막
- 16 : 산화막
- 17 : 제2감광막 패턴
- 18 : 제2콘택홀
- 19 : 제2폴리실리콘막
- 20 : 제3감광막 패턴
- 21 : 외부박스
- 31 : 홀 패턴
- 40 : 마스크 패턴

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 소자의 오버레이 측정패턴 형성방법에 관한 것으로, 특히, 하부막의 유동에 의해 오버레이 측정패턴이 변형되는 것을 방지하기 위한 반도체 소자의 오버레이 측정패턴 형성방법에 관한 것이다.

오버레이 정확도(overlay accuracy)란, 디바이스의 제조 공정에서, 전(前) 공정과 현(現) 공정에서 형성된 패턴들간의 정렬상태를 나타내는 지수이며, 상기 오버레이 정확도는 마스크 제작시 발생하는 에러와 실질적인 디바이스의 공정 및 시스템 에러에 의해 영향을 받는다.

이러한 오버레이 정확도를 측정하기 위하여, 종래에는 다이(die) 사이를 분할하는 스크라이브 라인(scribe line) 내에 오버레이 측정패턴을 형성하고 있다. 일반적으로, 오버레이 측정패턴은 전 공정에서 형성시킨 외부박스(outer box)와 현 공정에서 형성되는 내부박스(inner box)로 이루어지며, 상기 외부박스는 하부층 패턴으로 이루어지고, 내부박스는 하부층 패턴을 패터닝하기 위하여 사용되는 마스크, 예컨대, 감광막 패턴으로 이루어진다.

**발명이 이루고자하는 기술적 과제**

그러나, 상기한 바와 같은 종래의 오버레이 측정패턴, 예컨대, 외부박스는 하부막인 BPSG막의 유동에 의해 변형이 발생됨으로써, 그 신뢰성을 확보할 수 없으며, 이에 따라, 상·하부 패턴들간의 오버레이 정확도가 저하되는 문제점이 있다.

자세하게, 도 1에 도시된 바와 같이, 하부 패턴들이 형성된 반도체 기판(1) 상에 층간절연막으로서 BPSG막(2)과 PETEOS 산화막(3)이 차례로 증착되고, 상기 PETEOS 산화막(3) 상에 외부박스(4)가 형성된 경우, 상기 외부박스(4)는 BPSG막(2)의 유동에 의해 그 변형이 발생하게 된다. 이것은 PETEOS 산화막(3)이 BPSG막(2)의 유동을 방지해야 함에도 불구하고, 그 표면 평탄화 과정에서 두께가 얇아진 것에 기인하여, 상기 PETEOS 산화막(3)이 상기 BPSG막(2)의 유동을 막지 못하기 때문에 발생하는 것이다.

그런데, BPSG막(2)의 유동에 의해 외부박스(4)의 변형이 일어나게 되면, 후속 공정에서, 상기 외부박스(4) 상에 내부박스가 형성되더라도, 그들간의 정렬도와 셀 영역에 형성되는 상·하부 패턴들간의 정렬도가 상이하게 되기 때문에, 결국, 오버레이 측정패턴의 신뢰성을 보할 수 없게 되므로, 실제 상·하부 패턴들간의 오버레이 정확도는 저하된다.

따라서, 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, BPSG막의 유동에 의한 외부박스의 변형을 방지함으로써, 그 신뢰성 및 오버레이 정확도를 향상시킬 수 있는 반도체 소자의 오버레이 측정패턴 형성방법을 제공하는데, 그 목적이 있다.

**발명의 구성 및 작용**

상기와 같은 목적을 달성하기 위한 본 발명의 반도체 소자의 오버레이 측정패턴 형성방법은, 외부박스와 내부박스로 이루어진 오버레이 측정 패턴에서 상기 외부박스를 형성하기 위한 반도체 소자의 오버레이 측정 패턴 형성방법으로서, 하부 패턴들이 구비된 반도체 기판 상에 BPSG막을 증착하는 단계; 상기 BPSG막을 식각하여, 상기 반도체 기판의 소정 부분을 노출시키는 제1콘택홀을 형성하는 단계; 상기 BPSG막 및 제1콘택홀의 내벽에 제1폴리실리콘막을 증착하는 단계; 연마 공정으로, 상기 BPSG막 상에 증착된 제1폴리실리콘막을 제거하는 단계; 상기 결과물의 상부에 산화막을 증착하고, 상기 산화막 상에 상기 제1콘택홀 내에 증착된 산화막 부분의 일부분들을 노출시키는 감광막 패턴을 형성하는 단계; 상기 산화막을 식각해서, 상기 제1콘택홀 내에 잔류된 제1폴리실리콘막의 소정 부분들을 노출시키는 제2콘택홀들을 형성하는 단계; 상기 감광막 패턴을 제거하고, 상기 결과물의 상부에 상기 제2콘택홀이 매립될 정도의 충분한 두께로 제2폴리실리콘막을 증착하는 단계; 및 상기 제2폴리실리콘막을 패터닝하는 단계를 포함하여 이루어진다.

본 발명에 따르면, BPSG막 내에 폴리실리콘막을 증착하고, 이러한 폴리실리콘막에 외부박스가 콘택되도록 함으로써, 상기 BPSG막의 유동이 발생되더라도, 상기 외부박스가 변형되는 것을 방지할 수 있다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하도록 한다.

도 2a 내지 도 2f는 본 발명의 실시예에 따른 오버레이 측정 패턴 형성방법을 설명하기 위한 공정 단면도로서, 이를 설명하면 다음과 같다.

먼저, 도 2a에 도시된 바와 같이, 하부 패턴들이 형성된 반도체 기판(11) 상에 BPSG막(12)을 증착하고, 상기 BPSG막(12) 상에 외부박스가 형성될 부분을 포함한 일부 영역만을 노출시키는 제1감광막 패턴(13)을 형성한다.

여기서, 제1감광막 패턴(13)의 형성시에는, 상기 BPSG막(12) 상에 감광막을 도포한 상태에서, 소정의 레티클(Reticle), 예를들어, 플러그 콘택(Plug Contact) 형성용 레티클을 이용하여 상기 감광막에 대한 노광 공정을 수행하되, 상기 레티클 내에, 통상, 20 $\mu$ m $\times$ 20 $\mu$ m 크기를 갖는 외부박스가 형성될 영역을 포함하는 크기, 예를들어, 50 $\sim$ 80 $\mu$ m $\times$ 50 $\sim$ 80 $\mu$ m의 정사각형으로된 마스크 패턴, 즉, 크롬 처리하지 않은 부분을 구비시켜 수행하고, 이어서, 현상 공정을 수행하여 상기 제1감광막 패턴(13)을 형성한다.

계속해서, 상기 제1감광막 패턴(13)을 마스크로 하는 식각 공정을 수행하여 상기 BPSG막(12)에 상기 외부박스 형성될 영역을 포함하는 크기로 반도체 기판(11)의 일부분을 노출시키는 제1콘택홀(14)을 형성한

다.

그 다음, 제2감광막 패턴을 제거한 상태에서, 도 2b에 도시된 바와 같이, 상기 결과물의 상부에 제1콘택홀(14)이 완전히 매립되지 않는 두께로 제1폴리실리콘막(15)을 증착한다.

다음으로, 도 2c에 도시된 바와 같이, 공지된 화학적기계연마(Chemical Mechanical Polishing) 공정을 수행하여, BPSG막(12) 상에 증착된 제1폴리실리콘막 부분을 제거한다. 이때, BPSG막(12)의 일부 두께도 함께 연마된다. 그런다음, 상기 결과물의 상부에 산화막(16)을 증착하고, 상기 산화막(16) 상에 제1콘택홀(14) 내에 증착된 산화막 부분의 일부분들을 노출시키는 제2감광막 패턴(17)을 형성한다.

여기서, 제2감광막 패턴(17)은 산화막(16) 상에 감광막을 도포한 상태에서, 도 3에 도시된 바와 같이, 전체적인 크기가  $50\sim 80\mu\text{m} \times 50\sim 80\mu\text{m}$  이하이고, 내부 가장자리 부분에는 대략  $1\sim 2\mu\text{m} \times 1\sim 2\mu\text{m}$ 의 홀 패턴들(31)이 배열되어 있는 마스크 패턴(40)이 구비된 레티클, 예를들어, 비트라인 콘택 형성용 레티클을 이용하여 노광 공정을 수행하고, 이어서, 공지된 현상 공정을 수행하여 형성한다.

계속해서, 제2감광막 패턴(17)을 마스크로 하는 식각 공정을 수행하여, 상기 산화막(16) 내에 제1콘택홀(14) 내에 잔류된 제1폴리실리콘막(15)의 소정 부분들을 노출시키는 제2콘택홀(18)을 형성한다. 여기서, 제2콘택홀(18)의 크기는 대략  $1\mu\text{m} \times 1\mu\text{m}$  정도이다.

그 다음, 제2감광막 패턴을 제거한 상태에서, 도 2d에 도시된 바와 같이, 제2콘택홀이 매립될 정도의 두께로 산화막(16) 상에 표면 평탄화가 이루어진 제2폴리실리콘막(19)을 증착하고, 상기 제2폴리실리콘막(19) 상에 제3감광막 패턴(20)을 형성한다. 이때, 상기 제3감광막 패턴(20)은 외부박스가 형성될 부분을 가리도록 형성된다.

이후, 도 2e에 도시된 바와 같이, 제3감광막 패턴을 마스크로 하는 식각 공정을 수행하여, 외부박스(21)를 형성한다. 여기서, 상기 외부박스(21)는 BPSG막 내에 잔류시킨 제1폴리실리콘막과 제2콘택홀을 통하여 콘택되기 때문에, 후속의 열공정에서 상기 BPSG막의 유동이 발생되더라도, 상기 외부박스의 변형은 발생되지 않는다.

따라서, 외부박스의 변형을 방지할 수 있기 때문에, 그 신뢰성을 확보할 수 있으며, 이에 따라, 외부박스와 내부박스간의 정렬도 측정을 안정적으로 수행할 수 있게 된다.

### 발명의 효과

이상에서와 같이, 본 발명은 오버레이 측정패턴의 하나인 외부박스가 하부막인 BPSG막의 유동에 의해 변형되는 것을 방지할 수 있기 때문에, 그 신뢰성을 향상시킬 수 있다.

따라서, 정렬도 검사를 안정적으로 수행할 수 있기 때문에, 오버레이 측정 패턴의 정렬도로부터 셀 영역에 형성되는 실제 상·하부 패턴들간의 정렬도를 향상시킬 수 있고, 결과적으로는, 디바이스 제조수율을 향상시킬 수 있다.

한편, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 요지를 벗어나지 않는 범위내에서 다양하게 변형시켜 실시할 수 있다.

### (57) 청구의 범위

#### 청구항 1

외부박스와 내부박스로 이루어진 오버레이 측정 패턴에서 상기 외부박스를 형성하기 위한 반도체 소자의 오버레이 측정 패턴 형성방법으로서,

하부 패턴들이 구비된 반도체 기판 상에 BPSG막을 증착하는 단계;

상기 BPSG막을 식각하여, 상기 반도체 기판의 소정 부분을 노출시키는 제1콘택홀을 형성하는 단계;

상기 BPSG막 및 제1콘택홀의 내벽에 제1폴리실리콘막을 증착하는 단계;

연마 공정으로, 상기 BPSG막 상에 증착된 제1폴리실리콘막을 제거하는 단계;

상기 결과물의 상부에 산화막을 증착하고, 상기 산화막 상에 상기 제1콘택홀 내에 증착된 산화막 부분의 일부분들을 노출시키는 감광막 패턴을 형성하는 단계;

상기 산화막을 식각해서, 상기 제1콘택홀 내에 잔류된 제1폴리실리콘막의 소정 부분들을 노출시키는 제2콘택홀들을 형성하는 단계;

상기 감광막 패턴을 제거하고, 상기 결과물의 상부에 상기 제2콘택홀이 매립될 정도의 충분한 두께로 제2폴리실리콘막을 증착하는 단계; 및

상기 제2폴리실리콘막을 패터닝하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 오버레이 측정패턴 형성방법.

#### 청구항 2

제 1 항에 있어서, 상기 제1감광막 패턴은,

$50\sim 80\mu\text{m} \times 50\sim 80\mu\text{m}$ 의 정사각형으로 이루어진 마스크 패턴이 구비된 플러그 콘택(Plug Contact) 형성용 레티클을 이용한 노광 공정을 수행하여 형성하는 것을 특징으로 하는 반도체 소자의 오버레이 측정패턴 형성방법.

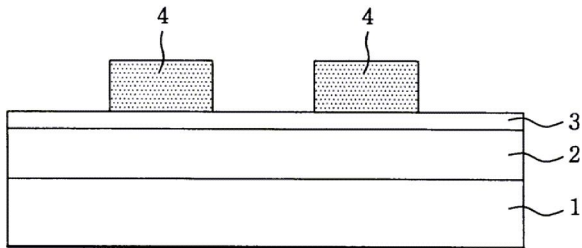
**청구항 3**

제 1 항에 있어서, 상기 제2감광막 패턴은,

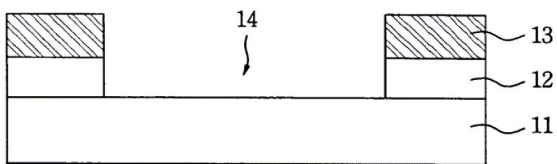
전체적인 크기가  $50\sim 80\mu\text{m} \times 50\sim 80\mu\text{m}$  이하이고, 내부 가장자리 부분에는  $1\sim 2\mu\text{m} \times 1\sim 2\mu\text{m}$ 의 홀들이 배열되어 있는 마스크 패턴이 구비된 비트라인 콘택 형성용 레티클을 이용한 노광 공정으로 형성하는 것을 특징으로 하는 반도체 소자의 오버레이 측정패턴 형성방법.

**도면**

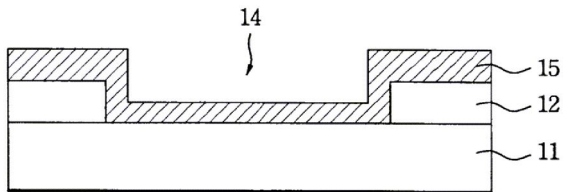
**도면1**



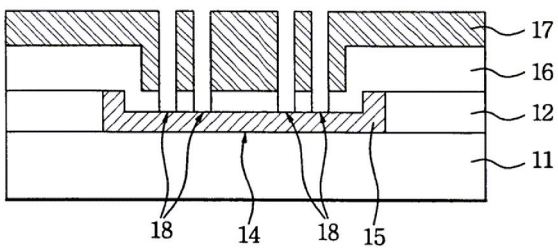
**도면2a**



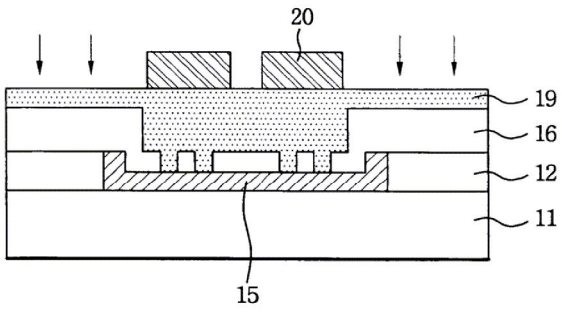
**도면2b**



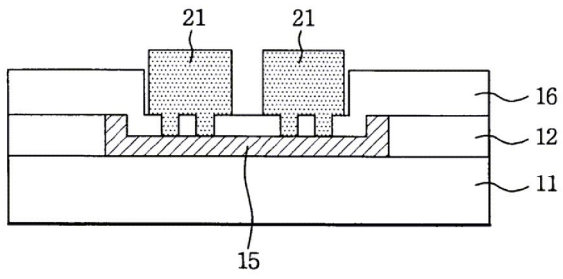
**도면2c**



도면2d



도면2e



도면3

