

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H04J 4/00
H04J 1/05
H03H 17/02

[12] 发明专利说明书

[21] ZL 专利号 95193439.2

[45] 授权公告日 2001 年 8 月 8 日

[11] 授权公告号 CN 1069468C

[22] 申请日 1995.3.13 [24] 颁证日 2001.5.2

[21] 申请号 95193439.2

[30] 优先权

[32] 1994.4.8 [33] US [31] 08/224,754

[86] 国际申请 PCT/US95/02997 1995.3.13

[87] 国际公布 WO95/28045 英 1995.10.19

[85] 进入国家阶段日期 1996.12.4

[73] 专利权人 空中网络通信公司

地址 美国佛罗里达州

[72] 发明人 R·R·卡尼 T·L·威廉斯

[56] 参考文献

US 5293329 1994.3.8 G0615/31

US 5299192 1994.3.29 H04J1/02

审查员 秦力军

[74] 专利代理机构 中国专利代理(香港)有限公司

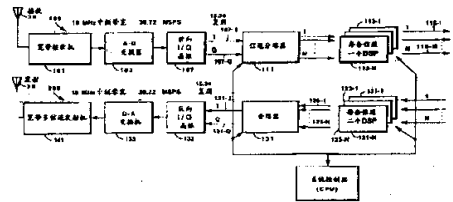
代理人 董巍 王岳

权利要求书 10 页 说明书 51 页 附图页数 29 页

[54] 发明名称 宽带快速傅立叶变换信道分路器

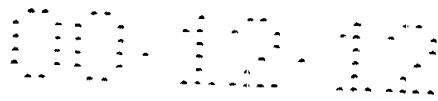
[57] 摘要

一个外观紧凑、多信道的无线通信收发机结构为了宽带信号处理,使用了重叠相加或多相位的信号处理功能,带有一个抽样速率。接收机部分接收多个多频通信信道并输出代表多个多频通信信道内容的数字信号。接收机部分包括一个基于 FFT 的信道分路器,处理宽带数字接收机输出的数字信号并将相应的信道输出连接到第一组多个数字信号处理单元,该多个单元处理(例如,解调)相应几个数字信道信号并将处理过的几个数字信道信号在相应的输出端口提供,以便分配到一个跟随的话音/数字网络中。在发射方面,发射部分包括多个数字信号处理器,分别与相应的要分别在不同频道上发射的多个(语音/数据)通信信号中的几个相关联。它们处理(调制,编码)过的输出提供给一个逆 FFT 合路器。FFT 合路器给发射多频通信信道信号的宽带发射机提供一个合成的多信道信号。信道分路器和合路器中的每一个都可用重叠相加或多相滤波来实现。



知识产权出版社出版

ISSN 1008-4274



权 利 要 求 书

1. 用于无线通信网的收发机装置, 该通信网包括在多个地理分布的第一站点之中, 通过一个或多个收发机站点, 支持通信的多频通信信道, 上述收发机装置可以分别安装在上述一个或多个收发机站点中的一个上并且包括:

接收机单元, 用于接收来自一组所述的多频通信信道的多个信号并且输出代表从上述多频通信信道组接收的信号的数字合成接收机信号;

基于傅立叶变换的信道分路器单元, 连接它以接收来自上述接收机单元的数字合成接收机信号并且用于分别输出代表从上述接收机单元接收的多个通信信道中接收的信号中的一个的内容的数字信道信号;

多个速率变换单元, 分别与所述的基于傅立叶变换的信道分路器单元输出的上述数字信道信号相关联并用于输出以插值的形式代表每一个上述数字信道信号的插值数字信道信号, 其抽样率时序与数字信道信号的抽样率时序不同;

第一组多个信号处理器单元, 分别与上述速率变换单元输出的上述插值数字信道信号相关联, 用于解调每一个上述插值数字信道信号并且在它们各自的输出端口提供每一个解调的上述数字信道信号;

第二组多个信号处理器单元, 分别与上述网络的彼此不同的通信信道上发射的多个入通信信号中的每一个相关联, 用于处理上述多个入通信信号中的每一个并且在它们各自的输出端口提供每一个处理过的上述通信信道信号;

基于傅立叶变换的合路器单元, 连接它以接收上述第二组多个数字信号处理器单元处理的上述通信信道信号中所述的处理过的那些并且输出代表上述第二组多个数字信号处理器单元处理的入通信信号内容的数字合路发射信号; 而且

发射机单元, 用于根据上述基于傅立叶变换的合路器单元输出的数字合路发射信号发射多频通信信道信号。

2. 根据权利要求 1 所述的收发机装置, 其特征在于, 所述基于傅立叶

变换的信道分路器单元包括一个重叠和相加滤波器，上述接收机单元输出的合成信号与之耦合，和一个连接到该重叠和相加滤波器输出的基于 N 点快速傅立叶变换的处理器。

5 3. 根据权利要求 1 所述的收发机装置，其特征在于，所述基于傅立叶变换的合路器单元包括 N 点快速傅立叶变换处理器，连接它以接收所述的第二组多个数字信号处理器单元处理的通信信道信号，并包括一个上述 N 点快速傅立叶变换处理器的输出与之相连的多相滤波器或重叠和相加滤波器。

10 4. 根据权利要求 2 或 3 所述的收发机装置，其特征在于，所述重叠和相加滤波器包括 J 个级连的滤波器抽头级，它们中的每一个包括多个彼此可切换地串联的延迟存储器，使得有选择地使连续的滤波器抽头级的延迟存储器串联。

15 5. 根据权利要求 4 所述的收发机装置，其特征在于，所述重叠和相加滤波器有一个抽取率 M ，并且其中所述的多个延迟存储器包括一个具有 M 数据抽样长度的第一延迟存储器和具有 $N - M$ 数据抽样长度的第二延迟存储器。

6. 根据权利要求 5 所述的收发机装置，其特征在于，所述基于傅立叶变换的合路器单元用于以复指数信号乘上傅立叶处理的数据抽样，产生的乘积值耦合到所述的重叠和相加滤波器。

20 7. 根据权利要求 6 所述的收发机装置，其特征在于，所述基于傅立叶变换的合路器单元包括由傅立叶处理的数据抽样控制其输出的数控振荡器、调制器，以便有效地用复指数信号与上述傅立叶处理的数据抽样相乘。

25 8. 根据权利要求 4 所述的收发机装置，其特征在于，所述每个滤波器抽头级包括一个系数存储器，存储多个与傅立叶处理的数据抽样相乘的上述系数存储器中存储的各个加权系数，以及一个加法器，上述的乘法器和所述的多个延迟存储器之一的输出与之相连，上述的加法器具有一个连接到连续滤波器抽头级的第二组所述的多个延迟存储器的输出。

9. 根据权利要求 8 所述的收发机装置，其特征在于，所述每个滤波器抽头级包括一个可控制的开关，在上述级的多个延迟存储器之间的信号流

通道上连接，用于可选择地使上述级的多个延迟存储器彼此串联，并因此在级连的信号流通道上与上述滤波器的其它抽头级串联，或者将上述多个延迟存储器之一的内容反馈到它本身。

5 10. 根据权利要求 9 所述的收发机装置，其特征在于，所述每个滤波器抽头级还包括存储 N 个加权系数的系数存储器，以及一个乘法器，该乘法器用于将来自信号流通道、通过所述的延迟存储器的数据抽样值与上述系数存储器中存储的各个加权系数相乘。

10 11. 根据权利要求 10 所述的收发机装置，其特征在于，所述重叠和相加滤波器还包括求和级，用于将所述的滤波器抽头级的各个乘法器输出的乘积加在一起，上述求和级的输出连接到所述的 N 点快速傅立叶变换处理器。

15 12. 根据权利要求 9 所述的收发机装置，其特征在于，所述重叠和相加滤波器具有第一抽头级，包括一个存储 N 个加权系数的系数存储器，一个乘法器，该乘法器用于将傅立叶处理的数据抽样与上述系数存储器中存储的各个加权系数相乘，一个可控制的开关，连接该开关的第一输入口以接收规定数据值的序列、第二输入口连接到所述加法器的输出、输出口连接到一个 $N-M$ 抽样延迟存储器，上述 $N-M$ 抽样延迟存储器具有一个输出，连接到上述加法器以便与上述乘法器的输出相加，而且其中上述第一滤波器抽头级的乘法器的输出连接到上述重叠和相加滤波器连续的滤波器抽头级，其中上述的可控制的开关用于将上述规定数据值的序列连接到上述 $N-M$ 抽样存储器或将上述延迟存储器的内容反馈到它本身。

20

13. 根据权利要求 12 所述的收发机装置，其特征在于，连接所述的 i 个滤波器抽头级的第 i 个的相加器输出以提供代表所述的第二组多个数字信号处理器单元处理的通信信道信号内容的合路信号。

25 14. 根据权利要求 12 所述的收发机装置，其特征在于，所述基于傅立叶变换的合路器单元被配置为处理所述的第二组多个数字信号处理器单元提供的奇和偶数的滤波的数据抽样的连续集。

15. 根据权利要求 8 所述的收发机装置，其特征在于，所述基于傅立叶变换的合路器包括多个块浮点快速傅立叶变换机，将其输出移位以使变换

22. 根据权利要求 1 所述的收发机装置, 其特征在于, 至少一个所述速率变换器单元包括一个抽取低通滤波器结构, 连接它以接收各个数字信道信号, 并输出插值的数字信道信号, 该抽取低通滤波器结构提供多个、L 个可能的滤波器响应中的一个, 而且其中所述的抽取低通滤波器结构另外包
5 括一个滤波器响应选择单元, 该滤波器响应选择单元连接到抽取低通滤波器结构, 向抽取低通滤波器结构提供滤波器选择信号以便在给定时间确定选择 L 个滤波器响应中哪一个作为激活的滤波器响应。

23. 根据权利要求 22 所述的收发机装置, 其特征在于, 所述数字信道信号包括一个前导部分和一个数据部分, 而且其中的滤波器响应选择单元
10 在它的各个数字信道信号前导部分过程中通过确定抽样相位差来决定选择 L 个可能的滤波器响应中的哪一个。

24. 根据权利要求 22 所述的收发机装置, 其特征在于, 所述数字信道信号包括一个前导部分和一个数据部分, 而且其中的滤波器响应选择单元:
15 (a) 通过确定 L 个可能的滤波器响应中哪一个对数字信道信号前导部分提供最佳响应来决定选择 L 个可能的滤波器响应中的哪一个; 或 (b) 另外包括:

多个、M 个滤波器部分, M 个滤波器部分中每一个是 L 个可能的滤波器响应中的一个, 每个滤波器部分提供一个中间插值的数字信号。

25. 根据权利要求 1 所述的收发机装置, 其特征在于, 每个速率变换器
20 以插值的输出信号提供一个信号, 包括在它的各个信道期望的峰值符号幅度位置处或附近抽取的该数字信道信号的插值抽样。

26. 根据权利要求 22 所述的收发机装置, 其特征在于, 所述数字信道信号包括一个前导部分和一个数据部分, 而且其中的滤波器响应选择单元
另外包括:

25 多个、M 个滤波器部分, M 个滤波器部分中每一个是 L 个可能的滤波器响应中的一个, 每个滤波器部分提供一个中间插值的数字信号;

多个、M 个相关单元, 用来分别接收 M 个中间插值数字信号中的一个以及一个期望的前导数字信号, 并且用来将 M 个滤波器响应与期望的前导数字信号相关, 并提供 M 个相关器输出信号;

一个比较器，接收M个相关器输出信号并确定表示M个中间插值数字信号中每一个和期望的前导数字信号之间最大相关的相关器输出信号之一的索引，x；而且藉此，滤波器选择单元根据比较器确定的索引，x，选择L个滤波器部分中需要的一个。

5 27. 根据权利要求所述 21 的收发机装置，其特征在于，所述抽取低通数字滤波器部分另外包括：

滤波器时钟产生器，控制数字信道信号的抽样通过抽取低通滤波器的一组时间。

10 28. 根据权利要求 27 所述的收发机装置，其特征在于，所述滤波器时钟产生器包括：

数字信道信号抽样索引计数器，连接它以对输入的数字信道信号的抽样计数，并提供抽样索引值；

15 乘法器，将抽样索引值与抽样速率调整因子相乘，抽样速率调整因子根据输入插值数字信号的抽样速率与各个中间插值数字信号的抽样速率的比值而定。

29. 根据权利要求 26 所述的收发机装置，其特征在于，只有所选择的具有索引 x 的滤波器在数字信道信号的数据部分可操作。

20 30. 根据权利要求 26 所述的收发机装置，其特征在于，它另外包括一个跟踪单元，连接它以接收L个滤波器部分中当前选择的的一个的索引值 x，并且也连接它从当前选择的滤波器部分接收至少是中间插值的数字信号，并且用来将所选择的滤波器部分的响应至少与 L 个滤波器部分中至少一个其它的响应相比较，如果上述其它滤波器部分提供接近所期望的最靠近数字信道信号中符号的抽样位置的抽样，就提供一个索引值调整量；以及一个索引值调整器，连接它以接收索引值 x 和索引值调整量，并用于通过调整量周期性地调整索引值。

25

31. 为了用于具有在多个地理分布的第一站点之中、通过一个或多个收发机站点支持通信的多频通信信道的无线通信网，一种分别在上述一或多个收发机站点中的一个发射和接收宽带通信信号的方法包括以下步骤：

(a) 接收来自多个上述多频通信信道的信号并产生代表上述多个多

频通信信道内容的多个数字信号;

(b) 基于傅立叶变换的信道分路器处理在步骤 (a) 中产生的上述多个数字信号并从中产生代表步骤 (a) 中从通信信道接收的各个信号内容的各个数字信道信号;

5 (c) 转换上述各个数字信道信号的抽样率, 以不同于数字信道信号抽样率时序的抽样率时序, 用插值的形式提供代表上述各个数字信道信号的各个插值的数字信道信号;

(d) 处理上述各个插值的数字信道信号;

10 (e) 处理在所述网络的各个不同的频率信道上发射的多个入数字通信信号中的每一个;

(f) 用傅立叶变换处理步骤 (d) 中处理的数字通信信号并从中产生代表步骤 (e) 中处理的数字通信信道信号内容的合路信号; 并且

(g) 根据步骤 (f) 中产生的合路信号发射多频通信信道信号。

15 32. 根据权利要求 31 所述的方法, 其特征在于, 步骤 (f) 包括向 N 点快速傅立叶变换处理器提供所述的数字通信信道信号并通过多相滤波器或重叠和相加滤波器将上述 N 点快速傅立叶变换处理器的输出滤波。

33. 根据权利要求 31 所述的方法, 其特征在于, 步骤 (b) 包括通过重叠和相加滤波器将所述的步骤 (a) 中产生的多个数字信号滤波, 并通过基于 N 点快速傅立叶变换的处理器处理所产生的滤波信号。

20 34. 根据权利要求 32 或 33 所述的方法, 其特征在于, 所述重叠和相加滤波器包括多个级连的滤波器抽头级, 它们中的每一个包括多个彼此可切换地串联的延迟存储器, 而且步骤 (b) 或 (vii) 还包括:

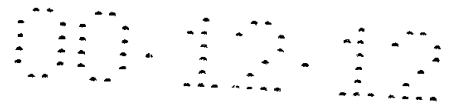
有选择地使连续的滤波器抽头级的延迟存储器串联。

25 35. 根据权利要求 34 所述的方法, 其特征在于, 所述重叠和相加滤波器有一个抽取率 M, 并且其中步骤 (b) 或 (viii) 还包括:

有选择地使所述的多个延迟存储器提供具有 M 数据抽样长度的第一延迟和具有 N-M 数据抽样长度的第二延迟。

36. 根据权利要求 35 所述的方法, 其特征在于, 步骤 (f) 还包括以下步骤:

(v) 用复指数信号乘上所述的重叠和相加滤波器的滤波数据抽样输出。



说明书

宽带快速傅立叶变换信道分路器

5

发明的领域

10

本发明一般涉及无线网络(例如蜂窝和个人通信系统(PCS))并且更具体地是面向一种新的改进的收发机装置,其接收机部分包括一个宽带的、基于快速傅立叶变换(FFT)的信道分路器,以便从数字化的中频(IF)信号中提取多个信道,并包括一组数字抽样率变换器,对每个信道进行最佳的抽样定时调整,其发射机部分包括一个宽带、基于逆FFT的合路器,以便将多个数字化的基带信道合成一个单一的IF信号用于发射。

发明的背景

15

20

为了在一个广阔的地理区域上提供多信道的语音和数据通信,无线(例如,蜂窝)通信业务提供者目前在有保护及可维护的设施(例如,建筑物)中安装收发器基站。因为目前用来实现用于单个蜂窝信道的信号处理设备的大量的硬件,每个基站一般要为提供给业务提供者的只是很有限的一部分频谱而配置成具有多信道通信的能力。典型的基站可包括三到五个设备架,容纳多套独立的接收机和发射机信号处理组件,以便为可用的带宽(例如,12MHz)内的总信道数(例如,400-30kHz)中规定的一部分(例如,48)服务。基站的多个(例如,48)窄带(30kHz)信道单元中典型的一个的接收机部分在图1中示意性地说明为包括一组专用的信号处理组件,包括前端或下变频部分10、中频(IF)部分20和基带部分30。

25

前端部分10由收发机站点处的天线12所连接的低噪声放大器11、射频到中频(RF-IF)下变频转换混频器13和有关的IF本振15组成。IF部分20由混频器13的输出所连接的带通滤波器21、放大器23、IF-基带混频器25以及有关的基带本振27组成。带通滤波器21的中心在12MHz宽蜂窝语音/数据通信频段的400-30kHz的子部分中相应的一个上,带宽为100kHz,在图2的多信道频谱分布图中示意性地说明。



基带部分 30 包括低通(抗混淆)滤波器 31、模数(A-D)转换器 33、用作解调器和纠错器的数字信号处理单元 35 以及有关的电话(例如T1 载体)单元 37, 处理过的信道信号通过该单元连接到辅助的电话系统设备中。A-D 变换器 33 的抽样率典型地在 75K 抽样/秒的量级上。通过 A-D 变换器 33 数字化的窄带信道信号由数字信号处理(DSP)单元 35 解调, 恢复其中的语音/数据信号用于电话载体单元 37。(连接一个类似的专用信号处理发射机部分, 作为接收机部分的补充, 以便接收来自电话系统设备的数字馈入并给收发机站点处的天线输出一个上变频的 RF 信号。)

对于一个典型的城市服务区, 为了在提供给业务提供者的整个带宽(例如, 12MHz)内使业务覆盖最佳化, 并且为了保证在基站所处的分散的收发机站点之间无干扰的覆盖, 蜂窝收发机站点地理分布习惯上处于彼此相邻的六角形网眼中(七个网眼组成一组)。因此, 每个网眼有它自己的容量有限的多架基站, 为可用的 400 个信道的各自不同的一个子集服务, 藉此, 在广阔的地理区域上, 可以规定相应网眼内的频率分配和相邻网眼组之间的划分以便有效地防止网络的任何信道间的相互干扰。

很容易理解的是, 由于每个信道具有分散在多个设备架上的组件, 例如上面参考图 1 描述的组成一个典型信道接收机部分的那些组件, 因此地理上选址、安装和维护这样的设备所用的成本及人力就不是微不足道的。确实, 无论是在所处的位置的意义上还是相应的收发机站点可以提供的可用带宽覆盖范围的意义, 业务提供者都希望使用更灵活的设备。在非城市地区更是如此, 这里所希望的蜂窝覆盖可能集中在高速公路沿线, 一般的 48 信道收发机站点的有限容量就不够用了, 而且在这里不一定很容易提供多架设备所需的相对较大的、安全的且具有保护性的结构。

尽管宽带发射机在过去曾用于某些其它的应用中, 但是可能有几个原因使它们未在诸如蜂窝和其它 PCS 系统这样的多信道系统中找到广泛的应用。其一与每个被接收的信道信号是包括一串符号的数字编码信号这个事实有关。在这样的情况下, 数字信号处理器 35 所使用的恢复算法典型地需要 A-D 变换器 33 提供的抽样在每个符号的峰值幅度时间处或附近来提取, 以便最大化正确检测每个符号的概率。

5 在如上所述的现有技术系统中，本地时钟同步到最佳的抽样时间是相当简单的。这是因为每个信道是分别处理的，因此 A-D 变换器 33 的信道信号的输出代表了只是来自一个信道的信息。因此，本地接收机时钟可以使用常见的锁相环(PLL)技术来同步，为同步到符号率的 A-D 变换器 33 产生一个时钟选通脉冲。

10 但是如果系统使用一个宽带的前端，例如低通滤波器 31 覆盖几个信道所占的带宽，那么来自多个信道的信号将出现在 A-D 变换器 33 的输出中。在一个典型的蜂窝或其它 PCS 系统中，信道信号没有彼此同步的需要。因此，没有唯一的最佳抽样时间，而且传统的锁相技术也不能用于同步 A-D 变换器 33。

此外，即使可以独立地控制多数字信道信号所采样的速率，这个速率一般不能保证是符号率的一个整倍数。这就使在每个数字信道信号中恰当地同步符号抽样的问题变恶化了，因为甚至数字符号率中的一个很小差别会很快地在即使是短时信道信号的持续时间中累积，因此使抽样定时再次偏离。

15 发明的概述

20 根据本发明，有限信道容量和与多信道无线通信业务提供者目前所使用的信号处理结构有关的相当大的硬件需求，以及上面所描述的抽样率同步问题，通过一种新的改进的、相当紧凑的多信道收发机装置得以有效地避免，使得相当大地降低无线(话音和数据)通信网络收发机站点的大小和硬件复杂性变为可能。

因此收发机可以很容易地安置在多种安装站点上，例如办公楼的吊顶上或电器设施的杆子上，同时具有提供跨越业务提供者所提供的整个信道容量的多信道通信业务(例如，大于 100 条信道)的能力，而不是可用信道的一个子集。

25 因此，本发明的收发机装置包括具有宽带离散傅立叶变换(DFT)信道分路器的接收机部分，处理多个信道的数字化的接收信号，并包括含有宽带逆 DFT 合路器的发射机部分，处理多个数字化的发射信道信号。依据优选的实施例，DFT 信道分路器和 DFT 合路器可以、但不限于用一个快速傅立叶变换(FFT)来实现，因为当变换的大小是二的方幂时快速傅立叶变换是计算离散



傅立叶变换的一个有效算法。

多信道接收机单元的工作是接收多个输入的通信信道信号并输出代表多个输入的通信信道信号内容的数字信号。连接一个基于 DFT 的信道分路器单元，以接收多信道接收机单元输出的数字信号并输出代表多信道接收机单元接收的相应的几个通信信道的内容的相应的数字信道信号。

5

基于 DFT 的信道分路器所输出的数字信道信号随后馈入一组抽样率变换器，每个相应的通信信道有一个抽样率变换器。速率变换器通过确定在每个信道产生最佳抽样的时间位置上插值的数字信道信号值来工作，即使用该速率的数字信道分路器提供的输出抽样不是符号率的整数倍。

10

在优选的实施例中，每个速率变换器用抽取的、线性相位、低通数字滤波器来实现，例如有限冲击响应 (FIR) 滤波器，这里每个信道的滤波器系数通过在每个数字信道信号的前导部分期间确定抽样相位差来分别选择。

然后相应的插值的数字信道输出提供给第一组多个数字信号处理器单元，信道分路器输出的每一个数字信道信号输出都有一个相应的数字信号处理器单元与之关联。数字信号处理器单元处理 (例如，解调) 相应的数字信道信号，然后将处理过的数字信道信号在相应的输出端口提供，以便发布到辅助的语音/数据网络。

15

在发射一边，收发机包括第二套数字信号处理器单元，分别关联于将分别在不同频道上发射的多个入 (语音/数据) 通信信号中相应的几个，而且其工作是处理多个入通信信号中相应的几个并在相应的输出端口提供这几个处理过的通信信道信号，供逆 DFT 处理合成器单元使用。连接基于逆 DFT 的合成器单元以接收第二组多个数字信号处理器单元处理的通信信道信号并输出代表第二组多个数字信号处理器单元处理的通信信道信号内容的合成信号。

20

然后多信道发射机单元再根据基于离散傅立叶变换的合路器单元输出的合成信号发射一个多频通信信道信号。

25

更具体地是，根据本发明，在发射和接收通道上采用的基于 DFT 的信道分路器和合路器使用了卷积和消卷积滤波器，可用重叠和相加滤波器单元或多相滤波器单元来实现。



5 根据本发明的第一个实施例，宽带信道分路器使用了一个重叠和相加滤波器结构，与 FFT 处理器一起产生数字信道信号。在这个实施例中，宽带接收机中高速 A-D 变换器输出的数字化的数据抽样首先提供给重叠和相加单元。当接收到的数据抽样馈入一个输入速率缓冲器中时，为对输入信号提供增益控制并保证完全利用 A-D 变换器的动态范围，一个幅度监视单元对数据进行监视。（为了这个目的，幅度监视单元的输出反馈到宽带接收机，控制 A-D 变换器前面的衰减器。）

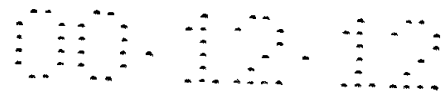
10 当速率缓冲器包含 M 个数据抽样组成的一个完整的“块”时，它对控制单元发信号，以便开始处理该块。一个块中数据抽样的个数，M，等于信道分路器的抽取率，它由输入抽样率除以两倍的复信道抽样率所得的最接近的整数来给出。

15 当输入抽样率较大时(30MHz 的量级上)，也可使用半带宽滤波器降低数据的时钟速率。半带宽滤波器执行数据实数到复数的变换，且以 2 抽取数据和时钟速率。降低时钟对用目前的集成电路实现滤波结构是很必要的。如果输入的时钟速率相当低，或当将来技术提供的处理能力提高时，半带宽滤波器可能就不必要了。

20 M 个抽样以高于输入抽样时钟率的速率、成组地按时钟节拍移出速率缓冲器进入半带宽滤波器，以便适应需要 N 个抽样的 FFT 处理器的大小，这里 N 大于 M。这就意味着重叠和相加滤波器必须以高于输入抽样率一半的时钟速率工作。

25 来自半带宽滤波器的复数数据值按时钟节拍进入重叠和相加滤波器中所用的移位寄存器。重叠和相加滤波器是一个截止频率为信道带宽一半的实数值的低通滤波器。重叠和相加滤波器的基本结构类似于有限脉冲响应(FIR)滤波器。但是，本发明的滤波器与一般的 FIR 滤波器不同在于使用了反馈复用器和滤波器抽头之间的长延迟线单元。

更具体的是，重叠和相加滤波器中的移位寄存器优选地用级连的延迟存储器单元组并交织以“反馈”复用器来实现。相应的抽头、或滤波器的级由一对串联的存储器部分、一个反馈复用器、一个系数存储器和一个系数乘法器组成。每个系数存储器存储相应的一组滤波器系数，个数与重叠和相加滤



波器的输出要发送到的 FFT 处理器的大小相对应。

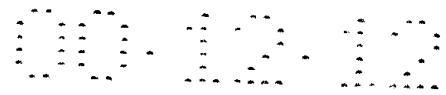
在信道分路器滤波器结构的一个示范实施例中，可以使用四个重叠和相加滤波器抽头级。相应的抽头级的乘法器输出相加在一起。在一个存储器部分中，输入存储器级的长度等于抽取率 M ；输出存储器级的长度表示滤波器“重叠”等于 $N - M$ ，这里 N 是 FFT 处理器的大小。

为了使 FFT 处理器处理每个 M 输入抽样块，需要 N 个时钟信号，以便提供足够数目的数据抽样给 FFT 处理器用于 FFT 处理。在 N 个时钟信号的前 M 个中， M 个抽样按时钟节拍通过速率缓冲器和半带宽滤波器并通过滤波器的存储器级，后者实际上是一个移位寄存器。在这个时间段中，数据从左到右移位通过移位寄存器的每个存储器部分。对于 N 个数据抽样中剩下的 $N - M$ 个样值，数据没有按时钟节拍移出速率缓冲存储器，而且没有数据移位通过每个抽头级的输入存储器。换句话说，数据没有移位通过移位寄存器，只有输出存储器仍按时钟节拍工作。输出存储器的这种时钟关系是使所要求的重叠相加操作有效而使用的机制。

当滤波器抽头级产生的相应的系数加权数据抽样相加时，在重叠和相加滤波器的输出产生 $N - M$ 抽样、被混淆的、被卷积的输出数据序列。这个数据序列又存入随机访问存储器 (RAM) 中，准备用于 FFT 处理器。

为了保持通过量达到高处理速率，FFT 处理器一般包括多个 FFT 机 (engine)，以适当的 FFT 大小对它们编程，该大小与感兴趣的信号处理参数有关。用多个 FFT 机实现 FFT 处理器保证了数据通过量，因为单个引擎的处理时间一般比收集处理所需的 N 个抽样所需要的时间要长些。

根据一种实用的实施例，FFT 机可以使用一种 FFT 大小是四的幂的 4-基 (块浮点) 算法。对于 512 点的 FFT 处理器，所有 512 频率点 (bin) 的产生是通过使用施加了频率抽取的 2-基蝶形运算的两个 256 点 FFT 来实现的。对于 512 点的 FFT，抽样从 RAM 读出并提供给算术逻辑单元 (ALU)，后者将连续的偶数据抽样对相加并减去连续的奇数据抽样对。对于偶数据抽样的处理，ALU 输出的求和值直接提供给 FFT 处理器引擎。为了产生 512 点 FFT 的奇数点 (bin)，当奇数点 (bin) 数据抽样从 RAM 中读出时，ALU 提供的数据抽样间的差被数控振荡器、调制器乘以 W_N^n ，并按时钟节拍入 FFT 处理器。



由于 FFT 机使用了块浮点运算(随复 FFT 数据输出四比特标度因子), 使用了一种标度逻辑电路控制桶形移位电路, FFT 机的输出连接到该移位电路。当数据从 FFT 机读出时桶形移位电路根据标度因子对其进行调整, 以保证连续的 FFT 按相同标度校准。桶形移位电路的输出连接到输出 RAM。

5 FFT 处理器的输出必须乘以一个复指数, W_N^{-km} , 这里 m 是抽取率, k 是 FFT 点(bin)数, M 是 FFT(块)数。信道分路器的重叠相加实施例使用以下恒等式执行等价操作:

$$x[(n-r)N] = \text{FFT}(W_N^{-rk} * X[k])$$

这里 $x[n]$ 是 FFT 输入序列, $x[(n-r)N]$ 是 $x[n]$ 模 N 循环移位 r 次的结果。

10 这个循环移位按照使 FFT 输入数据序列循环移位的顺序以存取处理过的数据值的方式寻址双口输出 RAM。

因此 FFT 输出若干数字信道信号, 每个数字信道信号包括与特定信道有关的信号的一串抽样。当每个信道(频率点(bin)) FFT 处理过的数据已经写入输出 RAM 时, 一个跟随的时分复用(TDM)的总线接口电路确定数据在 TDM 总线上, 因此可以提供给总线上的数字信号处理器, 该处理器用于插值、随后解调并从信道数据中提取语音或数据。TDM 总线上的数据优选地分成多个时隙。连接处理器的总线通过常规的组帧信号同步到 TDM 总线, 因此处理器将知道从中读取数据的正确时隙。

20 在解调和从每个信道信号中提取语音和/或数据之前, 数字信号处理器首先处理经过由线性相位、插值低通数字滤波器组成的速率变换器的每个数字信道信号。通过适当地抽取插值数字滤波器的输出, 速率变换器在每个数字信道信号中调整抽样值的有效时序。插值和抽取滤波器优选地使用多速率数字信号处理技术, 以最小化必要的运算功能总数。

25 与每个输入信道信号有关的相应的速率变换器确定对应于该信道最佳抽样的插值数字信号值。具体地, 每个速率变换器在峰值符号幅度的位置处或附近提供相应数字信道信号的抽样。算法上, 速率变换器的功能等价于产生相应 FFT 信道所对应的输出的零-填充扩展, 用低通、线形相位、有限脉冲响应(FIR)滤波器对零填充的信号滤波, 然后抽取 FIR 滤波器的输出信号, 以便只选择处于最接近峰值符号幅度的抽样。

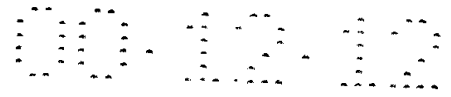
但是，实际上不是每个这样的等价操作都要在算法上执行，本发明利用某些多速率信号处理技术的优势减少得到同样结果所需的操作次数。具体地，速率变换器由一个低通滤波器组成，该低通滤波器具有几组可能的滤波器系数中的一个。各种有效的滤波器系数组代表在零-填充数字信道信号上操作的插值低通滤波器各种可能的相移。产生最佳输出信号相位的特定的滤波器系数组在从数字信道信号中滤出实际数据前确定。例如，当接收的数字信道信号的期望值预先知道时，典型地在数字信道信号的前导部分过程中完成这个任务。这就允许使用相关器确定通过 FIR 滤波器每个可能相移检测的每个输出信号能量。滤波器的最佳相移因此是具有最大相关功率电平的那一个。

因此，每个速率变换器也包括一个滤波器相位选择机制，在检测到相应数字信道信号的前导部分目前正被接收时，该机制将滤波接收信道信号的结果与每个可能的插值低通滤波器相比较，确定可能的低通滤波器系数组中哪一个产生了正确检测数字信道信号的数据部分中符号的最大概率。

可选地，速率变换器也可执行抽样率差值调整，以便作用于离散傅立叶变换提供的抽样率和解调器期望的最佳抽样率中必要的差值。为了进行必要的抽样定时调整，抽样通过插值低通滤波器的时间通过以期望的输出抽样率操作的输出抽样计数器精确地控制。这个输出抽样计数器提供一个抽样索引号，该号再与抽样率调整因子相乘。这个乘法的结果用于控制插值滤波器目前处理哪个输入抽样，并且及时地调整在任意给定的瞬间使用的特定的滤波器系数组的索引。用这种方式，可以适应输入数字信道信号的期望抽样率和输出数字信道信号中的任意差值。来自信道分路器的插值数字信道输出信号随后提供给数字信号处理器执行的解调器功能。

作为上述具有重叠和相加滤波器结构的宽带信道分路器的互补，多信道合路器的信号处理结构使用了一个定制的 TDM 总线，在相当高的数据率上收集大量信道上的数据，因为来自所有信道的总和数据率一般要超过标准总线协议（例如，VMEbus™）的总线带宽。

确定在 TDM 总线上的按信道分的（语音/数据）信号的来源是 DSP 处理器，它将来自辅助的电话网络的语音或数据信号格式化（例如，根据蜂窝标



准)并调制,因此提供一个基带的分解信号。每个数据源指定一个或多个时隙,当合路器请求时在时隙中传输一个单个复抽样。两个源不能分配同一个时隙。时隙由系统控制器在系统初始化过程中(在 VMEbus™ 的一个独立的中心处理单元(CPU))分配。系统控制器也对合路器编程以便规定包含有效数据的所有时隙。

5

来自每个 DSP 处理器的抽样通过来自 TDM 总线控制器和有关的缓冲器/驱动器的控制信号的请求提供给 TDM 总线。这个抽样写入一个输入(RAM)缓冲器。TDM 总线控制器将 RAM 缓冲器的寻址同步到 TDM 总线的组帧信号,因此保证每个信道写入双口 RAM 的适当的地址处。当合路器已从所有操作中的信道收集了数据时, TDM 总线控制器将控制信号连接到 FFT 控制逻辑单元,使 FFT 控制逻辑单元启动 FFT 处理。

10

作为重叠相加信道分路器的前向 FFT 处理器功能的互补,重叠相加合路器进行逆 FFT 处理。从实际应用的观点来看,逆 FFT 的产生使用前向 FFT 实现。FFT 处理器的大小配置为比要合成的信道数大的一个 2 的方幂。为了保证通过量,FFT 处理器包括多个 FFT 机,用与感兴趣的信号处理参数有关的合适的 FFT 大小为其编程。用多个机实现 FFT 处理器保证了数据通过量,因为单个机的处理时间一般比收集处理所需的 N 个抽样所需的时间要长。

15

对规定(比较有限)数目的频率点(bin)零按顺序写入一个 FFT 机。对于后续的多个点(bin),数据从激活信道的输入双口 RAM 中读出。如果信道不是激活信道,控制逻辑单元将零写入点(bin)中。这些激活信道的标识在系统初始化期间编入控制逻辑单元中。其余(比较有限)数目的点(bin),写入零。

20

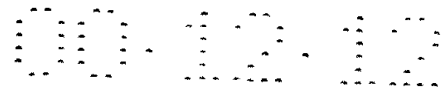
为了使用前向 FFT 产生逆 FFT,使用下列标识:

$$x[n] = K * \text{FFT}(X[((-k))K]),$$

25

这里 $x[n]$ 是 $x[k]$ 的逆 FFT, n 是抽样数, k 是 FFT 点(bin)数, K 是 FFT 大小,而 $X[((-k))K]$ 等于序列 $x[k]$ 的逆顺序,模 K 。通过产生到 FFT 的输入数据关于点(bin)0 的镜像,前向 FFT 成为以 FFT 大小标度的逆 FFT。当向 FFT 机写入数据时,FFT 控制逻辑单元以逆顺序寻址输入 RAM。

在重叠相加信道分路器中,为了在合路器结构中产生 512 点 FFT,FFT



机使用一种 FFT 大小为四的方幂的基-4(块浮点)算法。使用基-2 时域抽取蝶形算法, N/2 点 FFT 从 512 点输入序列的偶和奇抽样中产生。奇抽样 FFT 数据值的乘法通过一个数控振荡器、调制器(NCOM)实现。为了处理 512 点 FFT 的前 256 个点(bin), 通过一个 ALU, 双口 RAM 的前一半的输出与该 RAM 的后一半输出相加。对于后 256 个点(bin), 两个 RAM 一半的输出彼此相减。为了容忍通过 NCOM 的传播时延并保证适当的抽样对由 ALU 处理, 在从 RAM 到 ALU 的输出通道中连接一组延迟寄存器。

合路器算法需要逆 FFT 的输入序列乘上一个复指数,

$$W_k^{kmR},$$

这里 k 是输入频率,点(bin)数, K 是逆 FFT 大小, m 是逆 FFT 数, R 是合路器的插值率, 且

$$W_k = e^{-j\pi k m R / K}.$$

使用一个数学恒等, 这个乘法运算可以通过逆 FFT 的输出抽样的循环移位进行, 即:

$$x[((n-r))k] = \text{逆 FFT}(W^{-r} * X[k]),$$

这里 r 等于 -mR。通过将逆 FFT 输出抽样循环 -mR 次, 就产生了复指数的相移。这种循环通过 FFT 输出寻址逻辑实现。

由于 FFT 机使用浮点块算法产生 FFT, 该算法根据输入数据的特性提供一个标度因子, 在到 ALU 的信号流的输入通道中连接桶形移位电路, 以便将 FFT 数据调整到相同的标度, 为了后续处理恰当地校准数据。

类似信道分路器, 合路器的重叠和相加滤波器包括多个滤波器抽头级。FFT 大小和级数设定了滤波器的总长度。该滤波器设计为实低通滤波器, 截止频率等于信道带宽的一半。该滤波器的相应级由移位寄存器的一对延迟存储器单元中的一个或两个、反馈复用器、系数存储器、乘法器和内部加法器组成。每个系数存储器存储 N 个滤波器(加权)系数中相应的一组, 其数目对应于 FFT 处理器的大小。来自 ALU 的 FFT 处理器的输出分布到所有滤波器级的乘法器中并被每级的系数同时相乘。一个抽头级乘法器的输出与被累加的数据求和并通过抽头级加法器中的延迟存储器移位, 以便用于滤波器的下一级。

滤波器的第一个抽头级不需要输入延迟存储器部分，因为零首先移入第一滤波器级。每个延迟存储器的长度通过滤波器插值率确定，插值率根据信道和输出抽样率定义。滤波器插值率， R ，是和输出和信道抽样率的商的最接近的整数：

5
$$R = \text{round}(\text{输出抽样率}/\text{信道抽样率})$$

每个输出延迟存储器部分的长度是 R ，而每个输入延迟存储器部分的长度，也就是滤波器的重叠，是 $N - R$ 。

插值率 R 也规定了重叠和相加滤波器所需的信号处理速率。为保证通过率，滤波器处理数据必须的最小时钟速率如下给出：

10
$$\text{滤波器处理速率} = \text{输出率} * N / R.$$

对于逆 FFT 处理器输出的每 N 个抽样，重叠和相加滤波器输出 R 个抽样。对于每个逆 FFT 的前 R 个抽样，选择通过复用器的第一输入口。在这段时间中，所有数据按时钟节拍输入，滤波器最后一级中的加法器产生的求和值输入到一个半带宽滤波器。其余的 $N - R$ 个抽样，选择每个复用器的第二端口，而且相应级的内部加法器的输出反馈到它们的延迟存储器部分。在这段时间中，输入存储器部分不移位，来自最后一级中加法器的数据不按时钟节拍进入半带宽滤波器。与信道分路器中的重叠和相加滤波器一样，最后 $N - R$ 个抽样的反馈提供滤波器的重叠。

20 半带宽滤波器配置为一个提供复数到实数转换的集成电路，将输出抽样率加倍。尽管整个合路器可以作为一个完全的实系统实现，但是这需要所有的抽样率、处理速率和 FFT 大小都加倍，增加了复杂性和成本。速率缓冲器连接到半带宽滤波器的输出端，以容纳来自合路器的连续数据流。存储在速率缓冲器中的数据通过输出驱动单元连接到输出数据链路，用于收发机站点发射一边的 D - A 变换器。速率缓冲器的半满标志通过控制信号线提供给控制逻辑电路，当请求数据时向 TDM 总线接口单元发指示。当存储在速率缓冲器中的数据量降到容量的一半以下时，标志变为无效，通知 TDM 总线接口从其激活信道请求信道数据以保持连续的输出数据流。

25 同重叠和信道分路器结构中一样，为每个需要的输出抽样率提供相应的振荡器。要包括另一组逻辑电路以产生合路器使用的附加的时钟信号。高速

率振荡器的时钟输出通过计数器分频以产生必要的滤波器处理时钟、TDM 总线时钟、以及 FFT 机系统时钟。

5 本发明宽带信道分路器的第二个实施例配置为多相滤波器结构。与重叠相加信道分路器实施例中一样，基于 FFT 的多相滤波器阵列分解(信道分路器)系统结构接收实时宽带 IF(中频)信号并进行频率变换、分割成多个单独的窄基带分解信号。多相滤波信道分路器通过标准的 VMEbus™ 接口(由电子电气工程师协会(IEEE)规定，标准 Std 1014 - 1987)提供对系统参数的完全可编程控制并将分布在自定义、时分复用(TDM)数据总线上的数据信道化。

10 在多相信道分路器结构中，输入抽样率是信道抽样率的整数倍，意味着信道抽样率必须是信道带宽的倍数。信道化的数据通过信道分路器分为分解的基带信号。信道分路器的输入与来自上行宽带数字接收机的 A-D 变换器的数字数据输出链路接口。输入抽样时钟速率通过接收的信道数和这些信道的带宽来决定。与重叠和相加实施例一样，幅度监视逻辑电路监视输入数据，以便提供对输入信号的自动增益控制，并保证接收机中 A-D 变换器的
15 整个动态范围都能利用。

输入抽样按时钟节拍进入半带宽滤波器，进行输入数据实数-到-复数的转换。半带宽滤波器也以二抽取数据，使数据的时钟速率减半。然后复数据抽样馈入多相滤波器的移位寄存器中，特别是，按时钟节拍进入第一滤波器级内组成移位寄存器一部分的延迟存储器中。每个延迟存储器的长度等于
20 信道分路器中 FFT 的大小。每个延迟存储器的输出提供给系数乘法器，该乘法器以移位寄存器时钟速率的 I 倍速率操作，这里 I 是过抽样因子 2。这表示延迟存储器输出端的每个抽样在按时钟节拍进入下一个延迟存储器之前，被乘以 $2(I = 2)$ 滤波器系数。

25 在多相滤波器结构的示范实施例中，使用了四个滤波器级。FFT 大小、过抽样因子、以及级数构成了滤波器的总长度。N 滤波器系数存储在每个滤波器抽头级的系数 RAM 中。当写入系数 RAM 时，滤波器系数通过抽头数(例如，四)抽取。相应系数的输出、数据乘数被求和并写入双口 RAM 中，以用于多相信道分路器的 FFT 处理器。

多相信道分路器的 FFT 处理器与上述重叠和相加信道分路器的 FFT 处理

器有着相同配置并按实际上相同的方式操作。一旦每个信道(频率点(bin))FFT 处理过的数据被写入输出 RAM, FFT 控制逻辑单元就通知跟随的 TDM 总线接口电路将数据放到 TDM 总线上, 以便可用于总线上跟随的数字信号处理器, 该处理器用于解调并从信道数据中提取语音或数据。多相信道分路器也可配置为将一个或多个信道的数据写入一个测试存储器, 允许 VMEbus™ 上的 CPU 收集并分析信道数据, 而不需与自定义的 TDM 总线接口。

多相合路器的信号处理结构, 是上述具有多相滤波器结构的宽带信道分路器的互补, 也允许实时处理多路数字语音或数据信号, 进行频率变换并将信号合成为 IF(中频)输出抽样率, 也通过 VMEbus™ 接口提供对系统参数的完全可编程控制并将自定义的、时分复用(TDM)数据总线上收集的数据信道化。

多相合路器的前端(FFT 处理器)与上述重叠和相加结构中一样, 但是使用了不同的滤波器结构, 其中相加器不是象重叠的相加合路器滤波器一样在内部与相应的延迟存储器级连。多相合路器滤波器结构则是与多相信道分路器中所使用的相对应。多相滤波器的输出连接到半带宽滤波器, 提供复数到实数据的转换, 将输出抽样率加倍。半带宽滤波器到输出数据链路的输出, 提供给收发机站点发射一侧的 D-A 变换器。

当然, 即使使用多相结构实现卷积滤波器, 上述的插值滤波器仍然要使用, 以便实现所产生的数字信道信号的最佳抽样。

20

附图的简单描述

图 1 图示说明常规蜂窝通信基站信道单元的接收机部分;

图 2 是 12MHz 宽语音/数据通信频带的四百(400)个 30kHz 子部分的多信道频谱分布图;

25 图 3 图示说明根据本发明的宽带多信道收发机装置;

图 4A 图示说明多信道收发机装置的信道分路器部分;

图 4B 图示说明多信道收发机装置的合路器部分;

图 5A 图示说明根据本发明的第一个实施例可用于图 4A 的信道分路器装置中的卷积滤波器的重叠和相加实施例的配置;

变换(DFT)信道分路器 111, 将在下面参考图 4A-B 描述 - 处理系统的 400 个 30kHz 信道中任一个的信号并将这样的信号输出到连接电话网载波接口 (例如, T1 载波数字接口) 的相应信道链路上。

5 快速傅立叶变换(FFT)信道分路器 111 处理 A-D 变换器 103 的输出, 该变换器通过数字同相/正交(I/Q)转换器 107 与之连接。I/Q 转换器 107 分别通过 I 和 Q 链路 107I 和 107Q 输出相应的 I 和 Q 信道(即, 复数的)数字格式化的信号。然后 FFT 信道分路器 111 从复合的数字化多信道(I/Q)信号中提取代表宽带接收机 101 接收的相应(30kHz)通信信道内容的相应的窄带信道信号。相应的信道信号通过 N 个输出链路(例如, 在本例中 N=400)连接到
10 相应的数字接收机处理单元 113-1, ..., 113-N, 每个单元解调并执行调制信号中嵌入的有关的纠错处理, 如同图 1 中的常规收发机单元。因此, 每个数字接收机处理单元 113 可以包括一个 Texas Instruments TMS320C50 数字信号处理器, Texas Instruments 制造, Post Office Box 655303, Dallas, Texas 75265。数字接收机处理单元 113 得到的解调信号通过相应
15 的信道链路 115-1, ..., 115-N 连接到跟随的电话网(未表示)的电话载波接口(例如, T1 载波数字接口)。

发射机部分 200 包括第二组多个数字信号处理单元, 确切地说是发射机信号处理单元 121-1, ..., 121-N, 连接这些单元接收来自电话网的分别
20 通过多信道网络不同的窄带(30kHz)频率信道发射的多个信道中相应几个的数字语音/数据通信信号。类似接收机部分 100 中的接收机数字信号处理单元 113, 相应的发射机数字信号处理单元 121 可以包括一个 Texas Instruments 制造的 TMS320C50 型号的数字信号处理器。发射机信号处理单元 121 对多个入通信信号中相应的几个进行调制并进行发射前的纠错处理, 将处理过的几个窄带通信信道信号提供在相应的输出端口 123-1, ...,
25 123-N 上。来自发射机信号处理单元 121 的输出端口 123-1, ..., 123-N, 经过调制的窄带信道信号通过信道链路 125-1, ..., 125-N 连接到基于逆 FFT 的多信道合路器单元 131 的相应输入端口, 如下所述, 合路器单元输出一个合成的信号。这个合成信号代表由输入到数字发射机信号处理单元 121 的相应窄带通信信道信号组成的宽带信号的内容。多信道合路器单元 131 的

输出连接到 I/Q 转换器单元 132。I/Q 转换器在链路 131I 和 131Q 上接收来自合路器 131 的同相和正交的信号分量，并向数模(D-A)变换器 133 提供合成的输出信号。数模(D-A)变换器 133，类似接收机部分 100 中的高速 A-D 变换器，优选地包括一个目前已商品化的元件，例如 Analog Devices 制造的 AD9712A 型号的 D-A 变换器。D-A 变换器 133 的输出连接到宽带(多信道)发射机单元 141，发射宽带(多信道)的通信信道信号，该信号包含由基于逆快速傅立叶变换的合路器单元 131 输出的合成信号。发射机单元 141 的输出连接到天线 39 以供发射。

本发明减少为增加了(满频带)容量的蜂窝收发机站点提供宽带覆盖所需的硬件数量，其特性之一是对宽带多信道信号提取结构(信道分路器 111)和宽带多信道信号合成结构(合路器 131)中的每一个使用了卷积-抽取频谱分析技术。因为业务提供者可以使用的可操作的通信频带中的所有信道都可以用以很高的、足以容纳当今无线通信系统实际带宽的数据率工作的数字处理元件进行处理，而不必再为每个信道建立单个的窄带信号处理单元，也不必将每个站点的信道个数限制在网络的满容量以下。

更具体的是，本发明通过使用重叠和相加或多相信道分路器及合路器结构使显著降低无线通信网络收发机站点的大小和硬件复杂性成为可能，这种结构的基本信号处理机能在 R. E. Crochiere 等人所著、Prentice-Hall Inc. 出版的教材“Multirate Digital Signal Processing”的第 7 章中做详细的数学描述。由于这两种滤波器变换功能中每一个的算法都在 Crochiere 的教材中严格地提出，这里就不做重复了。对于重叠和相加和多相信号处理、以及有关内容的详细描述，注意 Crochiere 的教材即可。

下面的描述将详述重叠和相加及多相的实用实施例、在所发明的收发器装置中使用的每个信道分路器和合路器的实现，为了进行实时的宽带无线 IF 信号处理，该装置对多个单个的窄基带信号进行频率变换和信道分割。

此外，下面的描述包括对抽样定时调整滤波器的详细讨论，该滤波器使用了插值和抽取数字信号处理技术，实现信道分路器输出的每个数字信道信号中的最佳抽样定时，同时使执行快速离散傅立叶变换必须的速率最小化。

信道分路器和合路器概述(图 4A 和 4B)

图 4A 是根据本发明的信道分路器 111 的一个高层框图, 包括卷积滤波器 40、FFT 处理器 42、以及多个抽样速率变换器 43-1、43-2, ..., 43-N。信道分路器 111 提供的 N 个输出信道的每一个都关联一个速率变换器。

5 卷积滤波器 40 从前向 I/Q 转换器 107 中接收 I 和 Q 抽样(图 3) 并执行一组操作中的第一部分, 这组操作对于将宽带数字输入分成独立的数字信道信号很必要, 每个这样的信号代表宽带多信道接收机 101(图 3)接收的通信信道中相应一个的内容。正如下面将详细描述的那样, 卷积滤波器 40 可以用重叠和相加结构或多相结构来体现。下面分别结合图 5A 和图 14A 对卷积滤波器 40 的这些实现的每一个做更完整的讨论。

10 简单地说, 卷积滤波器 40 作为一个滑动分析窗口, 将转换器 107 输出的 I 和 Q 抽样 107I 和 107Q 的连续短时部分选出并加权。然后 FFT 所提供的序列的离散离散傅立叶变换产生短时谱, 例如, 用一种特定的抽样频率。分析窗口的大小, 即滤波器 40 的抽头长度, 以及离散傅立叶变换的抽样数目分别决定了所产生的短时谱的时间和频率分辨率。重叠和相加结构, 正如结合图 5A 详细描述的那样, 通过利用信道间共享滤波器计算这个有效方法的好处有效地实现了这些功能。

15 卷积滤波器 40 的输出是一个复数值的数字信号, 该信号传给离散傅立叶变换单元, 该单元典型地、但并不局限于用一个快速傅立叶变换(FFT)单元 42 来实现。FFT 单元 42 产生 N 个输出信号, 称做数字信道信号。FFT 单元 42 输出的 N 个数字信道信号中的每一个代表多信道接收机 101 接收的通信信道中相应一个的内容。

FFT 单元 42 的优选实施例, 对于重叠相加实施例, 结合图 5B 详细描述; 对于多相实施例, 在图 14B 中描述。

25 然后 FFT 单元 42 输出的数字信道信号馈入多个速率变换器 43-1, ..., 43-N。相应每个输入信道信号都关联一个速率变换器 43。速率变换器 43-1, ..., 43-N 通过确定对应于每个数字信道信号最佳抽样的插值数字信号值来操作。

特别是, 每个速率变换器 43 在峰值符号幅度或附近位置提供它所对应



的数字信道信号的抽样。数学上讲, 这种操作等价于产生 FFT 单元 42 相应输出点(bin)的零-填充扩展, 并随后以低通、线性相位、有限脉冲响应(FIR)滤波器对零填充的信号滤波。然后确定最接近这种低通滤波信号峰值幅度的抽样位置。随后用适当的定时对滤波器的输出进行抽取, 以便只保留最接近峰值幅度位置的抽样。

5 可选地, 速率变换器 43-1, ..., 43-N 也可进行抽样速率差别调整, 使 FFT 42 提供的抽样速率和解调器 113 期望的抽样速率之间产生必要的差别。

10 速率变换器 43-1, ..., 43-N 在下面结合图 7 到图 13 做更详细的讨论。在速率变换之后, N 个数字信道信号馈入图 3 中的数字信号处理器 113-1, ..., 113-N 执行的解调器功能。

重叠和相加信道分路器(图 5A、5B 和 6)

15 在讨论图 5A 和 5B 中所示的重叠和相加信道分路器的具体实施例之前, 应该参考图 6, 该图说明了实现 DFT 滤波器阵列分析器的加权重叠相加结构所必须的操作序列。输入数据, $x(n)$, 以 M 个抽样为一组首先移入 N_0 位抽样移位寄存器 422, 这里 N_0 是分析窗口 $H(n)$ 中抽头的数目。在这里假设 N_0 等于四 K; 即窗口的大小是变换大小的四倍。移位寄存器中的数据随后用时域逆窗 $H(-R)$ 加权, 产生短时序列 $y_m(r)$ 。然后这个序列分成自 $r=0$ 始、K 个抽样一组的块, 做时间混淆产生 K 个抽样混淆的序列 $x_m(r)$ 。随后计算 $x_m(r)$ 的 K 点 DFT, 得到短时傅立叶变换 $x_k(m)$, 称为滑动时间帧。最后, 这个变换乘以因子 W_k^{-km} , 转换成所需的固定时间帧变换 $X_k(m)$ 。这个特定滤波算法更多的细节应参考上面提到的 Crochiere 等人的教材。

25 图 5A 和 5B 中描绘的这种重叠和相加滤波器的实现通过标准 VMEbus™ 接口提供了对系统参数的完全可编程控制, 以及在自定义的时分复用(TDM)数据总线上信道化数据的分布。为了提供不受限制的说明性的例子, 将描述四百(400)个信道、30kHz 的系统(可在 North American Digital Cellular(NADC)中使用, 如电子工业委员会及电信工业委员会标准(TIA/EIA IS-54)蜂窝系统所定义)以及五十(50)个信道、200kHz 的系统(可与 Pan-

European Groupe Speciale Mobile (GSM) 蜂窝标准一起使用), 以便有利于理解系统参数(信道带宽、信道数、抽样和处理速率、等等)和信道分路器本身的控制参数之间的关系。对于 400 个信道、30kHz 的系统, 假设 FFT 输出抽样率为 50kHz。对于 200kHz 的系统, 假设 FFT 输出抽样率为 300kHz。信道化的数据作为分解的基带信号由信道分路器输出, 而且信道抽样率将依赖于信道分路器的滤波器设计, 正如将要讨论的那样。

如上面所指出的, 信道分路器 111 所操作的原始数据从宽带接收机 101 (图 3) 得到。该接收机所关联的 A-D 变换器 103 的抽样率通过链路 401 提供的、来自控制单元 405 控制之下的缓冲/驱动接口 403 的抽样速率时钟信号控制。控制单元 405 优选地包括一组组合逻辑以及通过有关的时钟源 407 驱动的触发器, 以便实现将要描述的状态机序列控制功能。输入的抽样时钟速率由接收的信道数和接收信道的带宽确定。

将要描述的滤波器系统、FFT 处理器以及输出 TDM 总线的时钟信号从高速的(例如, 200MHz)参考振荡器 412 以及有关的向下计数器 414 和 416 得到。

由于信道分路器 111 是基于 FFT 的, 信道的总数必须是二的方幂。由于宽带接收机中所含的抗混淆滤波器的特性, 接近频带边缘的信道一般是不能使用的。为了处理 400 个 30kHz 的信道, FFT 信道分路器的大小必须为 512 点处理器。为了处理 50 个 200kHz 的信道, 需要 64 点的 FFT 处理器。

被抽样的总输入带宽是信道带宽的 N 倍, 这里 N 是 FFT 处理器的大小。信道分路器算法需要输入抽样速率等于 $2 \cdot N \cdot$ 信道带宽, 这是等于奈奎斯特抽样定律所要求的最小速率的抽样速率。

因此, 对于 30kHz 的信道分路器, 最小的时钟速率是 25.62MHz, 而 200kHz 的信道分路器滤波器的最小时钟速率是 19.05MHz。在本例中, 为了适应每种抽样速率, 时钟单元 407 可分别包括专用的振荡器 407-1 和 407-2, 如图所示。使用哪个振荡器在初始化过程中由系统控制器(例如, 一个连接到系统 VMEbus™ 410 的 CPU(未表示出来))确定。

对于 30kHz 的信道, 512 点 FFT 信道分路器覆盖了 15.36MHz 的带宽, 400 个 30kHz 的信道则覆盖了 12MHz。因此, 接收机必须在 15.36MHz 频带的中

央集中 400 个 30kHz 的信道，这样频带的两端提供了 56 个信道或 1.68MHz 的保护频带以允许混淆。类似，对于 200kHz 的信道，64 点 FFT 信道分路器覆盖了 12.8MHz 的带宽。将 50 个信道置于中央在频带的两端提供了 7 个信道或 1.4MHz 的保护频带以允许混淆。

5 通过双向链路 415 上来自控制器 405 的控制信号，接收机高速 A-D 变换器输出的数字化数据抽样顺序地在链路 411 上按时钟节拍通过缓冲/驱动器接口 403 并载入速率缓冲器 FIFO(先入、先出)存储器 413。当数据馈入速率缓冲器 FIFO 时，它的两个最高有效比特被用做幅度监视单元的逻辑电路 416 所监视，为了提供输入信号的增益控制并保证完全利用 A-D 变换器的
10 动态范围。单元 416 的输出反馈到宽带接收机，控制位于 A-D 变换器之前的一个衰减器(未表示出来)。

 当 FIFO 速率缓冲器 413 包括了一个 M 个抽样的块时，它就对控制单元 405 发出信号，开始处理该数据块。随后这 M 个抽样以高于输入抽样时钟率的速率、突发式地在链路 417 上按时钟节拍移出 FIFO 413，进入半带宽滤波器 419，以便适应 FFT 处理器的大小，FFT 处理器需要 N 个抽样。正如下
15 面将详细解释的， $N > M$ 意味着重叠和相加滤波器必须以高于输入抽样率一半的时钟速率操作。

 半带宽滤波器 419 对输入数据进行实数到复数变换并以因子 2 对数据进行抽取，因此将时钟速率除以 2。这些复数据值在链路 421 上按时钟节拍进入重叠和相加滤波器 420 内使用的移位寄存器 422。滤波器 420 包括两个实
20 低通滤波器，截止频率为信道带宽的一半。滤波器 420 的整个长度如下给出：

 滤波器长度 = $N * \text{滤波器抽头的数目}$

 移位寄存器 422 优选地通过级连的延迟存储器单元 431 与交织的“反
25 馈”复用器 433 来实现，如图所示。滤波器 420 相应的抽头级 430 由存储器元件 431A 和 431B、反馈复用器 433、系数存储器 435 以及乘法器 437 构成。每个系数存储器 435 存储相应的一组滤波器系数，系数的个数对应于 FFT 处理器的大小。在初始化过程中，系统控制器通过 20 VMEbus™ 410 将系数下载到系数存储器。

在所说明的实施例中，有四个抽头级 430-1, …, 430-4。相应抽头级的乘法器 437 的输出通过求和级 432、434、436 加在一起。因此，如图 5 中功能性说明的那样，移位寄存器 422 可以认为是由一组 J 个级连的 K 级移位寄存器构成（在优选实施例中 J 等于四），或是由长度为 J*K 级的单个移位寄存器构成，数字数据抽样输出提供给移位寄存器。移位寄存器 422 的总长度 (J*K) 由卷积滤波器所需的 (时域) 窗口长度给出，这样寄存器越长 (级数越多)，滤波器的特性就越尖锐。对于本例中 30kHz 的信道分路器，50kHz 信道抽样率每 20 微秒必须产生 512 点 FFT，而对于 300kHz 抽样率 200kHz 的信道分路器，每 3.333 微秒就必须产生 64 点 FFT。对于使用 64 点 FFT 处理器的 200 kHz 信道分路器，滤波器 420 的总长度为 256 级。

如图 5A 中所示，重叠和相加滤波器 420 的基本结构类似于有限脉冲响应 (FIR) 滤波器。但是，本发明的滤波器由于在滤波器抽头间使用了反馈复用器 433 和长延迟线元件 (存储器 431) 而与常规的 FIR 滤波器有所不同。存储器 431 的长度由系统控制器在初始化过程中配置并根据滤波器抽取率 M 来确定，见上述。抽取率定义为：

$$M = \text{取整}(\text{输入抽样率}/2 * \text{信道抽样率})$$

对于 30kHz 信道分路器的例子，则抽取率为：

$$M = 3.072 * 10^7 / (2 * 5.0 * 10^4) = 307$$

对于 200kHz 信道分路器的例子，抽取率为：

$$M = 2.56 * 10^7 / (2 * 3 * 10^5) = 43$$

在存储器 431 内，存储器 431B 的长度为抽取率 M；代表滤波器“重叠”的存储器 431A 的长度等于 N-M，这里 N 是 FFT 处理器的大小。因此，对于 30kHz 信道分路器的例子，相应存储器 431A 的长度或“重叠”为 512 - 307 = 205 个抽样，而在 200kHz 信道的情况下，存储器 431A 的重叠长度是 64 - 43 = 21 个抽样。

正如上面所指出的，输入数据按 M 个数据抽样的“块”进行处理，它们以高于输入抽样时钟速率的突发形式按时钟节拍移出 FIFO 413，为了适应需要 N 个抽样的 FFT 处理器的大小。也就是说，N>M 意味着重叠和相加滤波器必须以高于输入抽样率一半的时钟速率操作。滤波器的最小时钟速率定义

为:

$$\text{滤波器抽样率} = \text{输入抽样率} * N / (2 * M)$$

因此, 对于 30kHz 的信道分路器, 最小抽样率是 25.62MHz, 而 200kHz 的信道分路器的最小抽样率为 19.05MHz.

5 为了处理每块 M 个输入抽样, 需要 N 个时钟信号提供给 FFT 42(图 4A) 足够数目的数据抽样以供 FFT 处理。在 N 个时钟信号的前 M 个中, M 个抽样按时钟节拍通过速率缓冲器 431 和半带宽滤波器 419 并进入移位寄存器 422。在这个时间帧中, 以状态机实现的滤波器控制单元 440 通过链路 442 将选择控制信号加到复用器 433 的选择输入端口 433S 选出它的上端口 433

10 -, 通过链路 444 将时钟信号加到延迟存储器 431, 使得数据从左至右通过每个延迟存储器 431 移位。对于 N 个数据抽样余下的 N-M 个, 门控单元 440 使每个复用器 433 选择它的下端口 433-2, 使得数据不按时钟节拍移出速率缓冲存储器 413 并且没有数据移位通过延迟存储器 431B。也就是说, 数据不再从左至右移位通过移位寄存器, 只有存储器 431A 仍按时钟运转。

15 存储器 431A 的这种定时是一种机制, 用于产生图 6 的功能流图中示意性说明的滤波器重叠。

更具体的是, 在 N 个时钟时间内, 延迟存储器 431A 的输出被存储在四个抽头级 430-1, ..., 430-4 的系数存储器 435 中的滤波器系数相乘。第一组 N 个系数存储在抽头级 430-1 的系数存储器 435 中; 第二组 N 个系数存储在抽头级 430-2 的系数存储器 435 中; 第三组 N 个系数存储在抽头级 430-3 的系数存储器 435 中; 第四组 N 个系数存储在抽头级 430-4 的系数存储器 435 中。应该注意的是抽头级的数目不限于四或任何其它数。可以使用更多的级增加滤波器的长度, 以便减少信道间的混淆, 增加信道的选择性并允许信道抽样率的降低。也就是说, 数据移入卷积滤波器操作的速率对应于滤波器的抽取率 M, 并因此控制了滤波器滚降的尖锐度。为最佳系统性能的设置 M 依赖于 FFT 处理能力和数字化元件(A-D 变换器 103)的可用抽样率。

20

25

重叠和相加 FFT 处理器(图 5B)

当滤波器级 430-1, ..., 430-4 产生的四组系数加权的数据抽样通过求和级 432、434 和 436 加在一起时, 产生 N 个抽样混淆的卷积数据序列, 存储在包括 RAM 部分 451A 和 451B 的双口 RAM 451 中, 以便用于 FFT 42。如图 5B 中所示, FFT 42 的优选实现因此包括双口 RAM 451、算术逻辑单元 (ALU) 453、数控振荡器/调制器 (NCOM) 455、FFT 机 460、标度逻辑 466、桶形移位 471、双口输出 473 以及其它元件。双口 RAM 451 和 FFT 42 其它部分的寻址由状态机控制, 优选地用逻辑门阵列 468 实现。

FFT 42 的处理速率定义为:

$$\text{FFT 速率} = 1 / (\text{信道抽样率})$$

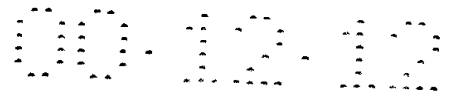
对于所考虑的 30kHz 信道分路器例子, 50kHz 信道抽样率的 512 点 FFT 的产生需要 20 微秒, 而对于 200kHz 的信道分路器、300kHz 信道抽样率, 64 点 FFT 必须以 3.333 微秒的速率产生。由于目前可用的一般 FFT 设备不能以这样的速率工作, 那么为了保证通过量, FFT 单元 42 (图 4A) 包含图 5B 所示的多个 FFT 机 (例中为三个—461、462、463), 用与有关的信号处理参数相关联的恰当的 FFT 大小对它们进行编程。用三个 FFT 机实现 FFT 42, 将 512 点 FFT 处理器的 FFT 重访问时间减少到 60 微秒, 64 点 FFT 处理器减少到 10 微秒, 用目前可用的集成电路就可使 FFT 处理器保持实时的数据通过量。

根据优选的实施例, FFT 机使用 FFT 大小是 4 的方幂的基-4 (块浮点) 算法。对于 512 点 FFT 处理器, 所有 512 频率点 (bin) 的产生是通过使用施加了频率抽取的 2-基蝶形运算的两个 256 点 FFT 来实现的。为了用 N/2 点 FFT 产生 N 点 FFT 的偶数点 (bin), 必须:

$$X[2k] = \text{FFT}(x[n] + x[n + N/2]),$$

这里 $x[n]$ 是 FFT 的 N 点输入序列, k 是 FFT 点 (bin) 数, $X[k]$ 是 FFT 点 (bin) 抽样。

在 512 点 FFT 的情况下, 抽样从双口 RAM 451 中读出并提供给算术逻辑单元 (ALU) 453, 在 FFT 控制逻辑单元 468 的控制下, 单元 453 将数据抽样 $x[n]$ 和 $x[n + N/2]$ 相加。此时下游的数控振荡调制器 455—其输出可以被 ALU 453 的输出驱动—被 FFT 控制逻辑门阵列 468 禁止。求和值提供给产生偶数



频率点(bin)FFT的FFT处理器460,即上面所提出的

$$X[2k] = \text{FFT}(x[n] + x[n + N/2]),$$

为了产生N点FFT的奇数点(bin),使用下面的等式:

$$X[2k + 1] = \text{FFT}((x[n] - x[n + N/2]) * W_N^n)$$

5 这里

$$W_N = e^{-jk2\pi/N}.$$

10 为了对于奇数点(bin)产生512点FFT,当奇数点(bin)数据抽样从双口RAM 451中读出时,FFT控制逻辑单元468控制算术逻辑单元(ALU)451取数据抽样 $x[n]$ 和 $x[n + N/2]$ 之差。这个差被数控振荡器、调制器455相乘,按时钟节拍进入FFT处理器460,产生奇数频率点(bin)的FFT,即

$$X[2k + 1] = \text{FFT}((x[n] - x[n + N/2]) * W_N^n).$$

在使用64点、四的方幂FFT机的200kHz信道分路器的情况下,既不需要ALU 453也不需要振荡器455,因此它们被FFT控制逻辑单元468禁止。

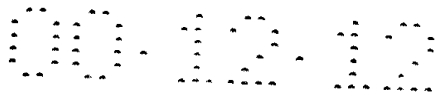
15 如前所述,FFT机460使用了块浮点算法,与复FFT数据一起输出四比特标度因子。这个标度因子反馈到标度逻辑电路466控制桶形移位电路470,FFT机的输出连接到该移位电路。当数据从FFT机读出时,桶形移位电路470对其进行调整,以便保证连续的FFT校准到同一个标度上。桶形移位电路471的输出连接到双口RAM 473上。

20 如上面提到的Crochiere的教材中所述,傅立叶变换算符(这里是处理器460的FFT机)的输出乘上复指数 W_N^{-rk} ,这里M是抽取率,k是FFT点(bin)数,m是FFT(块)数(即,对于产生的第一个FFT,m=0;下一个FFT,m=1;第三个FFT,m=2;等等)。抽取率M在初始化过程中被编程入FFT控制逻辑单元468。为了执行等价的运算,图5B的FFT单元42使用了下面的恒等式:

$$25 \quad x[(n-r)N] = \text{FFT}(W_N^{-rk} * X[k]),$$

这里 $x[n]$ 是FFT的输入序列,如上面提到的, $x[(n-r)N]$ 是 $x[n]$ 模N循环移位r次。在图5B所示的实施例中,r等于mM。

取代执行FFT下游的复数乘法,控制逻辑单元468可控地寻址双口RAM 473,以便按照产生FFT输入数据序列循环移位的顺序存取处理过的数据



值。

一旦每个信道经 FFT 处理的数据(频率点(bin))写入输出双口 RAM 473, FFT 控制逻辑单元 468 向跟随的时分复用(TDM)总线接口电路 475 发出信号确保数据在 TDM 总线 480 上, 这样数据就可加到 TDM 总线上跟随的处理器 113。这样的处理器与以前提到的处理器 113 相对应, 而且可包括数字信号处理器, 其作用是从信道数据中解调并提取语音或数据, 也执行插值器 43-1, ..., 43-N 的功能, 正如将要简要描述的那样。

TDM 总线 480 上的数据分成多个时隙(例如, 每个 TDM 帧 400 个时隙)。TDM 总线可以用 20MHz 的时钟驱动, 允许单个时隙用于输出达 50kHz 抽样率的单信道数据。如果需要较高的信道抽样率, 可以将多个时隙指定给一个单个信道。例如, 300kHz 抽样率可分配六个时隙。时隙可以通过系统控制器动态分配, 控制器用所有激活的时隙配置信道分路器。如果数据已在双口 RAM 473 中而且时隙是激活的, 信道分路器通过缓冲电路 481 输出数据并将数据就绪信号一起放在 TDM 总线 480 上。所有从该时隙收集数据的数字信号处理器将从 TDM 总线上读数据。连接处理器的总线通过常规的帧信号同步到 TDM 总线, 这样处理器 113(图 3)就可以知道从中读数据的正确时隙。

插值滤波器(图 7 到 13)

正如上面关于图 4A 简单提到的那样, 在优选的实施例中, FFT 42 提供的数字信道信号不直接提供给数字信号处理器 113-1, ..., 113-N 执行的解调和/或纠错算法。这是因为, 为了最佳检测概率, DSP 处理器 113 使用的解调算法希望在每个符号的峰值幅度处或附近对每个信道信号抽样。一般, 这个峰值幅度在每个符号的中间或其附近出现。

在现有技术的单信道系统中, 每个信道是单独处理的, 因此每个数字化信道只代表来自一个信道的信息。在这样的方法中, A-D 变换器 103(图 3)的输出包含只属于一个信道的信息, 一般使用锁相环技术就可保证来自 FFT 42 输出的抽样具有最佳相位。

但是, 对于诸如图 4A 中所示的宽带的信道分路器 111 来说, 出现在 A-D 变换器 103 输出的是来自多个信道的信号。此外, 这些信道信号不一定



能保证彼此同步。因此，对于 A-D 变换器 103 来说没有单一的最佳抽样时间，因为每个单个的信道信号不能保证是同相位的。所以，不可能通过简单调整 A-D 变换器 103 的抽样时间来提供每个信道的最佳抽样。

5 在这种情况下一个可能的解决方法是通过一个插值因子 L 增加 FFT 42 输出的数字抽样数，这样至少有一个抽样能保证出现在每个数字信道信号的每个符号的峰值处或附近。通过这种增加 FFT 42 输出抽样率的方法，保证每个信道存在一个足够接近最佳点的抽样是可能的。

10 但是，增加 FFT 的大小要求计算复杂性增加得相当多。例如，只要以因子 4 增加 FFT 的大小，以此保证一个抽样点可以在最佳点的至少九十度 (90°) 范围内抽取，那么需要大约八倍的计算资源。这是因为 FFT 计算的复杂度以下述量级增加

$$(N/2) \log_2(N)$$

因此作为例子，在上面讨论的图 5B 的实施例中，用二十四个 FFT 机代替三个 FFT 机 461、462 和 463，使抽样率增加四倍。

15 因此，不是大量增加 FFT 计算能力的总量，而使用速率变换器 43-1, ..., 43-N。速率变换器 43 使用有效的插值和抽取技术对 FFT 输出的抽样有效地进行插值，然后只在最佳抽样点对这些抽样进行抽取。

20 图 8A 中最上面的图说明速率变换器 43-i 的一个示范在数字信道信号 $x(n)$ 上执行的信号处理，该信号由 FFT 42 的一个输出提供。正如通过实曲线所看到的，信道信号 $x(n)$ 由一串交流符号组成，第一个符号的幅度为正 1，第二个符号幅度为负 1，而第三个符号幅度为正 1。作为数字信道信号 $x(n)$ 而提供的实际抽样由较深的沿水平、离散的时间轴标以“x”的垂直抽样线表示。这些实际的抽样以输入抽样率 f_i 抽取。

25 抽样率变换器 43-I 确定以速率 f_s 抽取的插值抽样的位置， f_s 是输入抽样率 f_i 的整数倍。然后这些插值抽样的一个子集，也就是那些最接近每个符号中间的插值抽样，作为最佳抽样被选出。最佳抽样位于双箭头所示的时间处。图 8A 中下面的图表示速率变换器 43-i 的输出 $z(n)$ ，它只包括以输出抽样率 f_o 抽取的最佳位置的那些抽样。

为了在输入抽样之间进行这种最佳插值，首先要在实际抽样之间有效地

用附加的零值抽样填充数字信道信号 $x(n)$ 。这些附加的零值抽样的位置在 $x(n)$ 的图中用在 x 轴上标“0”表示的抽样来指示。一般，这种零填充在 $x(n)$ 实际抽样率 f_i 的一些整数倍处产生。在所说明的例子中，插值因子 L 设为 8。

5 为了在每个实际抽样之间产生 $L-1$ 个插值抽样中每一个的值，零填充的信号可以用具有线性相位响应的低通滤波器滤波，例如 FIR 滤波器。一个这种线性相位滤波器的例子的时域脉冲响应 $h(n)$ ，在图 8B 最上面的图中表示。该脉冲响应 $h(n)$ 具有一个时间周期，也称为抽头数，等于 N' ，这里 N' 由所要求的滤波器参数，例如响应时间、截止频率以及尖峰来决定。

10 但是，因为在任意给定的时间插值输出抽样中只有一些有用，因此整个脉冲响应 $h(n)$ 中只有某些部分需要计算。换句话说，在任意给定的时间 L 个可能的抽取滤波器中只有特定的一个需要作用在数字信道信号 $x(n)$ 上。 L 个可能的抽取滤波器代表速率变换器 43-i 的 L 种可能的相移。

在任意给定时间，速率变换器 43-i 实现的 L 个抽取滤波器中特定的一个由滤波器索引号参数“ p ”来确定。

15 因此一个示范性的速率变换器 43-i 可以用一个具有可选择的相位输入参数“ p ”的数字滤波器装置实现，如图 7 所示。来自 FFT 42 输出的数字信道信号 $x(n)$ 馈入实现了 L 个可能抽取滤波器之一的低通滤波器结构 71。滤波器结构 71 中单个的抽取滤波器有“ g ”个抽头，这里“ g ”由 $h(n)$ 的总脉冲响应长度 N' 与插值率 L 的比值决定。在所示的例子中， N' 等于 32 而 L 等于 8，因此 g 等于 4。（请注意在对速率变换器的这个讨论中，尽管 N' 值为了方便用于表示滤波器 $h(n)$ 的长度，但是这个 N' 值与上面联系 FFT 处理器的描述所讨论的 N 值毫无关系。）

20

为了理解如何确定实现 L 个滤波器所需的 L 组滤波器系数，现在注意图 8B，并考虑下面的关系所给出的 L 个可能的抽取滤波器的时域响应：

25

$$\begin{aligned}
 h_0(n) &= h(n), & \text{对于 } n &= 0, 2L, 3L, \dots, \\
 h_1(n) &= h(n), & \text{对于 } n &= 1, L+1, 2L+1, 3L+1, \dots, \\
 h_2(n) &= h(n), & \text{对于 } n &= 2, L+2, 2L+2, 3L+2, \dots, \\
 h_k(n) &= h(n), & \text{对于 } n &= k, L+k, 2L+k, 3L+k, \dots, \\
 h_{L-1}(n) &= h(n), & \text{对于 } n &= L-1, 2L-1, 3L-1, \dots,
 \end{aligned}$$

每个这样的滤波器的时域响应在图 8B 的下面部分绘出。

5 选择器 72 基于因子数确定所需的滤波器索引 p 。一般，选择器 72 执行一次初始化定时同步处理，以找到最佳可能的“ p ”作为起始点。然后，通过精确跟踪输入抽样率 f_i 和输出抽样率 f_o 之间比例的任何微小差别所引起的抽样定时的偏差，可以按需要调整参数 p ，而且速率变换器 43 - i 将总是具有合适的相位。

10 为了同步定时的目的，使用了一些以速率 f_s 抽取的中间抽样。这些中间抽样的位置由图 8A 中的单箭头指示。中间抽样率 f_s ，等于所需的输出速率 f_o 乘上一个因子 M' 。应该注意到，这个同步因子 M' 不一定等于或是插值因子 L 的整数倍。（请注意这里为了在讨论速率变换器的上下文中方便起见将插值因子标为 M' ，但是这个 M' 值与联系 FFT 处理器的操作所讨论的 M 毫无关系。）

15 图 9 是选择器 72 的详细框图，选择器 72 通过产生一组 M 个中间输出信号 $z_0(n)$ 到 $z_{M'-1}(n)$ 确定中间抽样值。每个中间输出信号以所需的输出符号率 f_o 提供抽样，但是针对一种不同可能的相位。因此其结果是对于输出信号 $z(n)$ 中的每个符号产生整数 M' 个抽样。

20 在对选择器 72 的操作做详细讨论之前，考虑图 10 中所示的一个典型的信道信号 $x(n)$ ，它包括前导部分， $s(n)$ 和数据部分 $d(n)$ 。在前导部分 $s(n)$ 中，信道信号 $x(n)$ 由一个预先确定且熟知的数据符号序列组成，例如所示的一串负和正符号值的交变序列。选择器 72 操作的基本概念是确定 M' 个可能的滤波器部分中每一个相对这个前导部分的实际响应。由于所需的对前导的响应是已知的， M' 个滤波器响应中每个的品质因数可以通过将 M' 个实际响应与理想的响应做相关、或比较来确定。然后选出具有对理想前导响应的最佳相关的滤波器部分，在速率变换器 43 - i 接收数据部分 $d(n)$ 时作为所使用的滤波器部分。

25

如图 9 中所示，示范的速率变换器 43 - i 包括多个— M' 个滤波器结构部分 $92 - 0, \dots, 92 - M' - 1$ 、同样多个相关器 $93 - 0, \dots, 93 - M' - 1$ 、同样多个解调器 $91 - 0, \dots, 91 - M' - 1$ 、相位选择和跟踪电路 94、以及峰值检测器和比较电路 95。所说明的实施例既执行图 7 中滤波器结构 71 的功能也

执行选择器 72 的功能。

为了执行选择器 72 的功能，数字信道信号 $x(n)$ 首先并行地馈入 M' 个滤波器部分 $92-0, \dots, 92-M'-1$ 中的每一个，部分 92 中的每一个对应于 M' 个可能的相位中的一个。一个给定滤波器 92 的特定相位作为参数 u 输入。
 5 M' 个滤波器部分 92 中的每一个在数字信道信号 $x(n)$ 上操作以提供 M' 个滤波的信号 $z_0(n), \dots, z_{M'-1}(n)$ 。

这 M' 个滤波的信号接着馈入解调器 $91-0, \dots, 91-M'-1$ 中相应的一个，去掉诸如相位编码这样的任何符号调制。例如，被去掉的一种这样的编码是已知的 $\pi/4$ QPSK (差分正交相移键控)，按照“EIA/TIA Interim Standard
 10 Cellular System Dual Mode Mobile Station Base Station Compatibility Standard IS-54-B”的规定，日期 1992 年四月，电信工业委员会颁布。

M' 个解调器的输出然后馈入相关器 $93-0, \dots, 93-M'-1$ ，相关器的其它输入是理想的前导序列 $s(n)$ 。在所描述的例子中，理想的前导由交替变化的一串正和负符号构成。每个相关器电路 $93-0, \dots, 93-M'$ 输出表示相应的中间滤波信号 $z_0(n), \dots, z_{M'-1}(n)$ 与理想的符号序列 $s(n)$ 之间相关的值。这种相关可以用任意适当的方式完成，例如通过将前导的方向上两个
 15 信号之间的差求积分。

峰值检测和比较 95 随后处理每个相关器的输出。特别是，当在相关器 $93-0, \dots, 93-M'-1$ 之一的输出中检测到一个峰值时，就比较所有相关器
 20 输出的大小。当速率变换器在数字信道信号 $x(n)$ 的数据部分操作时，对应于最大输出相关器 93 的特定滤波器部分 92 被选中作为所需的滤波器部分 92 使用。这通过输出一个参数 x 来表示。

速率变换器 $43-i$ 随后进入跟踪模式，所选的中间信号 $z_x(n)$ 作为选择和跟踪电路 94 所需的输出信号 $z(n)$ 被保持。因此，在这种模式中，只有所选的滤波器部分 92 需要是可操作的。这种跟踪模式维持到再次进入前导模式，一般是检测到另一个前导的时候。
 25

正如将简单讨论的那样，选择和跟踪电路 94 也可以通过将所选的滤波器部分 $92-x$ 的响应和滤波器部分 $92-0, \dots, 92-M'-1$ 所有响应的一个子集做比较，主动地调整参数 x ，基于一个误差检测准则确定另一种相位的

滤波器部分何时可提供较好的抽样值。

M^2 个滤波器部分 $92-u$ 的一个示范的信号流图在图 12 中表示。在所描述的例子中，抽头数 g 等于 4。因此，滤波器部分 $92-u$ 包括四个延迟单元 $125-0, \dots, 125-3$ 、四个滤波器系数存储器 $126-0, \dots, 126-3$ 、四个乘法器 $127-0, \dots, 127-3$ 、以及三个加法器 $128-1, \dots, 128-3$ 。滤波器 $92-u$ 是标准的数字滤波器结构，其中每个输入抽样 $x(n)$ 首先馈入第一延迟单元 $125-0$ ，然后在随后的以时钟信号 129 所表示的抽样计数、或时钟周期出现时进入后面的延迟单元 $125-1, 125-2$ 和 $125-3$ 。时钟信号 129 在输入数字信道信号 $x(n)$ 的每个抽样提供一个或多个时钟脉冲。

滤波器 $92-u$ 的第一级也包括一个乘法器 $127-0$ ，将延迟单元 $125-0$ 的输出接收作为它的一个输入。乘法器 $127-0$ 的另一个输入来自系数存储器 $126-0$ ， $126-0$ 为 L 个可能的滤波器部分中的每一个存储以 0 编号的系数 $h_p(0)$ 。因此前面描述的滤波器系数参数 p ，也输入到系数存储器 $126-0$ ，用于所需的 $h_p(0)$ 的选择。第一滤波器级的输出是随后提供给加法器 $128-1$ 的乘法器 $127-0$ 。

类似地，第二滤波器级包括延迟单元 $125-1$ 、为 L 个可能的滤波器的每一个存储系数 $h_p(1)$ 的系数存储器 $126-1$ 、以及乘法器 $127-1$ 。第二滤波器级的输出与第一滤波器级的输出一起馈入加法器 $128-1$ 。后面的第三和第四滤波器级类似实现。

包括滤波器部分 $92-u$ 的 $z_u(n)$ 的输出抽样从最后级的输出提取出来，在所说明的例子中最后级是第三级加法器 $128-3$ 。

为了进行抽样定时调整以便产生最大可能的正确符号检测，也必须保持正确的滤波器系数参数 p 。如果输入抽样率 f_0 、也就是输入数字信道信号 $x(n)$ 的抽样率等于输出信号 $z(n)$ 的抽样率，或至少是该速率的整数倍的话，这可能是比较简单的事。在这种情况下，初始的相位差不随所通过的输入数字信道信号而改变。但是，在大多数实际系统中，不是这种情况，而且一个抽样率可能大于或小于另一个，而且比例不一定是整数。本发明因此也提供了一种方便的调整这种非整数抽样率差的方法。

特别是，通过恰当地控制输入到滤波器部分 $92-u$ 的时钟信号 129 的频

率以及参数 p ，可以精确地调整任何抽样率差值。为了理解如何完成这个过程，考虑一个典型的示范输入信道信号序列 $x(n)$ 和输出信号 $z(n)$ ，如图 11A 所示。从 $n = -2$ 到 $n = 5$ 的 $x(n)$ 的抽样沿着水平时间线的上部表示。所需的输出抽样 $z(n)$ 沿着时间线的下部表示。用标号 116 表示的那种杂散的标志，表示插值抽样的可能位置。在所描述的例子中，由于 $L = 8$ ，每个插值抽样有八种可能的位置。输出数字信道信号 $z(0)$ 的第一个抽样相对于最近的输出抽样 $x(0)$ 定时的延迟也表示出来了。这种延迟是参数 p 的初始估计。

对于给定的 $x(n)$ 和给定的 $z(n)$ ，可以确定抽样率调整因子， μ ，它等于每个序列的频率比值。在图 11A 所示的例子中，数字信道信号 $x(n)$ 的抽样频率是每秒 45 千抽样 (ksps)，所需的插值输出信号抽样率 $z(n)$ 是 24.3ksps。速率调整因子 μ 因此等于 1.851。所以，对于每个所需的输出序列抽样 $z(n)$ ，大约有 2 个、但不很精确地为 2 个输入序列抽样 $x(n)$ 。

实际需要的输出抽样率 f_0 一般由接收机 100 所实现的特定信令标准的符号率所规定。例如，上述的输出抽样率 24.3ksps 由蜂窝系统的示范时分多址 (TDMA) 实现所规定，例如前面提到的 IS-54-B 标准中的描述。（应该理解这种技术的用途不限于 IS-54-B。）

但是，回顾速率变换器 43-i 实际上包括 M' 个滤波器部分 $92-0, \dots, 92-M'-1$ 。为了确定如何在输入数字信道信号 $x(n)$ 和输出数字信道信号 $z(n)$ 之间最佳地调整抽样率差值 μ ，考虑滤波器部分 $92-u$ 所需的抽样输出的时间由下式给出：

$$t_u(n) = \left(n + \frac{u}{M'} \right) T$$

这里 u 是滤波器部分 $92-u$ 的系数， M' 是滤波器部分 92 的总数， T 是符号间隔。已知输入抽样间隔，

$$T_i = \frac{1}{f_i},$$

则速率调整因子 μ 由下式给出：

$$\mu = \frac{T}{T_i},$$

而且在离散时间 n 处的特定输入抽样的系数 v_u 由下式给出:

$$v_u(n) = \text{integer} \left(\frac{t_u(n)}{T_i} \right) = \text{integer} \left[\left(n + \frac{u}{M'} \right) \frac{T}{T_i} \right],$$

参数 p 为

$$p_u(n) = \text{round} \quad L \left(\frac{t_u(n)}{T_i} - v_u(n) \right)$$

5 对于输出序列 $z(n)$ 的每个抽样将输入序列 $x(n)$ 移位的抽样数就是输入抽样系数之间的差值:

$$q_u(n) = v_u(n) - v_u(n-1)$$

图 12 表示如何确定驱动滤波器部分 92 - u 的时钟 129 以及参数 p 。计数器 140 对 z -抽样的个数计数, 同步到输出信号 $z(n)$ 所需的输出速率 f_0 上。
10 z -抽样计数器 140 的内容因此提供了等于当前输出抽样系数的抽样系数号 nz 。

乘法器 141 随后确定比值 $\frac{u}{M}$, 而且加法器 142 将该值加到当前的抽样系数号 nz 上。为了确定由于输入和输出抽样率的差别带来的适当偏差, 这个值再由乘法器 143 乘上速率调整因子 μ 。然后乘法器 143 的输出馈入一个
15 整数部分选择器 144 以及减法器 145。因此整数部分选择器 144 的输出提供了 $v_u(n)$ 。

随后这个 $v_u(n)$ 值馈入减法器 149 和延迟单元 148。减法器 149 的输出是号码 $q_u(n)$, 表示用于产生以前的输出抽样 $z(n)$ 的 $x(n)$ 以前抽样的系数与目前需要的 $z(n)$ 输出抽样所用的 $x(n)$ 抽样的系数之间的差别。在图 11A
20 中讨论的例子中, 这里 $\mu = 1.851$, $q_u(n)$ 将有一个为 2 的值或为 1 的值, 根据当前时间 nz 而定。

为了保持适当的输出抽样定时, 这个 $q_u(n)$ 值馈入一个时钟脉冲产生器 150, 向滤波器部分 92 - u 的延迟单元 125 - 0, ..., 125 - $g-1$ 输出所指示的时钟脉冲数。

25 为了确定滤波器系数参数 p , 在输入和输出抽样速率不同的情况下, 来自乘法器 143 的相乘的结果与索引 $v_u(n)$ 一起馈入减法器 145。通过将这个

结果在乘法器 146 中乘以插值因子 L ，然后在块 147 中将结果取整，就确定了参数 p 。

因此，当 z 符号计数器 140 运行且得到了输出序列 $z(n)$ 随后的抽样时，调整系数 p 和时钟信号 149 以保证恰当地选择 L 个可能的滤波器。

5 在迄今为止的讨论中，假设输出选择器 94 (图 12) 只是简单的 M 取一选择器，从来自峰值比较器 95 的参数 x 所给出的中间信号 $z_x(n)$ 中选出一个。因此，当处于跟踪模式时，仅需要实现滤波器部分 $92-x$ 。然而，如果要求动态调整滤波器部分的系数，可以通过执行一种延迟锁定环路确定来增强跟踪功能 94。

10 如图 13 所示，这包括确定三个滤波器部分 $92-x-1$ 、 $92-x$ 、 $92-x+1$ 的输出。这三个滤波器部分中每个的输出随后转发到确定调整因子 x_{adj} 的峰值偏移检测电路 132。

15 如图 13 所示，如果来自当前选择的或者准时的滤波器部分 $92-x$ 的抽样的幅度大于来自落后的滤波器部分 $92-x-1$ 的抽样和来自超前的滤波器部分 $92-x+1$ 这二者，就不需要调整。在这种情况下， x_{adj} 因子设为 0，并且 x 不调整。

20 然而，如果来自超前的滤波器部分 $92-x+1$ 的抽样幅度大于准时的滤波器部分 $92-x$ 的值及落后的滤波器部分 $92-x-1$ 的值，表示必须进行相位调整，将速率变换器 $43-i$ 的输出靠近符号的中间。因此，输出调整因子 $+1$ ，并在用于选择激活的滤波器部分 $92-x$ 之前加到来自峰值检测和比较 95 的 x 参数上。

类似的，当来自落后的滤波器部分 $92-x-1$ 的抽样幅度大于准时的滤波器部分 $92-x$ 的值及超前的滤波器部分 $92-x+1$ 这二者时，就表示需要在相反的方向上调整。

25 速率变换器 $43-i$ 的前述操作一般在与特定的信道 i 有关的相应的 DSP113- u 中实现。但是，应该理解，速率变换器 $43-i$ 的操作也可以通过恰当排列的硬件来执行。此外，有专用于对多个信道执行速率变换器 $43-i$ 功能的 DSP 单元 113。

重叠和相加合路器(图 14A 和 14B)

图 14A 和 14B 图解说明了与上面描述的具有图 5A 重叠和相加滤波器结构的宽带信道分路器 111 互补的多信道合路器 131 的信号处理结构。与信道分路器的情况一样, 多信道合路器的信号处理功能本质上对应并且功能上等价于图 17 所示的对应于上面提到的 Crochiere 文本的图 7. 20 的信号处理流程图。

象上面描述的图 5A 所示的重叠和相加信道分路器那样, 合路器单元 131 使用的实际实现能够实时处理多个数字语音或数据信号, 并且进行频率变换并将信号合路为一个 IF(intermediate frequency 中频)输出抽样速率。图 14A 的实现通过标准 VMEbus™ 接口 601、603 提供对系统参数的全可编程控制并且在一个定制的、时分复用(TDM)数据总线 605 上提供分信道的数据采集。

如上面描述的图 5A 和 5B 的信道分路器, 图 14A 和 14B 的重叠和相加合路器将描述为一个可用于 NADC(TDMA)蜂窝系统的 400 信道/30kHz 系统, 和一个可用于欧洲 GSM 蜂窝系统的 50 信道/200kHz 系统的非限制例子。对于 30 kHz 信道, 假设抽样速率是 50 kHz。对于 200 kHz, 假设抽样速率是 300 kHz。分信道的数据是由合路器作为分解的基带信号接收的。信道抽样速率依合路器的滤波器设计而不同。

由于在典型情况下, 所有信道的总计数据率超过 VMEbus™ 605 和其它标准总线协议的总线带宽, 图 14A 和 14B 的合路器结构使用一个定制的 TDM 总线 610 在相对高的数据率上采集大量信道的数据。TDM 总线 610 的时钟设为 20MHz, 以允许每帧 400 时隙。每个时隙能够在上至上面提到的 50kHz 的抽样速率上传输一个单一信道的数据。对于更高的速率, 可以为一个信号源分配每帧多个时隙。如上面参考图 4 合路器的 TDM 总线提到的, 由于每个时隙处理 50 kHz 的抽样速率(并且 $6 \times 50 \text{ kHz}$ 是 300 kHz), 300 kHz 的抽样速率将要求每帧 6 个时隙。

确定在 TDM 总线上的分信道的数据源是格式化(例如, 成为蜂窝标准)并且调制来自伴随电话网的入语音或数据信号以提供基带分解信号的 DSP 处理器 113(图 3)。每个数据源分配一个或多个时隙, 在其间一旦合路器请求

它将传输一个单一的复数抽样。没有两个源会被分配同一个时隙。时隙是系统控制器(在 VMEbus™ 605 上的独立的 CPU)在系统初始化期间分配的。系统控制器还编程合路器以指定包括有效数据的全部时隙。

5 来自每个 DSP 处理器的抽样是通过从 TDM 总线控制器 611 (逻辑阵列实现的状态机) 和相关的缓冲器/驱动器 613 加到 TDM 总线 610 上的控制信号请求的。这个抽样通过总线缓冲单元 617 写入一个双端口 RAM 缓冲器 615。TDM 总线控制逻辑单元 611 将 RAM 缓冲器 615 的寻址同步到 TDM 总线的帧信号, 以确保每个信道被写入双端口 RAM 615 中的正确地址。当合路器已经从全部工作信道采集数据之后, TDM 总线控制器 611 通过链路 612 将控制信号耦合到 FFT 控制逻辑单元 620, 使得 FFT 控制逻辑单元 620 初始化 FFT 处理。象在信道分路器中的逻辑门阵列 468 那样, FFT 控制逻辑单元 620 是一个作为逻辑门阵列优选实现的状态机。与图 4 信道分路器的前向 FFT 处理器功能互补, 图 6 的合路器实现一个逆 FFT。然而, 在实现方面, 如将要描述的, 逆 FFT 的产生是使用一个前向 FFT 完成的。

15

FFT 处理器

示于图 14A 中 630 处的 FFT 处理器配置为大小等于下一个“2 的幂”大于被合路的信道数。如上面提到的, 400 个 30kHz 信道要求 512 点的 FFT, 而 50 个 200 kHz 信道要求 64 点的 FFT。FFT 的大小是在初始化期间编程到 FFT 机中的。信道速率也根据下面的恒等式指定了 FFT 处理速率:

20

$$\text{FFT 速率} = 1 / (\text{信道抽样速率})$$

如以前说明的, 用于 30 kHz 信道的 50 kHz 抽样速率要求每 20 毫秒产生一个 512 点 FFT, 而 300 kHz 抽样速率要求每 3.333 毫秒产生一个 64 点 FFT。由于当前可用的典型的 FFT 装置并不工作在这些速度上, 为了获得通
25 过量, FFT 处理器 630 包括已经用与信号处理参数有关的正确 FFT 大小编程的多个 FFT 机(例如, 在说明的例子中是 3 个 - 631、632、633)。实现具有多个机的 FFT 处理器 630 将 512 点 FFT 处理器的 FFT 再访问时间减小 60 毫秒, 和 64 点 FFT 处理器 10 毫秒。

一个 512 点逆 FFT 要求 512 个抽样; 但是只有 400 个时隙。这 400 个时

隙居于 FFT 处理器 630 的 512 点(bin)窗口中间。控制逻辑单元 620 将 0 顺序写入到 FFT 机的前 56 点(bin)中。下面的 400 点(bin)，对于活动信道数据可以从双端口 RAM 615 中读出的。如果信道是一个非活动信道，控制逻辑单元 620 将向那些点(bin)写入 0。那些活动信道的标识是 5，是在系统初始化期间编程到控制逻辑单元 620 中的。对于最后的 56 点(bin)，向它们写入 0。(对于 64 点 FFT, 0 被写入前和后 7 个 FFT 点(bin)以允许 50 个 200kHz 信道。)

为了提供内置测试能力，测试数据可以通过 VMEbus™ 605 写入一个或多个点(bin)。为了这个目的，专用于测试能力的先入先出(FIFO)存储器 635 通过收发机单元 601 连接到总线 605，使 VMEbus™ 605 上的 CPU 能够将测试信号写入合路器。另外，系统控制器可以将 FFT 控制逻辑单元 620 编程为对于特殊的点(bin)从 FIFO 存储器 635 而不是双端口 RAM 615 读取数据。测试数据可以写入头和尾 7 个 FFT 点(bin)，而留下 50 个 200kHz 信道用于入活动数据信道。

用下面的恒等式，使用前向 FFT 产生逆 FFT:

$$x[n] = K * FFT(X[((-k))K]),$$

其中 $x[n]$ 是 $X[k]$ 的逆 FFT, n 是抽样数, k 是 FFT 点(bin)数, K 是 FFT 的大小, 而 $X[((-k))K]$ 代表序列 $X[k]$ 模 K 的逆序列。通过产生到 FFT 的输入数据关于 0 号点(bin)的镜像, 前向 FFT 变成了一个由 FFT 大小标度的逆 FFT。控制逻辑单元 620 在将数据写入 FFT 机时按逆序寻址输入双端口 RAM 615。

与图 5A 和 5B 的信道分路器实现一样，为了在图 14A 和 14B 的合路器结构中产生一个 512 点的 FFT, FFT 机使用了 FFT 大小是 4 的幂次的基 4(块浮点)算法。使用 $N*2$ 点 FFT 产生 N 点 FFT 的偶点(bin)需要:

$$X[k] = G[k] + H[k] * W_N^k,$$

其中 $X[k]$ 是输入序列 $x[n]$ 的 N 点 FFT, k 是 FFT 点(bin)数, N 是 FFT 大小(512), $G[k]$ 是 $x[n]$ 的偶抽样的 $N/2$ 点 FFT, $H[k]$ 是 $x[n]$ 的奇抽样的 $N/2$ 点 FFT, 而

$$W_N = e^{-j*2*\pi/N}.$$

与图 5A 和 5B 的信道分路器一样，用于合路器的 512 点 FFT 也是用两个 256 点 FFT 产生的。

$N/2$ 点 FFT 产生于 512 点输入序列的偶抽样和奇抽样。在图 6 的结构中，第一(图中上边)FFT 数据双端口 RAM 641 存储 $G[k]$ 。第二(图中下边)FFT 数据双端口 RAM 642 存储 $H[k]*W_N^k$ 。 $H[k]$ 和 W_N^k 的乘法由数控振荡器/调制器 (NCOM) 651 进行， k 从 0 到 255。为了处理 512 点 FFT 的前 256 点(bin)，算术逻辑单元(ALU) 655 将 RAM 641 的输出与 RAM 642 的输出相加。因为

$$W_N^k = -W_N^{k-N/2}, \quad k \text{ 从 } 256 \text{ 到 } 511,$$

对于 512 点 FFT 的余下的 256 点(bin)，RAM 642 的输出 N 被从 RAM 641 的输出中减去。

为了调整通过 NCOM 651 的传播延迟并且确保 ALU 655 处理正确的抽样对，一组延迟寄存器 657 连接在从双端口 RAM 641 到 ALU 的输出路径上。(对于 200kHz 信道，使用 64 点 FFT。由于 64 是 4 的幂，因此不需要 NCOM 651、双端口 RAM 642 和 ALU 655 并且通过来自控制单元 620 的控制信号将它们禁止。)

与在上面提到的 Crochiere 文本中描述的，以及图 17 中所示的一样，合路器算法要求逆 FFT 的输入序列乘上一个复指数 W_k^{km} ，其中 k 等于输入频率点(bin)数， K 等于逆 FFT 大小， m 是逆 FFT 数(即，对于第一个产生的逆 FFT， $m=0$ ；对于下一个 FFT， $m=1$ ；等等。)， R 是合路器的插值率，而

$$W_k = e^{-j\pi 2^m k / K}.$$

使用数学恒等式，这个乘法运算可以通过逆 FFT 输出抽样的循环移位实现，即：

$$x[((n-r))k] = \text{逆 FFT}(W_k^{-rk} * X[k]),$$

其中 r 等于 $-mR$ 。通过将逆 FFT 输出抽样移位 $-mR$ ，就产生了复指数的相移。这个移位由 FFT 控制逻辑门阵列 620 中的 FFT 输出寻址逻辑进行。移位计数在合路器的初始化期间编程。

如前面提到的，FFT 机使用块浮点算法产生 FFT。块浮点 FFT 提供依输入数据特性而定的标度因子。因为用于产生一个 512 点 FFT 的两个 256 点 FFT 可能不具有同样的标度因子或连续 FFT 可能不具有同样的标度因子，所

以将桶形移位电路 658、659 连接在到 ALU 655 的信号流输入路径上。如前面结合图 4 信道分路器的操作描述的, 桶形移位器将 FFT 数据调整到同样的标度以正确地对准数据用于后续处理。

5 重叠和相加滤波

与图 5 A 和 5B 的信道分路器一样, 在图 14B 的 660 处所示的图 6 的合路器的消卷积重叠和相加滤波器, 包括四个滤波器抽头级 660 - 1、660 - 2、660 - 3、660 - 4。FFT 大小和级数设置了滤波器的总长度, 如下式定义:

$$\text{滤波器长度} = N * \text{级数},$$

10 其中 N 是 FFT 大小。

滤波器 620 实际设计为截止频率等于信道带宽之半的低通滤波器。应该观察到, 滤波器并不限于 4 级滤波器, 如果需要可以使用更多级, 这将提高信道选择性、减少信道中的混淆并且降低信道抽样速率。滤波器 630 的各级 630 - I 是由存储器组件 631A 和 631B 中的一个或两个、一个反馈复用器 633、一个系数存储器 635 和一个乘法器 637 组成的。每个系数存储器分别
15 存储一组 N 滤波器(加权)系数, 它的数目对应于 FFT 处理器的大小。系数是初始化期间通过 VMEbus™ 605 下载到系数存储器 635 中的。系数存储器的地址输入是通过链路 629 从(门阵列逻辑实现的)滤波器控制状态机 670 提供的, 而数据输入是通过数据链路连接的。

20 第一个 N 个系数加载到第一或最左级 630 - 1 的系数存储器 635, 第二个 N 个系数存储在抽头级 630 - 2 的系数存储器 635 中, 第三个 N 个系数存储在抽头级 630 - 3 的系数存储器 635 中, 而第四个 N 个系数存储在抽头级 630 - 4 的系数存储器 635 中。来自 ALU 655 的 FFT 处理器的输出通过链路 656 分发到所有滤波器级的乘法器 637 并且同时被每个级的系数乘。乘法器 637
25 的输出连接到加法器 639, 与被延迟存储器累加并移位的数据相加。

与图 4 的信道分路器的滤波器一样, 除去第一级 630 - 1 的每级延迟存储器都被分为两个存储器部分 631A 和 631B。第一滤波器抽头级 630 - 1 不需要延迟存储器部分 631B, 因为移入第一滤波器级的是通过到复用器 633 的链路 632 提供的 0。每个延迟存储器的长度是由滤波器插值率决定的, 它

根据信道和输出抽样速率确义。合路器的输出抽样速率由下式给出:

输出抽样速率 = $N \times$ 信道带宽。

对于 30kHz 信道, 输出抽样速率是 $3.0 \times 10^4 \times 512 = 15.36\text{MHz}$ 。对于 200 kHz 信道, 输出抽样速率是 $2.0 \times 10^5 \times 64 = 12.8\text{MHz}$ 。滤波器插值率 R 是下述商的最接近整数:

$R =$ 取整(输出抽样速率/信道抽样速率)

如上面提到的, 对于使用具有 50kHz 信道抽样速率的 30 kHz 信道的例子, 插值率是 $R = 307$; 对于具有 300kHz 信道抽样速率的 200kHz 信道, 插值率是 $R = 43$ 。每个延迟存储器部分 631A 的长度是 R , 而延迟存储器部分 631B 的长度, 也称为滤波器重叠, 由下式给出:

重叠 = $(N - R)$ 。

因此, 对于 30kHz 信道, 滤波器重叠是 205; 对于 200kHz 信道, 滤波器重叠是 21。插值率 R 也规定了重叠和相加滤波器所要求的信号处理速率。最小时钟速率, 滤波器必须能处理数据以维持下式给出的通过量:

滤波器处理速率 = 输出速率 $\times N/R$ 。

对于 30 kHz 信道系统, 最小速率是 25.62MHz。对于 200 kHz 信道系统, 该速率是 19.05MHz。

对于逆 FFT 处理器输出的每 N 个抽样, 重叠和相加滤波器 660 输出 R 个抽样。对于每个逆 FFT 的前 R 个抽样, 滤波器控制状态机 670, 通过选择控制链路 671 选择通过复用器 633 的第一个或上边的输入端口 633-1。在这期间, 全部数据通过时钟控制链路 669 从左向右移或由时钟从左到右定时, 如图 6 所示, 并且将滤波器的最后级 630-4 中由加法器 639 产生的和输出到半频带滤波器 672。

对于余下的 $N - R$ 个抽样, 每个复用器 633 的第二或下边的端口 633-2 被选中, 并且加法器 639 的输出通过链路 638 反馈到延迟存储器部分 631A。在这期间, 存储器部分 631B 并不移位并且在最后级 630-4 中的数据并不被时钟定时到半频带滤波器。另外, 与信道分路器滤波器一样, 最后 $N - R$ 个抽样的反馈提供滤波器重叠。

半频带滤波器和速率缓冲器

由于典型地 RF 收发器激励源要求一个实信号而不是一个复信号，所以滤波器 630 的输出连接到半频带滤波器 672。半频带滤波器 630 被配置为一个提供复数到实数数据变换的集成电路，它加倍了输出抽样速率。虽然图 6 的合路器的整体能够作为一个彻底的实系统实现，但这要求所有的抽样速率、处理速率和 FFT 大小都要加倍，增加了复杂性和成本。速率缓冲器 FIFO 存储器 674 连接到半频带滤波器 672 的输出以允许来自合路器的连续的数据流。存储在 FIFO 存储器 674 中的数据通过输出驱动器单元 675 连接到输出数据链路 690 供收发机站点发射端的 D-A 变换器 133 (图 3) 使用。

如前面提到的，重叠和相加滤波器 630 提供每 N 个时钟周期 R 个抽样的突发，并且 FIFO 674 的输出在实际的输出抽样速率上提供连续的数据流。另外，来自 FIFO 的半满标志通过控制信号线 673 提供给控制逻辑电路，通过在各自的状态机之间分布的控制链路，指示 TDM 总线接口单元 611 何时请求数据。当存储在 FIFO 674 中的数据量掉到 FIFO 的容量的一半之下时，该标志失效，这表明 TDM 总线接口要请求来自活动的信道的信道数据并且进行处理以维持输出数据流的连续。

与图 5A 和 5B 的信道分路器结构一样，每个所要求的输出抽样速率由各自的振荡器提供。对于当前这个既能处理 30kHz 又能处理 200kHz 信道的合路器例子而言，分别提供 30.72MHz 和 25.6MHz (2*输出抽样速率) 时钟 676 和 677。在系统控制器对合路器进行初始化期间，正确的振荡器由相关联的控制逻辑单元 678 选择。

包含另一组逻辑电路集以产生合路器使用的额外的时钟信号。与图 5A 和 5B 的信道分路器结构一样，高速率 (大约 200MHz) 振荡器 681 的时钟输出被计数器 682 和 683 分频以产生所需的滤波器处理时钟、TDM 总线时钟和 FFT 机系统时钟。

使用多相滤波器的信道分路器 (图 15A 和 15B)

本发明的宽带信道分路器的第二个实施例配置为一个多相滤波器结构，它的功能用上面提到的 Crochiere 文本的图 7.15 中所示的信号处理流

程图表示。另外，由于每个滤波器变换函数(由图 3 的信道分路器 111 和合路器 131 中包含的滤波器结构的多相实现分别使用的)的算法都在该 Crochiere 文本中有精确地阐述，就不在这里重复了。

5 与图 5A 的重叠和相加信道分路器一样，图 15A 的基于 FFT 的多相滤波器组分析(信道分路器)系统的结构也接受实时宽带 IF(中频)信号并进行频率变换以及将信道分割为多个独立的窄基带分解信号。多相滤波器信道分路器通过标准 VMEbus™ 接口提供系统参数的全可编程控制并且在一个自定义的、时分复用(TDM)数据总线上提供分信道的数据分发。(与前面的例子一样，下面的多相滤波器实现的描述将强调特定的 400 信道/30kHz 系统，和
10 50 信道/200kHz 系统。)

多相信道分路器结构的特性是，输入抽样速率是信道抽样速率的整数倍。这就意味着，信道抽样速率必须是信道带宽的倍数。在本描述中，信道被因子 2 过抽样；因此，假设 30kHz 信道的抽样速率是 60kHz，而 200kHz 信道的抽样速率是 400kHz。信道化的数据被信道分路器作为分解的基带信号分发。
15

半频带滤波器和幅度监视

现在更具体地参考图 15A，信道分路器的输入通过缓冲器/驱动器单元 701 与上游的宽带数字接收机接口，特别是与来自图 3 的 A-D 变换器 103 的数字数据输出链路 703 接口。时钟线 705 提供用于变换器的编码时钟的抽样时钟。输入抽样时钟速率取决于接收的信道数和那些信道的带宽。幅度监视逻辑电路 708 监视数据链路 703 上来自数字接收机的 A-D 变换器的输入数据的最高两个有效比特，以提供输入信号的自动增益控制。这确保了在接收器中的 A-D 变换器 103 的全部动态范围被利用。幅度监视逻辑电路在链路 709 上向接收机输出一个控制字，用于控制 A-D 变换器上游的数字衰减器。
20
25

对每个信道分路器可能使用的输入速率提供各自的振荡器 702、704。选择和二分频逻辑电路 706 在滤波器状态机 707 的控制下，与振荡器 702、704 相连。在初始化期间，系统控制器(VMEbus™ 上的 CPU)配置信道分路器选择

正确的振荡器。振荡器时钟也下分频以在输出时钟链路 712 上产生一个时钟去驱动将要描述的信道分路器的移位寄存器延迟存储器。数据链路 703 上的输入抽样被时钟定时到半频带滤波器 711, 该滤波器被配置为一个进行输入数据实域 - 复域变换的有限脉冲响应(FIR)滤波器。半频带滤波器 711 也被 2 除, 将数据的时钟速率减半。然后复抽样被馈入多相滤波器 715 的移位寄存器 713。特别地, 半带滤波器 711 的输出被时钟定时到滤波器 715 的第一滤波器级 715 - 1 的移位寄存器 713 的延迟存储器 721。每个延迟存储器 721 的长度等于信道分路器中的 FFT 大小。每个延迟存储器 721 的输出供系数乘法器 723 使用。系数乘法器 723 和其它硬件部件都工作在移位寄存器 713 的时钟速率的 I 倍的速率上, 其中 I 是过抽样因子。如上面提到的, 过抽样因子等于 2。这意味着在延迟存储器的输出处的每个抽样在被时钟定时到一个延迟存储器之前都被乘以 2 (I = 2) 滤波器系数。

在图 15A 的滤波器结构中, 多相滤波器 715 包括四个滤波器级 715 - 1、715 - 2、715 - 3 和 715 - 4。FFT 大小、过抽样因子和级数确定了滤波器的总长度。滤波器的长度是:

$$\text{滤波器长度} = I * N * S$$

其中 S 是滤波器抽头数。如前面提到, 更多的滤波器级提高信道选择性并且减少信道中的混淆。当通过总线收发机 731 从 VMEbus™ 接口 710 提供滤波器系数时, 系数由控制门阵列 707 下载到系数 RAM 725。每级 715 - i 的 RAM 725 存储 N 个系数。当根据下面的抽取恒等式加载系数 RAM 725 时, 滤波器系数被抽头数(这里是 4)抽取:

$$Ca[n] = c[S*n + a], \quad n \text{ 从 } 0 \text{ 到 } N*I - 1$$

其中 c(n) 是滤波器系数序列, a 是抽头数(a 从 0 到 S - 1), 而 ca 是加载到抽头中的系数。例如, 第一滤波器抽头级 715 - 1 的系数 RAM 725 被下列系数加载:

$$c0[n] = \{c[0], c[4], c[8], c[12] \dots c[I*N - S]\}$$

然后系数乘法器 723 的输出被加法器 732、734 和 736 求和并写入包括存储器部分 741 和 742 的双端口 RAM 740。



用于多相滤波器的 FFT 处理器(图 15B)

如上面描述的, 图 15B 所示的多相合路器的 FFT 处理器与图 5B 的重叠和相加信道分路器的 FFT 处理器实际上有相同的配置并且大体上按同样的方法工作。在 N 个抽样写入双端口 RAM 740 之后, 滤波器控制单元 707 通过链路 719 将控制信号耦合到(门阵列逻辑实现的状态机)FFT 控制单元 735 以开始 FFT 处理。在 FFT 处理器 7'50 中, 一组三个 FFT 机 751、752、753 已经在初始化期间预先用正确的 FFT 大小编程。

与图 5B 的重叠和相加实现中一样, 多相合路器使用的 FFT 机使用基 4 算法并且产生 4 的幂次的 FFT 大小。在图 15B 的结构中, FFT 的全部 512 点(bin)都是通过将基 2 频率抽取 FFT 蝶形算法作用于 256 点 FFT 产生的。

在产生偶数 FFT 点(bin)的过程中, 数据抽样从双端口 RAM 740 读出并馈入算术逻辑单元(ALU)743。ALU 743 对 $x[n]$ 和 $x[n + N/2]$ 求和并且将这个和直接送到 FFT 处理器, 做为数控振荡器, 调制器(NCOM)745 在偶点(bin)处理期间被禁止。对于奇点(bin)处理, FFT 控制逻辑电路 735 通过控制链路 744 配置 ALU 743, 得到 $x[n]$ 和 $x[n + N/2]$ 的差值。这个差值被 NCOM 745 拿来与 WNn 乘并定时到产生 512 点 FFT 的奇点(bin)的 FFT 机。(对于 200kHz 信道分路器, 要求 4 的幂次的 64 点 FFT, 不需要 ALU 743 和 NCOM 745 并且它们被 FFT 控制单元 735 禁止。)

如前面描述的, FFT 机 751、752、753 使用块浮点算法并且与复 FFT 数据一起输出一个 4 比特标度因子。该标度因子用于在比例逻辑电路 762 的控制下控制下游的桶形移位器 761。另外, 桶形 10 移位器用于调整从 FFT 机中读出的数据, 以确保来自连续 FFT 的数据被调整到相同的标度。来自桶形移位器 761 的数据被写入双端口 RAM 存储器 765。

如上面提到的, 信道分路器算法要求 FFT 处理器的输出被一个复指数 W_N^{-km} 乘, 其中 $M =$ 抽取速率, $K =$ FFT 点(bin)数, 而 $m =$ FFT(块)数(即, 对产生的第一个 FFT, $m = 0$; 对产生的下一个 FFT, $m = 1$; 20 等等)。换句话说, 使用下面恒等式:

$$x[((n-r))N] = \text{FFT}(WN^{-rk} * X[k])$$

其中 $x[n]$ 是 FFT 输入序列, 而 $x[((n-r))N]$ 是 $x[n]$ 被 r 模 N 循环移位, 信



道分路器进行等价操作。这里, $mM = r$ 。不同于乘 FFT 处理器的复指数下游, 信道分路器的 FFT 控制逻辑单元 735 可以控制双端口 RAM 765 的寻址, 以按一种完成 FFT 的数据数据序列的循环移位的顺序访问处理的数据值。

5 一旦对每个信道(频率点(bin))的 FFT 处理的数据都已经写入双端口 RAM 765 中, FFT 控制逻辑单元 735 用信号通知辅助的时分复用(TDM)总线接口电路 767 将数据确定在 TDM 总线 770 上, 使得它可以被总线上辅助的用于从信道数据解调并提取语音和数据的数字信号处理器使用。

10 多相信道分路器也可以配置为将一个或多个数据信道写入测试 FIFO 存储器 771。FIFO 存储器 771 允许 VMEbus™ 上的 CPU 在不与定制的 TDM 总线 710 接口的情况下采集并分析信道数据。

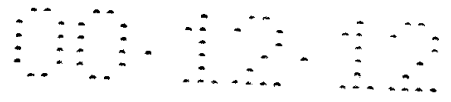
15 一旦来自每个信道的数据已经从 FFT 机写入双端口 RAM 765, FFT 控制逻辑单元 735 就用一个信号通知 TDM 总线接口逻辑电路 767 将数据分发到总线上的用于从信道数据解调并提取语音和数据的数字信号处理器的数字信号处理器。总线缓冲器单元 775 连接在双端口 RAM 765 和 TDM 总线 770 之间。TDM 总线上的数据可以象在高速参考振荡器 782 的驱动下一样, 被分到计数器电路 781 提供的每帧 400 时隙中, 藉此允许一个单一的时隙用于输出上至 60kHz 抽样速率的单一信道的数据。如果需要更高的信道抽样速率, 可以将多个时隙分配给一个单一的信道。例如, 如上面描述的, 400kHz 抽样速率将分配 7 个时隙。

20 时隙也可以由系统控制器动态分配。信道分路器被控制器用所有活动的时隙配置。如果数据在双端口 RAM 中存在并且时隙是活动的, 信道分路器就在 TDM 总线上输出该数据和一个数据可用信号。所有从该时隙采集数据的处理器都将从 TDM 总线读取数据。处理器被帧信号与 TDM 总线 770 同步, 因此处理器将知道将从中读取数据的正确时隙。

25

多相合路器(图 16A 和 16B)

图 16A 和 16B 图示说明了合路器 131 的多相实现的信号处理结构, 该合路器与上面描述的图 15A 和 15B 的具有多相滤波器的宽带 20 信道分路器互补。多相合路器的一个特点是输出抽样速率是信道抽样速率的整数倍。这意



味着, 信道抽样速率必须是信道 25 带宽的倍数。在本描述中, 信道被因子 2 过抽样, 因此, 假设 30kHz 的信道的抽样速率是 60 kHz, 而 200 kHz 信道的抽样速率是 400 kHz。信道化的数据由多相合路器作为分解的基带信号接收。

5 与上面描述的图 14A 和 14B 所示的重叠和相加合路器一样, 多相合路器使用的实际实现能够实时处理多个数字语音或数据信号, 并且进行频率变换并将信号合路为一个 IF(intermediate frequency 中频)输出抽样速率。图 16A 和 16B 的实现通过标准 VMEbus™ 接口 801、803 提供对系统参数的全可编程控制并且在一个定制、时分复用(TDM)数据总线 805 上提供信道化的数据采集。

10 此外, 与上面对多相信道分路器的描述一样, 多相合路器将描述为一个可用于 NADC(TDMA) 蜂窝系统的 400 信道/30kHz 系统, 和一个可用于欧洲 GSM 蜂窝系统的 50 信道/200kHz 系统的非限制性例子。对于 30 kHz 信道, 假设抽样速率是 50 kHz。对于 200 kHz, 假设抽样速率是 400 kHz。信道化的数据是由合路器作为分解的基带信号接收的。信道抽样速率依合路器的滤波器设计而不同。

15 由于在典型情况下, 所有信道的总计数据率超过 VMEbus™ 805 和其它标准总线协议的总线带宽, 图 16A 和 16B 的合路器结构使用一个定制的 TDM 总线 810 在相对高的数据率上采集大量信道的数据。

20 为了实现一个使用多相合路器(和信道分路器)的收发机系统, 将 TDM 总线时钟设置为 24MHz 是合适的, 这样允许每帧 400 时隙, 每个时隙能够在上至上面提到的 60kHz 的抽样速率上传输一个单一信道的数据。这个时钟速率不同于作为例子给出的 50kHz 信道抽样速率的收发机系统的重叠和相加合路器/信道分路器实施例中的 TDM 总线时钟速率。时钟速率不限于这个值, 只是选作提供一个收发机系统的实现的简单例子。

25 对于更高的速率, 可以为一个单一信号源分配每帧多个时隙。如上面参考图 16A 和 16B 信道分路器的 TDM 总线提到的, 400 kHz 的抽样速率将要求每帧 7 个时隙。

 确定在 TDM 总线上的信道化的数据源是格式化(例如, 成为蜂窝标准)并

且调制来自辅助电话网的入语音或数据信号以提供基带分解信号的 DSP 处理器。每个数据源分配一个或多个时隙，在其间一旦合路器请求它将传输一个单一的复杂抽样。没有两个源会被分配同一个时隙。时隙是系统控制器（在 VMEbus™ 805 上的独立的 CPU）在系统初始化期间分配的。系统控制器还编程合路器以指定包括有效数据的全部时隙。来自每个 DSP 处理器的抽样是通过从 TDM 总线控制器 811（逻辑阵列实现的状态机）和相关的缓冲器/驱动器 813 加到 TDM 总线 810 上的控制信号请求的。这个抽样通过总线缓冲单元 817 写入一个双端口 RAM 缓冲器 815。TDM 总线控制逻辑单元 811 将 RAM 缓冲器 815 的寻址同步到 TDM 总线的帧信号，以确保每个信道被写入双端口 RAM 815 中的正确地址。

5

10

当合路器已经从全部工作信道采集数据之后，TDM 总线控制器 811 通过链路 812 将控制信号耦合到 FFT 控制逻辑单元 820，使得 FFT 控制逻辑单元 820 初始化 FFT 处理。FFT 控制逻辑单元 820 是一个作为逻辑门阵列优选实现的状态机。与图 7 信道分路器的前向 FFT 处理器功能互补，图 8 的多相合路器实现一个逆 FFT。然而，与图 6 的重叠和相加合路器一样，在实际实现方面，如将要描述的，逆 FFT 的产生是使用一个前向 FFT 完成的。

15

当合路器已经从全部工作信道采集数据之后，TDM 总线控制器 811 通过链路 812 将控制信号耦合到 FFT 控制逻辑单元 820，使得 FFT 控制逻辑单元 820 初始化 FFT 处理。FFT 控制逻辑单元 820 是一个作为逻辑门阵列优选实现的状态机。

20

FFT 处理器(图 16A)

与图 15B 的信道分路器的前向 FFT 处理器功能互补，图 16A 的多相合路器实现逆 FFT。然而，与图 6 的重叠和相加合路器一样，在实际实现方面，如将要描述的，逆 FFT 的产生是使用一个前向 FFT 完成的。

25

示于图 14A 中 830 处的两个多相？？？FFT 处理器配置为大小等于大于将被合路信道数的下一个“2 的幂”。如上面提到的，400 个 30kHz 信道要求 512 点的 FFT，而 50 个 200 kHz 信道要求 64 点的 FFT。FFT 的大小是在初始化期间编程到 FFT 机中的。信道速率也根据下面的恒等式指定了 FFT 处

理速率:

$$\text{FFT 速率} = 1 / (\text{信道抽样速率})$$

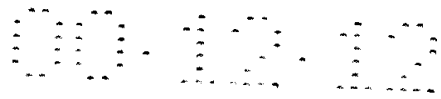
如以前说明的, 用于 30 kHz 信道的 60 kHz 抽样速率要求每 16.667 毫秒产生一个 512 点 FFT, 而 400 kHz 抽样速率要求每 2.5 毫秒产生一个 64 点 FFT。由于当前可用的典型的 FFT 装置并不工作在这些速度上, 为了获得通过量, FFT 处理器 830 包括已经用与信号处理参数有关的正确 FFT 大小编程的多个 FFT 机(例如, 在说明的例子中是 3 个 - 831、832、833)。实现具有 3 个机的 FFT 处理器 830 将 FFT 再访问时间减小为 512 点 FFT 处理器 50 毫秒, 和 64 点 FFT 处理器 7.5 毫秒。

如前面描述的, 一个 512 点逆 FFT 要求 512 个抽样; 但是只有 400 个时隙。这 400 个时隙居于 FFT 处理器 830 的 512 点(bin)窗口中间。控制逻辑单元 820 使 0 顺序写入到 FFT 机的前 56 点(bin)中。下面的 400 点(bin), 对于活动信道数据可以从双端口 RAM 815 中读出的。如果信道是一个非活动信道, FFT 控制逻辑单元 820 将向那些点(bin)写入 0。那些活动信道的标识是在系统初始化期间编程到控制逻辑单元 820 中的。对于最后的 56 点(bin), 向它们写入 0。(对于 64 点 FFT, 0 被写入前和后 7 个 FFT 点(bin)以允许 50 个 200kHz 信道。)

为了提供内置测试能力, 测试数据可以通过 VMEbus™ 805 写入一个或多个点(bin)。为了这个目的, 专用于测试能力的先入先出(FIFO)存储器 835 通过收发机单元 801 连接到总线 805, 使 VMEbus™ 上的 CPU 能够将测试信号写入合路器。另外, 系统控制器可以将 FFT 控制逻辑单元 820 编程为对于特殊的点(bin)从 FIFO 存储器 835 而不是双端口 RAM 815 读取数据。测试数据可以写入头和尾 7 个 FFT 点(bin), 而留下 50 个 200kHz 信道用于入活动数据信道。

为了使用前向 FFT 产生逆 FFT, FFT 控制逻辑单元 820 在向 FFT 机中写入数据时按逆序寻址输入双端口 RAM 815。

与图 14A 的重叠和相加合路器的实现一样, 为了在图 16A 的多相合路器结构中产生 512 点 FFT, FFT 机使用了 FFT 大小是 4 的幂次的基 4(块浮点)算法。同样在图 14A 的合路器中, 合路器的 512 点 FFT 是从两个 256 点 FFT



产生的。N/2 点 FFT 是从 512 点输入序列的偶抽样和奇抽样产生的。

在图 14A 的结构中, 第一(图中上边)FFT 数据双端口 RAM 841 存储 G[k]。第二(图中下边)FFT 数据双端口 RAM 842 存储 H[k]。H[k] 和 W_N^k 的乘法由数控振荡器/调制器 (NCOM) 851 进行, k 从 0 到 255。为了处理 512 点 FFT 的前 256 点(bin), 算术逻辑单元 (ALU) 855 将 RAM 841 的输出与 RAM 842 的输出相加。因为

$$W_N^k = -W_N^{k-N/2}, \quad k \text{ 从 } 256 \text{ 到 } 511,$$

对于 512 点 FFT 的余下的 256 点(bin), RAM 842 的输出通过 NCOM 被从 RAM 841 的 15 输出中减去。

为了调整通过 NCOM 851 的传播延迟并且确保 ALU 855 处理正确的抽样对, 一组延迟寄存器 857 20 连接在从双端口 RAM 841 到 ALU 的输出路径上。(对于 200kHz 信道, 使用 64 点 FFT。由于 64 是 4 的幂, 因此不需要 NCOM 851、双端口 RAM 842 和 ALU 855 并且通过来自控制单元 820 的控制信号将它们禁止。)

与在上面参考的 Crochiere 文本指出的一样, 合路器算法要求逆 FFT 的输入序列乘上一个复指数 W_k^{kmR}, 其中 k 等于输入频率点(bin)数, K 等于逆 FFT 大小, m 是逆 FFT 数, R 是合路器插值率, 而

$$W_k = e^{-j2\pi k m R / K}.$$

使用数学恒等式, 这个乘法运算可以通过逆 FFT 输出抽样的循环移位实现, 即:

$$x[((n-r))k] = \text{逆 FFT}(W_k^{-rk} * X[k]),$$

其中 r 等于 -mR。通过将逆 FFT 输出抽样移位 -mR, 就产生了复指数的相移。这个移位由 FFT 控制逻辑门阵列 820 中的 FFT 输出寻址逻辑进行。移位计数在合路器的初始化期间编程。

另外, FFT 机使用块浮点算法产生 FFT, 块浮点 FFT 提供依输入数据特性而定的标度因子。因为用于产生一个 512 点 FFT 的两个 256 点 FFT 可能不具有同样的标度因子或连续 FFT 可能不具有同样的标度因子, 所以将桶形移位电路 858、859 连接在到 ALU 855 的信号流输入路径上。如前面结合图 14A 重叠和相加合路器的操作描述的, 桶形移位器将 FFT 数据调整到同样的标度



以正确地对准数据用于后续处理。

多相滤波器(图 16B)

ALU 855 提供的 FFF 的输出被定时到滤波器 865 的第一滤波器级 865-1 的移位寄存器 863 的延迟存储器 861 中。每个延迟存储器 861 的长度等于 FFT 大小。每个延迟存储器 861 的输出供各个系数乘法器 869 使用。系数乘法器 869 和其它硬件部件都工作在移位寄存器 863 的时钟速率的 I 倍的速率上, 其中 I 是 10 过抽样因子。如上面提到的, 过抽样因子等于 2。这意味着在延迟存储器的输出处的每个抽样在被定时到下一个延迟存储器之前都被乘以 2 (I = 2) 滤波器系数。

在图 16B 的滤波器结构中, 多相滤波器 865 包括四个滤波器级 865-1、865-2、865-3 和 865-4。FFT 大小、过抽样因子和级数确定了滤波器的总长度。滤波器的长度是:

$$\text{滤波器长度} = N * S$$

其中 S 是滤波器抽头数。如前面提到, 更多的滤波器级提高信道选择性并且减少信道中的混淆。象通过总线收发机 801 从 VMEbus™ 接口 803 提供滤波器系数一样, 滤波器系数由控制门阵列 871 下载到系数 RAM 867。每级 865-i 的 RAM 867 存储 N 个系数。当根据下面的抽取恒等式加载系数 RAM 867 时, 滤波器系数被抽头数(这里是 4)抽取:

$$c_a[n] = c[S * n + a], \quad n \text{ 从 } 0 \text{ 到 } N - 1$$

其中 c(n) 是滤波器系数序列, a 是抽头数(a 从 0 到 S-1), 而 c_a 是加载到抽头中的系数。例如, 第一滤波器抽头级 865-1 的系数 RAM 725 被下列系数加载:

$$c_0[n] = \{c[0], c[4], c[8], c[12] \dots c[N - S]\}$$

然后系数乘法器 869 的输出被加法器 872、874 和 876 求和并提供给半频带滤波器 872。

半频带滤波器和速率缓冲区(图 16B)

与图 14A 的重叠和相加合路器一样, 由于典型情况下, RF 发射机激励源



要求一个实信号而不是复信号，所以使用了半频带滤波器 672。半频带滤波器 872 被配置为提供复域到实域数据变换的集成电路，它加倍了输出抽样速率。虽然图 8 的合路器的整体可以作为一个完全的实系统实现，但是这将要求全部的抽样速率、处理速率和 FFT 大小都加倍，增加了复杂度和成本。

5 半频带滤波器 872 的输出通过输出驱动单元 874 连接到输出数据链路 866 供收发机站点的发射端的 D-A 变换器(图 3)使用。与图 6 的合路器结构一样，为所要求的每个输出抽样速率提供各自的振荡器。对于当前的既能处理 30kHz 又能处理 200kHz 信道的例子，分别提供 30.72MHz 和 25.6MHz (2* 输出抽样速率)的时钟 876 和 877。在系统控制器初始化合路器期间，正确的振荡器由关联的控制逻辑单元 878 选择。

10 包含另一组逻辑电路集以产生合路器使用的额外的时钟信号。与图 6 的合路器结构一样，高速率(大约 200MHz)振荡器的时钟输出被计数器 882 和 883 分频以产生所需的滤波器处理时钟、TDM 总线时钟和 FFT 机系统时钟。

15 正如前面的描述所推崇的，本发明的多信道收发机装置成功地避免了多信道无线通信(例如，蜂窝)业务提供者当前使用的与信号处理结构相关的有限信道容量和实质硬件需求，它通过对每个宽带多信道信号提取结构和宽带多信号合路结构使用卷积-抽取谱分析技术减少了为扩容的(全频谱)蜂窝收发机站点而提供广阔的覆盖所要求的硬件的量。由于对业务提供者可用的可操作的通信波段的全部信道都可以使用工作在适应当今无线通信系统的实质带宽的非常高的数据率的数字处理元件处理，因此不再需要对每个信道构造一个独立的窄带信号处理单元或限制每站点信道数小于网络的总容量。本发明的简洁设计使得它很容易地物理容纳于不同的安装站点，如办公建筑中的吊顶上面或电工具杆上，同时具有提供跨越业务提供者提供的整个信道容量的多信道通信业务能力，而不仅仅是可用信道的一个子集。

20 在我们展示并描述根据本发明的几个实施例 20 时，如本领域的技术人员所知的，应当理解在那里同样并不限于而是允许有很多变化和修改，并且我们因此并不希望限于这里展示和描述的细节，而是打算覆盖对一个本领域的技术人员显然的所有这样的变化和修改。

说明书附图

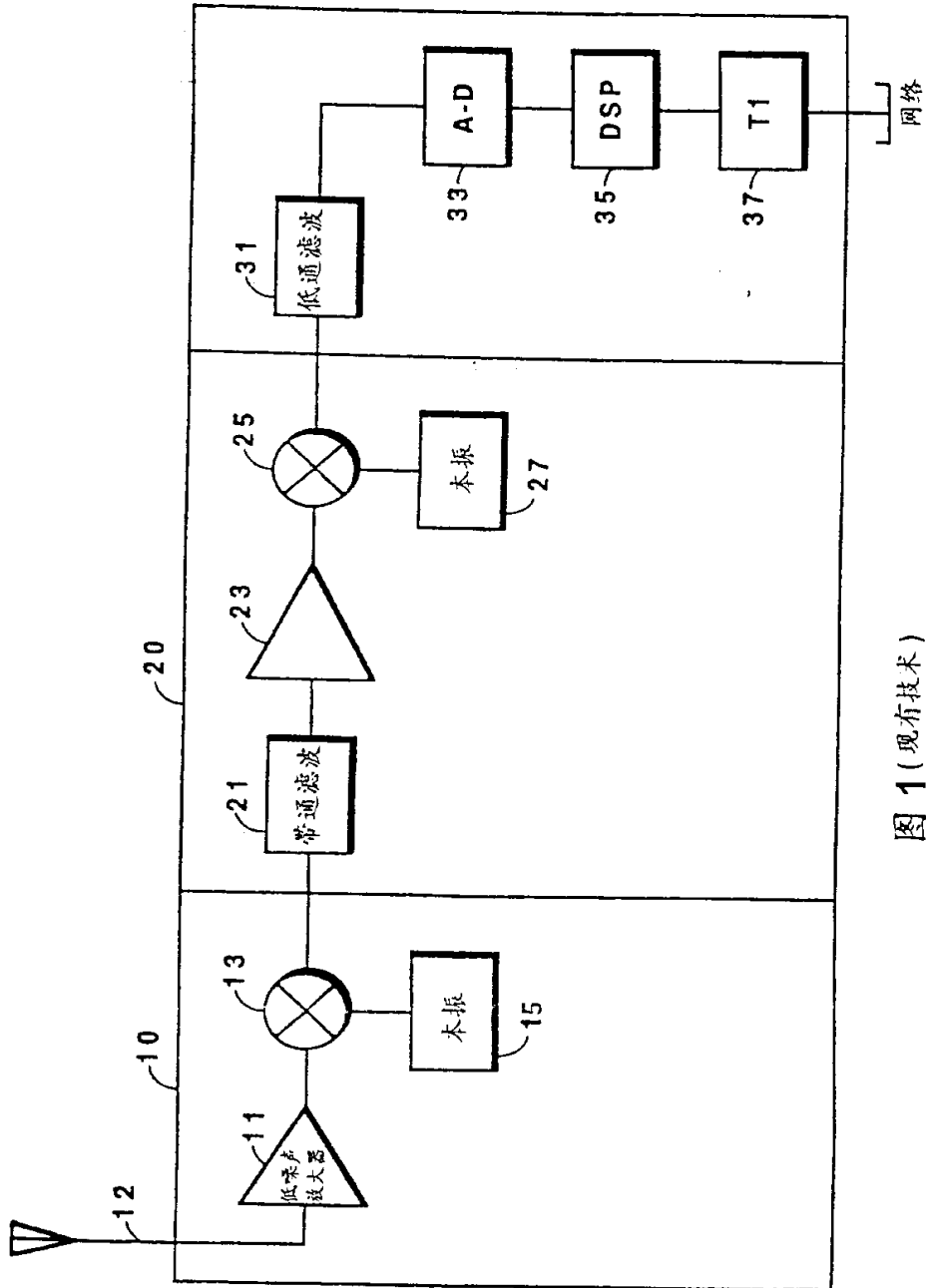


图 1 (现有技术)

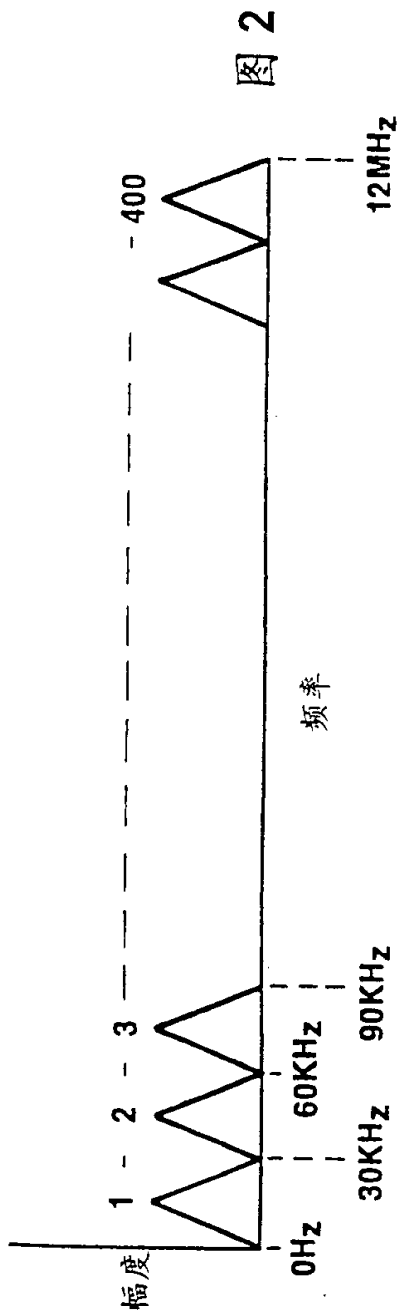


图 2

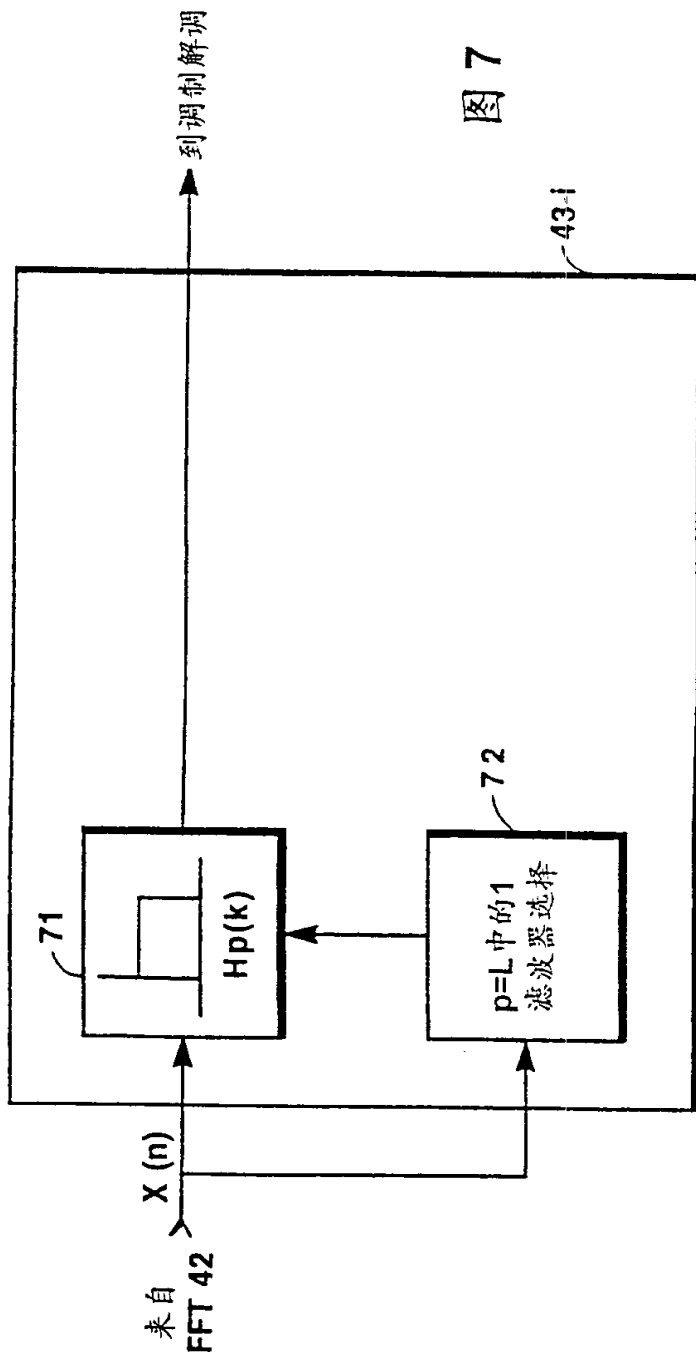


图 7

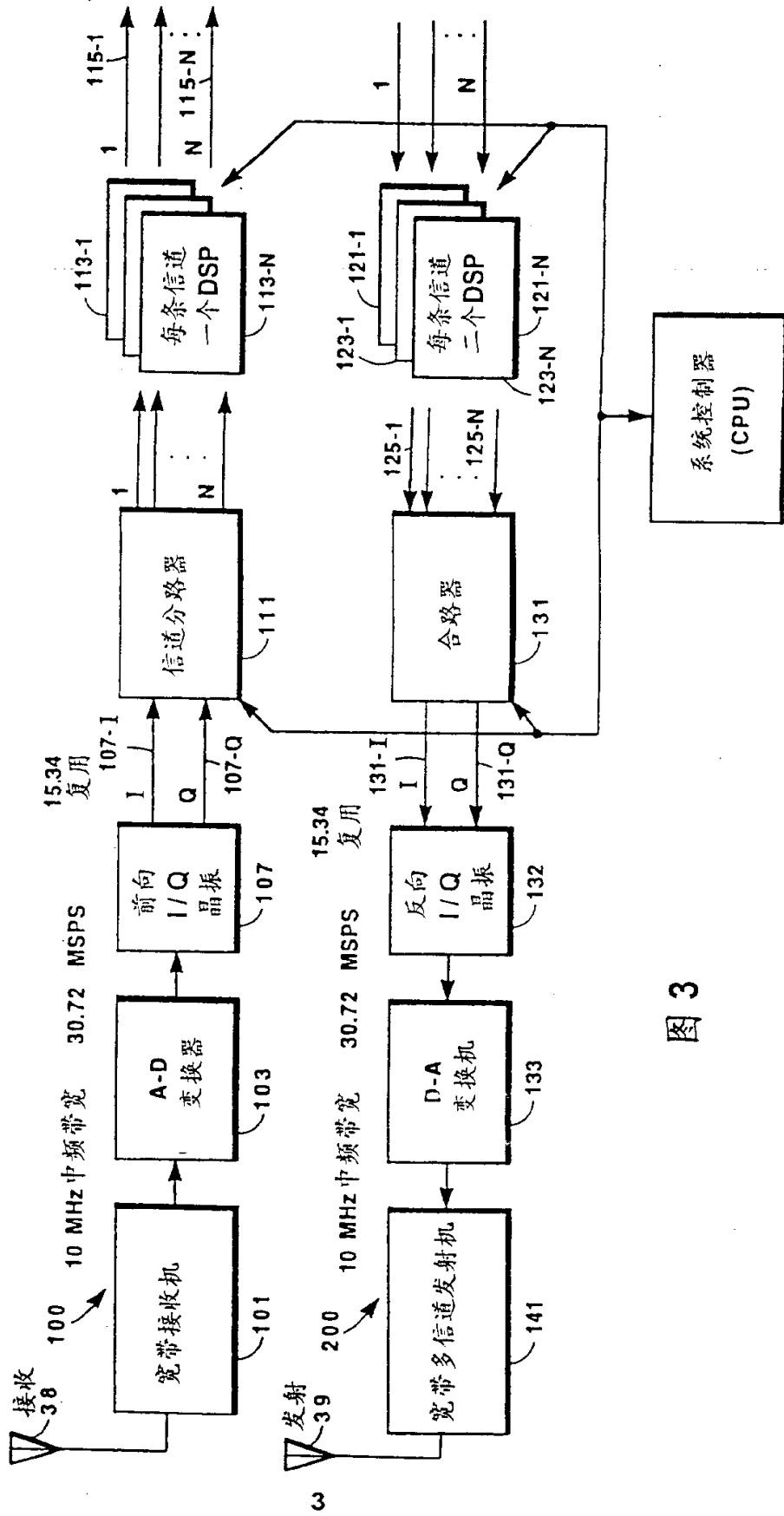


图 3

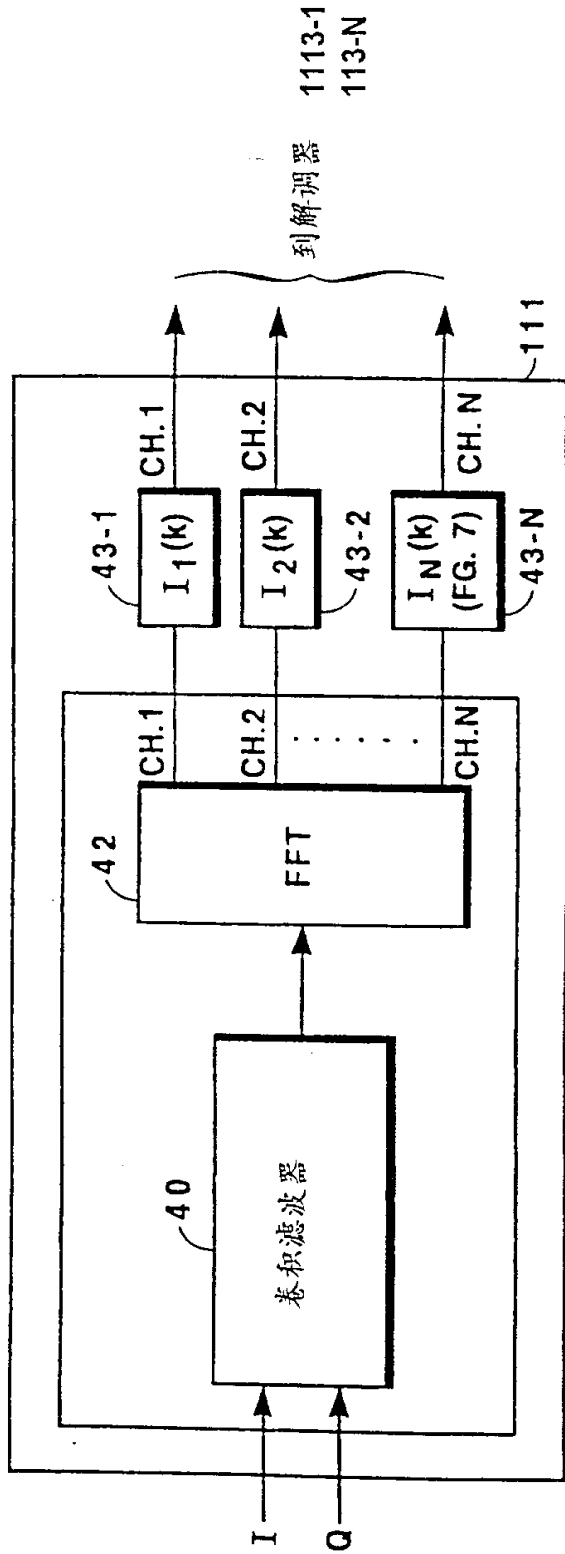


图 4 A

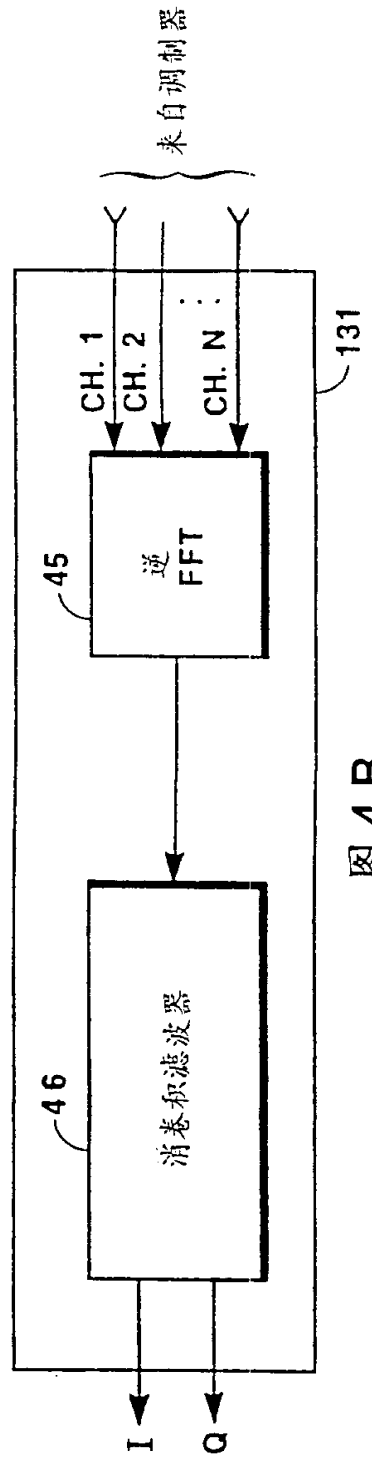


图 4 B

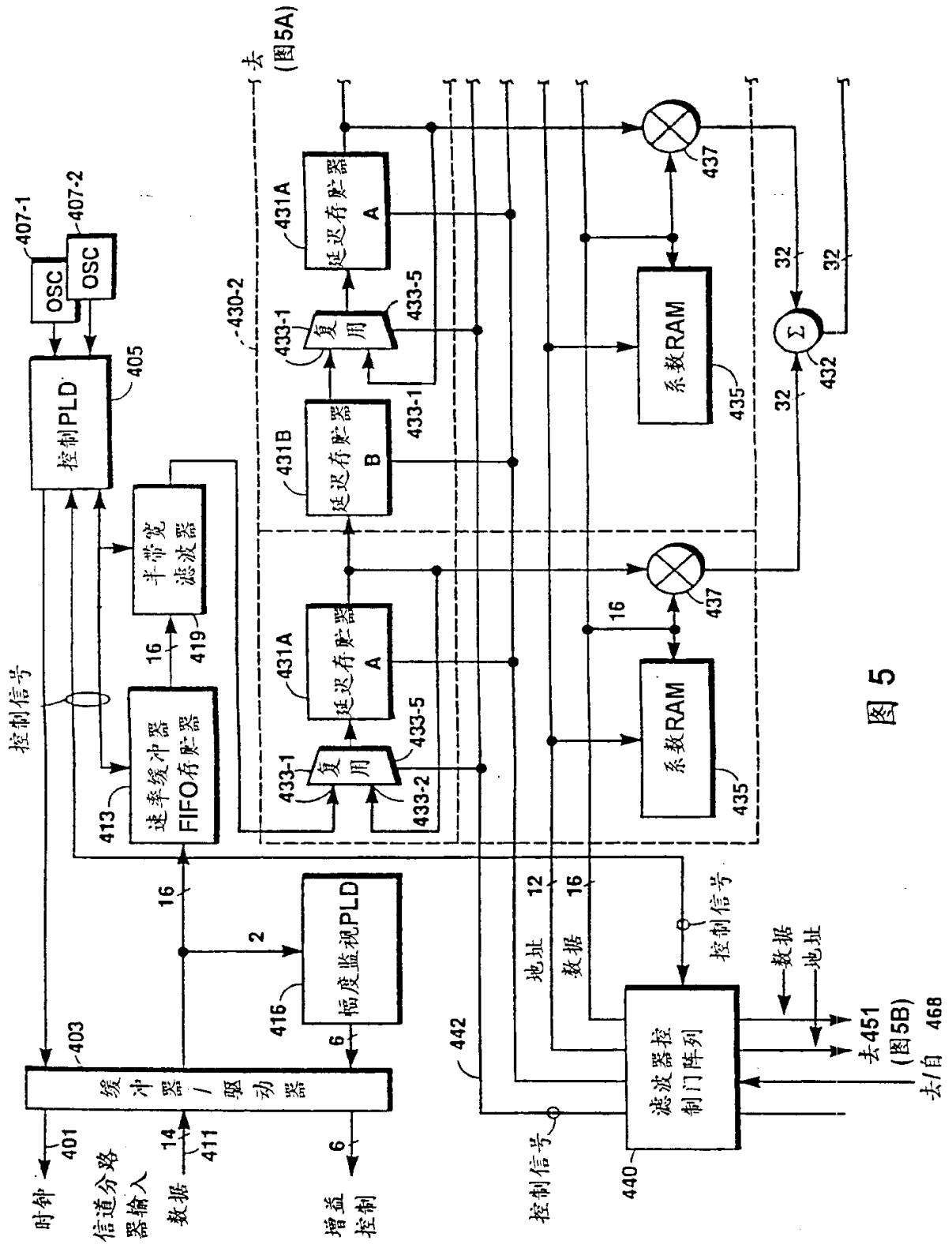


图 5

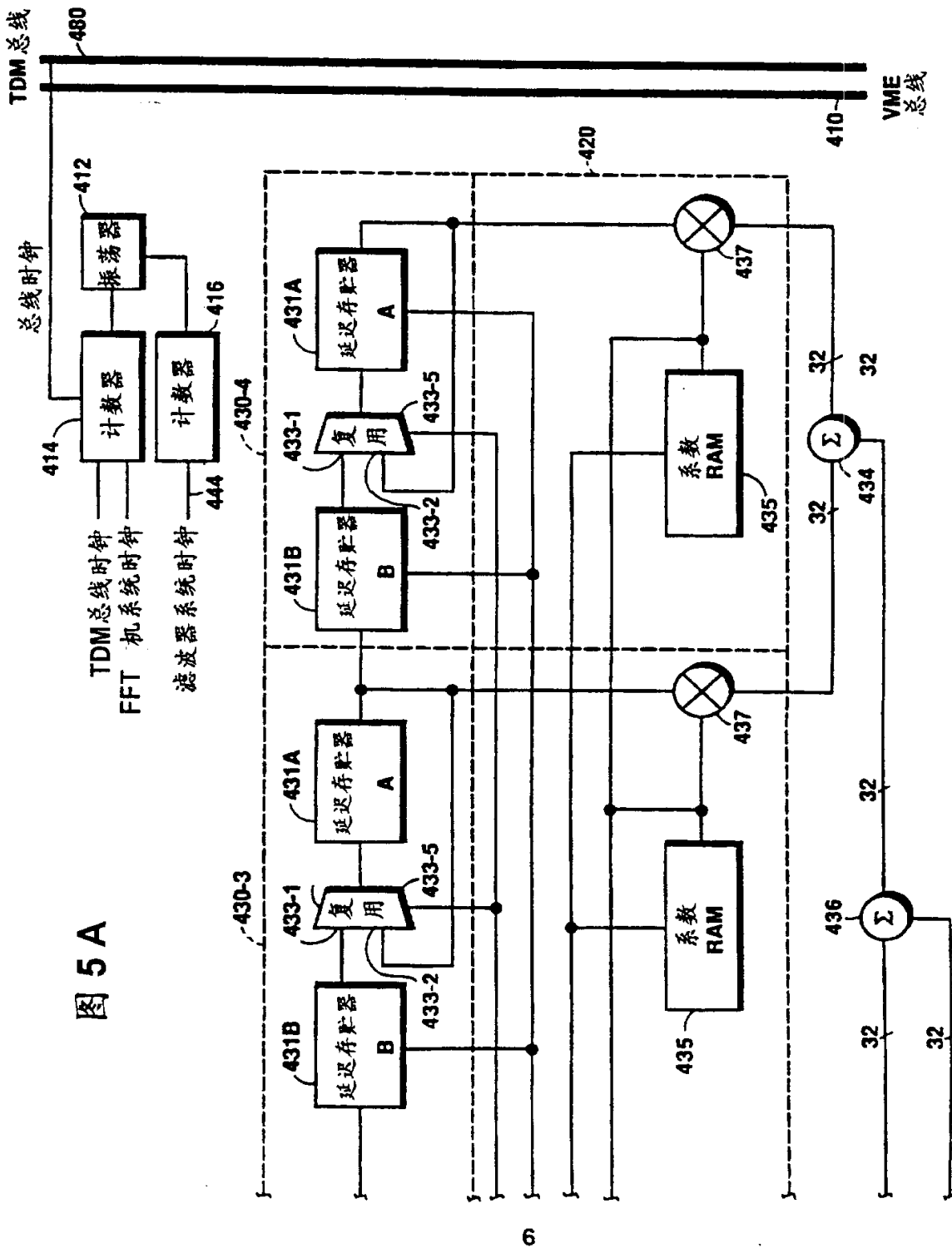


图 5 A

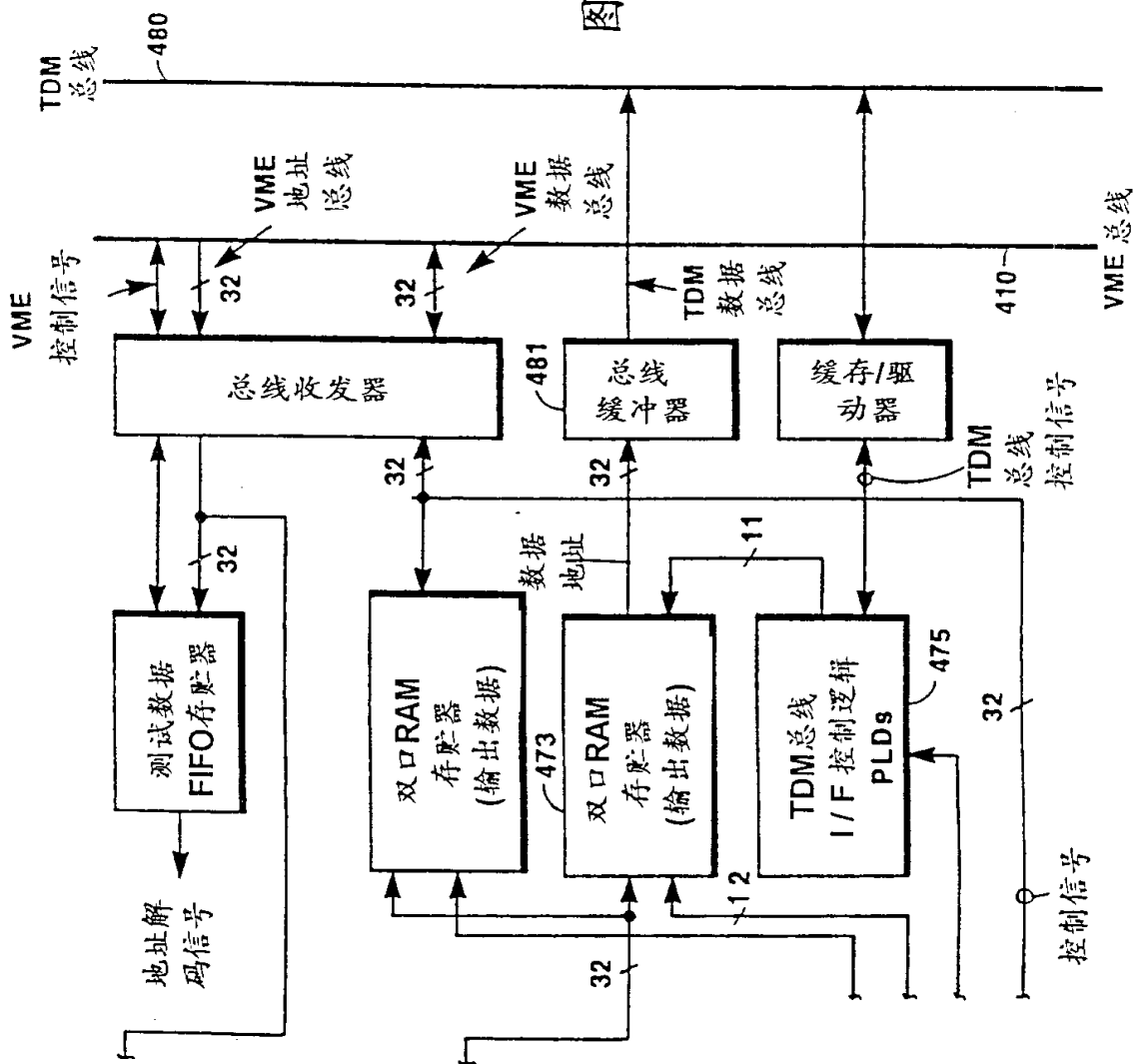


图 5C

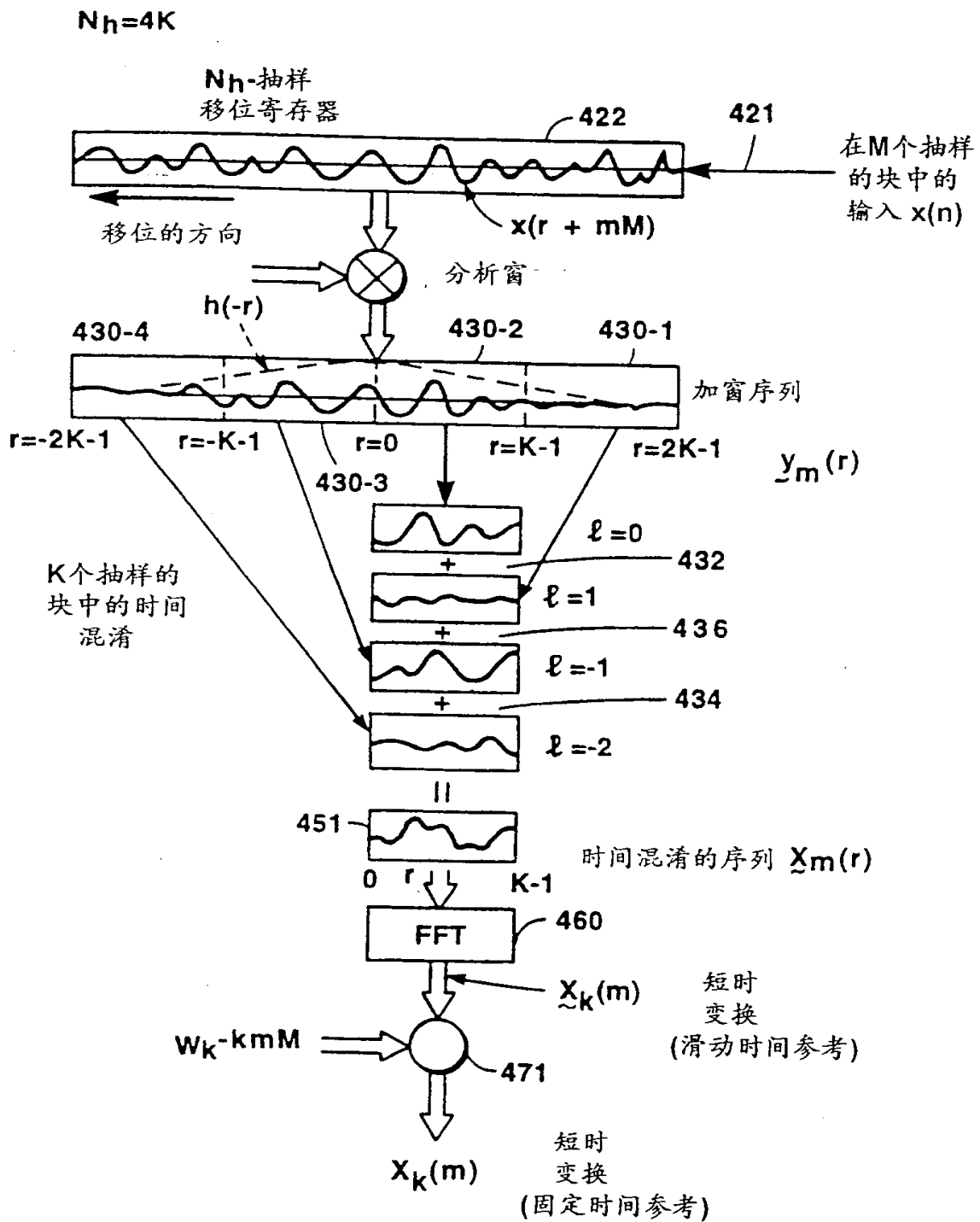


图 6

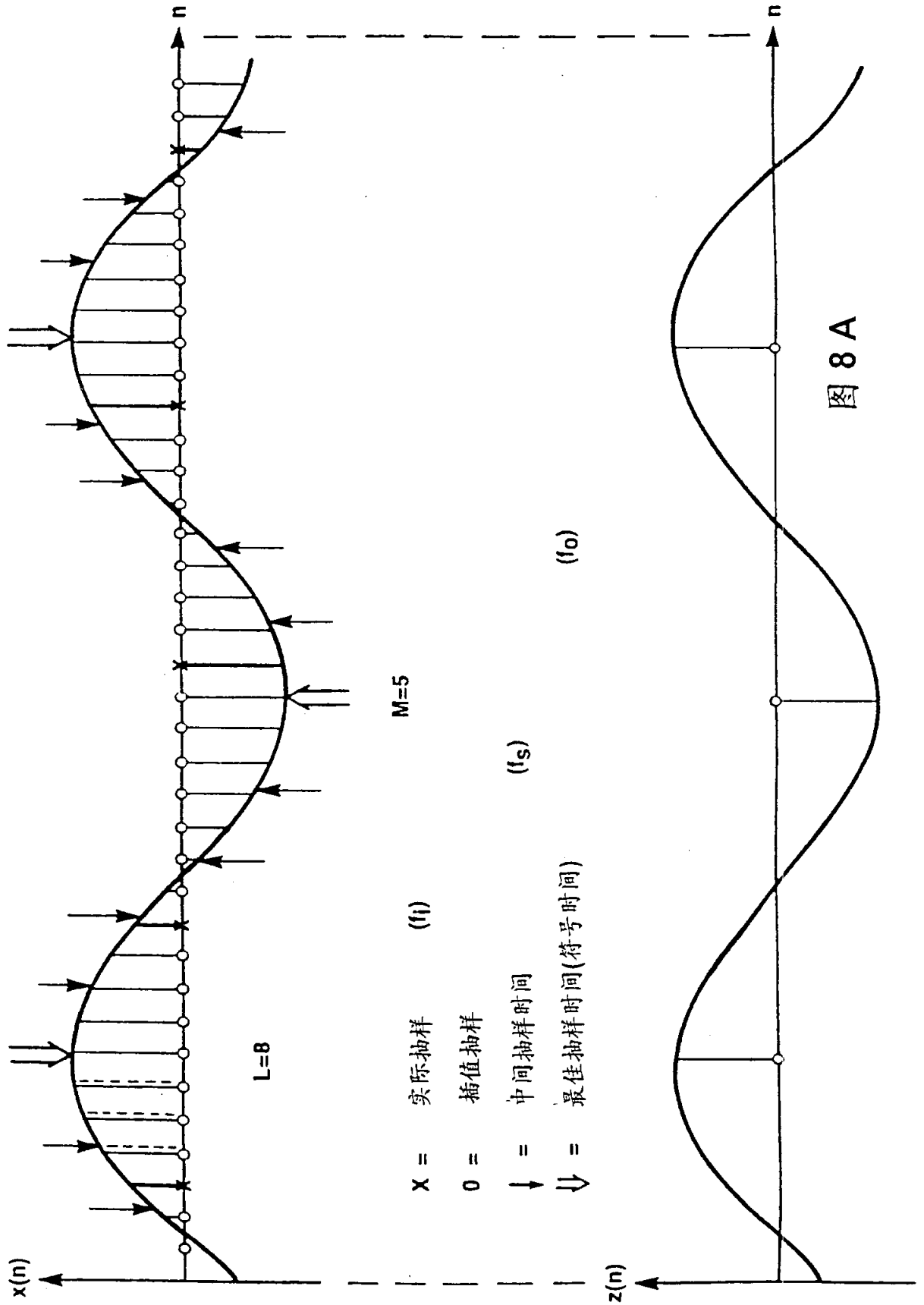


图 8 A

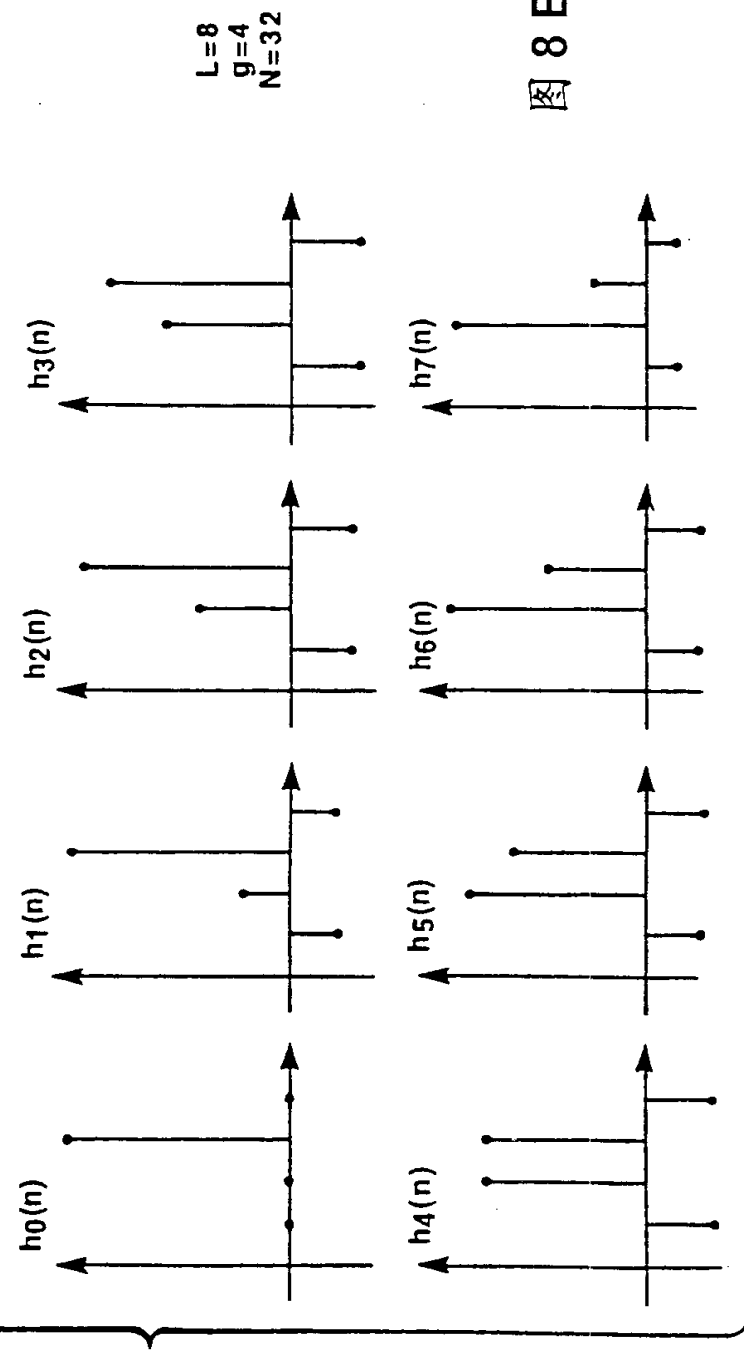
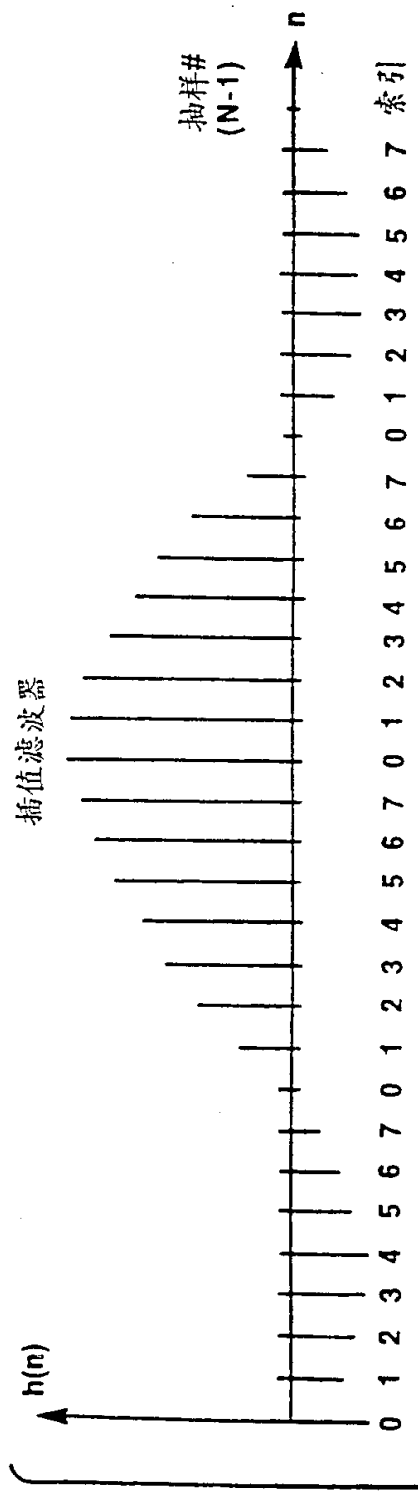


图 8 B

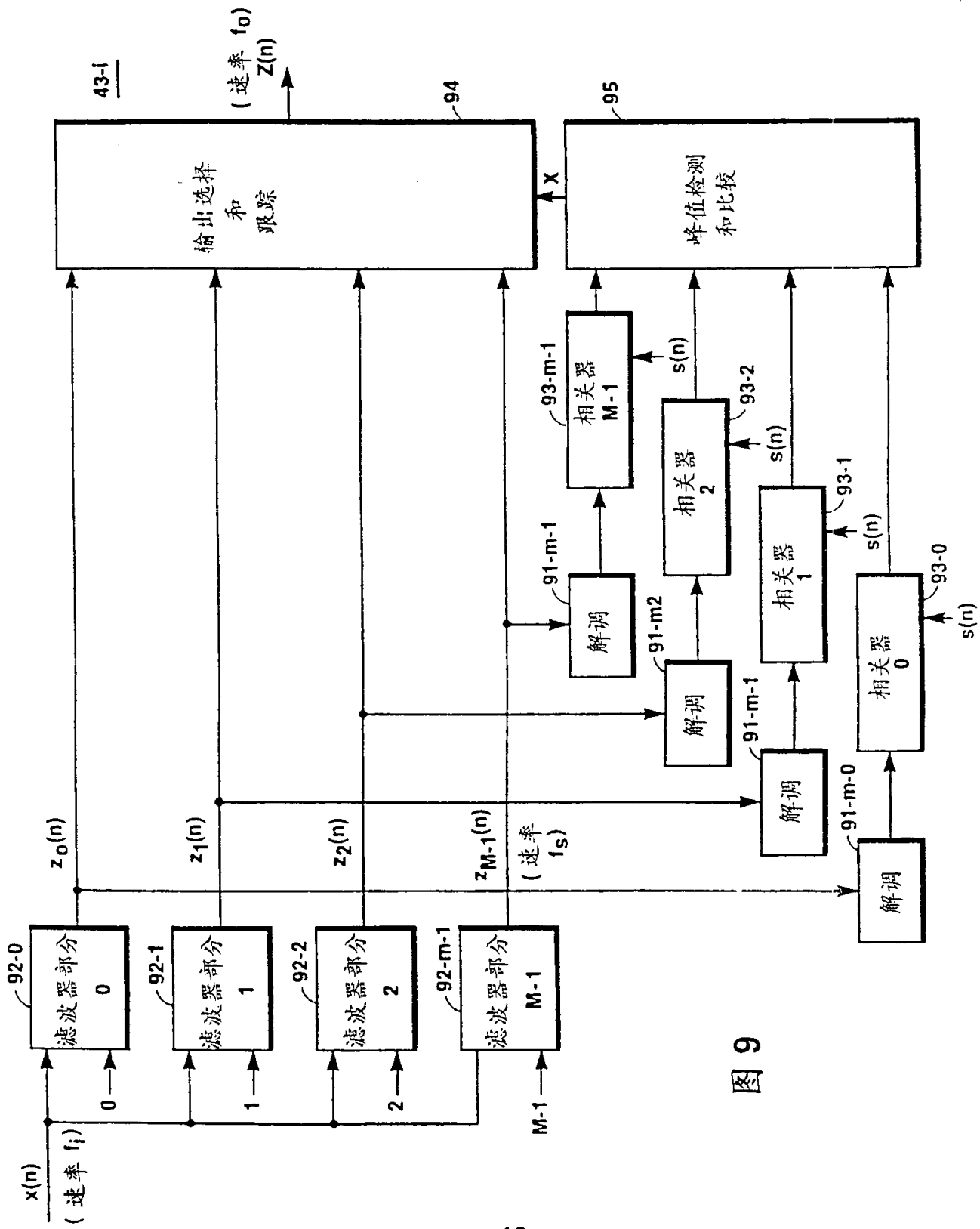


图 9

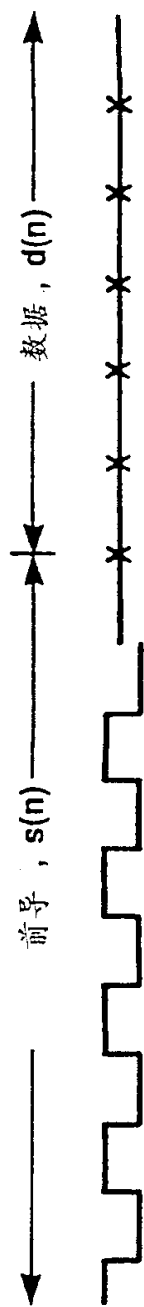
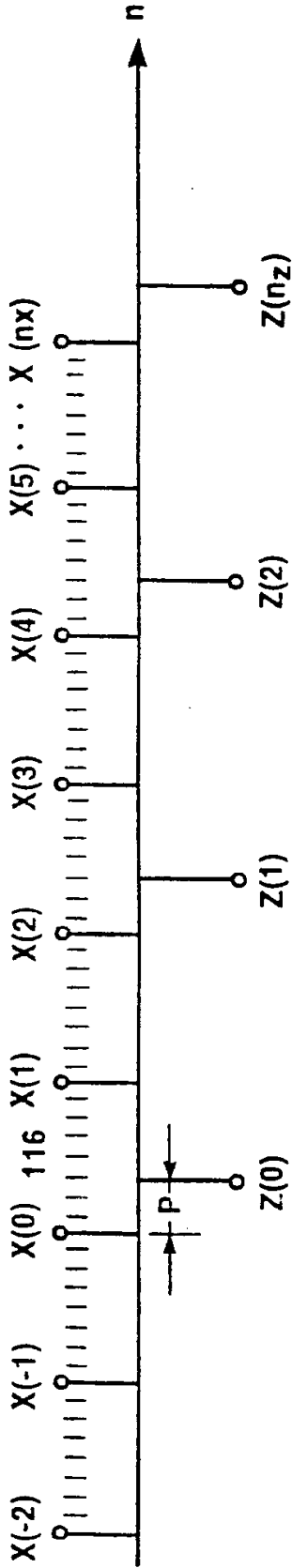


图10

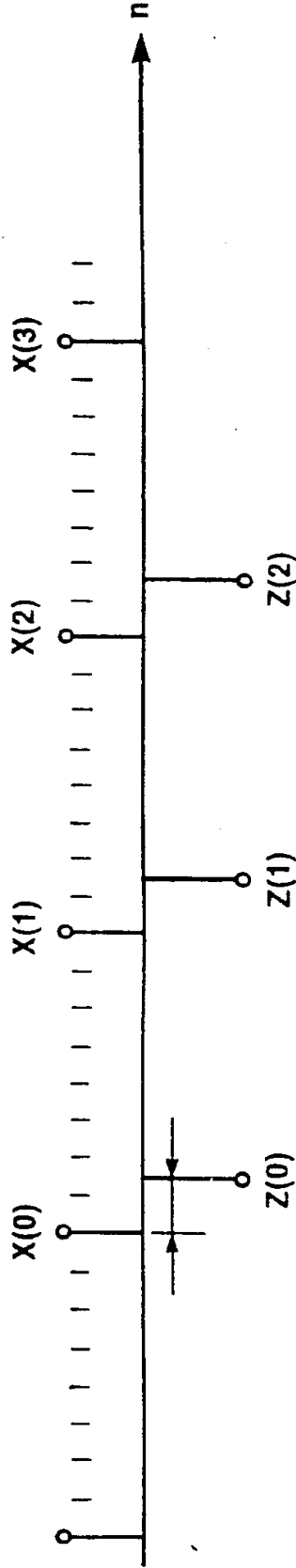
$L = 8$

$g = 4$ (每 $hp(x)$ 的抽头数)



$$\mu = \frac{f\{X(n)\}}{f\{Z(n)\}} = \frac{45 \text{ kpsps}}{24.3 \text{ kpsps}} = 1.851$$

图 11



(每符号两个 $x(o)$'s)

$$\mu = \frac{f\{X(n)\}}{f\{Z(n)\}} = \frac{45 \text{ kpsps}}{48.6 \text{ kpsps}} = 0.925$$

图 11 B

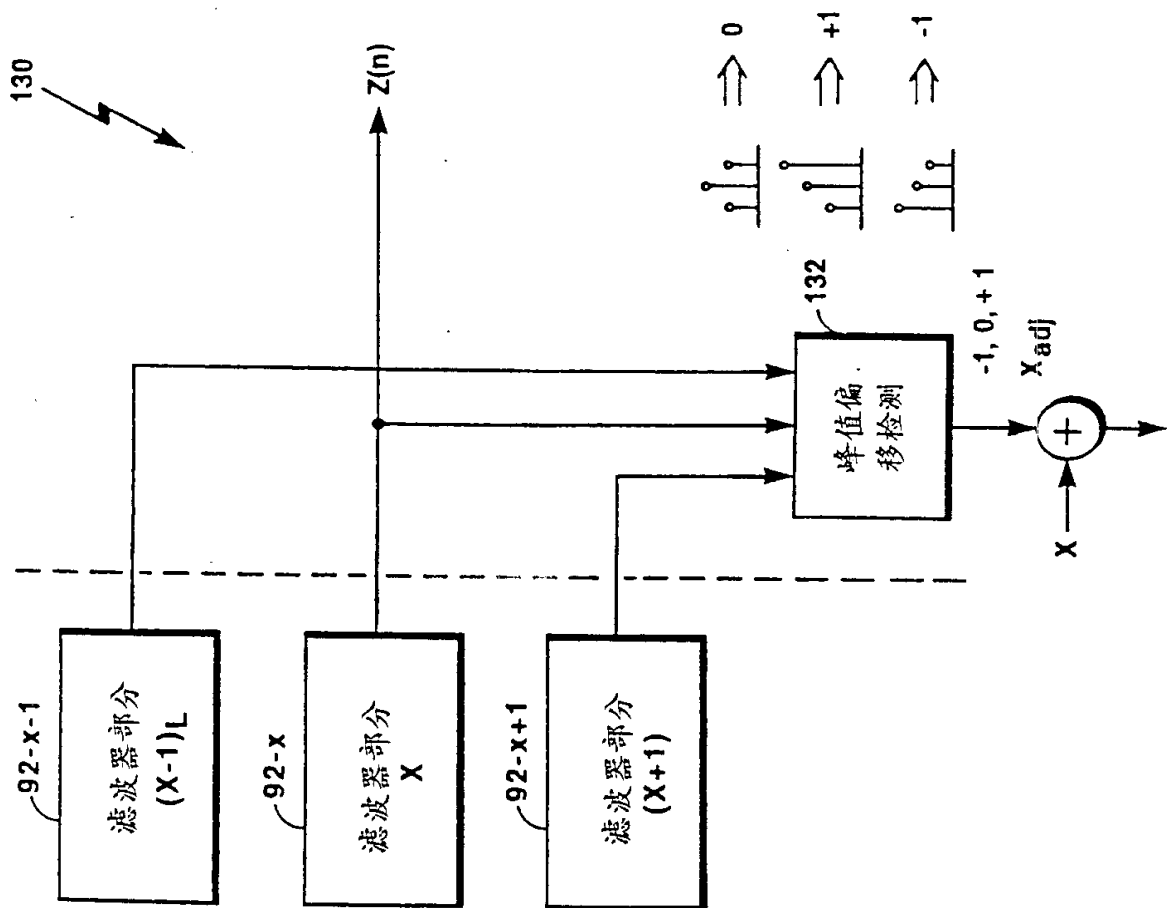


图 13

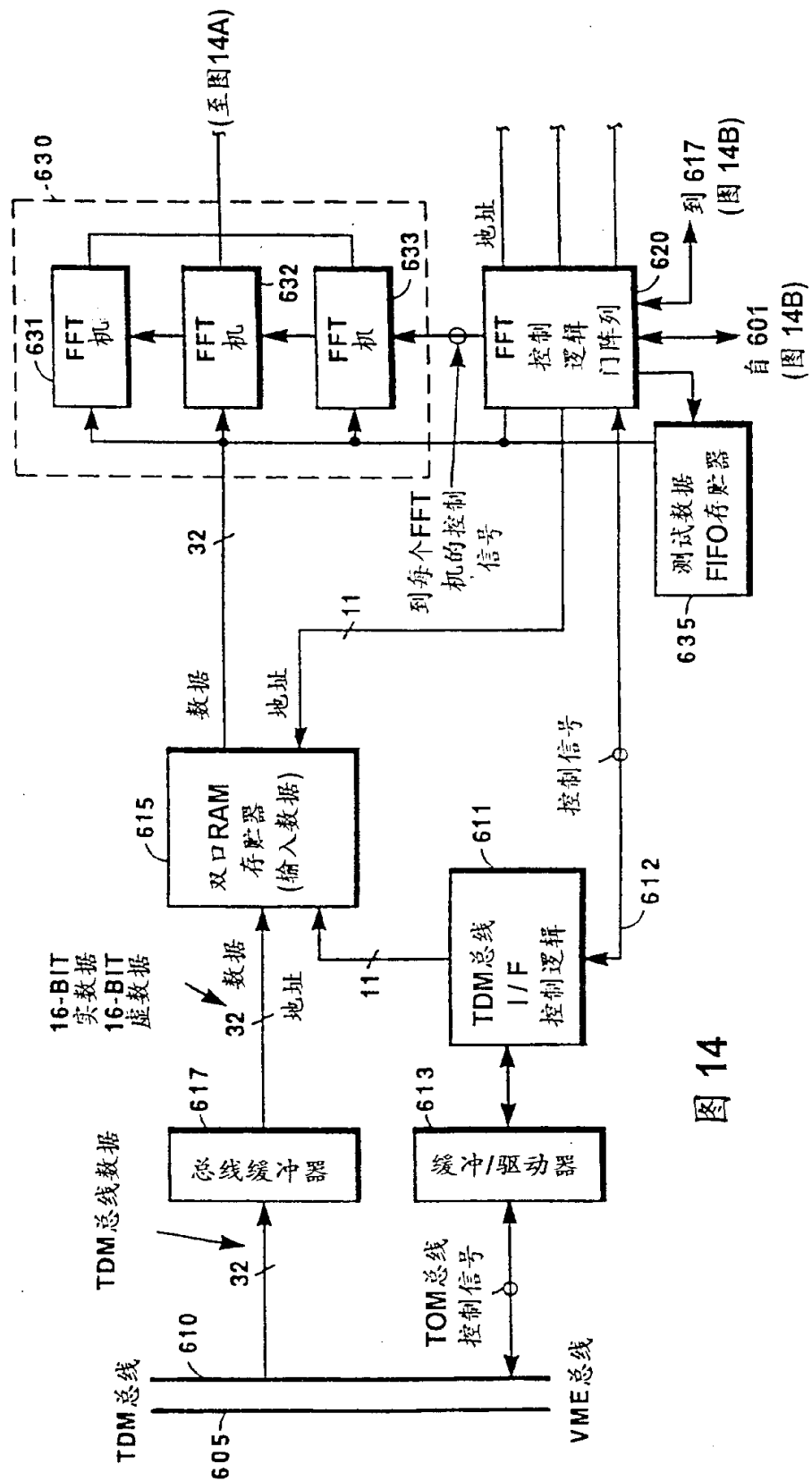


图 14

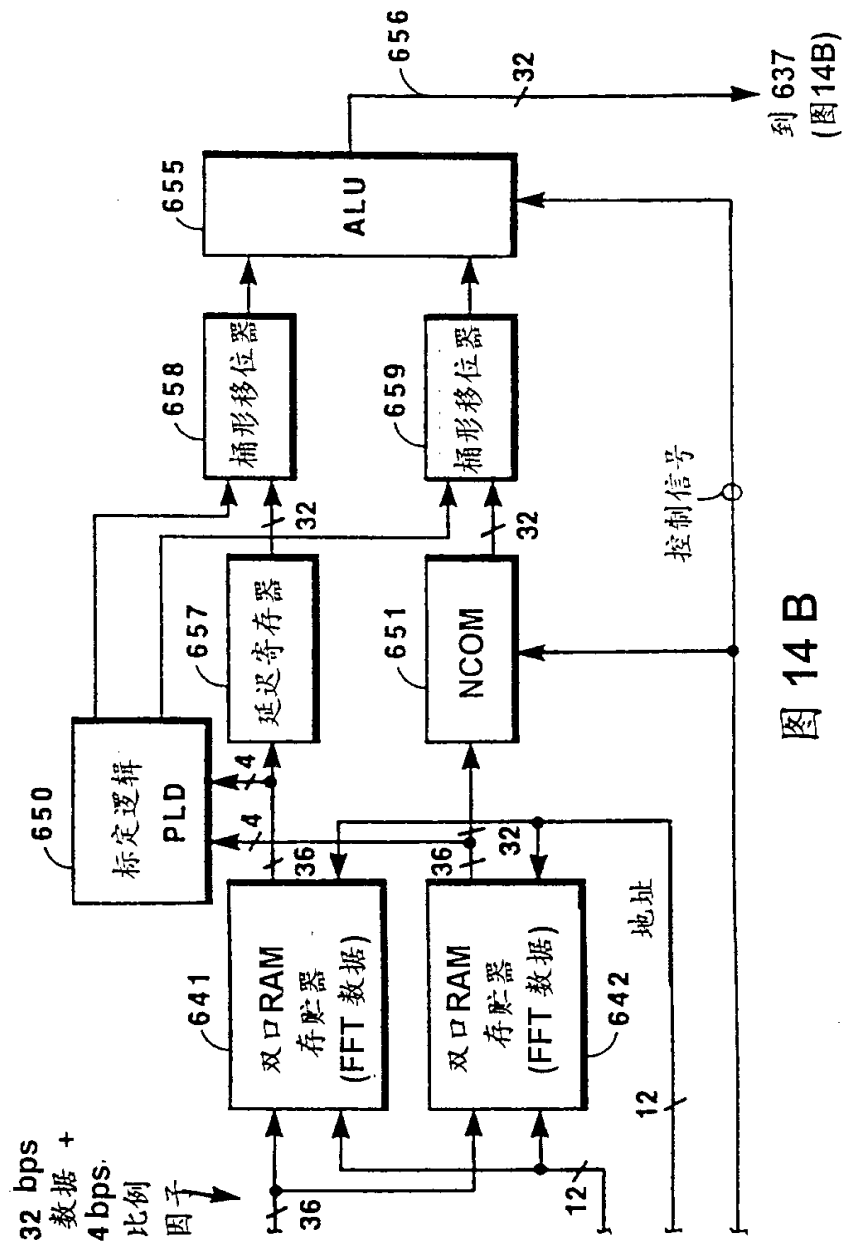


图 14 B

来自620
(图 15A)

来自655
(图 14B)

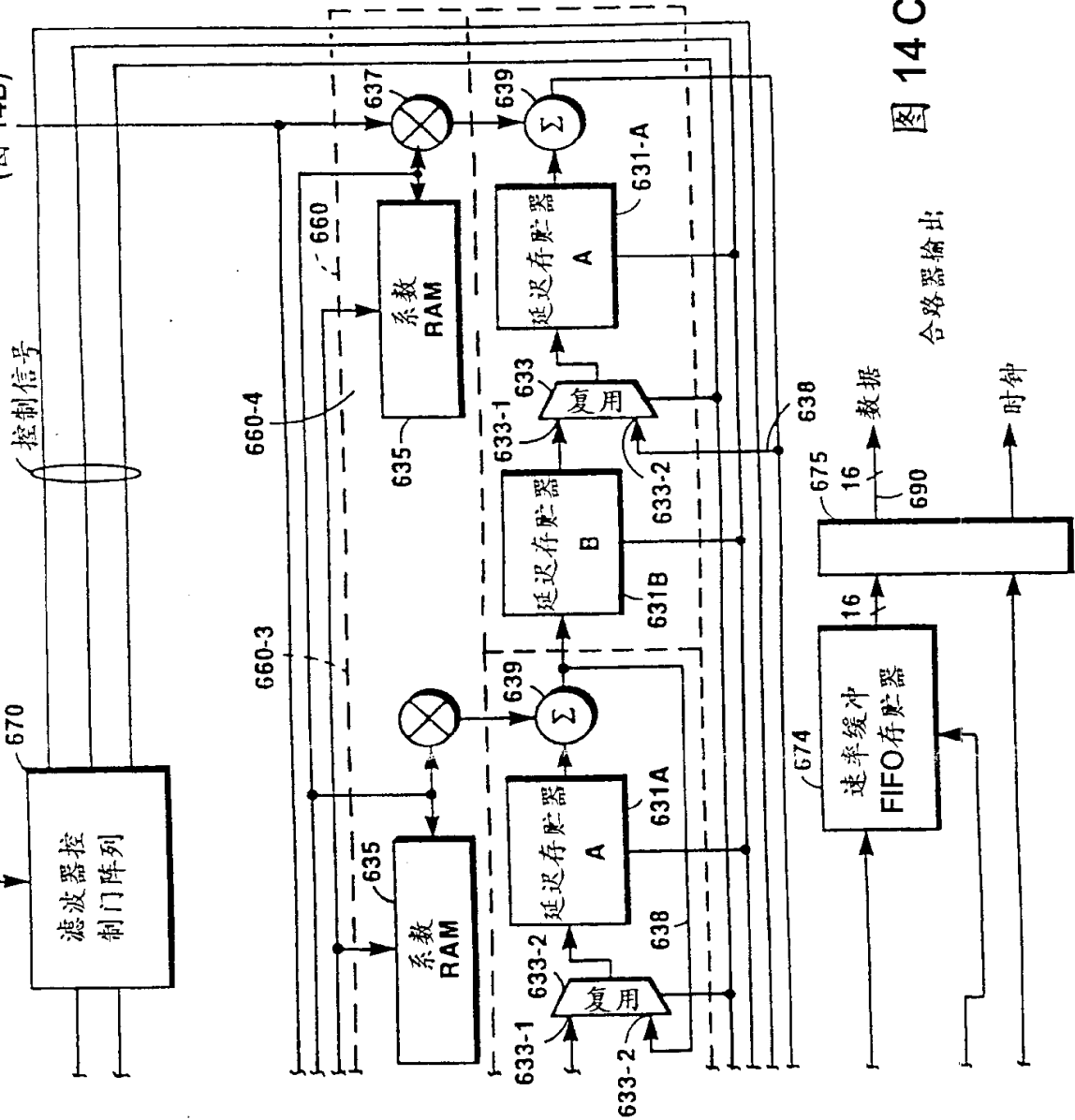


图 14C

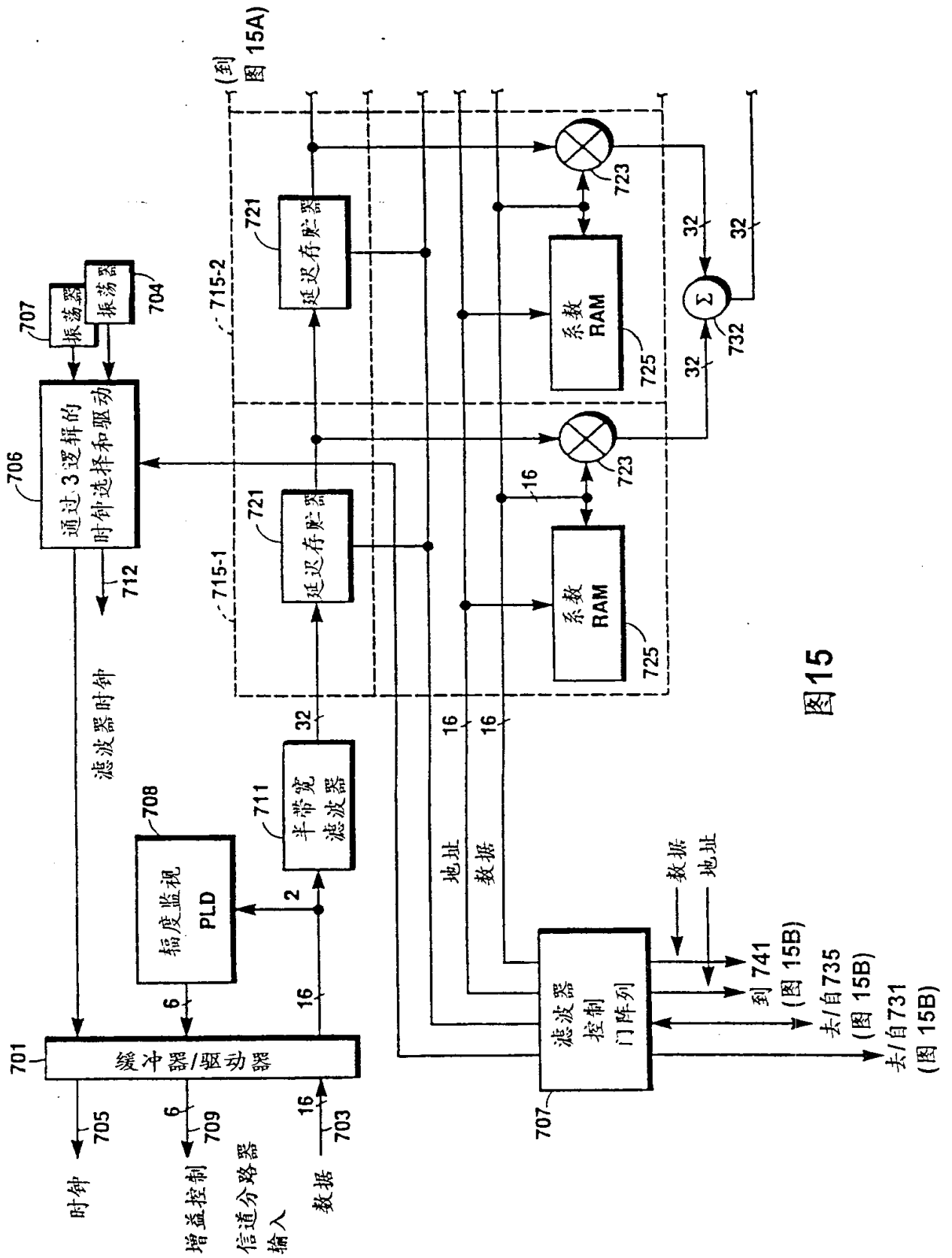


图15

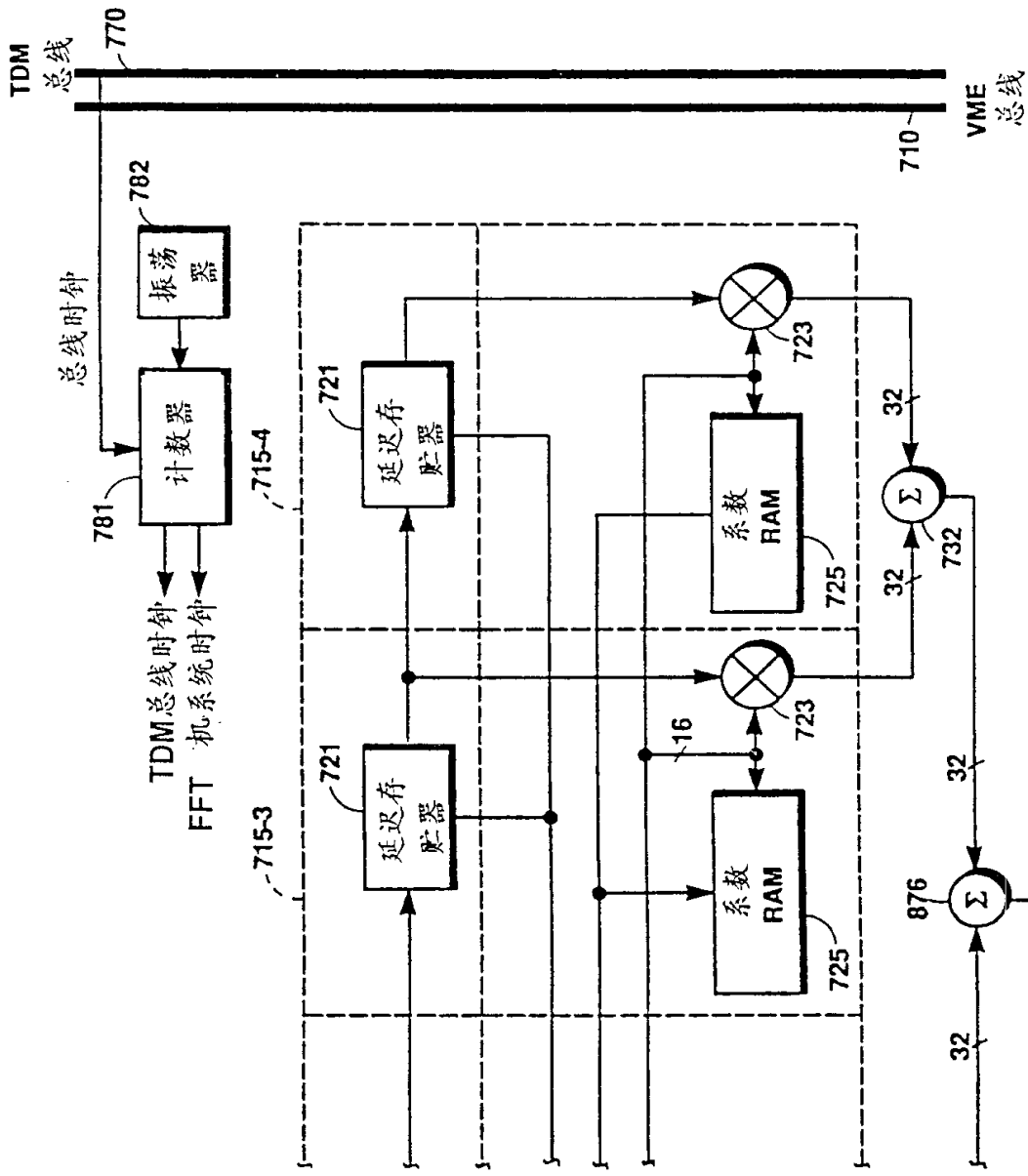


图 15 A

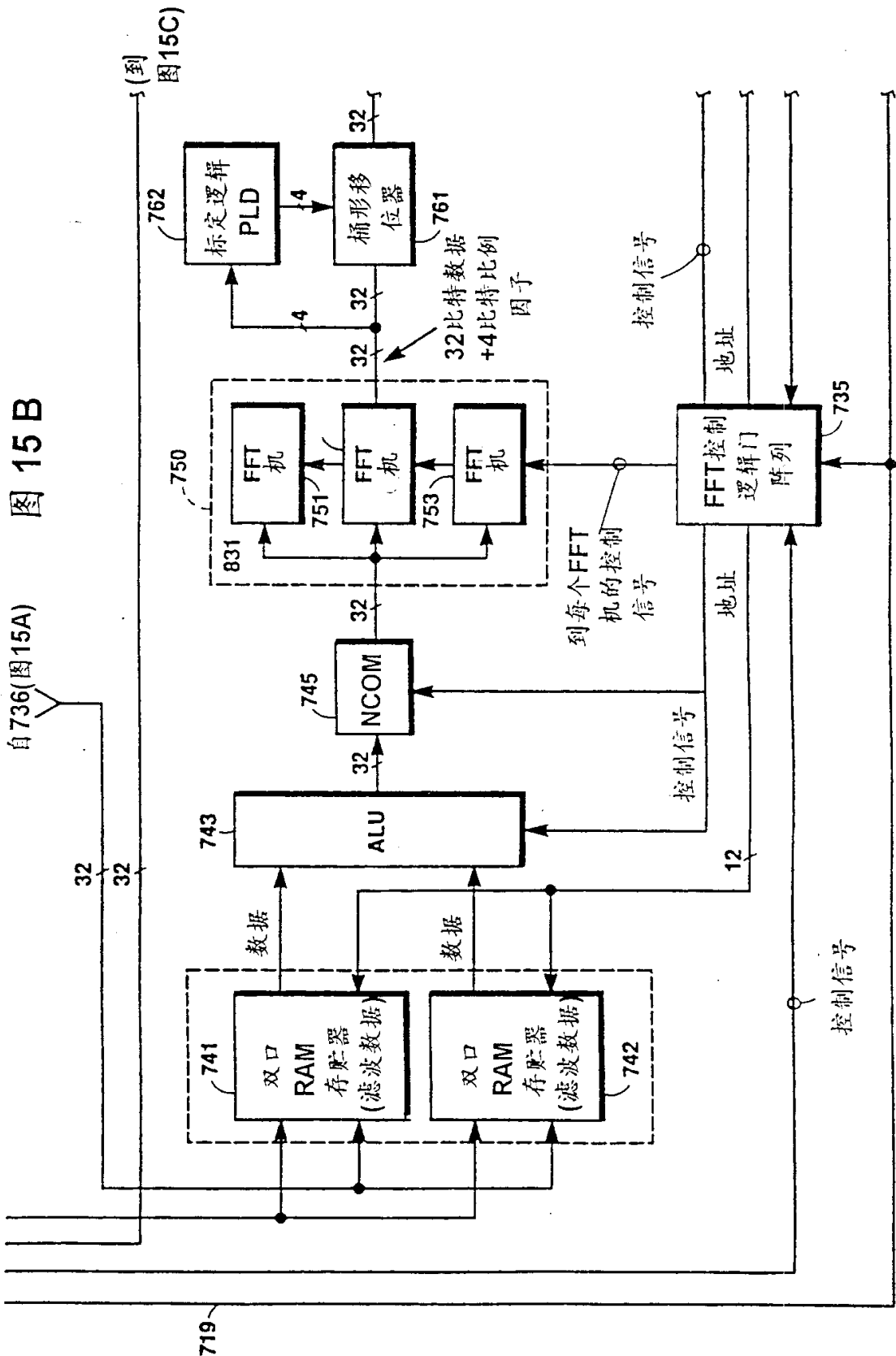


图 15 B

自736(图15A)

(到图15C)

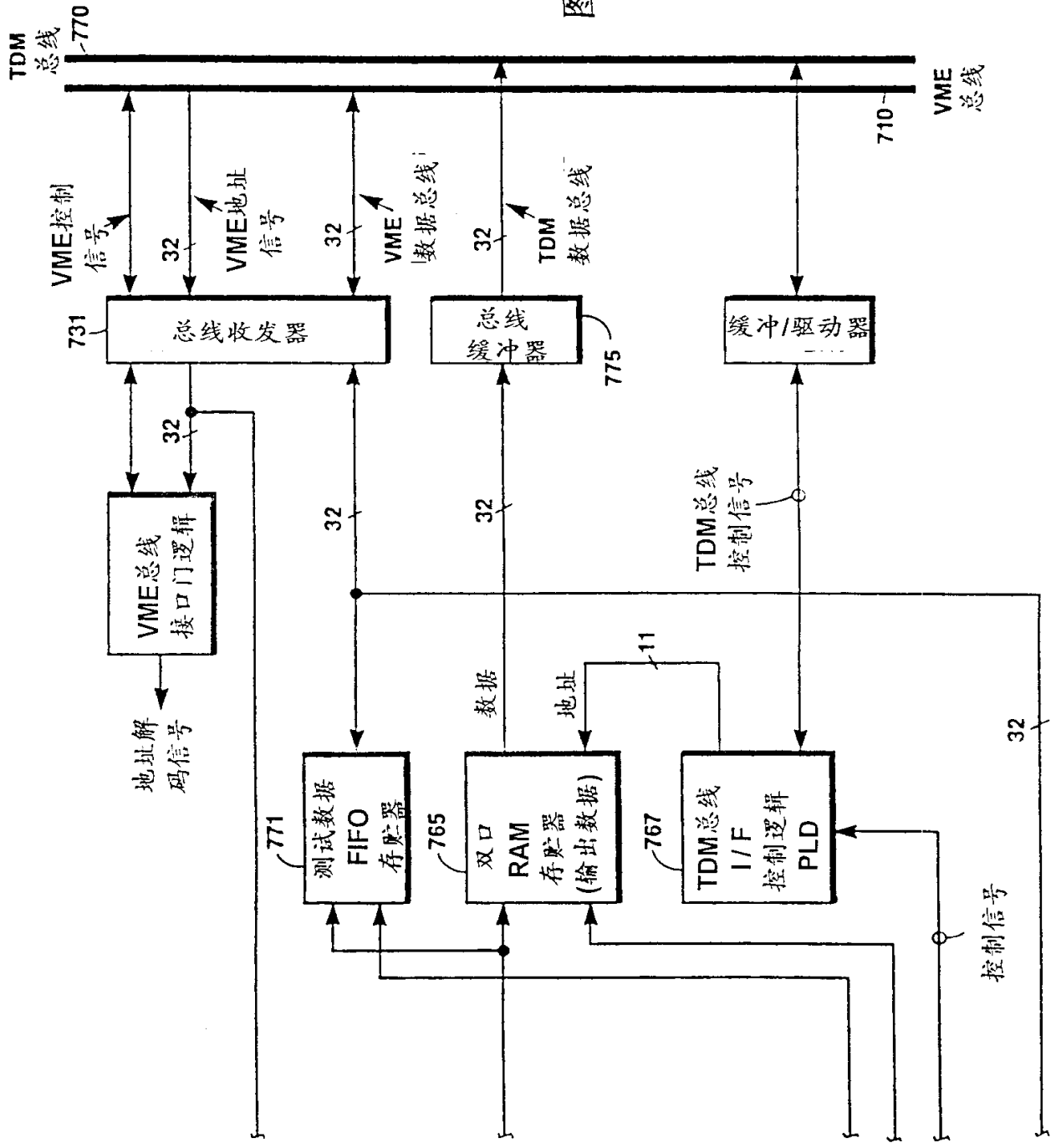


图15C

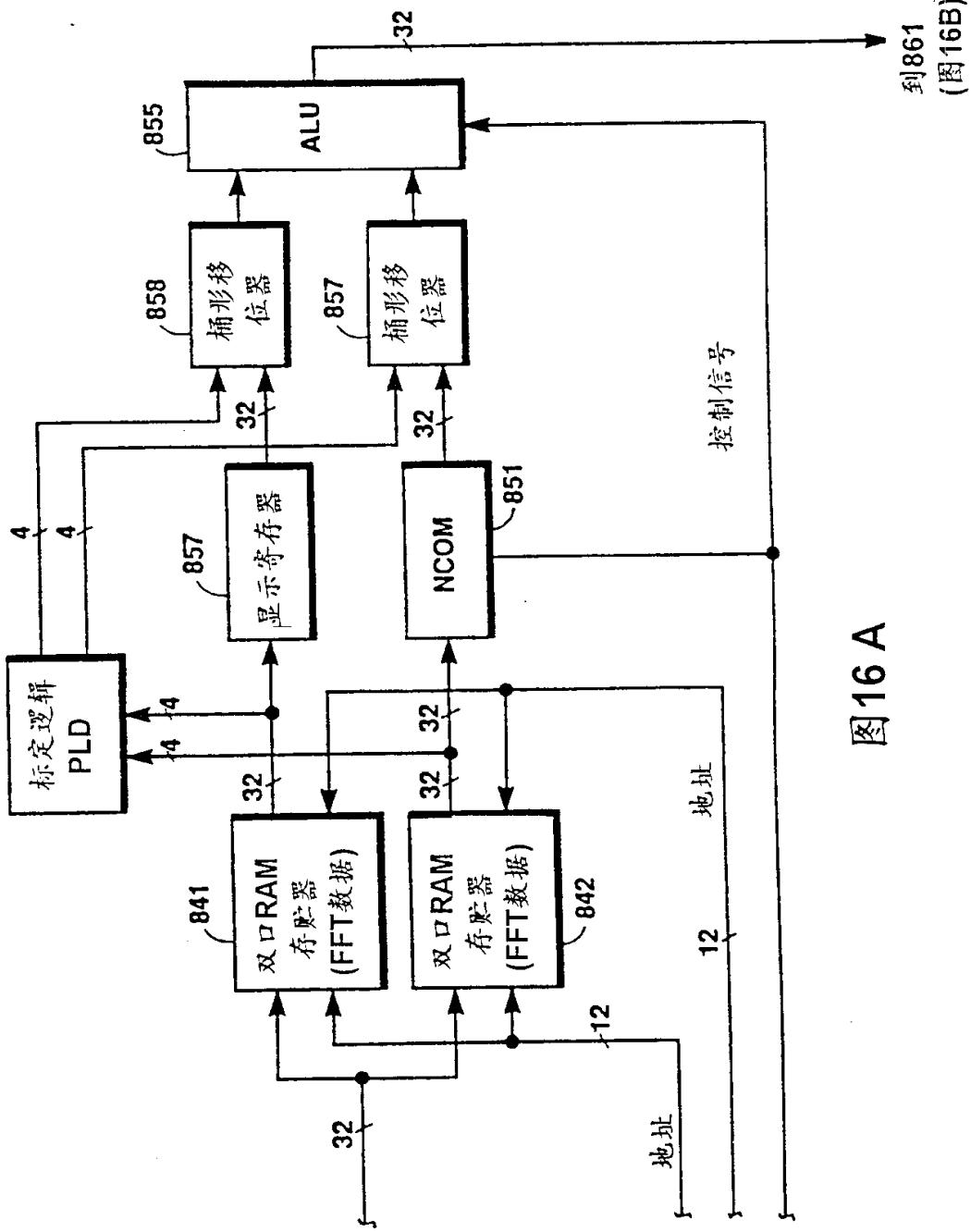


图16 A

自 855
(图 16A)

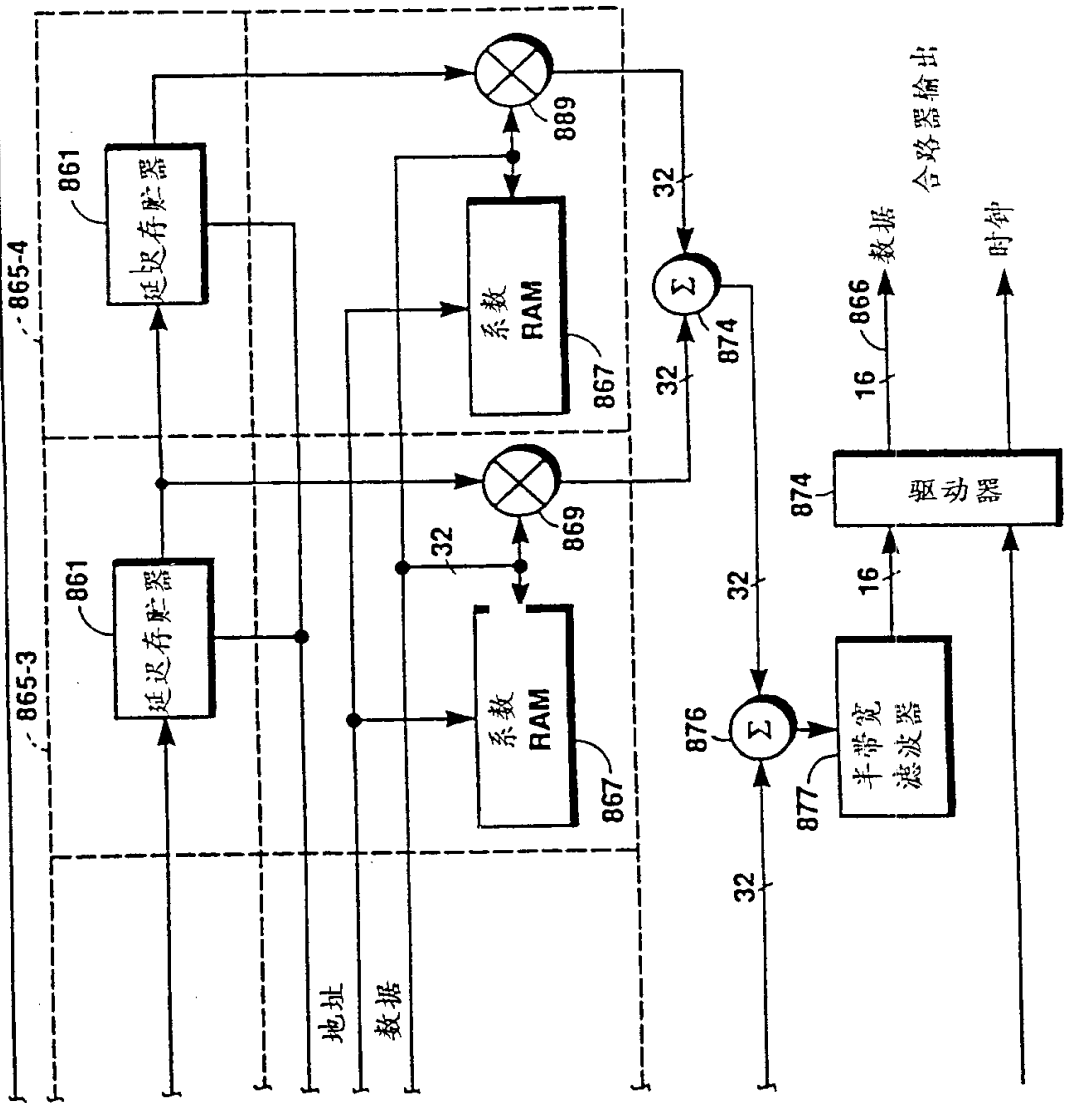


图 16C

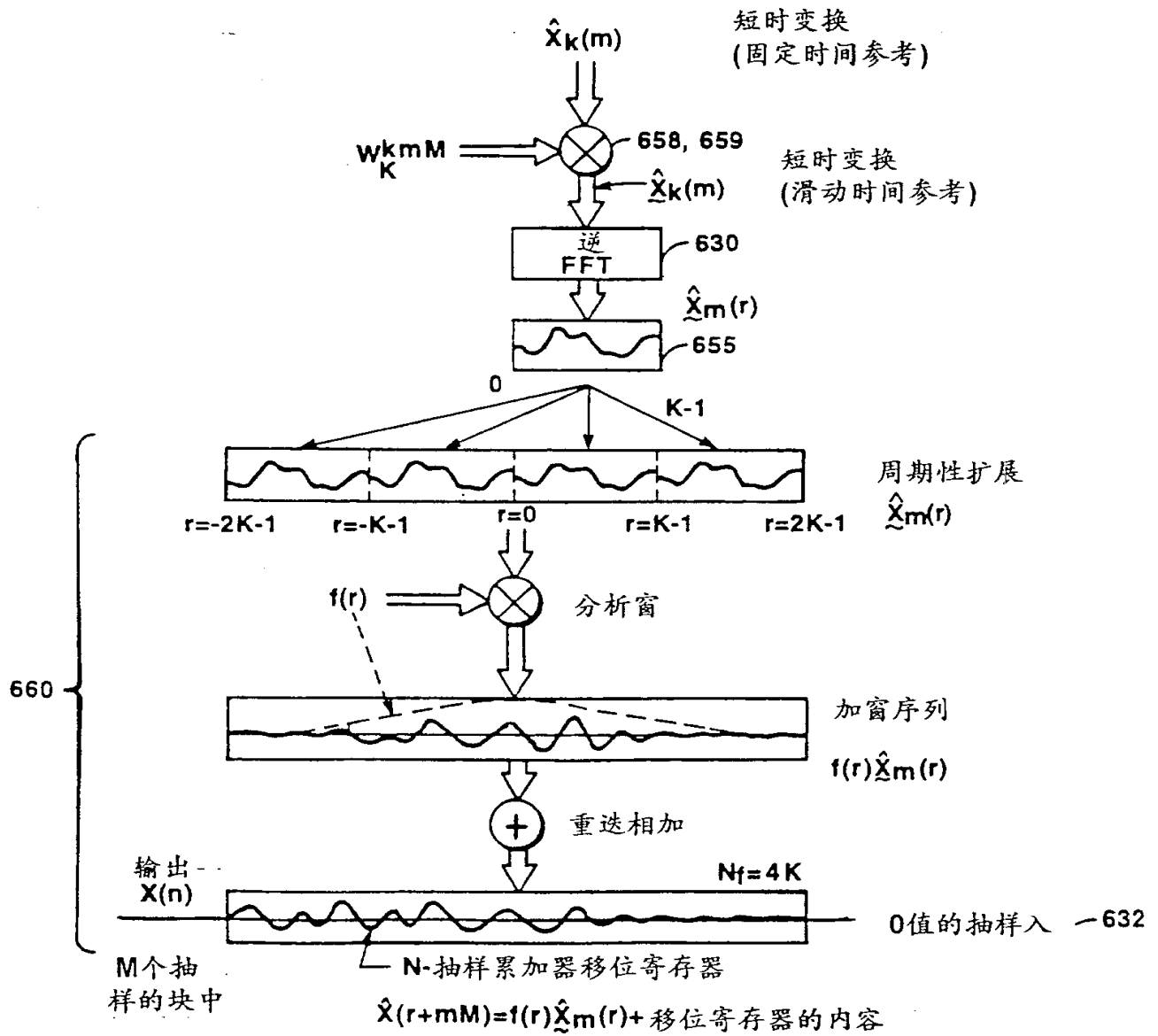


图 17