[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
H01L 27/02
H01L 27/10 G11C 11/02
H01L 43/00

[12]发明专利申请公开说明书

[21]申请号 01140855.3

[43]公开日 2002年6月19日

[11]公开号 CN 1354519A

[22]申请日 2001.9.18 [21]申请号 01140855.3

[30]优先权

[32]2000.11.18 [33]US [31]09/715476

[71]申请人 惠普公司

地址 美国加利福尼亚州

[72]发明人 J·H·尼克尔

[74]专利代理机构 中国专利代理(香港)有限公司

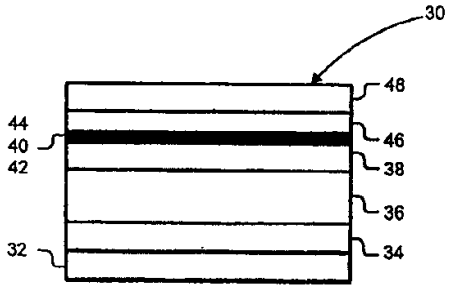
代理人 吴增勇 王忠忠

权利要求书1页 说明书7页 附图页数3页

[54]发明名称 提高磁隧道结中击穿电压的方法

[57]摘要

一种磁隧道结(30)包括具有不完全处理(例如欠氧化)的基底材料 的隧道层(40)。这种磁隧道结(30)可用于磁随机存取存储("MRAM") 器件(8)中。



ISSN1008-4274

权 利 要 求 书

1. 一种磁随机存取存储器件(8), 它包括含有磁隧道结(30)的存储单元(12)的阵列, 所述磁隧道结(30)包括具有不完全处理的基底材料的隧道层(40)。

2. 权利要求 1 的器件, 其特征在于: 所述不完全处理的基底材料是欠氧化的。

3. 权利要求 1 的器件, 其特征在于: 所述不完全处理的基底材料是欠氮化的。

4. 权利要求 1 的器件, 其特征在于: 在所述隧道层(40)的第一表面的所述基底材料的密度大体上低于在所述隧道层(40)的第二表面上的所述基底材料的密度。

5. 权利要求 1 的器件, 其特征在于: 所述不完全处理的基底材料把所述击穿电压增加到具有完全处理的基底材料的结的击穿电压的至少两倍。

6. 权利要求 1 的器件, 其特征在于: 所述磁隧道结(30)是自旋相关的隧道贯穿结。

说　明　书

提高磁隧道结中击穿电压的方法

技术领域　本发明涉及磁隧道结如自旋相关隧道贯穿(“SDT”)结。本发明还涉及信息存储器件如磁随机存取存储(“MRAM”)器件。

背景技术　典型的 MRAM 器件包括存储单元阵列、沿存储单元的行延伸的字线、以及沿存储单元的列延伸的位线。每个存储单元位于字线与位线的交叉点处。

在一类 MRAM 器件中，每个存储单元包括 SDT 结。在任何给定的时刻，SDT 结的磁化呈现两种稳定方向中的一种。这两种稳定方向，平行或者反向平行，代表‘0’和‘1’的逻辑值。磁化方向又影响 SDT 结的电阻。如果磁化方向是平行的，则 SDT 结的电阻是第一个值(R)，如果磁化方向是反向平行的，则 SDT 结的电阻是第二个值(R + ΔR)。SDT 结的磁化方向、因而其逻辑状态可以通过检测其电阻状态而读出。

SDT 结可能由于静电放电、处理误差(在制造过程中)以及电路异常如电压尖峰而被短路。这类短路的 SDT 结会导致位差错。

在不用开关或者二极管使存储单元彼此绝缘的电阻式交叉点阵列中，短路的 SDT 结还可能使同一列和行中的其他存储单元不可用。因此，单个短路的 SDT 结也会导致列宽和行宽差错。

当从 MRAM 器件中读回数据时，可能会使用误码校正来恢复来自不可用 SDT 结的全部行和列的数据。但是，校正单个列或行中一千或一千以上的比特从时间的观点和计算的观点来看都是代价很高的。而且，MRAM 很可能具有一个以上的短路的 SDT 结。

如果 MRAM 器件含有太多不可用的 SDT 结，在制造阶段就要抛弃该器件。因此，静电放电、处理误差和电路异常会降低制造的成品率。

希望防止由处理误差和电路异常导致的破坏。还希望防止静电放电引起的破坏。但是，静电放电的防止是昂贵且难以实现的。

发明内容 按照本发明的一个方面，磁隧道结包括具有被不完全处理(例如欠氧化、欠氮化)的基底材料的隧道层。不完全处理的基底材料相当大地提高了结的击穿电压。本发明的其他方面和优点将会从下列结合附图、以示例的方式说明本发明的原理的详细描述中变得清楚。

附图说明

图 1 是对包括具有不完全处理的基底材料的隧道层的 SDT 结的说明;

图 2 是击穿电压对具有氧化铝隧道层的 SDT 结的氧化时间的曲线图;

图 3 是对包括在其隧道结中具有不完全处理的基底材料的 SDT 结的 MRAM 器件的说明; 以及

图 4 是制造 MRAM 器件的方法的说明。

具体实施方式 如用于说明的各图中所示，以包括具有不完全处理的基底材料的隧道层的 SDT 结来实施本发明。不完全处理的基底材料相当大地提高了击穿电压并且减小了由静电放电、处理误差和电路异常引起破坏的机会。较高的击穿电压提高了 SDT 结的健壮性，提高了制造成品率并且降低了校正位差错的费用。这些 SDT 结可用于 MRAM 器件中。

参照图 1，SDT 结 30 包括多层材料叠层。所述叠层包括第一和第二籽晶层 32 和 34。第一籽晶层 32 使第二层 34 能以(111)晶体结构取向生长。第二籽晶层 34 为随后的反铁磁("AF")牵制层(pinning layer)36 建立(111)晶体结构取向。AF 牵制层 36 提供大交换场，它把

随后的受牵制(底部)铁磁("FM")层 38 的磁化保持在一个方向。在受牵制 FM 层 38 的顶部是具有不完全处理的基底材料的绝缘隧道层 40。任选的界面层 42 和 44 可把绝缘隧道层 40 夹在中间。在绝缘隧道层 40 的顶部是具有在外加磁场中能自由旋转的磁化的感测(顶部)FM 层 46。保护盖层 48 在感测 FM 层 46 的上面。

受牵制层 38 具有定向于平面内、但固定的、使得在感兴趣的范围内的外加磁场下不能旋转的磁化。感测层 46 具有不受牵制的磁化方向。更准确地说，可以把磁化定向在沿轴("易磁化"轴)的两个方向中的任一个。如果受牵制层 38 和感测层 46 的磁化在同一方向，则该取向为平行。如果受牵制层 38 和感测层 46 的磁化在相反方向，则该方向为反平行。

绝缘隧道层 40 使量子隧道效应能在受牵制层 38 和感测层 46 之间发生。这种隧道贯穿现象是电子自旋相关的，使 SDT 结 30 的电阻随自由和受牵制层 38 和 46 的磁化的相对方向而变。

例如，如果受牵制层 38 和感测层 46 的磁化方向是平行的，则 SDT 结 30 的电阻是第一个值(R)。如果所述磁化方向从平行变为反平行，则存储单元 12 的电阻增大为第二个值(R + ΔR)。一般第一个值(R)大约为一兆欧。

第一籽晶层 32 和保护盖层 48 可用钛(Ti)或钽(Ta)来制造，而第二籽晶层 34 可用镍铁(NiFe)来制造。AF 牵制层 36 可用锰铁(MnFe)、镍锰(NiMn)、氧化镍(NiO)或者铱锰(IrMn)来制造。FM 层 38 和 46 可用 NiFe、或者氧化铁(Fe_3O_4)、或者氧化铬(CrO_2)或者钴合金(例如 CoFe)、或者其他铁磁或亚铁磁材料制成。界面层 42 和 44 可用铁制成。对于界面层 42 和 44，尽管高自旋极化材料是最好的，但是也可以使用其他材料。

绝缘隧道层 40 的基底材料可以是例如，铝、硼、铪、镁、硅、钽或者钨。当处理后，这些基底材料被氧化或者氮化成氧化铝(Al_2O_3)、氮化铝(AlN)、氮化硼(BN)、氧化铪(HfO_2)、氧化镁(MgO)、

二氧化硅(SiO_2)、氮化硅(SiN_4)、氧化钽(Ta_2O_5)以及氧化钨(WO_2、WO_3)。

可通过对基底材料进行欠处理来形成绝缘隧道层 40。例如，淀积基底材料，然后通过将其暴露在氮或氧中、通过远程等离子体(remote plasma)(低能量的氧或氮离子)、通过全等离子体(full plasma)、或者通过离子束方法来处理。

如果通过欠处理形成所述隧道层，则可从上至下氧化或者氮化该隧道层 40。因此，不完全处理的基底材料的密度大体上在隧道层 40 的底面高于其顶面。

在可供选择的方案中，可通过淀积未处理的基底材料层并且在未处理的基底材料层上淀积充分处理的基底材料来形成绝缘隧道层 40。例如，溅射一薄层(1-2 埃)未处理的基底材料，然后在其顶部高频(r-f)淀积氧化物或者氮化物。

绝缘隧道层 40 具有微量的未处理基底材料，这足以相当大地增加 SDT 结 30 的击穿电压并且减小隧道贯穿磁阻(TMR)，其中 TMR = $\Delta R/R$。如果隧道层 40 是通过欠处理来形成的，所需的未处理基底材料的量可由 SDT 结 30 的 TMR 表示，并且可以通过减小氧化或者氮化时间来控制该量。

例如，具有完全处理的隧道层的 SDT 结可能具有大约 30％至 40％的 TMR 和在 1.75 伏至 2 伏之间的击穿电压。与此对比，所述 SDT 结 30 可具有 13％至 20％之间的 TMR，而击穿电压在 4 伏至 4.5 伏之间。

通过以下三种制造的样品来说明这些差异。SDT 结的第一个样品是通过在清洗过的晶片上淀积 5nm 的 Ta 的第一籽晶层，然后是 6nm 的 NiFe 的第二籽晶层、10nm 的 MnFe 的 AF 层、4nm 的 NiFe 的底部 FM 层、Al_2O_3 的绝缘隧道层、4nm 的 NiFe 的顶部 FM 层以及 5nm 的 Ta 的保护盖层而形成的。绝缘隧道层是通过淀积 1.25nm 的铝层、然后通过等离子体氧化把淀积的铝氧化 150 秒而形成的。结尺寸为 5

微米 × 10 微米。第一个样品具有大约 2 伏的击穿电压和大约 30% 的 TMR。

除了隧道层被氧化 120 秒之外，第二个样品是用与第一个样品同样的方式制备的。第二个样品具有大约 4 伏的击穿电压和大约 20 % 的 TMR。

除了隧道层被氧化 90 秒之外，第二个样品是用与第一个样品同样的方式制备的。第二个样品具有大约 4.5 伏的击穿电压和大约 13 % 的 TMR。

图 2 说明击穿电压对用于具有氧化铝隧道层的 SDT 结的氧化时间的曲线。圆代表平均值，而条代表标准偏差。氧化所需的准确时间是由用于生产该样品的实验设备、等离子体的电压、气体的压强和等离子体到晶片的接近程度等来决定的。

现在参考图 3，它说明了包括 SDT 结存储单元 12 的阵列 10 的 MRAM 器件。存储单元 12 排列成行和列，行沿 X 方向延伸而列沿 Y 方向延伸。仅表示出相对少量的存储单元 12 以简化对器件 8 的描述。实际上，可以使用任何大小的阵列。

起字线作用的迹线 14 沿着在存储单元阵列 10 的一侧的面内的 X 方向延伸。起位线作用的迹线 16 沿着在存储单元阵列 10 的相反侧的面内的 Y 方向延伸。对于阵列 10 的每一行可有一条字线 14，并且对于阵列 10 的每一列可有一条位线 16。每个存储单元 12 位于字线 14 和位线 16 的交叉点处。

MRAM 器件 8 还包括用于在读写操作期间选择字线 14 的行解码器 18。可在读操作期间通过把字线 14 接地来选择该字线 14。

MRAM 器件 8 还包括用于每一组(例如十六)列的控制电路 20 和读/写电路 22。在读操作期间，读/写电路 22 感测所选存储单元 12 的电阻，并且在写操作期间，它定出所选存储单元 12 的磁化方向。每个读/写电路 22 经寄存器 24 耦合到器件 I/O 板 26。

MRAM 器件 8 可使用二极管或者开关来阻挡在读操作期间的潜

通路电流。在可供选择的方案中，MRAM 器件 8 可通过在 2000 年 3 月 3 日提交的序列号为 09/564308 的受让人的美国专利申请中公开的等电位法来阻挡潜通路电流。

MRAM 器件 8 可包括多层阵列。可以把这些层叠加在衬底上，并且用绝缘材料如二氧化硅来分隔。可把读/写电路制造在衬底上。读/写电路可包括用于选择要从其读出或者写入其中的各个层的另外的多路转接器。

图 4 表示制造 MRAM 器件 8 的方法。在衬底上制造读/写电路、行解码器和其他电路(方框 102)。然后在衬底上淀积导体材料并且将其作成位线图案(方框 104)。位线 16(以及后来的字线 14)可由导电材料如铜、铝或者金或其合金制成。然后在位线之间淀积介质。逐一地淀积第一籽晶层、第二籽晶层和 AF 层(方框 106)。在 AF 层上淀积底部 FM 层(方框 108)。

然后可淀积任选的底部界面层，随后是具有不完全处理的基底材料的绝缘隧道层(方框 110)。可在绝缘隧道层上淀积任选的顶部界面层(方框 110)。

然后淀积顶部 FM 层(方框 112)。在顶部 FM 层上淀积保护盖层(方框 114)。

然后把产生的叠层作成单元图案(方框 118)。可通过在保护盖层上淀积光致抗蚀剂层、用光刻在光致抗蚀剂上形成图案、并且去掉未被光致抗蚀剂保护的材料来完成构成图案的操作。还可制造通孔以便建立与底层电路的连接。

然后在图案结构上形成介质薄层(方框 118)。填充在图案结构之间的空间中的介质防止磁性薄膜的边缘之间短路。它还防止导体造成短路。然后在介质中形成对于字线连接的开口。然后在介质上淀积导体材料并且将其作成字线的图案(方框 120)。

然后可把产生的阵列平面化。新阵列可形成于平面化后的阵列之上。

这些方框 102 至 120 描述了单个 MRAM 器件的制造。但是，实际上是在单个晶片上同时制造许多 MRAM 器件。

尽管损失了信号，但是 SDT 结更加健壮。更加健壮的 SDT 结更有可能不被静电放电、处理误差和电路异常损坏。因此，提高了制造成品率并且减小了校正被短路的位的费用。

SDT 结对于高压应用特别有用。高压应用可包括平板发射极器件、大电流器件、以及含有在能量高于费米能量的条件下具有高极化的材料的器件(这些高压器件要在与自旋极化中的峰值相对应的电压下工作)。

尽管已经公开了图 1 的 SDT 结的具体结构，但是 SDT 结不限于此。可以使用其他结构。例如，可以使用硬磁体或者人造反铁磁体代替 AF 牵制层。可以把 AF 牵制层设置在接收叠层的顶部而不是叠层的底部，由此顶部 FM 层是受牵制层而底部 FM 层是感测层。

隧道层的基底材料不限于上面描述的材料。可以把其他介质或者某些半导体材料用于绝缘隧道层。

尽管已经把磁隧道结描述成 SDT 结，但是他们不限于此。例如，磁隧道结可以是 Josephson 结。

本发明不限于以上描述和说明的特定实施例。而是按照下列权利要求书来解释本发明。

说 明 书 附 图

图 1

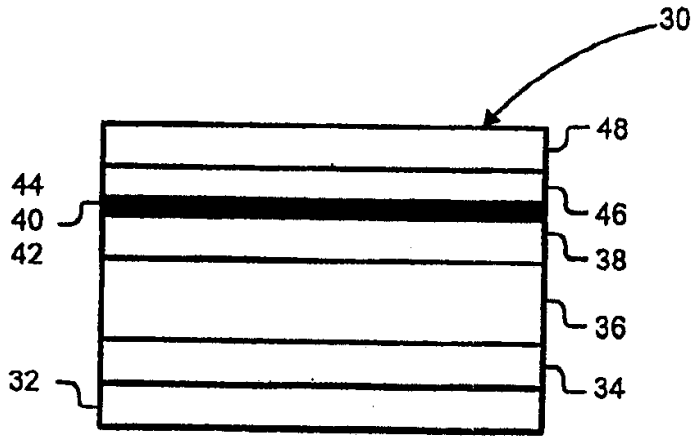


图 2

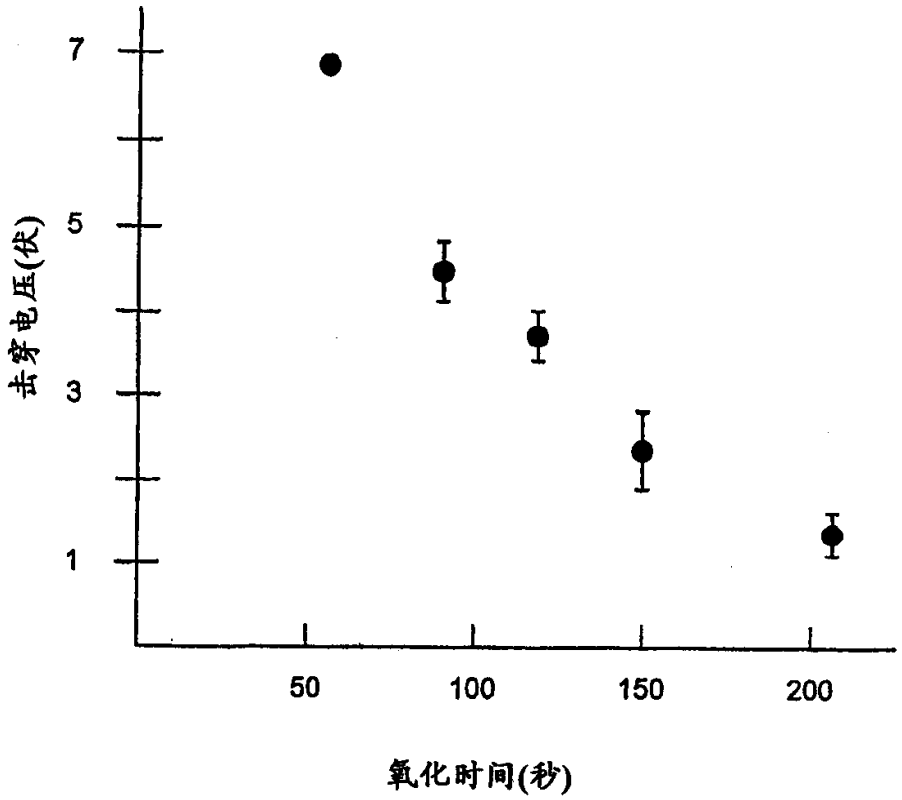


图 3

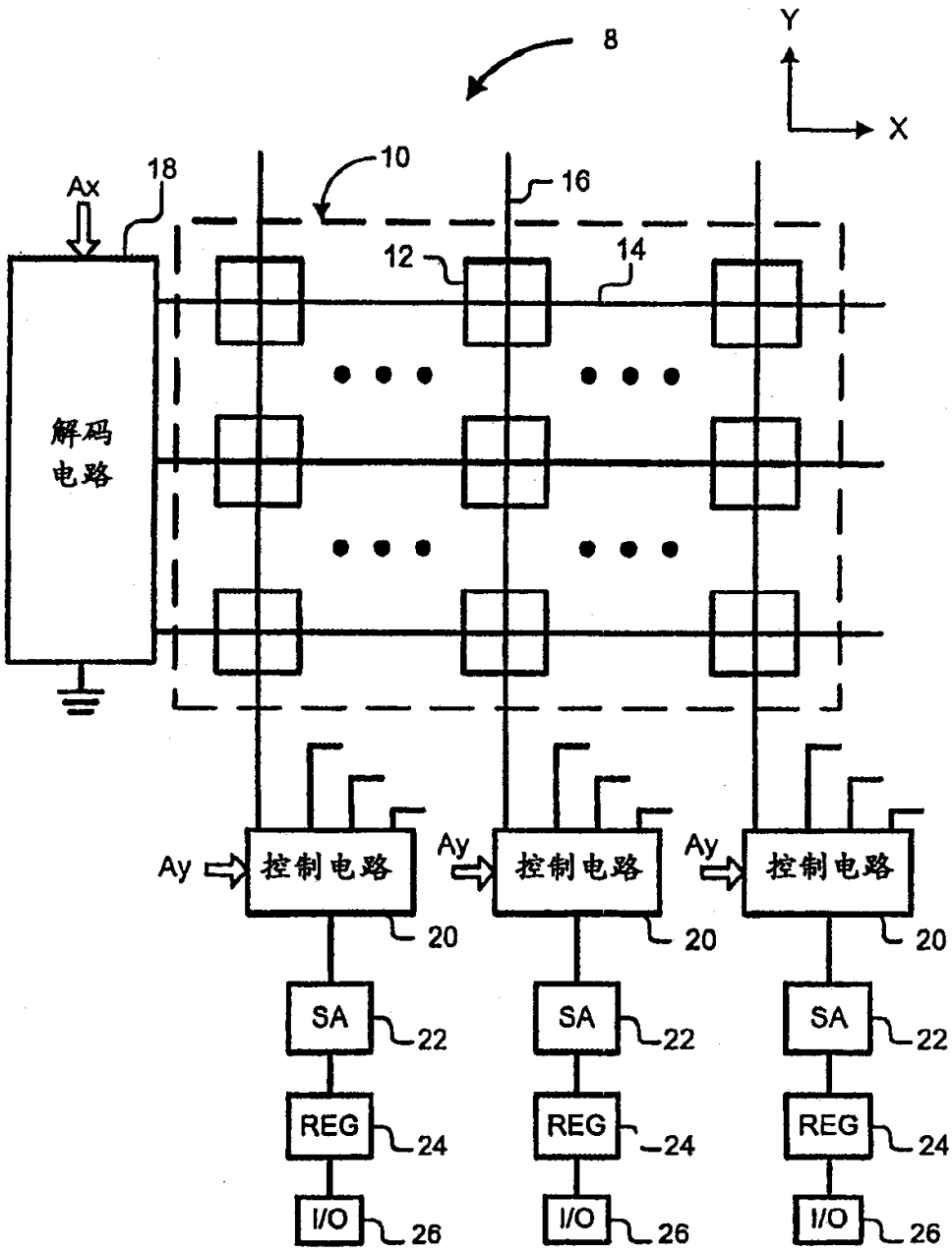
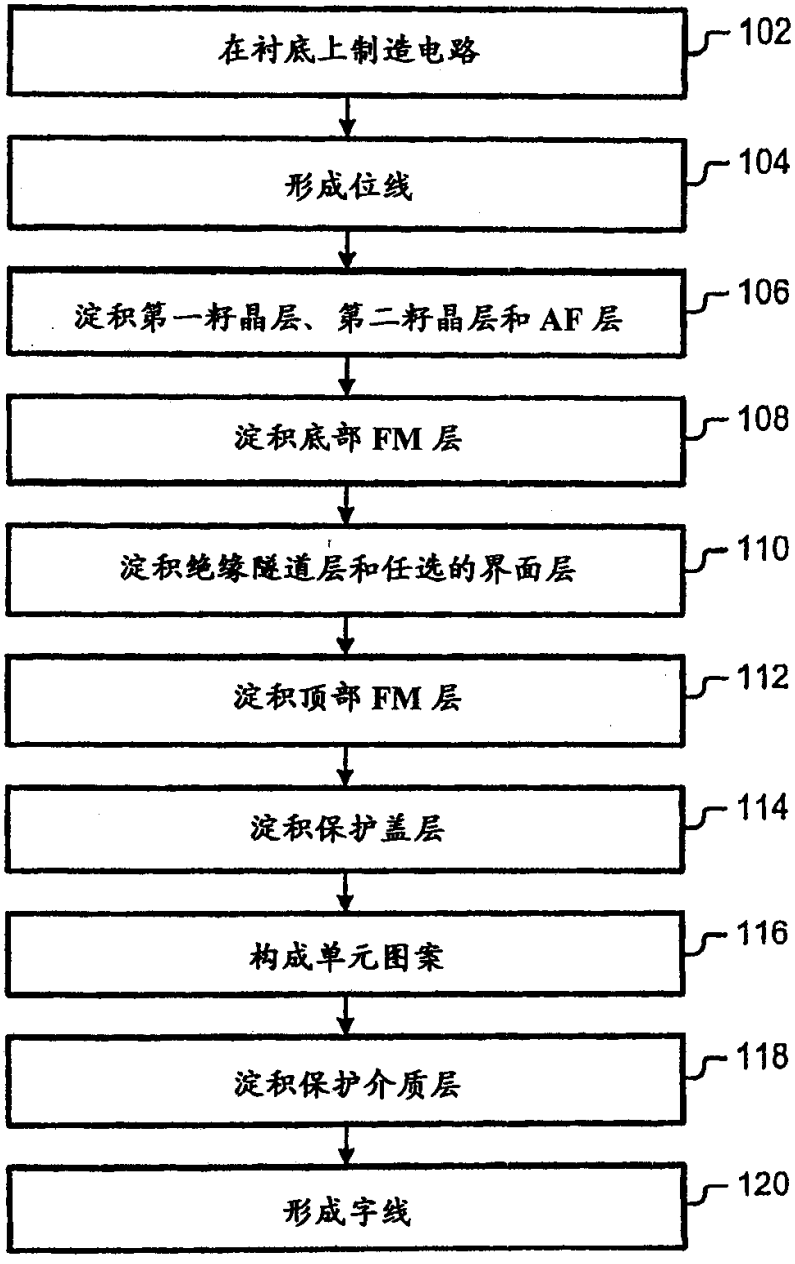


图 4


在衬底上制造电路
102
形成位线
104
淀积第一籽晶层、第二籽晶层和 AF 层
106
淀积底部 FM 层
108
淀积绝缘隧道层和任选的界面层
110
淀积顶部 FM 层
112
淀积保护盖层
114
构成单元图案
116
淀积保护介质层
118
形成字线
120