(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年7月26日(26.07.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/135194 A1

(51) 国際特許分類:
H01L 27/10 (2006.01) *H01L 29/417* (2006.01)
H01L 21/8242 (2006.01) *H01L 29/423* (2006.01)
H01L 27/108 (2006.01) *H01L 29/49* (2006.01)
H01L 27/11526 (2017.01) *H01L 29/786* (2006.01)
H01L 27/146 (2006.01)

(21) 国際出願番号： PCT/JP2017/044687

(22) 国際出願日： 2017年12月13日(13.12.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-008899 2017年1月20日(20.01.2017) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 横山 孝司 (**YOKOYAMA, Takashi**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 梅林 拓(**UMEBAYASHI, Taku**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

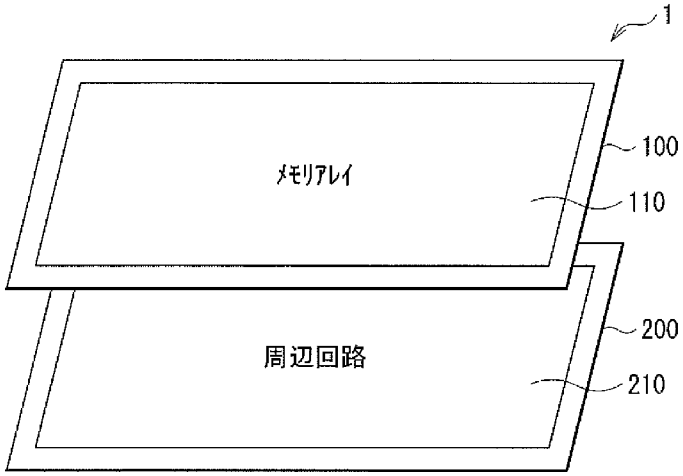
(74) 代理人: 特許業務法人つばさ国際特許事務所 (**TSUBASA PATENT PROFESSIONAL CORPORATION**); 〒1600022 東京都新宿区新宿１丁目１５番９号さわだビル３階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置

[図1]



110 Memory array
210 Peripheral circuit

(57) **Abstract:** The semiconductor device according to one embodiment of the present technology is equipped with: a first substrate that is provided with a memory array; and a second substrate, which is laminated to the first substrate, and which is provided with a peripheral circuit that controls the operations of the memory array.

(57) 要約： 本技術の一実施形態の半導体装置は、半導体装置は、メモリアレイが設けられた第１の基板と、第１の基板と積層されると共に、メモリアレイの動作を制御する周辺回路が設けられた第２の基板とを備える。

[続葉有]

WO 2018/135194 A1

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告(条約第21条(3))

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本技術は、例えば、メモリ素子を備えた半導体装置に関する。

背景技術

[0002] メモリ機能を有する半導体装置に設けられたメモリチップやメモリ機能ブロックは、メモリ素子がアレイ状に配列されているメモリアレイ部と、メモリアレイにアクセスするための周辺回路部とに大きく分けられる。周辺回路部はチップ内において大きな面積を占めており、実装面積の縮小化に対して大きな課題となっている。

[0003] これに対して、例えば特許文献１では、周辺回路部を基板の表側に、メモリ素子を基板の裏側に設けた半導体装置が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１４－２２０３７６号公報

発明の概要

[0005] このように、実装面積を縮小化することが可能な半導体装置の開発が望まれている。

[0006] 実装面積を縮小化することが可能な半導体装置を提供するが望ましい。

[0007] 本技術の一実施形態の半導体装置は、メモリアレイが設けられた第１の基板と、第１の基板と積層されると共に、メモリアレイの動作を制御する周辺回路が設けられた第２の基板とを備えたものである。

[0008] 本技術の一実施形態の半導体装置では、メモリアレイを第１の基板に、メモリアレイの動作を制御する周辺回路を第２の基板に分けて形成し、これらを積層するようにした。これにより、周辺回路が設けられる基板の面積を縮小することが可能となる。

[0009] 本技術の一実施形態の半導体装置によれば、メモリアレイを第１の基板に

、メモリアレイの動作を制御する周辺回路を第２の基板に分けて設けるようにしたので、周辺回路を有する基板の面積が削減される。よって、実装面積を縮小化することが可能となる。

[0010] なお、本技術の効果はこれに限定されるものではなく、以下の記載のいずれの効果であってもよい。

図面の簡単な説明

[0011] [図1]本開示の第１の実施の形態に係る半導体装置の概略図である。

[図2]図１に示した半導体装置の具体的な構成を表すブロック図である。

[図3]第１基板の構成を説明する概略図である。

[図4]図１に示した半導体装置の構成の一例を表す断面図である。

[図5]図４に示した半導体装置の第１基板に設けられている記憶素子の記憶部の構成を表す断面図である。

[図6]図４に示した第１基板側に設けられたトランジスタの構成の一例を表す断面図である。

[図7]図１に示した半導体装置の構成の他の例を表す断面図である。

[図8A]図４に示した半導体装置の他の構成の製造方法を説明する断面図である。

[図8B]図８Ａに続く工程を表す断面図である。

[図8C]図８Ｂに続く工程を表す断面図である。

[図9]図４に示した第１基板側に設けられたトランジスタの構成の他の例を表す断面図である。

[図10]図４に示した第１基板側に設けられたトランジスタの構成の他の例を表す断面図である。

[図11]図４に示した第１基板側に設けられたトランジスタの構成の他の例を表す断面図である。

[図12]図４に示した第１基板側に設けられたトランジスタの構成の他の例を表す断面図である。

[図13]図４に示した第２基板側に設けられたトランジスタの構成を表す断面

図である。

[図14A]第１基板と第２基板との貼り合わせにおける配線構造の一例を表す模式図である。

[図14B]第１基板と第２基板との貼り合わせにおける配線構造の他の例を表す模式図である。

[図15]本開示の第１の実施の形態に係る半導体装置の他の構成を表す断面図である。

[図16]本開示の第２の実施の形態に係る半導体装置の概略図である。

[図17]図１６に示した半導体装置における２つのメモリアレイと周辺回路との関係を表す模式図である。

[図18]本開示の第３の実施の形態に係る半導体装置の概略図である。

[図19]図１８に示した半導体装置の構成を表す断面図である。

[図20]本開示の第４の実施の形態に係る半導体装置の概略図である。

[図21]本開示の変形例１に係る半導体装置の構成を表す断面図である。

[図22]本開示の変形例２に係る半導体装置の構成の一例を表すブロック図である。

[図23]本開示の変形例２に係る半導体装置の構成の他の例を表すブロック図である。

発明を実施するための形態

[0012] 以下、本開示の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

１．第１の実施の形態（メモリアレイを第１基板に、周辺回路を第２基板に設け、これらを積層した半導体装置）

１－１．基本構成

１－２．半導体装置の構成

１－３．作用・効果

２．第２の実施の形態（第１基板に複数のメモリアレイを備えた半導体装置）

３．第３の実施の形態（センサを備えた基板を積層させて３層構造とした半導体装置）

４．第４の実施の形態（センサを２つの基板に分けて４層構造とした半導体装置）

５．変形例１（取り出し電極を設けた例）

６．変形例２（他のメモリ素子の例）

[0013] ＜１．第１の実施の形態＞

（１－１．基本構成）

図１は、本開示の第１の実施の形態に係る半導体装置（半導体装置１）の概略構成を表したものである。半導体装置１は、互いに電気的に接続された第１基板１００および第２基板２００が積層されてなるものである。本実施の形態の半導体装置１は、メモリ機能を有するものであり、第１基板１００にはメモリアレイ１１０が、第２基板２００には、メモリアレイ１１０を構成する複数のメモリ素子（メモリ素子７１０、図４参照）の動作を制御する周辺回路２１０が形成された構成を有する。

[0014] 図２は、半導体装置１の具体的な構成の一例を表すブロック図である。本実施の形態の半導体装置１では、第１基板１００にはメモリアレイ１１０の他に、例えばローデコーダ１２１、カラムデコーダ１２２およびカラムゲート１２３が設けられている。第２基板２００には、例えば電源回路２１１、電源制御回路２１２、入出力バッファ２１３、書込み回路２１４、センスアンプ２１５およびアドレス入力回路２１６が設けられている。なお、上記分け方は一例であり、これに限定されるものではない。例えば、ローデコーダ１２１、カラムデコーダ１２２およびカラムゲート１２３を第２基板２００に設けるようにしてもよい。あるいは、例えばカラムデコーダ１２２が第１基板１００と第２基板２００とに分けて形成されていてもよい。

[0015] 第１基板１００および第２基板２００に設ける回路を決め方としては、例えば各回路に含まれるトランジスタの駆動電圧あるいは電源減圧を基準に分けることが好ましい。例えば、第１基板１００には、最も駆動電圧の低いト

ランジスタを含む回路を搭載することが好ましい。第２基板２００には、例えば、最も駆動電圧の高いトランジスタを含む回路を搭載することが好ましい。ここで駆動電圧の低いトランジスタとは、例えば２２ｎｍ世代以降のトランジスタであり、より好ましくは、１４ｎｍ世代以降のトランジスタである。ここで「ｎｍ世代」とは、当初はゲート長等の加工の難しい部分の最小サイズを指していたが、現在では、特定の部分のサイズを指すものではなく、世代が進むごとに約０．７掛けで小さくなっていく。

[0016] 第１基板１００に設けられるトランジスタとしては、詳細は後述するが、例えば、高誘電率膜／金属ゲート（High-K/Metal Gate）技術が用いられたトランジスタおよび３次元構造を有するトランジスタが挙げられる。３次元構造のトランジスタとしては、例えばＦＤ－ＳＯＩトランジスタ、フィン電界効果トランジスタ（Ｆｉｎ－ＦＥＴ）、Ｔｒｉ－Ｇａｔｅトランジスタ、ナノワイヤ（Ｎａｎｏ－Ｗｉｒｅ）トランジスタおよびＴ－ＦＥＴ等が挙げられる。これらトランジスタは、半導体材料として、Ｓｉ以外に、Ｇｅ等の無機半導体や、例えばＩＩＩ－Ｖ族半導体およびＩＩ－ＶＩ族半導体等の化合物半導体を用いることができる。具体的には、ＩｎＧａＡｓ，ＩｎＧａＳｂ，ＳｉＧｅ，ＧａＡｓＳｂ，ＩｎＡｓ，ＩｎＳｂ，ＩｎＧａｎＺｎＯ（ＩＧＺＯ），MoS_2，WS_2，ＢｏｒｏｎＮｉｔｒｉｄｅおよびＳｉｌｉｃａｎｅＧｅｒｍａｎｅｎｅが挙げられる。この他、グラフェンを用いられたグラフェントランジスタが挙げられる。

[0017] なお、第１基板１００に設けられるトランジスタは、第２基板２００との対向面（面Ｓ２）側に設けることが好ましい。即ち、第１基板１００には、図３に示したように、面Ｓ１側に複数のメモリ素子７１０を含むメモリアレイ１１０を設けることが好ましく、面Ｓ２側に各メモリ素子に対応するトランジスタを含む回路（例えばＮＶＭ１２０）を設けることが好ましい。

[0018] 第２基板２００に搭載されるトランジスタは、例えば、２２ｎｍ世代より以前のトランジスタであることが好ましく、例えば、４０ｎｍ世代のトランジスタである。具体的には、一般にＳｉ基板を用いたプレーナ型トランジス

タである。周辺回路２１０は、例えばロジック回路であり、これを世代の古いトランジスタを用いて形成することで、コストを抑えることが可能となる。但し、第２基板２００に搭載されるトランジスタは必ずしも世代の古いトランジスタである必要はない。例えば、第１基板１００で挙げた２２ｎｍ世代以下の最先端のトランジスタを用いることによって周辺回路における信号処理を高速化することが可能となる。なお、上記のように、周辺回路の一部を最先端のトランジスタを用いて形成する場合には、その回路部分を第１基板１００に設けるようにしてもよい。これにより、周辺回路の実装面積がさらに縮小化され、第２基板２００に他の回路（例えば、アナログ素子を含むアナログ回路）を搭載することが可能となる。

[0019] なお、半導体装置１には、メモリアレイ１１０およびその周辺回路２１０の他の回路として、例えば、ＣＰＵやＧＰＵ等の信号処理回路等が搭載されている場合がある。その場合、上記信号処理回路等は、上記のように、例えば、それらに含まれるトランジスタの世代によって、第１基板１００あるいは、第２基板２００に適宜分けて設けるようにすればよい。

[0020] （１－２．半導体装置の構成）

図４は、図１に示した半導体装置１の具体的な断面構成の一例を表したものである。この半導体装置１では、第１基板１００には、層間絶縁層５９の一面（面５９Ｓ１）にメモリ素子７１０が設けられている。このメモリ素子７１０は、例えば磁気トンネル接合（Magnetic Tunnel Junction；ＭＴＪ）素子である。メモリ素子７１０は、例えば層間絶縁層５９上に、例えば下部電極としての導電膜７１１と記憶部７１２と上部電極としての導電膜７１３（ビット線ＢＬを兼ねる）とが順に積層されたものである。導電膜７１１は、例えばコンタクトプラグＰ３を経由してトランジスタ５０のソース領域５７Ｓあるいはドレイン領域５７Ｄに接続されている（例えば、図６参照）。コンタクトプラグＰ３は、例えば角錐台形状または円錐台形状を有しており、ここではそれらの占有面積が、層間絶縁層５９の面５９Ｓ１側から面５９Ｓ２側へ向かうほど（即ち、上端から下端へ向かうほど）減少するようにな

っている。コンタクトプラグＰ３は、例えばＣｕ（銅），Ｗ（タングステン）またはアルミニウム（ＡｌＩ）等の低抵抗金属を主体とする材料からなる。また、それらの低抵抗金属の周囲に、Ｔｉ（チタン）もしくはＴａ（タンタル）の単体、またはそれらの合金等からなるバリアメタル層を設けてもよい。導電膜７１１、記憶部７１２および導電膜７１３の周囲には、絶縁層７１が設けられている。絶縁層７１は、例えば低温形成が可能なＨｉｇｈ－Ｋ（高誘電率）膜、即ち、Ｈｆ酸化物、Al_2O_3、Ｒｕ（ルテニウム）酸化物、Ｔａ酸化物、ＡｌＩ，Ｒｕ，ＴａもしくはＨｆとＳｉとを含む酸化物、ＡｌＩ，Ｒｕ，ＴａもしくはＨｆとＳｉとを含む窒化物、または、ＡｌＩ，Ｒｕ，ＴａもしくはＨｆとＳｉとを含む酸化窒化物等により構成されている。

[0021] メモリ素子７１０における記憶部７１２は、例えば、スピン注入により後述する記憶層（記憶層７１２Ｄ）の磁化の向きを反転させて情報の記憶を行う、スピン注入磁化反転型記憶素子（ＳＴＴ－ＭＴＪ；Spin Transfer Torque-Magnetic Tunnel Junctions）であることが好ましい。ＳＴＴ－ＭＴＪは高速書き込み読み出しが可能であることから、揮発性メモリに置き換わる不揮発性メモリとして有望視されている。

[0022] 導電膜７１１および導電膜７１３は、例えば、Ｃｕ，Ｔｉ，Ｗ，Ｒｕ等の金属膜により構成されている。導電膜７１１および導電膜７１３は、後述する下地層７１２Ａまたはキャップ層７１２Ｅの構成材料以外の金属膜、主としてＣｕ膜，ＡｌＩ膜あるいはW膜により構成されていることが好ましい。また、導電膜７１１および導電膜７１３は、Ｔｉ，ＴｉＮ（窒化チタン），Ｔａ，ＴａＮ（窒化タンタル），Ｗ，Ｃｕ，ＡｌＩの金属膜（単層膜）または積層膜として構成することも可能である。

[0023] 図５は、記憶部７１２の構成の一例を表したものである。記憶部７１２は、例えば、導電膜７１１に近い方から順に、下地層７１２Ａ，磁化固定層７１２Ｂ，絶縁層７１２Ｃ，記憶層７１２Ｄ，キャップ層７１２Ｅが積層された構成を有している。即ち、メモリ素子７１０は、積層方向の下（図３では、層間絶縁層５９上）から上に向かって磁化固定層７１２Ｂ，絶縁層７１２

Ｃおよび記憶層７１２Ｄをこの順に有するボトムピン構造を有している。一軸異方性を有する記憶層７１２Ｄの磁化Ｍ７１２Ｄの向きを変化させることにより情報の記憶が行われる。記憶層７１２Ｄの磁化Ｍ７１２Ｄと磁化固定層７１２Ｂの磁化Ｍ７１２Ｂとの相対的な角度（平行または反平行）によって情報の「０」または「１」が規定される。

[0024] 下地層７１２Ａおよびキャップ層７１２Ｅは、Ｔａ，Ｒｕ等の金属膜（単層膜）または積層膜により構成されている。

[0025] 磁化固定層７１２Ｂは、記憶層７１２Ｄの記憶情報（磁化方向）の基準とされるリファレンス層であり、磁化Ｍ７１２Ｂの方向が膜面垂直方向に固定された磁気モーメントを有する強磁性体により構成されている。磁化固定層７１２Ｂは、例えばＣｏ－Ｆｅ－Ｂにより構成されている。

[0026] 磁化固定層７１２Ｂの磁化Ｍ７１２Ｂの方向は、書込みや読出しによって変化することは望ましくないが、必ずしも特定の方向に固定されている必要はない。記憶層７１２Ｄの磁化Ｍ７１２Ｄの方向よりも磁化固定層７１２Ｂの磁化Ｍ７１２Ｂの方向が動きにくくなるようにすればよいからである。例えば、磁化固定層７１２Ｂが記憶層７１２Ｄと比較して、より大きな保磁力を有し、より大きな磁気膜厚を有し、または、より大きな磁気ダンピング定数を有するようにすればよい。磁化Ｍ７１２Ｂの方向を固定するには、例えばＰｔＭｎやＩｒＭｎ等の反強磁性体を、磁化固定層７１２Ｂに接触させて設ければよい。あるいは、そのような反強磁性体に接触した磁性体を、Ｒｕ等の非磁性体を介して磁気的に磁化固定層７１２Ｂと結合させることで、磁化Ｍ７１２Ｂの方向を間接的に固定してもよい。

[0027] 絶縁層７１２Ｃは、トンネルバリア層（トンネル絶縁層）となる中間層であり、例えば、酸化アルミニウムまたは酸化マグネシウム（ＭｇＯ）により構成されている。中でも、絶縁層７１２Ｃは酸化マグネシウムにより構成されていることが好ましい。磁気抵抗変化率（ＭＲ比）を高くすることが可能となり、スピン注入の効率を向上させて、記憶層７１２Ｄの磁化Ｍ７１２Ｄの向きを反転させるための電流密度を低減することが可能となる。

[0028] 記憶層７１２Ｄは、磁化Ｍ７１２Ｄの方向が膜面垂直方向に自由に変化する磁気モーメントを有する強磁性体により構成されている。記憶層７１２Ｄは、例えばＣｏ－Ｆｅ－Ｂにより構成されている。

[0029] なお、本実施の形態では、メモリ素子７１０としてＭＴＪ素子を例に説明したが、その他の不揮発性素子であってもよい。不揮発性素子としては、ＭＴＪ素子の他に、例えば後述するＲｅＲＡＭやＦＬＡＳＨ等の抵抗変化素子が挙げられる。また、例えば後述するＤＲＡＭ（Dynamic Random Access Memory）等の揮発性素子であってもよい。

[0030] メモリ素子７１０および絶縁層７１上には絶縁層７２が設けられている。絶縁層７２は、例えばSiO_2，Ｌｏｗ－Ｋ（低誘電率）膜により構成されている。絶縁層７２上には、例えばＣｕやＡｌ等からなる配線７３Ａおよび配線７３Ｂが設けられており、その周囲には、例えばSuO_2からなる絶縁膜７４が設けられている。配線７３Ａは、例えばコンタクトプラグＰ１，Ｐ２，Ｐ４を経由して後述する金属膜Ｍ１に接続されている。配線７３Ｂは、例えばコンタクトプラグＰ５を経由してメモリ素子７１０の上部電極（導電膜７１３）に接続されている。

[0031] 層間絶縁層５９の他の面（面５９Ｓ２）には、ＮＶＭ１２０を構成するトランジスタ５０が設けられている。トランジスタ５０は、上記のように駆動電圧の低いトランジスタであり、例えば３次元構造を有するトランジスタである。トランジスタ５０の周囲には、シリサイド層５７と、後述する多層配線形成部６０の金属膜Ｍ１’とを電気的に接続する複数のコンタクトプラグＰ１が設けられている。トランジスタ５０とコンタクトプラグＰ１との間のシリサイド層５７および絶縁層５６には、例えばＳＴＩ（Shallow Trench Isolation）により形成された素子分離膜５８が適宜設けられている。素子分離膜５８は、例えば酸化シリコン膜（SiO_2）により構成されている。

[0032] 図６は、トランジスタ５０の一例としての完全空乏型シリコン・オン・インシュレータ（ＦＤ－ＳＯＩ）トランジスタ５０Ａの断面構成を表したものである。ＦＤ－ＳＯＩトランジスタ５０Ａは、プレーナ型のトランジスタ構

造を有する。ＦＤ－ＳＯＩトランジスタ５０Ａは、半導体基板８１（コア基板）上に、Ｂｏｘ層である絶縁層５６およびシリサイド層５７がこの順に積層され、シリサイド層５７の主面（面５７Ｓ１）にゲート電極５４を有する。但し、ゲート電極５４とシリサイド層５７との間には、酸化シリコン膜等よりなるゲート絶縁膜５３が設けられている。ゲート電極５４の側面には、例えば酸化シリコン膜５５Ａと窒化シリコン膜５５Ｂとの積層膜よりなるサイドウォール５５が設けられている。

[0033] シリサイド層５７には、チャネル領域５７Ｃ、ソース領域５７Ｓおよびドレイン領域５７Ｄが設けられている。半導体基板８１とシリサイド層５７との間には、Ｂｏｘ層と呼ばれる絶縁層５６が設けられている。ＦＤ－ＳＯＩトランジスタ５０Ａでは、シリサイド層５７は、例えば１０ｎｍ以下と非常に薄く、チャネル・ドーピングが不要なため、ＦＤ－ＳＯＩトランジスタ５０Ａを完全空乏型にすることができる。

[0034] なお、図３では、図６に示した半導体基板８１が研磨によって完全に除去され、トランジスタ５０のＢｏｘ層（絶縁層５６）上に層間絶縁層５９が直接設けられている構成となっているがこれに限らない。例えば図７に示したように、半導体基板８１が残った構成としてもよい。但し、図７に示したように、素子分離膜５８が研磨によって半導体基板８１の表面に露出（例えば素子分離膜５８Ａ）する場合には、半導体基板８１の電位を制御することが難しくなる。その場合には、タップ部分（メモリ素子７１０とのコンタクト部）近傍の素子分離膜５８は、図７の素子分離膜５８Ｂのように薄膜化することが好ましい。また、半導体基板８１を残す場合には、半導体基板８１を貫通するコンタクトプラグＰ２，Ｐ３の周囲には、図７に示したように絶縁膜８２を設けることが好ましい。これにより、コンタクトプラグＰ２，Ｐ３と、半導体基板８１とが電気的に絶縁される。

[0035] また、図７では、配線７３Ａ，７３Ｂおよび絶縁膜７４上には、絶縁層７５を介しては導電膜７６が設けられている。導電膜７６の周囲には絶縁膜７７が設けられており、配線７３Ｂと導電膜７６とは、コンタクトプラグＰ６

を介して接続されている。

[0036] なお、図４に示したように半導体基板８１を研磨によって完全に除去した場合、バックバイアス制御によるトランジスタ５０の閾値電圧（Ｖｔｈ）の制御ができなくなる虞がある。その場合には、Ｂｏｘ層となる絶縁層５６上に半導体材料の仕事関数を制御可能な材料を含む膜（例えば、微量のＨｉｇｈ－Ｋ膜（Ｈｉｇｈ－Ｋ膜５６ａ））を形成することが好ましい。これにより、トランジスタ５０の閾値電圧（Ｖｔｈ）を制御できるようになる。図８Ａ～図８Ｃは、Ｈｉｇｈ－Ｋ膜５６ａの製造方法をその工程順に表したものである。

[0037] まず、図８Ａに示したように、半導体基板８１を研磨して絶縁層５６を露出させたのち、絶縁層５６上にレジスト膜１５１をパターニングする。続いて、パターニングによって形成された開口Ｈ内に、例えばハフニウム（Ｈｆ）をスパッタする。これにより、図８Ｂに示したように、開口Ｈ内に、例えば膜厚１ｎｍのＨｉｇｈ－Ｋ膜５６ａが成膜される。なお、図８Ｂでは、開口Ｈ内の絶縁層５６上にＨｉｇｈ－Ｋ膜５６ａが形成されている例を示したが、これに限らず、開口Ｈ内の絶縁層５６の表面にＨｆがドープされた状態としてもよい。その後、図８Ｃに示したように、レジスト膜１５１を除去したのち、絶縁層５６、コンタクトプラグＰ３、絶縁層７１およびメモリ素子７１０を順に形成する。

[0038] また、トランジスタ５０は、ここでは完全空乏型のＦＤ－ＳＯＩトランジスタ５０Ａを例に挙げて説明したがこれに限らない。例えば、Ｆｉｎ－ＦＥＴトランジスタ５０Ｂ（図９）、Ｔｒｉ－Ｇａｔｅトランジスタ５０Ｃ（図１０）、Ｎａｎｏ－Ｗｉｒｅトランジスタ５０Ｄ（図１１）およびＴｕｎｎｅｌ－ＦＥＴ（Ｔ－ＦＥＴ）５０Ｅ（図１２）が挙げられる。

[0039] 図９は、Ｆｉｎ－ＦＥＴトランジスタ５０Ｂの構成を斜視的に表したものである。Ｆｉｎ－ＦＥＴトランジスタ５０Ｂは、例えば、Ｓｉよりなると共に、ソース領域８１Ｓおよびドレイン領域８１Ｄを有するフィン８１Ａと、ゲート絶縁膜５３と、ゲート電極５４とから構成されている。

[0040] フィン８１Ａは、平板状をなし、例えばＳｉよりなる半導体基板８１上に複数立設している。複数のフィン８１Ａは、例えばＸ方向にそれぞれ延在すると共にＹ軸方向に並んでいる。半導体基板８１上には、例えばSiO_2によって構成され、フィン８１Ａの一部を埋め込む絶縁膜８２が設けられている。絶縁膜８２から露出するフィン８１Ａの側面および上面は、例えばＨｆＳｉＯ，ＨｆＳｉＯＮ，ＴａＯあるいはＴａＯＮ等によって構成されたゲート絶縁膜５３によって覆われている。ゲート電極５４は、フィン８１Ａの延伸方向（Ｘ方向）と交差するＺ方向にフィン８１Ａを跨ぐように延伸している。フィン８１Ａには、ゲート電極５４との交差部分にチャネル領域８１Ｃが形成され、このチャネル領域８１Ｃを挟んだ両端にソース領域８１Ｓおよびドレイン領域８１Ｄが形成されている。

[0041] 図１０はＴｒｉ－Ｇａｔｅトランジスタ５０Ｃの構成を模式的に表したものである。Ｔｒｉ－Ｇａｔｅトランジスタ５０Ｃは、図９に示したＦｉｎ－ＦＥＴ構造のトランジスタ５０と同様に、一方向に延伸するＳｉからなるフィン８１Ａと、フィン８１Ａに略直交するゲート電極５４が設けられており、このゲート電極５４とフィン８１Ａとの間には、Ｆｉｎ－ＦＥＴと同様にゲート絶縁膜５３が設けられている。ゲート電極５４は、フィン８１Ａを左右の両面と上面を囲んでおり、Ｆｉｎ－ＦＥＴトランジスタ５０Ｂと同様にそれぞれの面がゲートとして働く。フィン８１Ａには、ゲート電極５４との交差部分にチャネル領域８１Ｃが形成され、このチャネル領域８１Ｃを挟んだ両端にソース領域８１Ｓおよびドレイン領域８１Ｄが形成されている。なお、Ｆｉｎ－ＦＥＴトランジスタ５０Ｂとの違いは、Ｔｒｉ－Ｇａｔｅトランジスタ５０Ｃでは、フィン８１Ａの側面に加えて上面もチャネルとして機能するところにある。

[0042] 図１１はＮａｎｏ－Ｗｉｒｅトランジスタ５０Ｄの構成を模式的に表したものである。Ｎａｎｏ－Ｗｉｒｅトランジスタ５０Ｄは、Ｆｉｎ－ＦＥＴトランジスタ５０ＢやＴｒｉ－Ｇａｔｅトランジスタ５０Ｃと同様に３次元構造のトランジスタである。Ｎａｎｏ－Ｗｉｒｅトランジスタ５０Ｄでは、電

流が流れるシリコンナノワイヤ５５Ｃがゲート電極５４に覆われ、ゲート電極５４の両側にはゲート側壁５４Ａを介してソース領域５５Ｓおよびドレイン領域５５Ｄが形成されている。Ｎａｎｏ－Ｗｉｒｅトランジスタ５０Ｄでは、ゲート電極５４によってシリコンナノワイヤ５５Ｃの左右の側面および上面が覆われることにより、オフ電流の発生が抑制される。また、シリコンナノワイヤ５５Ｃの直径を小さくすることでリーク電流の発生が抑制される。

[0043] 図１２はトンネル電界効果トランジスタ（Ｔ－ＦＥＴ）５０Ｅの断面構成を表わしたものである。Ｔ－ＦＥＴ５０Ｅは、ＦＤ－ＳＯＩトランジスタ５０Ａと同様に、プレーナ型のトランジスタ構造を有するものであり、電子のバンド間トンネル現象を利用してオン／オフ制御を行うトランジスタである。Ｔ－ＦＥＴ７０Ｄでは、ソース領域５７Ｓおよびドレイン領域５７Ｄは、一方をｐ型導電型半導体によって、他方をｎ型半導体によって形成されている。

[0044] この他、例えば、高誘電率膜／金属ゲート（High-K/Metal Gate）技術が用いられたトランジスタであってもよい。高誘電率膜／金属ゲート技術が用いられたトランジスタは、ゲート絶縁膜に高誘電体材料を、ゲート電極に低抵抗な金属を用いたものである。高誘電体材料としては、例えば、ハフニウム酸化物が挙げられる。このような構成を有するトランジスタでは、ゲート絶縁膜を薄くしつつ、ゲートリーク電流を低減させることができる。

[0045] トランジスタ５０は層間絶縁膜５１，５２によって埋設されている。層間絶縁膜５１の一面（面５１Ｓ２）には多層配線形成部６０が設けられている。多層配線形成部６０は、例えばトランジスタ５０に近いほうから順に積層された層間絶縁膜６１、層間絶縁膜６２、層間絶縁膜６３、層間絶縁膜６４に、例えばワード線、ビット線、選択線等を構成する金属膜Ｍ１’と金属膜Ｍ２’と金属膜Ｍ３’と金属膜Ｍ４’と金属膜Ｍ５’とが積層された構造を有する。ここで、金属膜Ｍ１’、金属膜Ｍ２’、金属膜Ｍ３、金属膜Ｍ４’、金属膜Ｍ５’は、それぞれ、層間絶縁膜６１、層間絶縁膜６２、層間絶縁

膜６３、層間絶縁膜６４に埋設されている。また、金属膜Ｍ１’と金属膜Ｍ２’とは、層間絶縁膜６１を貫通するビアＶ１’により接続されている。同様に、金属膜Ｍ２’と金属膜Ｍ３’とは層間絶縁膜６２を貫通するビアＶ２’により接続されている。金属膜Ｍ３’と金属膜Ｍ４’とは層間絶縁膜６３を貫通するビアＶ３’により接続されている。金属膜Ｍ４’と金属膜Ｍ５’とは層間絶縁膜６４を貫通するビアＶ４’により接続されている。なお、図４に示した多層配線形成部６０の構成は一例であり、これに限定されるものではない。

[0046] 多層配線形成部６０上には、第２基板２００と表面接合される表面配線形成部６５が設けられている。表面配線形成部６５は、絶縁膜６５Ａの表面に、例えば銅（Ｃｕ）によって形成された金属膜６５Ｂが埋設される共に、金属膜６５Ｂは、絶縁膜６５Ａを貫通するビアＶ５’を介して多層配線形成部６０の金属膜Ｍ５’に接続されている。

[0047] 第２基板２００は、例えば、半導体基板１０の一面（面１０Ｓ１）側に多層配線形成部４０および表面配線形成部４５がこの順に積層されたものである。半導体基板１０の面１０Ｓ１の近傍には、Ｓｉ・プレーナ型のトランジスタ２０が設けられている。なお、図４では、３つのトランジスタ２０を設けた場合を例示するが、半導体基板１０に設けられるトランジスタ２０の数は特に限定されない。１つあるいは２つでもよいし、４つ以上であってもよい。また、上述したように、Ｓｉ・プレーナ型トランジスタ以外のトランジスタが設けられていてもよい。

[0048] 半導体基板１０には、例えばＳＴＩにより形成された素子分離膜１１が設けられている。素子分離膜１１は、例えば酸化シリコン膜（SiO_2）よりなる絶縁膜であり、その一面が半導体基板１０の一面（面１０Ｓ１）に露出している。

[0049] 半導体基板１０は、半導体層１０Ａと、半導体層１０Ｂとの積層構造を有する。半導体層１０Ａは、例えば単結晶シリコンにトランジスタ２０の一部を構成するチャネル領域および一対の拡散層２２が形成されたものである（

図１３参照）。一方、半導体層１０Ｂは、半導体層１０Ａと極性が異なるものであり、半導体層１０Ａと素子分離膜１１との双方を覆うように形成されている。半導体層１０Ｂは、例えば単結晶シリコンよりなる。

[0050] トランジスタ２０は、Ｓｉ・プレーナ型トランジスタであり、例えば、図１３に示したように、ゲート電極２１と、ソース領域およびドレイン領域となる一対の拡散層２２（２２Ｓ，２２Ｄ）とを有している。

[0051] ゲート電極２１は、半導体基板１０の一面に設けられている。但し、ゲート電極２１と半導体基板１０との間には、酸化シリコン膜等よりなるゲート絶縁膜２３が設けられている。なお、このゲート絶縁膜２３の厚みは、上述したＦｉｎ-ＦＥＴ等の３次元構造を有するトランジスタよりも厚い。ゲート電極２１の側面には、例えば酸化シリコン膜２４Ａと窒化シリコン膜２４Ｂとの積層膜よりなるサイドウォール２４が設けられている。

[0052] 一対の拡散層２２は、例えばシリコンに不純物が拡散してなるものであり、半導体層１０Ａを構成している。具体的には、一対の拡散層２２はソース領域に対応する拡散層２２Ｓと、ドレイン領域に対応する拡散層２２Ｄとからなり、それらは半導体層１０Ａにおけるゲート電極２１と対向するチャネル領域を挟んで設けられている。拡散層２２（２２Ｓ，２２Ｄ）の一部には、それぞれ、例えばＮｉＳｉ（ニッケルシリサイド）またはＣｏＳｉ（コバルトシリサイド）等の金属シリサイドよりなるシリサイド領域２５（２５Ｓ，２５Ｄ）が設けられている。シリサイド領域２５は、後述する接続部２８Ａ～２８Ｃと拡散層２２との間の接触抵抗を低減するものである。シリサイド領域２５は、その一面が半導体基板１０の一面（面１０Ｓ１）に露出しているが、その反対側の面は半導体層１０Ｂによって覆われている。また、拡散層２２およびシリサイド領域２５の各々の厚さは、いずれも素子分離膜１１の厚さよりも薄い。

[0053] 層間絶縁層２７には、図示していないが、金属膜が埋設されている。また、層間絶縁層２６，２７を貫通するように、接続部２８Ａ～２８Ｄが設けられている。ドレイン領域となる拡散層２２Ｄのシリサイド領域２５Ｄおよび

ソース領域となる拡散層２２Ｓのシリサイド領域２５Ｓは、それぞれ、接続部２８Ｂおよび接続部２８Ｃを経由して、後述の配線４０Ａの金属膜Ｍ１が接続されている。

[0054] 多層配線形成部４０は、例えばトランジスタ２０に近いほうから順に積層された層間絶縁膜４１、層間絶縁膜４２、層間絶縁膜４３、層間絶縁膜４４に金属膜Ｍ１と金属膜Ｍ２と金属膜Ｍ３と金属膜Ｍ４と金属膜Ｍ５とが積層された構造を有する。ここで、金属膜Ｍ１、金属膜Ｍ２、金属膜Ｍ３、金属膜Ｍ４、金属膜Ｍ５は、それぞれ、層間絶縁層２７、層間絶縁膜４１、層間絶縁膜４２、層間絶縁膜４３、層間絶縁膜４４に埋設されている。また、金属膜Ｍ１と金属膜Ｍ２とは、層間絶縁膜４１を貫通するビアＶ１により接続されている。同様に、金属膜Ｍ２と金属膜Ｍ３とは層間絶縁膜４２を貫通するビアＶ２により接続されている。金属膜Ｍ３と金属膜Ｍ４とは層間絶縁膜４３を貫通するビアＶ３により接続されている。金属膜Ｍ４と金属膜Ｍ５とは層間絶縁膜４４を貫通するビアＶ４により接続されている。上述したように、配線４０Ａは、その金属膜Ｍ１と接する接続部２８Ｂおよび接続部２８Ｃを介して、それぞれドレイン領域およびソース領域である拡散層２２に接続されている。なお、図４に示した多層配線形成部４０の構成は一例であり、これに限定されるものではない。

[0055] 多層配線形成部４０上には、第１基板１００と表面接合される表面配線形成部４５が設けられている。表面配線形成部４５は、絶縁膜４５Ａの表面に、例えば銅（Ｃｕ）によって形成された金属膜４５Ｂが埋設される共に、金属膜４５Ｂは、絶縁膜４５Ａを貫通するビアＶ５を介して多層配線形成部４０の金属膜Ｍ５に接続されている。

[0056] 第１基板１００および第２基板２００は、上記のように表面配線形成部４５および表面配線形成部６５に埋め込まれた複数の金属膜４５Ｂ，６５Ｂを接合（表面接合）することによって電気的に接続されている。なお、金属膜４５Ｂ，６５Ｂは、Ｃｕの他に、例えばアルミニウム（Ａｌ），金（Ａｕ）等が用い手もよく、配線４０Ａ，４０Ｂ，８０Ａ，８０Ｂと同じ材料を用い

て形成することが好ましい。このように、第１基板１００および第２基板２００を表面接合によって貼り合わせることにより、微細なピッチの接合ができると共に、配線の引き回しの自由度が向上する。また、より狭い領域中により多くのトランジスタを配置することができ、高集積化を図ることができる。

[0057] なお、メモリアレイから１１０から取り出されるビット線等は、その配線幅が例えば０．１μｍと細く、また、配線ピッチも微細となっている。このため、このままでは、第２基板２００の配線と電気的に接続することが難しい。その場合には、例えば図１４Ａに示したように、第１基板１００側の絶縁膜６５Ａの表面（第２基板２００との対向面）において、例えばビット線を構成する各配線Ｌ１，Ｌ２，Ｌ３・・・Ｌｎを適当な領域まで延在させ、その先端に、第２基板２００側の配線との接合部となる拡張部（金属膜６５Ｂ（金属膜６５Ｂ１，６５Ｂ２，６５Ｃ・・・６５Ｂｎ））を設けるようにしてもよい。このとき、各配線Ｌ１，Ｌ２，Ｌ３・・・Ｌｎの各拡張部（金属膜６５Ｂ１，６５Ｂ２，６５Ｃ・・・６５Ｂｎ）は、例えば図１４Ａに示したように、千鳥状に配置することが好ましい。

[0058] また、図１４Ｂに示したように、第１基板１００側の絶縁膜６５Ａの表面（第２基板２００との対向面）において各配線Ｌ１，Ｌ２，Ｌ３・・・Ｌｎを適当な領域まで延在させ、これらをセンスアンプ（Ｓ／Ａ）でまとめたのち、その先端に拡張部（金属膜６５Ｂ（６５Ｂ１））を形成するようにしてもよい。

[0059] 更に、第１基板１００の配線７３Ａ、７３Ｂおよび絶縁膜７４上には、図１５に示したように、外部端子用のパッド部７８を形成するようにしてもよい。パッド部７８は、例えばＡｌによって形成されており、その周囲には絶縁膜７９が設けられている。

[0060] （１－３．作用・効果）

前述したように、半導体装置は、実装面積の縮小化が求められている。メモリ機能を有する半導体装置に設けられたメモリチップやメモリ機能ブロッ

クは、メモリアレイ部と、メモリアレイにアクセスするための周辺回路部とに大きく分けられ、周辺回路部はメモリアレイと比較して、大きな面積を占めており、実装面積の縮小化の妨げとなっている。

[0061] メモリアレイを備えた半導体装置の実装面積を縮小化する方法としては、例えばメモリ素子と、トランジスタを含む周辺回路とを基板の表側と裏側に分けて形成する方法がある。周辺回路を基板の表面に、メモリ素子を基板の裏面に形成する場合、製造の容易さから、裏面コンタクトのアスペクト比を抑えるために、周辺回路を形成したのち、基板の裏面は薄膜化される。周辺回路を構成するトランジスタとして、例えばＦＤ－ＳＯＩ型のトランジスタを用いた場合、基板を薄膜化すると、閾値電圧の制御のために使用されるバックバイアス効果や、基板効果が得られなくなり、所望の動作が得られなくなる虞がある。これは、ＦＤ－ＳＯＩ型のトランジスタに限らず、Ｓｉ・プレーナ型のバルクトランジスタやＦｉｎ－ＦＥＴ型のトランジスタでも同様である。また、ウェル構造によるバイポーラ素子や、ウェルを利用するダイオード等のアナログ素子、ＦＤ－ＳＯＩ型のトランジスタと混載される、Ｓｉ・プレーナ型のバルクトランジスタ等でも所望の動作が得られなくなる虞がある。

[0062] これに対して本実施の形態の半導体装置１では、複数のメモリ素子（メモリ素子７１０）から構成されるメモリアレイ１１０を第１基板１００に、メモリアレイ１１０の動作を制御する周辺回路２１０を第２基板２００に分けて形成するようにした。これにより、半導体装置１に設けられるトランジスタの不具合等を起こすことなく、実装面積を縮小化することが可能となる。

[0063] また、本実施の形態では、第１基板１００には、メモリアレイ１１０を構成するトランジスタ（トランジスタ５０）とワード線のセレクト線のみが形成される。また、本実施の形態では、メモリアレイ１１０を構成するトランジスタ５０は、ｎＦＥＴまたはｐＦＥＴといった片側チャネルによって構成される。これにより、第１基板１００の面Ｓ２側に形成されるＮＶＭ１２０は、通常のＣＭＯＳを製造する場合よりもその工程を大幅に削減することが

可能となる。また、安価に製造することが可能となる。

[0064] 次に、第２～第４の実施の形態および変形例１，２について説明する。なお、上記第１の実施の形態の半導体装置１～３に対応する構成要素には同一の符号を付して説明する

[0065] ＜２．第２の実施の形態＞

図１６は、本開示の第２の実施の形態としての半導体装置４の概略構成を表したものである。本実施の形態の半導体装置４では、第１基板１００には、複数（ここでは２つ）のメモリアレイ（メモリアレイ１１０Ａ，１１０Ｂ）が形成された構成を有する。第２基板２００には、上記第１の実施の形態と同様に、１つの周辺回路２１０が設けられており、この他、その他の回路２２０が形成されている。

[0066] 前述したように、周辺回路２１０の実装面積は、メモリアレイ１１０よりも大きい。このため、メモリアレイ１１０と周辺回路２１０とを第１基板１００と第２基板２００とに分けて形成した場合、メモリアレイ１１０が形成される第１基板１００には空き面積が生じる。このため、本実施の形態のように、第１基板１００には、例えば２つのメモリアレイ１１０Ａ，１１０Ｂを搭載することができる。但し、第２基板２００には、一般に、周辺回路２１０の他に、その他の回路２２０として、機能回路を構成するロジック回路ブロックやアナログ回路が搭載されるため、各メモリアレイ１１０Ａ，１１０Ｂに対応する周辺回路をそれぞれ設けることは難しい。

[0067] これに対して、本実施の形態では、図１７に示したように、スイッチ素子Ｘを用いることで、１つの周辺回路２１０で２つのメモリアレイ１１０Ａ，１１０Ｂを、例えばパワーゲート（登録商標）のように切り替えて制御することが可能となる。また、各メモリアレイを複数のブロックに分け、それぞれにスイッチ素子Ｘとして、例えばスイッチトランジスタを配置することで、各ブロックを独立して制御することが可能となる。このような構成とすることにより、例えば、一方のメモリアレイ（例えばメモリアレイ１１０Ａ）を主に使用しつつ、他方のメモリアレイ（例えばメモリアレイ１１０Ｂ）を

、メモリアレイ１１０Ａに不具合が生じた際のバックアップ用のメモリアレイとして用いることができる。

[0068] なお、スイッチ素子Ｘは、第２基板２００に設けてもよいし、第１基板１００に設けるようにしてもよい。あるいは、第１基板１００および第２基板２００の両方に設けるようにしてもよい。また、このように１つの周辺回路２１０で複数のメモリアレイ１１０Ａ，１１０Ｂを制御する場合には、配線長の差が生じないように、周辺回路２１０は、各メモリアレイ１１０Ａ，１１０Ｂの中間の位置に配置することが好ましい。具体的には、例えば周辺回路２１０に設けられたセンスアンプ（Ｓ／Ａ）と、各メモリアレイ（ここでは、メモリアレイ１１０Ａ，１１０Ｂの２つ）とが、それぞれ等距離となるように配置することが好ましい。これにより、各メモリアレイ間のクロック遅延等を起こすことなく、１つの周辺回路で複数のメモリアレイの動作が可能となる。

[0069] 以上のように、本実施の形態では、第１基板１００に複数のメモリアレイ（メモリアレイ１１０Ａ，１１０Ｂ）を搭載すると共に、第２基板２００に設けられた１つの周辺回路２１０で各メモリアレイ１１０Ａ，１１０Ｂを制御できるようにした。これにより、半導体装置４におけるメモリアレイ１１０の搭載容量を増やすことが可能となる。更に、スイッチ素子Ｘを用いることにより、各メモリアレイ１１０Ａ，１１０Ｂを、１つの周辺回路２１０で各々独立して制御することが可能となる。これにより、例えば一方のメモリアレイに不具合が発生した際に、他方のメモリアレイを予備のメモリアレイとして用いることが可能となる。

[0070] ＜３．第３の実施の形態＞

図１８は、本開示の第３の実施の形態としての半導体装置５の概略構成を表したものである。本実施の形態の半導体装置５は、周辺回路２１０が設けられた第２基板２００と、メモリアレイ１１０が設けられた第１基板１００とがこの順に積層された、第１基板１００上に、さらにセンサ３１０を有する第３基板３００が積層された構成を有する。本実施の形態では、センサ３

１０の一例として、イメージセンサ（撮像素子３０）が搭載された場合を例に説明する。

[0071] 図１９は、本実施の形態における具体的な半導体装置（半導体装置６）の断面構成の一例を表したものである。

[0072] 撮像素子３０を有する第３基板３００は、例えばフォトダイオード３０Ａおよびトランジスタ３０Ｂ等が埋設された半導体基板上に、例えば平坦化層３１、カラーフィルタ３２およびマイクロレンズ３３がこの順に設けられた構成を有する。また、第３基板３００は、その最下層（第１基板１００側）に例えばＣｕからなる絶縁層３４を介して導電膜３５が設けられており、導電膜３５の周囲には絶縁膜３６は設けられている。導電膜３５が形成されており、導電膜３５の周囲には、絶縁膜３６が設けられている。導電膜３５および絶縁膜３６上には絶縁層３７を介して第１基板１００と接合される導電膜３８が設けられており、その周囲には絶縁膜３９が設けられている。第１基板１００と第３基板３００とは、この導電膜３８と第１基板側の導電膜７６とを接合することによって電気的に接続されている。

[0073] 以上のように、上記第１の実施の形態において説明した半導体装置１に、撮像素子３０を有するセンサ３１０が搭載された第３基板３００を積層することにより、高速なデータのやり取りや、消費電力が低減された大容量のメモリを内蔵したイメージセンサを提供することが可能となる。

[0074] なお、本実施の形態では、センサの一例として撮像素子３０を挙げて説明したが、これに限らず、例えば、温度センサ、重力センサおよび位置センサ等の各種センサ素子を設けることができる。

[0075] ＜４．第４の実施の形態＞

図２０は、本開示の第４の実施の形態としての半導体装置７の概略構成を表したものである。本実施の形態の半導体装置７は、上記第３の実施の形態において示した半導体装置６の第１基板１００と第３基板３００との間に、周辺回路４１０およびアナログ回路４２０が設けられた第４基板４００が追加された構成を有する。この第４基板４４０に設けられている周辺回路４１

０およびアナログ回路４２０は、例えば、第３基板３００に設けられているセンサ３１０の周辺回路およびアナログ回路である。

[0076] このように、センサ３１０の周辺回路（周辺回路４１０）およびアナログ回路（アナログ回路４２０）を別の基板（第４基板４００）に分けることにより、よりアナログ回路が充実したセンサを提供することが可能となる。また、センサを２つの基板（第３基板３００および第４基板４００）で構成することにより、世代の異なるトランジスタ含む回路を分けて製造することができるようになり、製造コストを低減することが可能となる。

[0077] ＜５．変形例１＞

図２１は、本開示の変形例（変形例１）としての半導体装置８の断面構成を表したものである。本変形例では、第２基板２００の面Ｓ２側に取り出し電極１５を設けた点が、上記第１の実施の形態とは異なる。

[0078] 取り出し電極１５は、半導体基板１０の他の面（面１０Ｓ２上）に、例えばSiO_2膜によって構成される絶縁層１２を介して設けられている。絶縁層１２中には、例えばＣｕで形成された導電膜１３およびＡｌで形成された導電膜１４がこの順に形成されている。取り出し電極１５は、この導電膜１３，１４と、半導体基板１０、素子分離膜１１および層間絶縁層２６，２７を貫通するコンタクトプラグＰ８を介して、金属膜Ｍ１と電気的に接続されている。

[0079] 以上のように、上述したような取り出し電極１５を設けることにより、どこにでも電極取り出し口を形成することが可能となる。

[0080] ＜６．変形例２＞

本開示の半導体装置は、第１基板１００に搭載するメモリ素子として、上記第１の実施の形態で挙げたＭＴＪ素子以外のメモリ素子を搭載することができる。図２２は、本開示の変形例（変形例２）として、ＭＴＪ以外のメモリ素子を搭載した半導体装置（半導体装置９Ａ）の具体的な構成の一例をブロック図として表したものである。図２３は、本開示の変形例（変形例２）としての半導体装置（半導体装置９Ｂ）の具体的な構成の他の例をブロック

図として表したものである。

[0081] 半導体装置９Ａは、ＭＴＪ以外のメモリ素子として抵抗変化素子（ＲｅＲＡＭ）を用いたものである。半導体装置９Ａは、例えばメモリアレイ８１１、ワード線ドライバ８１２、マルチプレクサ８１３、センスアンプ８２１、ドライバ８２２、レファレンス８２３、プレートドライバ８２４およびインターフェースコントローラ８２５を含んで構成されている。このうち、メモリアレイ８１１、ワード線ドライバ８１２およびマルチプレクサ８１３は、第１基板１００に設けることが好ましい。センスアンプ８２１、ドライバ８２２、レファレンス８２３、プレートドライバ８２４およびインターフェースコントローラ８２５は第２基板２００に設けることが好ましい。

[0082] 半導体装置９Ｂは、ＭＴＪ以外のメモリ素子としてＤＲＡＭを用いたものである。ＤＲＡＭは、キャパシタに電荷を蓄えることにより情報を記憶する容量素子であり、電源供給がなくなると記憶情報も失われる、いわゆる揮発性メモリ素子の１種である。半導体装置９Ｂは、例えばメモリアレイ９１１、ローデコーダ９１２、センスアンプ９１３、カラムデコーダ９１４、クロックジェネレータ９２１、モードレジスタ９２２、ローアドレスバッファ９２３、カラムデコーダ９２４、カラムロジック９２５、カラムアドレスバッファ９２６、データコントロール回路９２７、ラッチ回路９２８、Ｉ／Ｏバッファ９２９およびパッド９３１を含んで構成されている。このうち、メモリアレイ９１１、ローデコーダ９１２、センスアンプ９１３およびカラムデコーダ９１４は、第１基板１００に設けることが好ましい。クロックジェネレータ９２１、モードレジスタ９２２、ローアドレスバッファ９２３、カラムデコーダ９２４、カラムロジック９２５、カラムアドレスバッファ９２６、データコントロール回路９２７、ラッチ回路９２８、Ｉ／Ｏバッファ９２９およびパッド９３１は第２基板２００に設けることが好ましい。

[0083] 以上、第１～第４の実施の形態および変形例１、２を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々の変形が可能である。例えば、上記実施の形態等においてトランジスタ２０，５０

およびメモリ素子７１０の構成を具体的に挙げて説明したが、全ての構成要素を備える必要はなく、また、他の構成要素をさらに備えていてもよい。

[0084] なお、本明細書中に記載された効果はあくまで例示であってその記載に限定されるものではなく、他の効果があってもよい。また、本技術は以下のような構成を取り得るものである。

[0085] なお、本開示の半導体装置および投射型表示装置は、以下のような構成であってもよい。

（１）

メモリアレイが設けられた第１の基板と、

前記第１の基板と積層されると共に、前記メモリアレイの動作を制御する周辺回路が設けられた第２の基板と

を備えた半導体装置。

（２）

前記第２の基板には、ロジック回路およびアナログ回路が設けられている、前記（１）に記載の半導体装置。

（３）

前記第１の基板は、コア基板を有し、

前記メモリアレイは、それぞれ、メモリ素子およびセルトランジスタを含む複数のメモリセルから構成され、

前記セルトランジスタは、前記コア基板の一の面に設けられており、

前記メモリ素子は、前記コア基板の前記一の面と対向する他の面に形成されている、前記（１）または（２）に記載の半導体装置。

（４）

前記メモリ素子は、前記コア基板を貫通するコンタクトを介して、前記セルトランジスタのソース領域またはドレイン領域と電気的に接続されている、前記（３）に記載の半導体装置。

（５）

前記メモリ素子は、磁気抵抗素子、抵抗変化素子または揮発性素子である

、前記（３）または（４）に記載の半導体装置。

（６）

前記セルトランジスタは、ｎＦＥＴまたはｐＦＥＴにより構成されている、前記（３）乃至（５）のうちのいずれかに記載の半導体装置。

（７）

電源電圧が互いに異なる複数のトランジスタを備え、

前記複数のトランジスタのうち、電源電圧が低い第１のトランジスタは、前記第１の基板および前記第２の基板のうち、前記第１の基板に設けられている、前記（１）乃至（６）のうちのいずれかに記載の半導体装置。

（８）

前記第１のトランジスタは、ＦＤ－ＳＯＩトランジスタ、Ｆｉｎ－ＦＥＴ、Ｔｒｉ－Ｇａｔｅトランジスタおよびナノ－ワイヤトランジスタである、前記（７）に記載の半導体装置。

（９）

電源電圧が互いに異なる複数のトランジスタを備え、

前記複数のトランジスタのうち、最も電源電圧が高い第２のトランジスタは、前記第１の基板および前記第２の基板のうち、前記第２の基板のみに設けられている、前記（１）乃至（８）のうちのいずれかに記載の半導体装置。

（１０）

前記第１の基板は、複数のメモリアレイを有し、

前記複数のメモリアレイは、前記第２の基板に設けられた１つの周辺回路によって制御されている、前記（１）乃至（９）のうちのいずれかに記載の半導体装置。

（１１）

前記第１の基板および前記第２の基板は、少なくとも一方に１または複数のスイッチ素子を有し、

前記１つの周辺回路によって制御される前記複数のメモリアレイの切り替

えは、前記１または複数のスイッチ素子によって行われる、前記（１０）に記載の半導体装置。

（１２）

前記複数のメモリアレイの動作を制御する前記１つの周辺回路は、前記複数のメモリアレイに対して等距離の位置に配置されている、前記（１０）または（１１）に記載の半導体装置。

（１３）

前記複数のメモリアレイは、それぞれ、前記１つの周辺回路に設けられたセンスアンプまでの距離が互いに等しい、前記（１０）乃至（１２）のうちのいずれかに記載の半導体装置。

（１４）

前記第１の基板および前記第２の基板と積層されると共に、センサ素子が設けられている第３の基板を有する、前記（１）乃至（１３）のうちのいずれかに記載の半導体装置。

（１５）

前記センサ素子の動作を制御する周辺回路および前記センサ素子用のアナログ素子が設けられた第４の基板を有する、前記（１４）に記載の半導体装置。

（１６）

前記コア基板の他の面には、半導体材料の仕事関数を制御可能な材料を含む膜が形成されている、前記（３）乃至（１５）のうちのいずれかに記載の半導体装置。

（１７）

前記第２の基板は、前記周辺回路が形成されている面とは反対側の面に外部電極が設けられている、前記（１）乃至（１６）のうちのいずれかに記載の半導体装置。

（１８）

前記第１の基板は、前記第２の基板との接合面に、前記メモリアレイから

取り出される複数の配線の先端にそれぞれ拡張部を有する、前記（１）乃至（１７）のうちのいずれかに記載の半導体装置。

（１９）

前記複数の配線の先端に設けられた複数の前記拡張部は、千鳥状に配置されている、前記（１８）に記載の半導体装置。

[0086] 本出願は、日本国特許庁において２０１７年１月２０日に出願された日本特許出願番号２０１７－００８８９９号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0087] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

[請求項1] メモリアレイが設けられた第１の基板と、

前記第１の基板と積層されると共に、前記メモリアレイの動作を制御する周辺回路が設けられた第２の基板と

を備えた半導体装置。

[請求項2] 前記第２の基板には、ロジック回路およびアナログ回路が設けられている、請求項１に記載の半導体装置。

[請求項3] 前記第１の基板は、コア基板を有し、

前記メモリアレイは、それぞれ、メモリ素子およびセルトランジスタを含む複数のメモリセルから構成され、

前記セルトランジスタは、前記コア基板の一の面に設けられており、

前記メモリ素子は、前記コア基板の前記一の面と対向する他の面に形成されている、請求項１に記載の半導体装置。

[請求項4] 前記メモリ素子は、前記コア基板を貫通するコンタクトを介して、前記セルトランジスタのソース領域またはドレイン領域と電気的に接続されている、請求項３に記載の半導体装置。

[請求項5] 前記メモリ素子は、磁気抵抗素子、抵抗変化素子または揮発性素子である、請求項３に記載の半導体装置。

[請求項6] 前記セルトランジスタは、ｎＦＥＴまたはｐＦＥＴにより構成されている、請求項３に記載の半導体装置。

[請求項7] 電源電圧が互いに異なる複数のトランジスタを備え、

前記複数のトランジスタのうち、電源電圧が低い第１のトランジスタは、前記第１の基板および前記第２の基板のうち、前記第１の基板に設けられている、請求項１に記載の半導体装置。

[請求項8] 前記第１のトランジスタは、ＦＤ－ＳＯＩトランジスタ、Ｆｉｎ－ＦＥＴ、Ｔｒｉ－Ｇａｔｅトランジスタおよびナノ－ワイヤトランジスタである、請求項７に記載の半導体装置。

[請求項9] 電源電圧が互いに異なる複数のトランジスタを備え、

前記複数のトランジスタのうち、最も電源電圧が高い第２のトランジスタは、前記第１の基板および前記第２の基板のうち、前記第２の基板のみに設けられている、請求項１に記載の半導体装置。

[請求項10] 前記第１の基板は、複数のメモリアレイを有し、

前記複数のメモリアレイは、前記第２の基板に設けられた１つの周辺回路によって制御されている、請求項１に記載の半導体装置。

[請求項11] 前記第１の基板および前記第２の基板は、少なくとも一方に１または複数のスイッチ素子を有し、

前記１つの周辺回路によって制御される前記複数のメモリアレイの切り替えは、前記１または複数のスイッチ素子によって行われる、請求項１０に記載の半導体装置。

[請求項12] 前記複数のメモリアレイの動作を制御する前記１つの周辺回路は、前記複数のメモリアレイに対して等距離の位置に配置されている、請求項１０に記載の半導体装置。

[請求項13] 前記複数のメモリアレイは、それぞれ、前記１つの周辺回路に設けられたセンスアンプまでの距離が互いに等しい、請求項１０に記載の半導体装置。

[請求項14] 前記第１の基板および前記第２の基板と積層されると共に、センサ素子が設けられている第３の基板を有する、請求項１に記載の半導体装置。

[請求項15] 前記センサ素子の動作を制御する周辺回路および前記センサ素子用のアナログ素子が設けられた第４の基板を有する、請求項１４に記載の半導体装置。

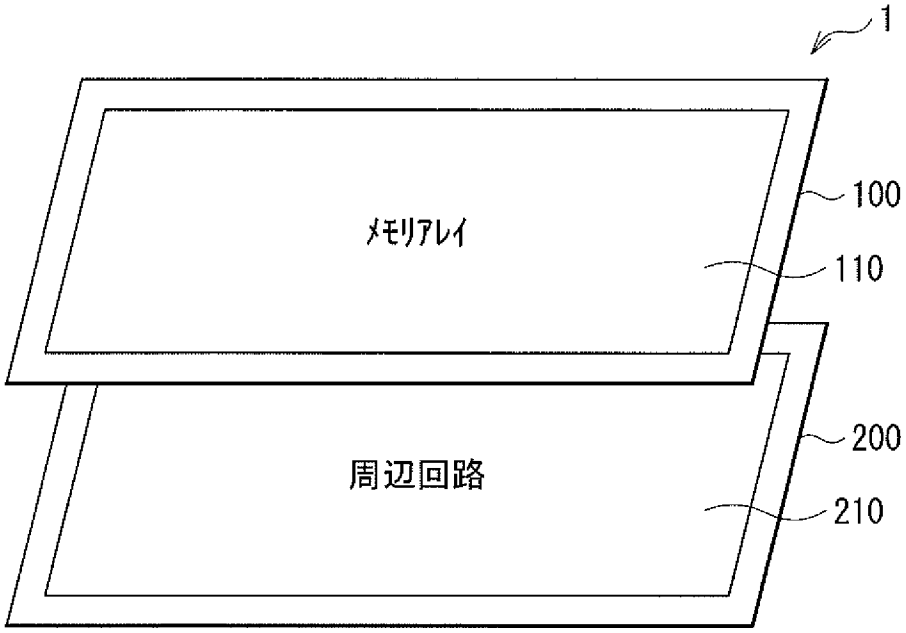
[請求項16] 前記コア基板の他の面には、半導体材料の仕事関数を制御可能な材料を含む膜が形成されている、請求項３に記載の半導体装置。

[請求項17] 前記第２の基板は、前記周辺回路が形成されている面とは反対側の面に外部電極が設けられている、請求項１に記載の半導体装置。

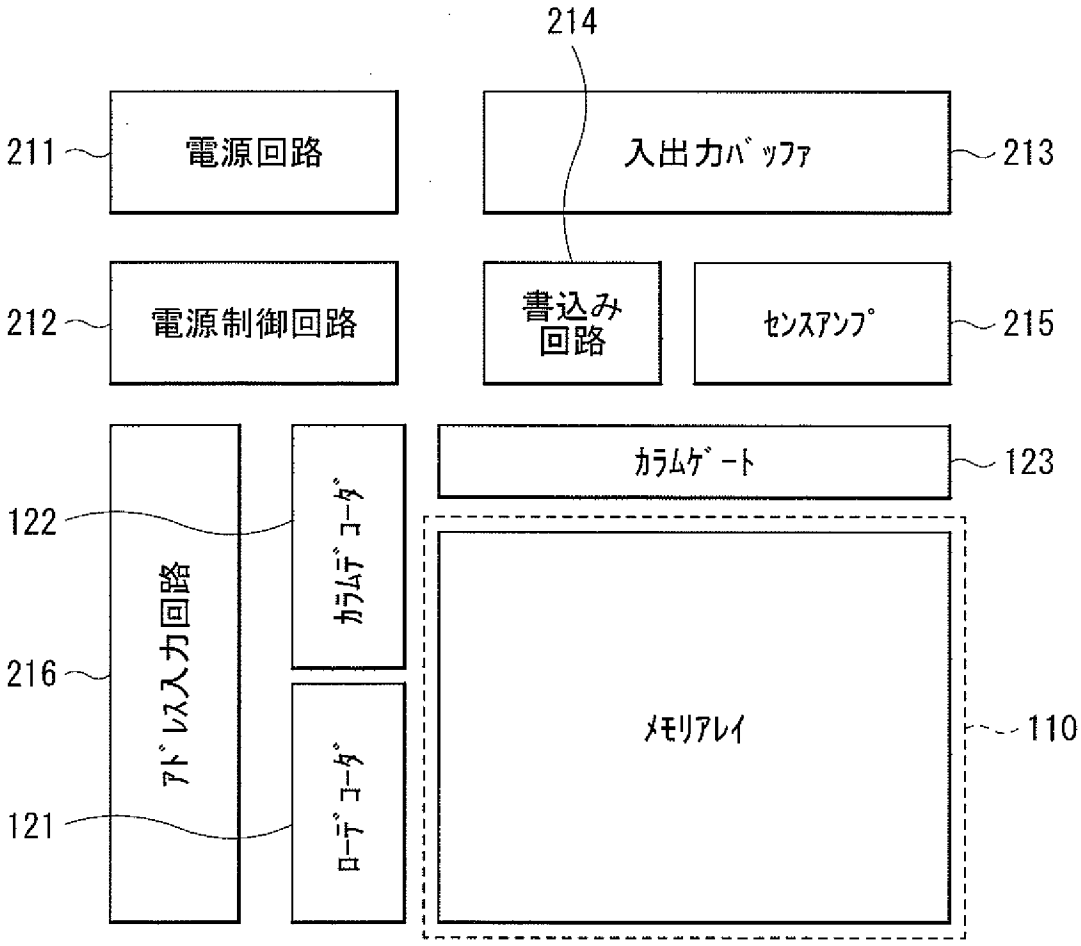
[請求項18] 前記第１の基板は、前記第２の基板との接合面に、前記メモリアレイから取り出される複数の配線の先端にそれぞれ拡張部を有する、請求項１に記載の半導体装置。

[請求項19] 前記複数の配線の先端に設けられた複数の前記拡張部は、千鳥状に配置されている、請求項１８に記載の半導体装置。

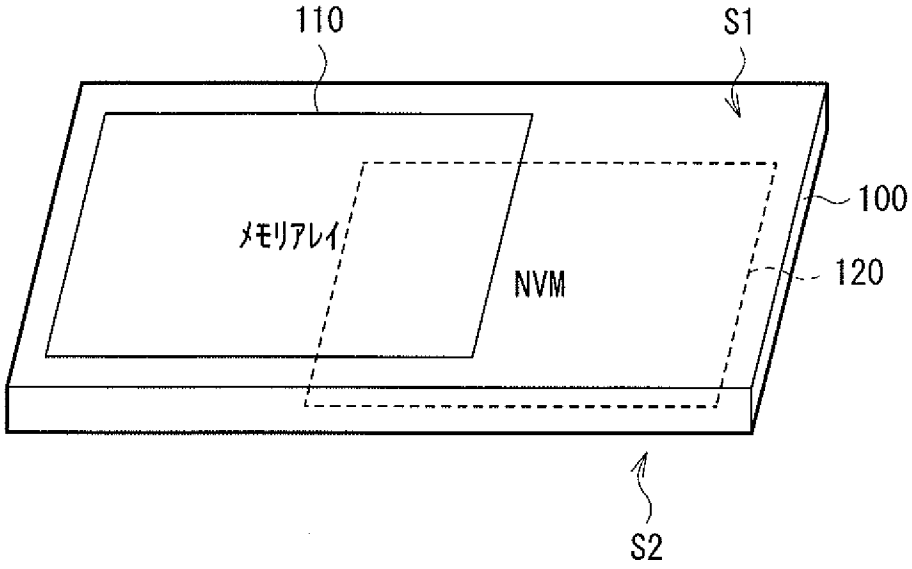
[図1]


1
メモリアレイ
100
110
周辺回路
200
210

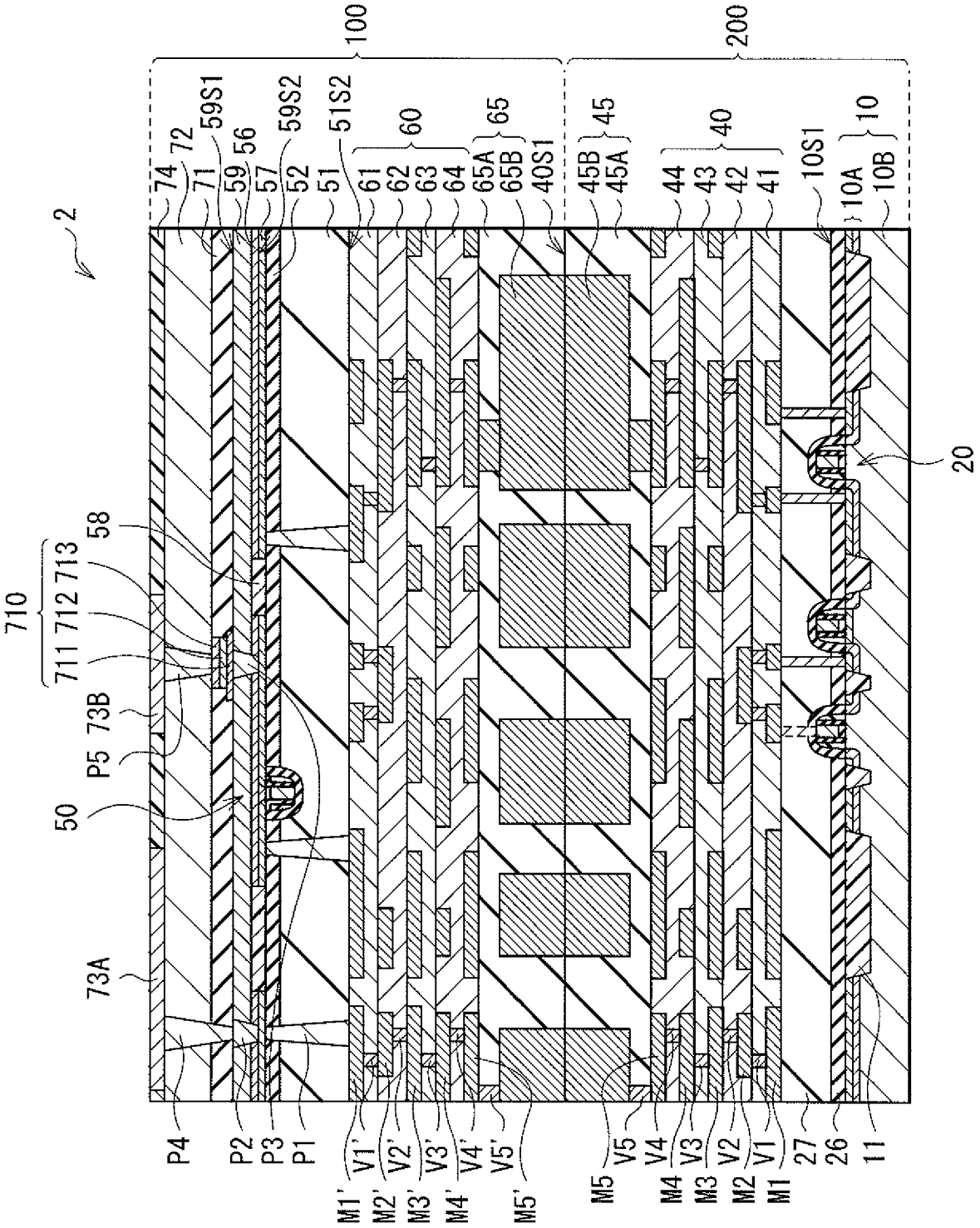
[図2]


214
211
電源回路
入出力バッファ
213
212
電源制御回路
書込み回路
センスアンプ
215
カラムゲート
123
122
カラムデコーダ
216
アドレス入力回路
121
ローデコーダ
メモリアレイ
110

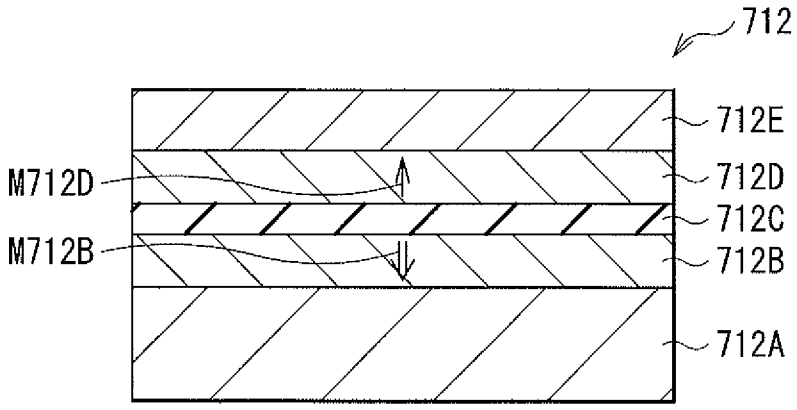
[図3]



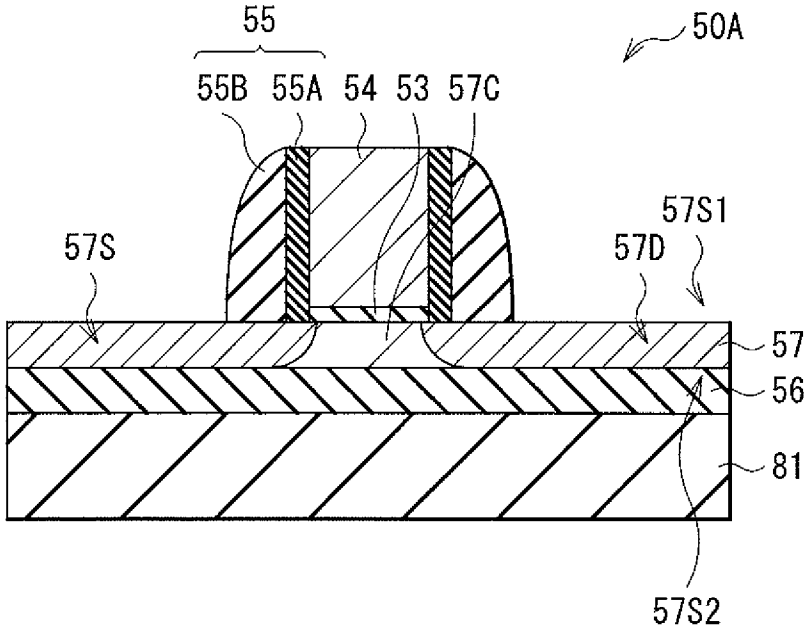
[図4]


100
200
2
74
72
71
59S1
59
56
57
59S2
52
51
51S2
61
60
62
63
64
65A
65
65B
40S1
45B
45
45A
44
40
43
42
41
10S1
10A
10
10B
20
710
711
712
713
58
73B
P5
50
73A
P4
P2
P3
P1
V1'
V2'
V3'
V4'
V5'
M1'
M2'
M3'
M4'
M5'
M5
V5
V4
M4
V3
M3
V2
M2
V1
M1
27
26
11

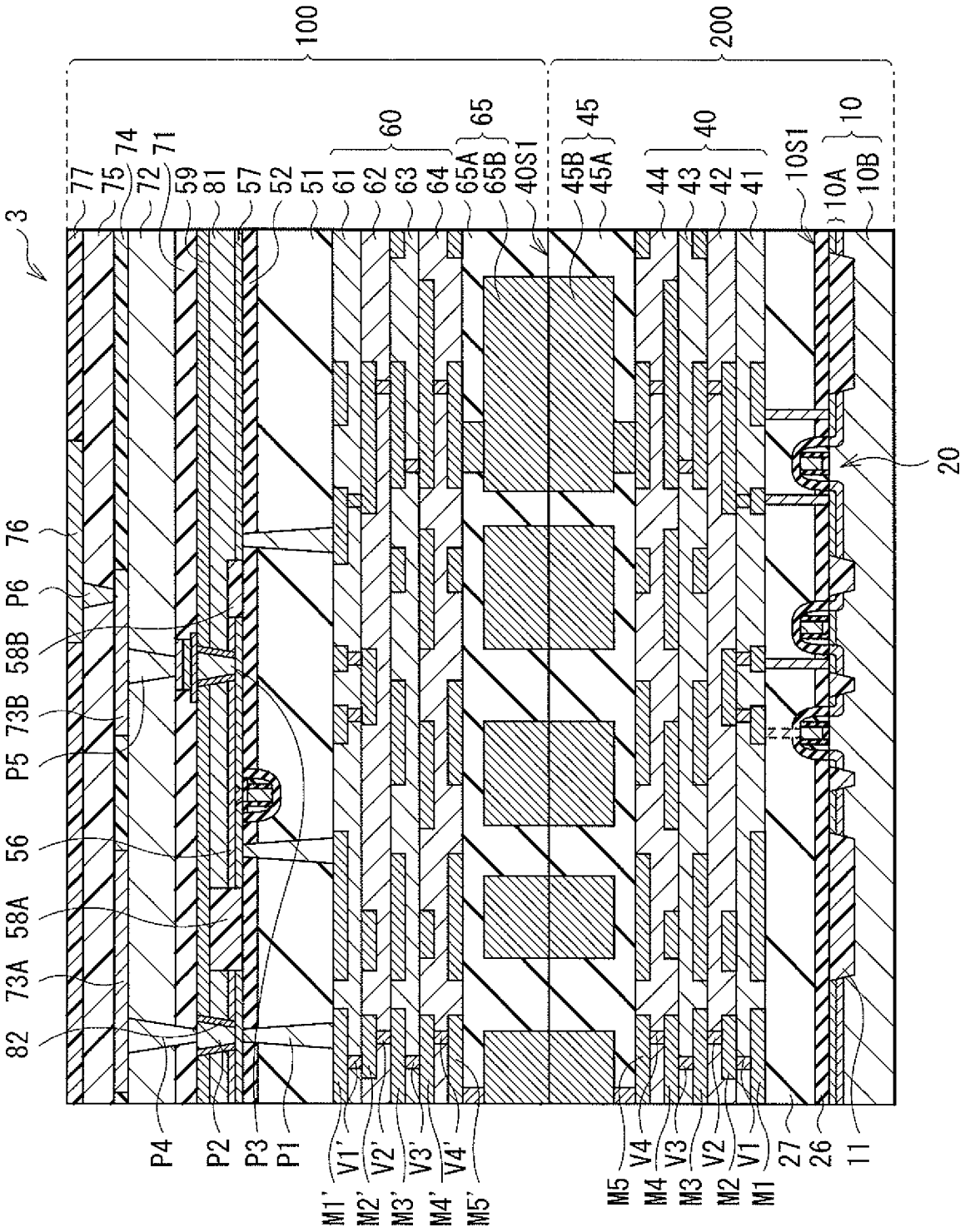
[図5]


712
712E
712D
712C
712B
712A
M712D
M712B

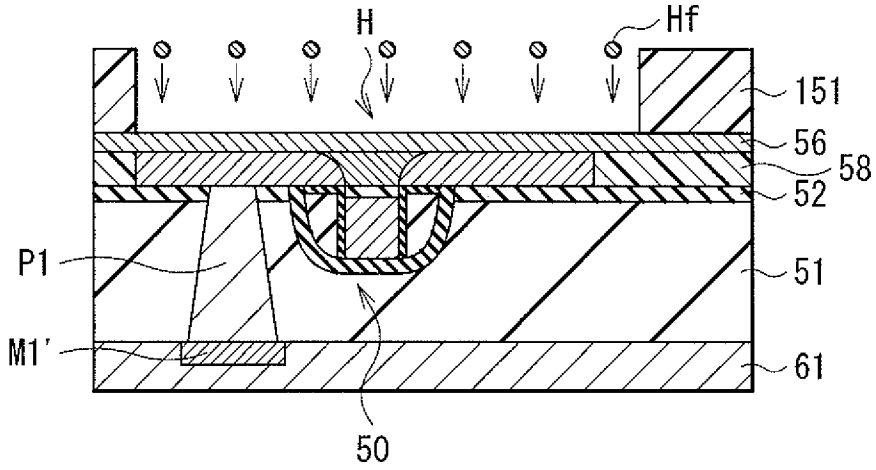
[図6]


55
50A
55B
55A
54
53
57C
57S1
57S
57D
57
56
81
57S2

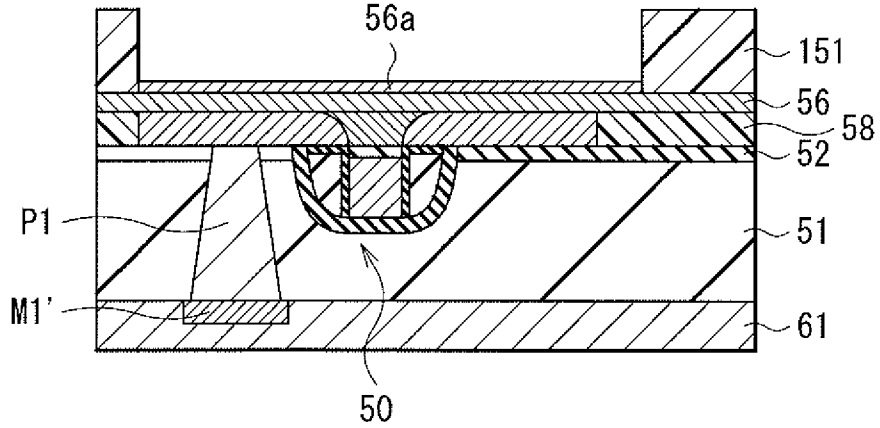
[図7]


100
200
3
77
75
74
72
71
59
81
57
52
51
61
62
63
64
60
65A
65B
65
40S1
45B
45A
45
44
43
42
41
40
10S1
10A
10B
10
20
76
P6
58B
73B
P5
56
58A
73A
82
P4
P2
P3
P1
V1'
V2'
V3'
V4'
M1'
M2'
M3'
M4'
M5'
V4
V3
V2
V1
M5
M4
M3
M2
M1
27
26
11

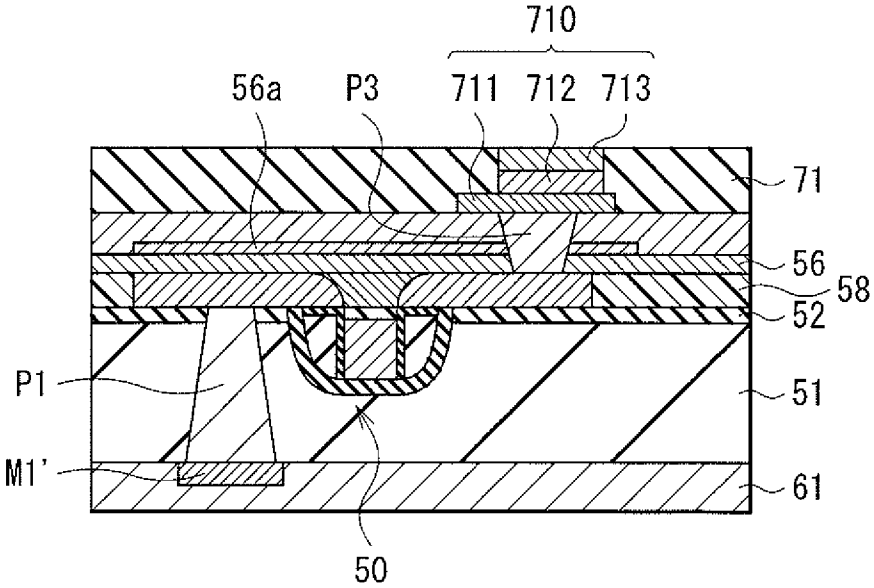
[図8A]


H
Hf
151
56
58
52
P1
51
M1'
61
50

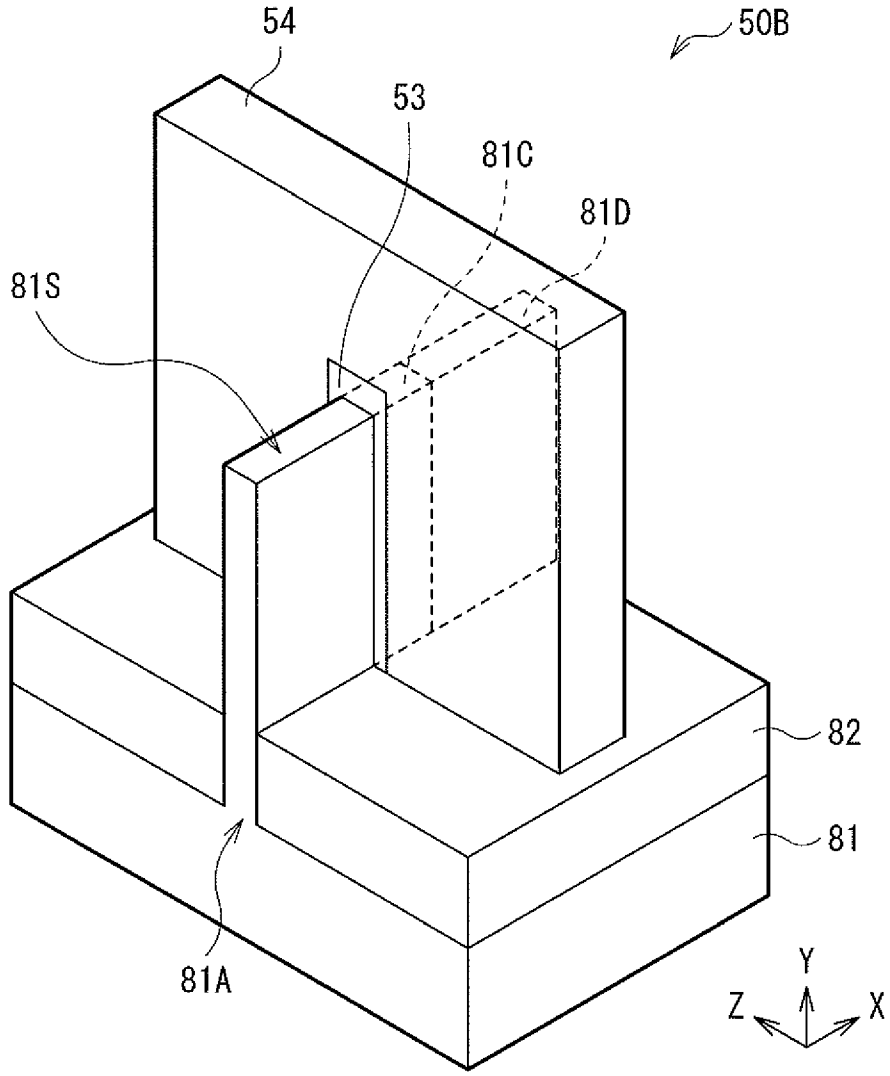
[図8B]


56a
151
56
58
52
P1
51
M1'
61
50

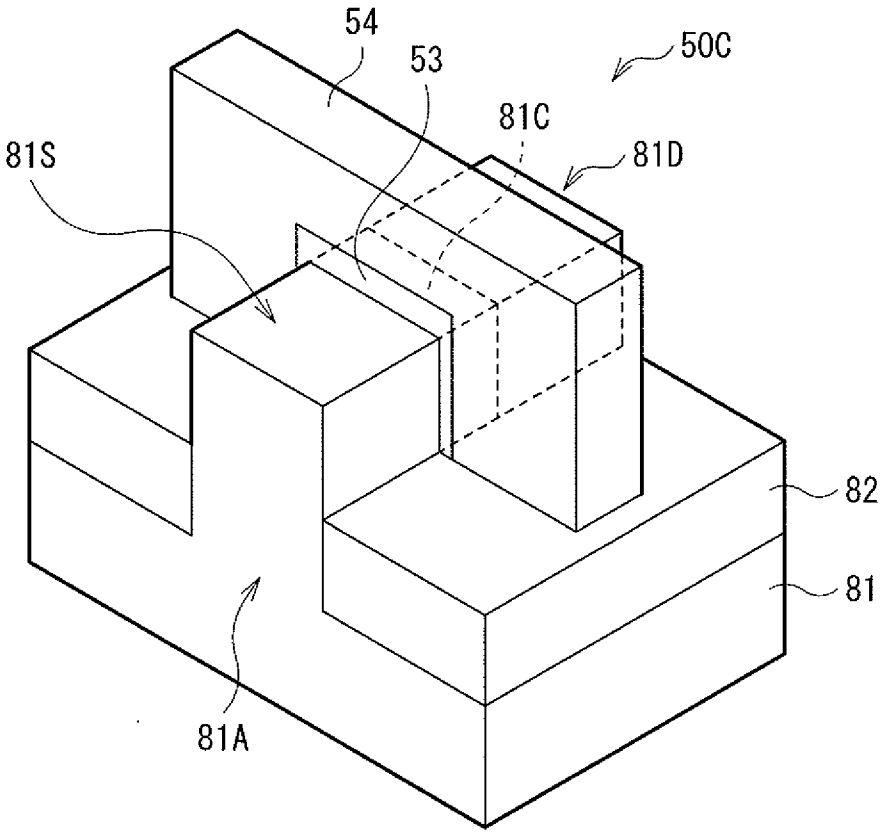
[図8C]


710
56a
P3
711
712
713
71
56
58
52
P1
51
M1'
61
50

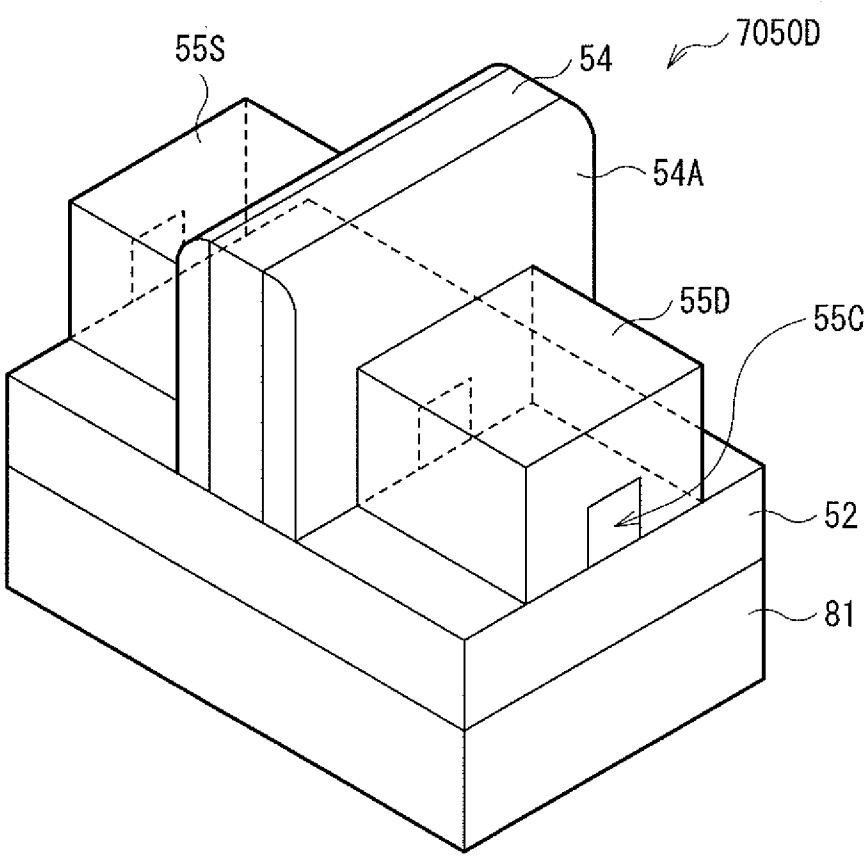
[図9]



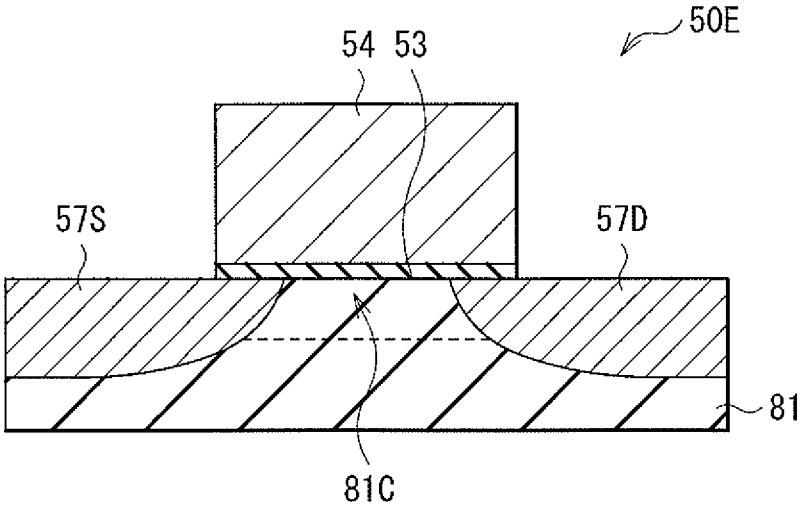
[図10]



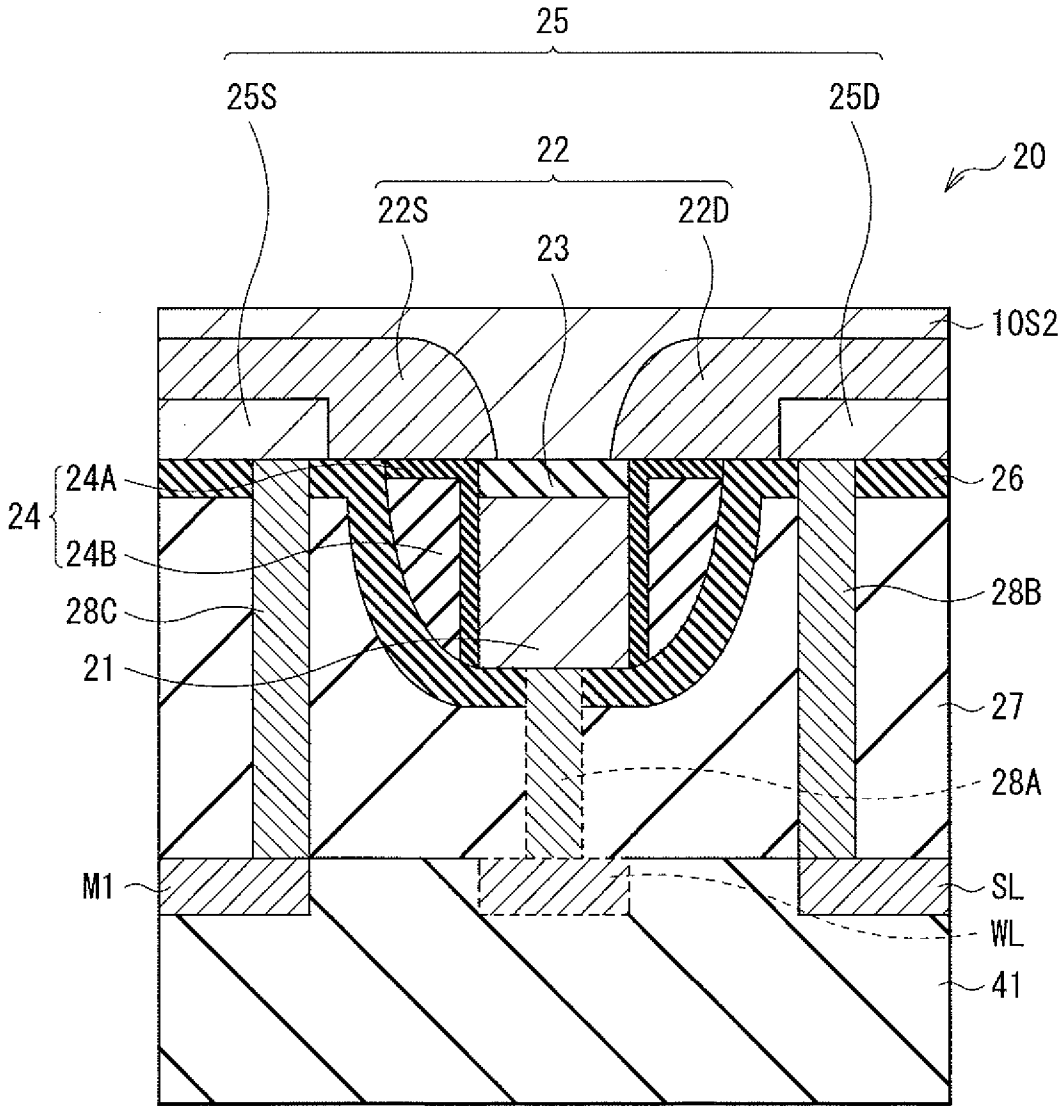
[図11]



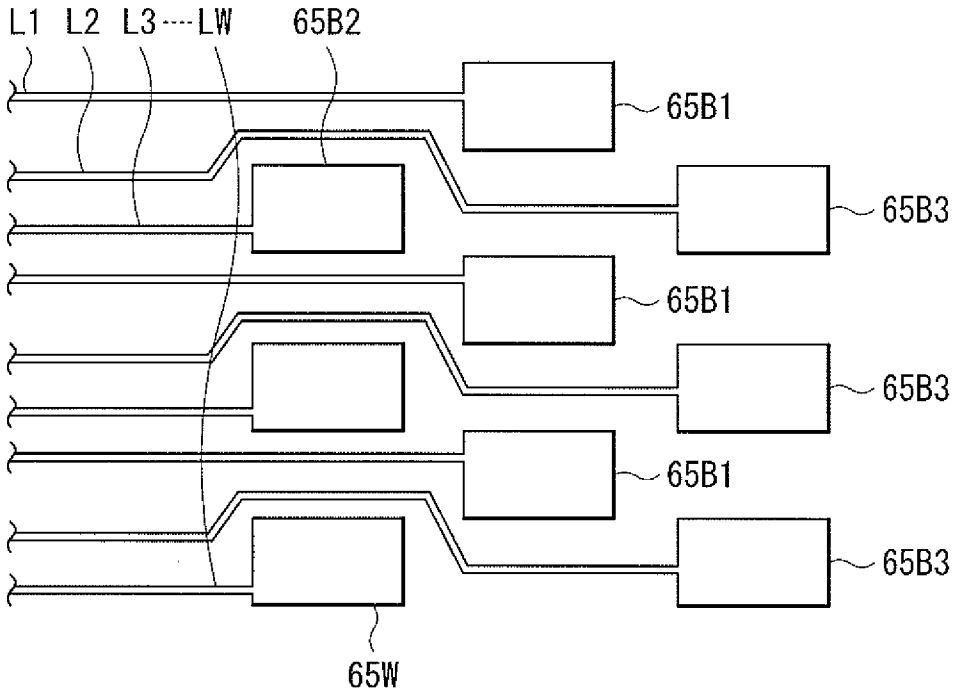
[図12]


50E
54
53
57S
57D
81
81C

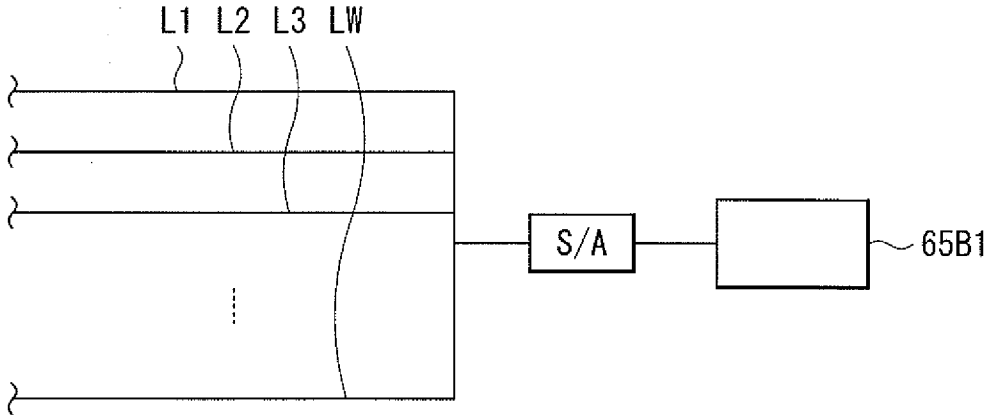
[図13]


25
25S
25D
22
22S
22D
20
23
10S2
24
24A
24B
26
28C
28B
21
27
28A
M1
SL
WL
41

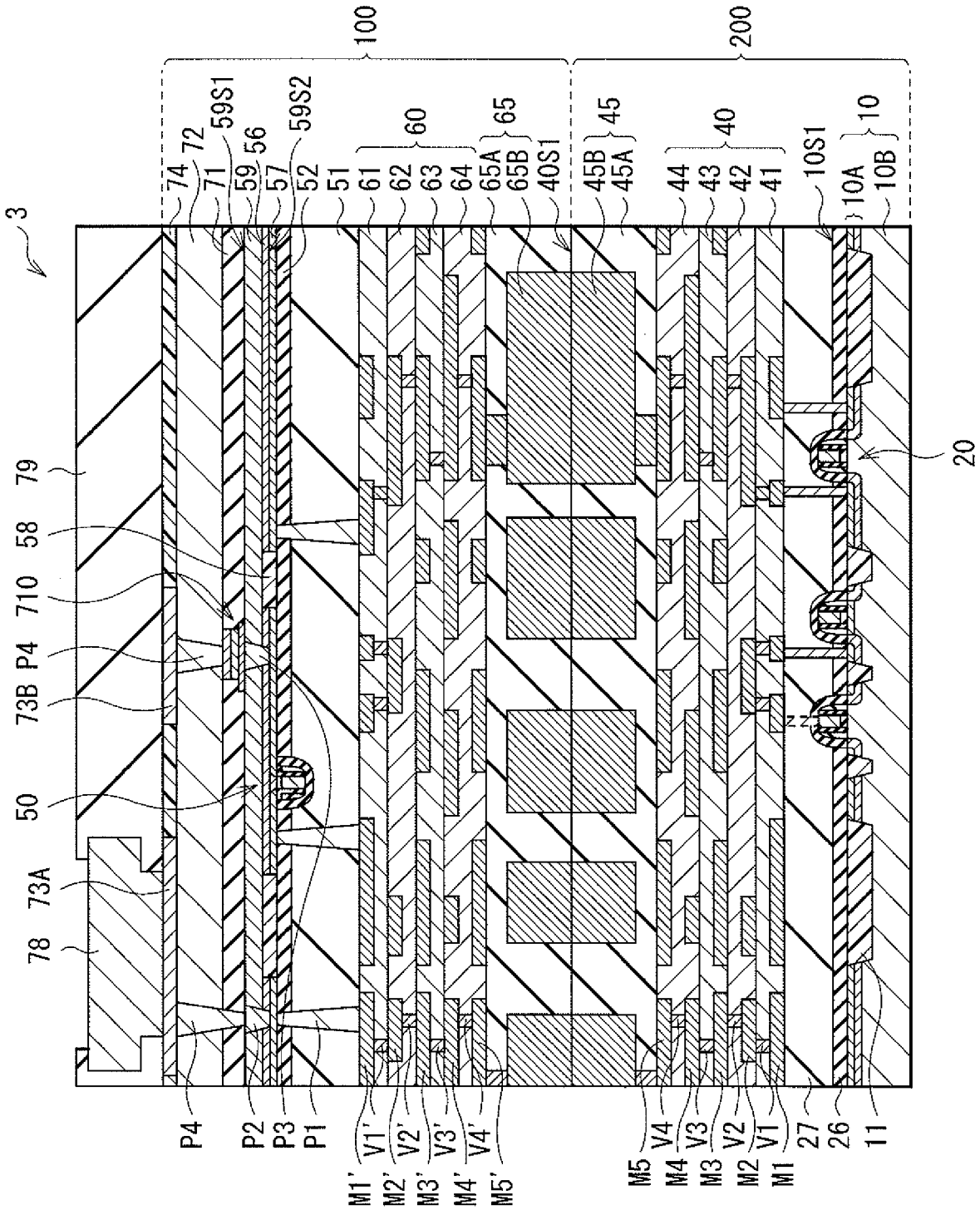
[図14A]


L1
L2
L3
LW
65B2
65B1
65B3
65B1
65B3
65B1
65B3
65W

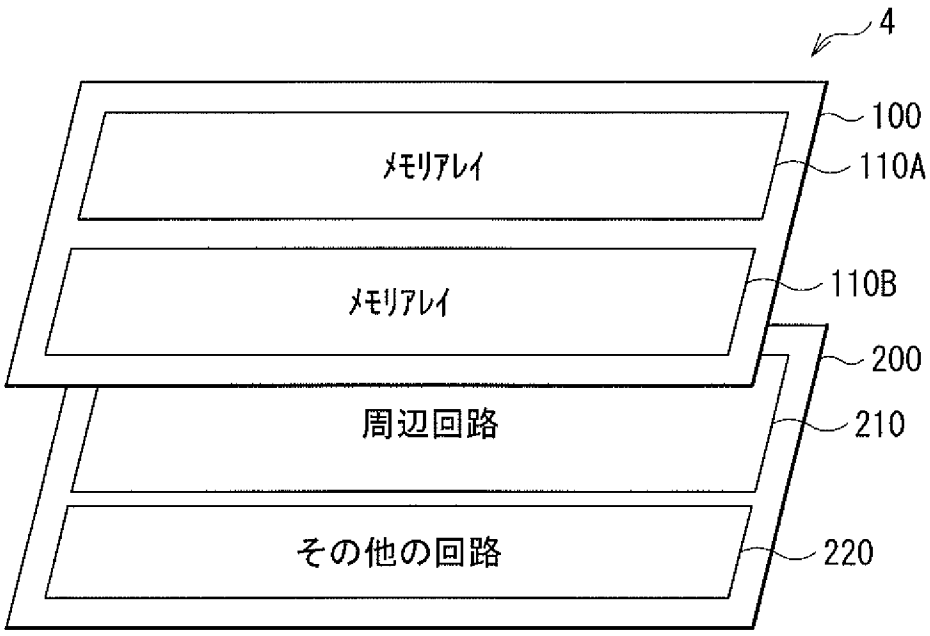
[図14B]


L1
L2
L3
LW
S/A
65B1

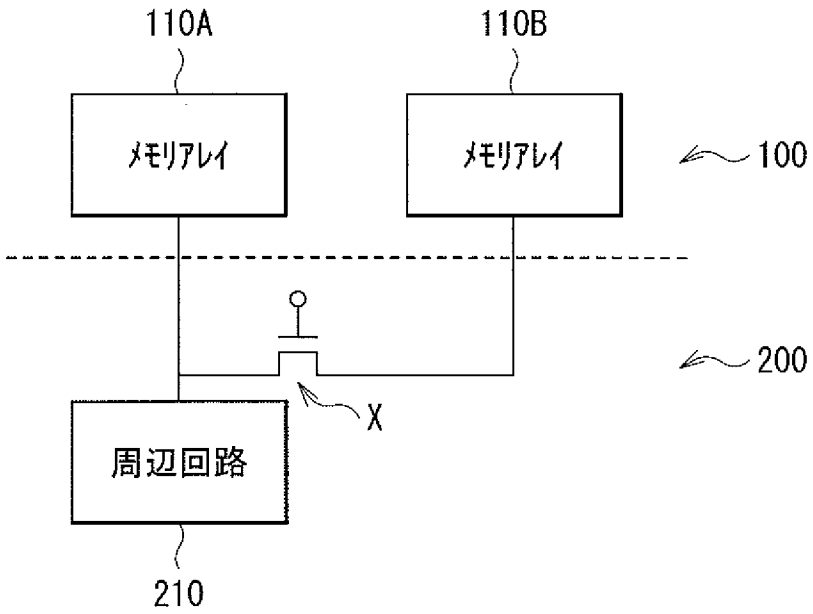
[図15]


100
200
3
74
72
71
59S1
59
56
57
59S2
52
51
61
62
63
64
60
65A
65B
65
40S1
45B
45A
45
44
43
42
41
40
10S1
10A
10B
10
20
79
58
710
P4
73B
50
73A
78
P4
P2
P3
P1
V1'
V2'
V3'
V4'
M1'
M2'
M3'
M4'
M5'
M5
V4
M4
V3
M3
V2
M2
V1
M1
27
26
11

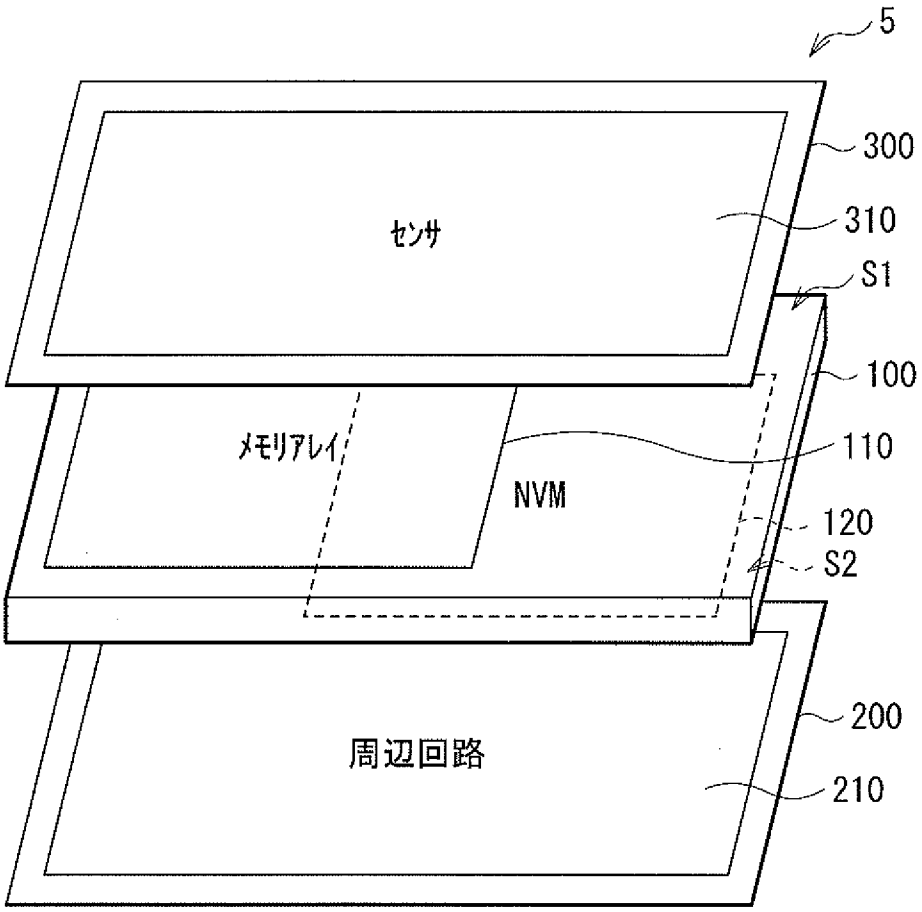
[図16]


4
100
メモリアレイ
110A
メモリアレイ
110B
200
周辺回路
210
その他の回路
220

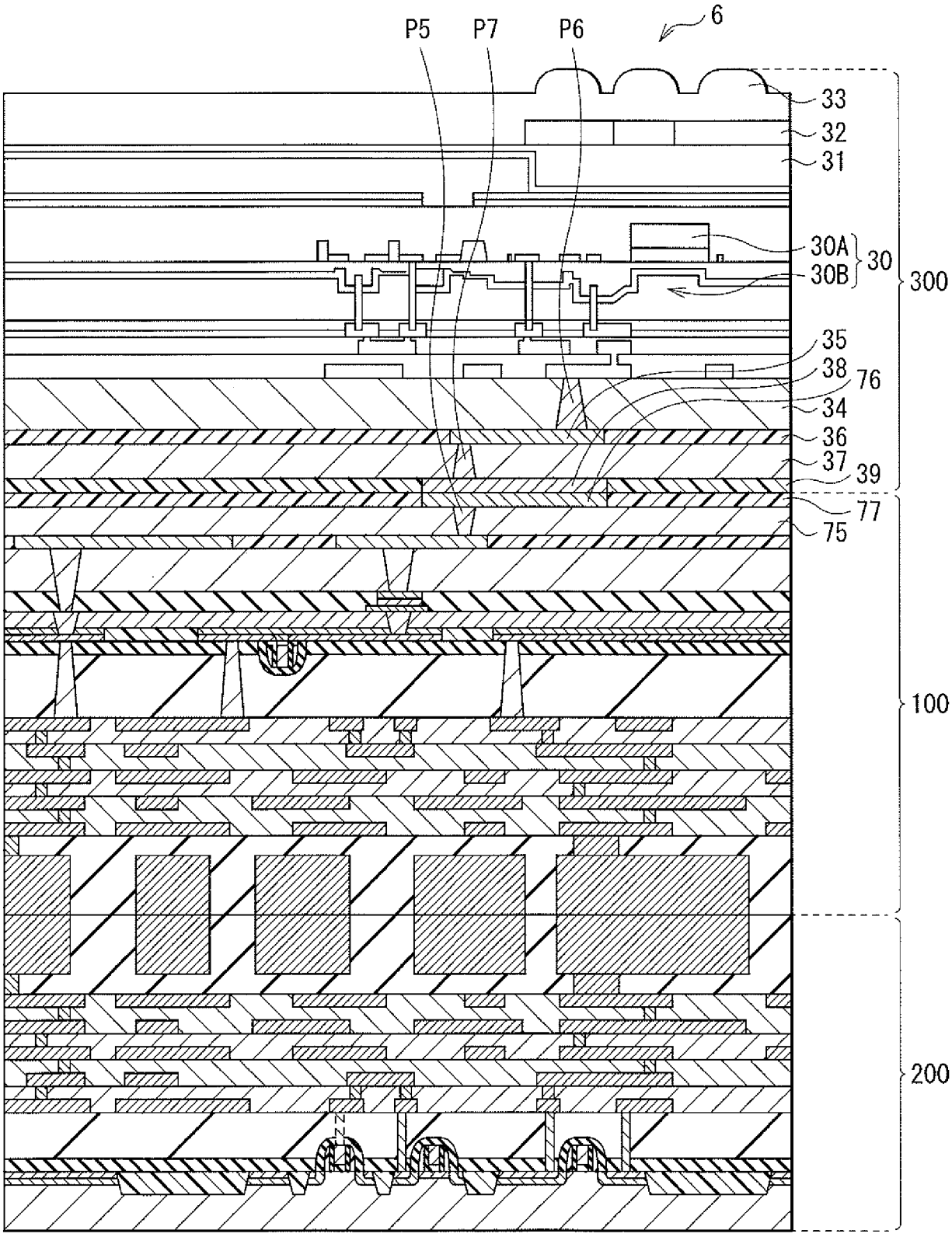
[図17]


110A
110B
メモリアレイ
メモリアレイ
100
200
X
周辺回路
210

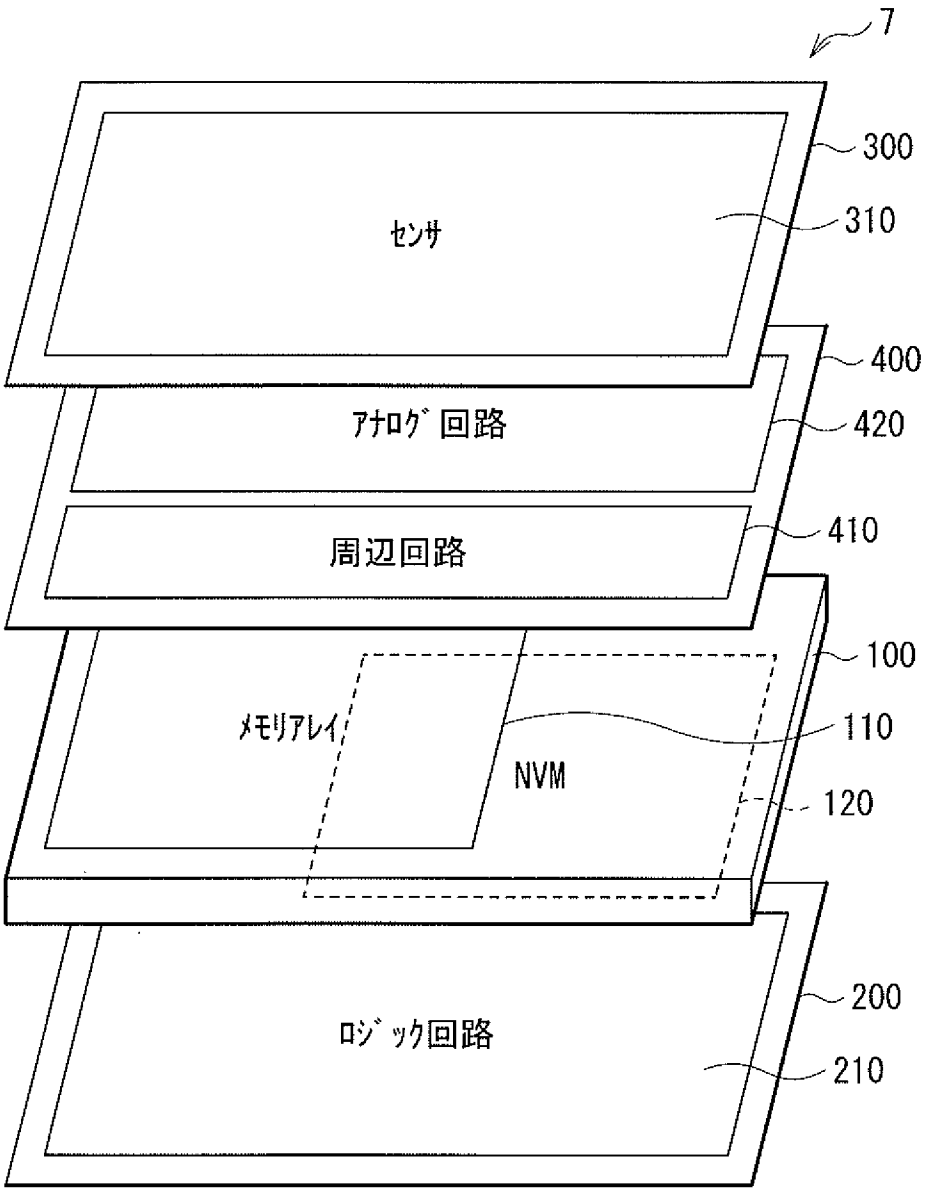
[図18]



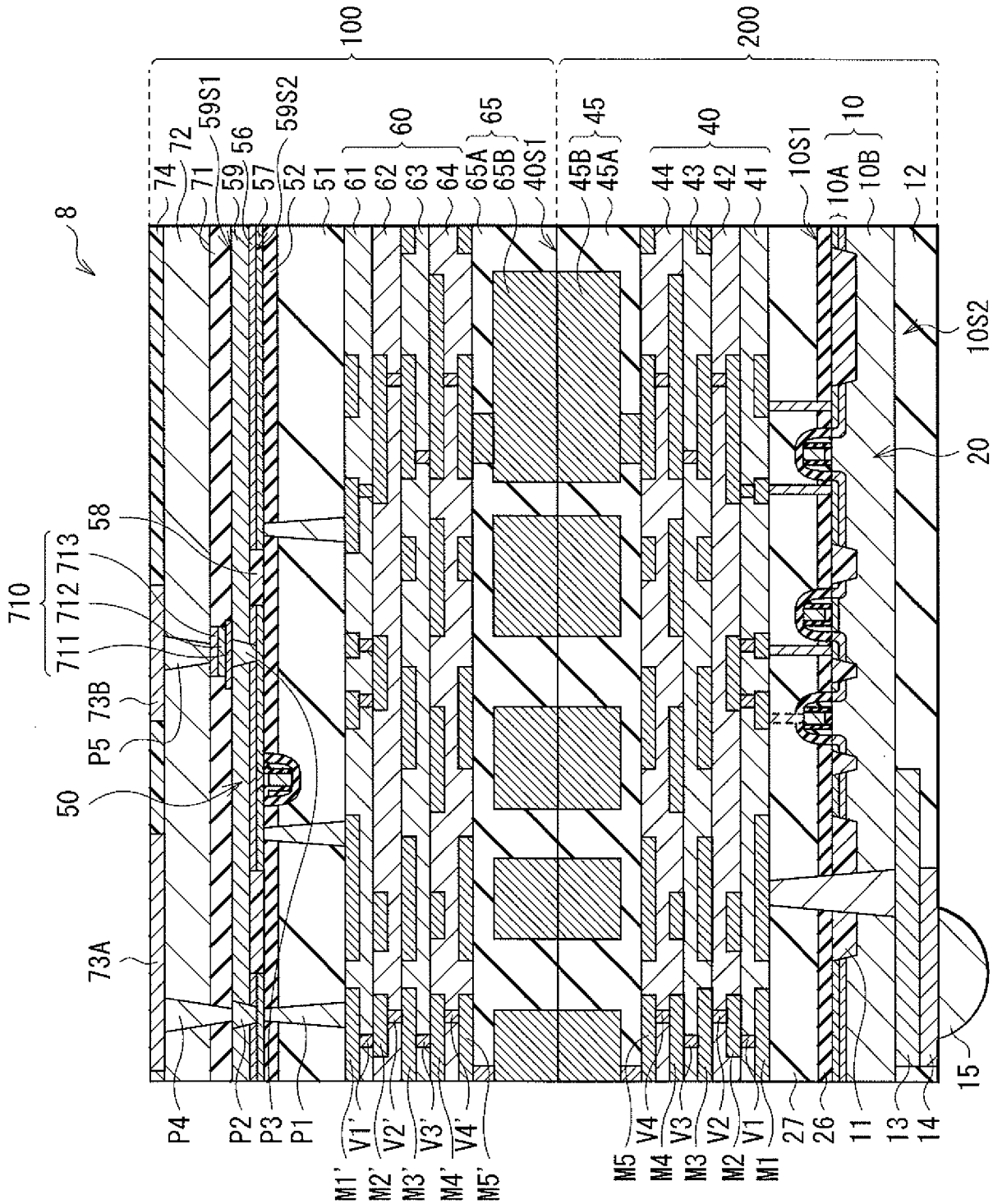
[図19]



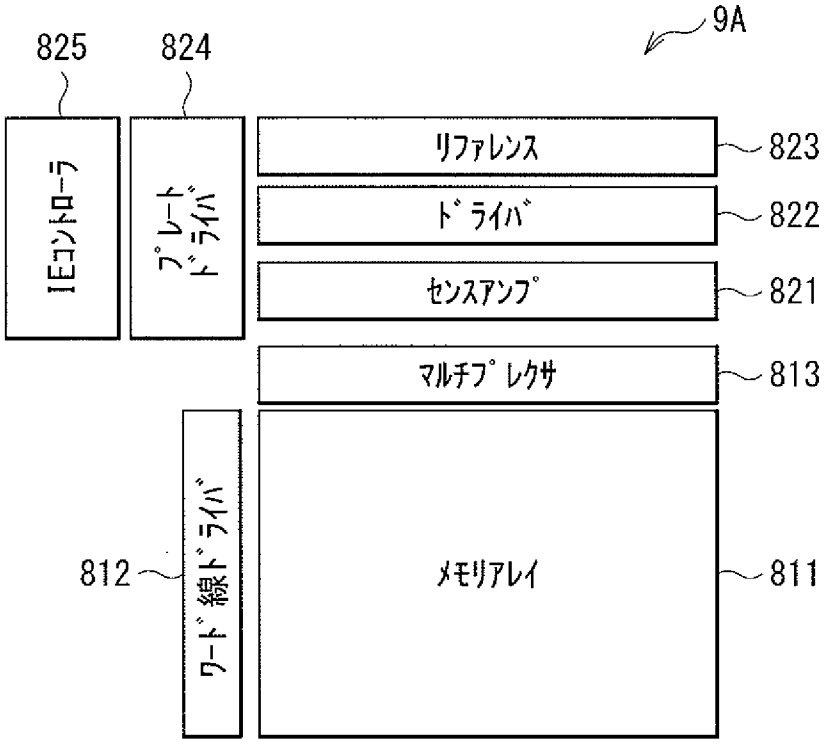
[図20]


7
300
センサ
310
400
アナログ回路
420
周辺回路
410
100
メモリアレイ
NVM
110
120
200
ロジック回路
210

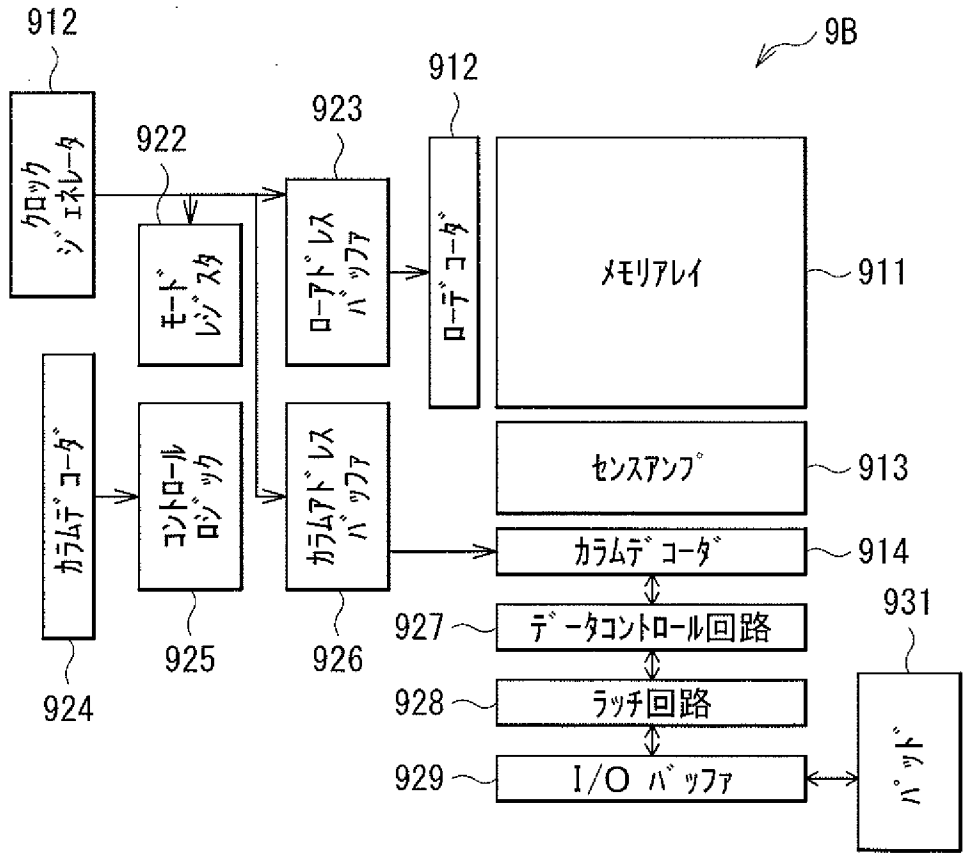
[図21]


100
200
8
74
72
71
59S1
59
56
57
59S2
52
51
61
62
63
64
60
65A
65B
65
40S1
45B
45A
45
44
43
42
41
40
10S1
10A
10B
10
12
10S2
20
58
710
711
712
713
73B
P5
50
73A
P4
P2
P3
P1
V1'
V2'
V3'
V4'
M1'
M2'
M3'
M4'
M5'
M5
V4
M4
V3
M3
V2
M2
V1
M1
27
26
11
13
14
15

[図22]


9A
825
824
IEコントローラ
プレートドライバ
リファレンス
823
ドライバ
822
センスアンプ
821
マルチプレクサ
813
ワード線ドライバ
812
メモリアレイ
811

[図23]


912
9B
912
923
922
クロックジェネレータ
モードレジスタ
ロードアドレスバッファ
ロードデコーダ
メモリアレイ
911
センスアンプ
913
カラムデコーダ
914
コントロールロジック
カラムアドレスバッファ
カラムデコーダ
927
データコントロール回路
931
928
ラッチ回路
929
I/Oバッファ
パッド
924
925
926

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/044687

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H01L27/10(2006.01)i, H01L21/8242(2006.01)i, H01L27/108(2006.01)i, H01L27/11526(2017.01)i, H01L27/146(2006.01)i, H01L29/417(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/786(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H01L27/10, H01L21/8242, H01L27/108, H01L27/11526, H01L27/146, H01L29/417, H01L29/423, H01L29/49, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2018
Registered utility model specifications of Japan 1996-2018
Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2012-256822 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 27 December 2012, paragraphs [0025]-[0199], fig. 1, 3, 10 & US 2012/0063209 A1, paragraphs [0055]-[0229], fig. 1, 3, 10 & CN 102436846 A & TW 201232539 A & KR 10-2014-0014330 A	1, 2 3-19

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/044687

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-171166 A (SONY CORP.) 05 August 2010, paragraphs [0071]-[0097], fig. 5-7 & US 2010/0181547 A1, paragraphs [0143]-[0199], fig. 5-7 & CN 101794792 A	3-6, 16
Y	JP 2013-062420 A (TOSHIBA CORP.) 04 April 2013, paragraphs [0026]-[0046], fig. 2 & US 2013/0062682 A1, paragraphs [0066]-[0092], fig. 2	7-9
Y	JP 2014-220376 A (SONY CORP.) 20 November 2014, paragraphs [0146]-[0172] & US 2014/0332749 A1, paragraphs [0254]-[0280] & CN 104143550 A	8
Y	JP 2013-168631 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 29 August 2013, paragraphs [0031]-[0136], fig. 4 & US 2013/0148411 A1, paragraphs [0056]-[0160], fig. 4	10-13
Y	WO 2016/098691 A1 (SONY CORP.) 23 June 2016, paragraphs [0175]-[0182], fig. 15 & US 2017/0317061 A1, paragraphs [0221]-[0228], fig. 15 & CN 107004672 A & KR 10-2017-0096102 A & TW 201633502 A	14, 15
Y	JP 2013-093371 A (SONY CORP.) 16 May 2013, paragraphs [0121]-[0127], fig. 1 (Family: none)	16
Y	WO 2016/185901 A1 (SONY CORP.) 24 November 2016, paragraphs [0086]-[0105], fig. 6 & TW 201640664 A	17
Y	JP 2008-048313 A (SONY CORP.) 28 February 2008, paragraphs [0037]-[0042], fig. 6 & US 2008/0042046 A1, paragraphs [0051]-[0056], fig. 6	18, 19

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０４４６８７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/10(2006.01)i, H01L21/8242(2006.01)i, H01L27/108(2006.01)i, H01L27/11526(2017.01)i, H01L27/146(2006.01)i, H01L29/417(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/786(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/10, H01L21/8242, H01L27/108, H01L27/11526, H01L27/146, H01L29/417, H01L29/423, H01L29/49, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2012-256822 A (株式会社半導体エネルギー研究所) 2012.12.27, [0025]-[0199], 図 1,3,10 & US 2012/0063209 A1, [0055]-[0229], FIGS. 1,3,10 & CN 102436846 A & TW 201232539 A & KR 10-2014-0014330 A	1,2 3-19

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２７．０２．２０１８	０６．０３．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９５５４
加藤　俊哉
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2010-171166 A (ソニー株式会社) 2010.08.05, [0071]-[0097],図 5-7 & US 2010/0181547 A1,[0143]-[0199],FIGS.5-7 & CN 101794792 A	3-6,16
Y	JP 2013-062420 A (株式会社東芝) 2013.04.04, [0026]-[0046],図 2 & US 2013/0062682 A1,[0066]-[0092],FIG.2	7-9
Y	JP 2014-220376 A (ソニー株式会社) 2014.11.20, [0146]-[0172] & US 2014/0332749 A1,[0254]-[0280] & CN 104143550 A	8
Y	JP 2013-168631 A (株式会社半導体エネルギー研究所) 2013.08.29, [0031]-[0136],図 4 & US 2013/0148411 A1,[0056]-[0160],FIG.4	10-13
Y	WO 2016/098691 A1 (ソニー株式会社) 2016.06.23, [0175]-[0182],図 15 & US 2017/0317061 A1,[0221]-[0228],FIG.15 & CN 107004672 A & KR 10-2017-0096102 A & TW 201633502 A	14,15
Y	JP 2013-093371 A (ソニー株式会社) 2013.05.16, [0121]-[0127],図 1 (ファミリーなし)	16
Y	WO 2016/185901 A1 (ソニー株式会社) 2016.11.24, [0086]-[0105],図 6 & TW 201640664 A	17
Y	JP 2008-048313 A (ソニー株式会社) 2008.02.28, [0037]-[0042],図 6 & US 2008/0042046 A1,[0051]-[0056],FIG.6	18,19