



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

213 300

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 20 02 81
(21) PV 1223-81

(51) Int. Cl.³

G 06 F 11/30

(40) Zveřejněno 31 08 81
(45) Vydáno 01 02 84

(75)

Autor vynálezu SMÍŠEK JIŘÍ ing., PRAHA

(54) Zapojení hlídacého zařízení pro mikropočítačový systém

Řešení se dosahuje vzájemnou komparací tří komunikačních sběrnic, z nichž dvě jsou součástí hlídacého zařízení. Na každé je připojen mikroprocesor a operační paměť stejného typu se stejným adresním rozsahem. Pro výstupní operace hlídacích mikroprocesorů jsou na komunikační sběrnice připojeny simulační desky. Neshody se hlásí prostřednictvím signalizačních výstupů jednotlivých bloků komparace do bloku vyhodnocení. Odtud je potom možné odvodit rekonfiguraci celého systému při odstavení funkčního modulu s poruchou.

Předmětem vynálezu je zapojení hlídacího zařízení, které realizuje zabezpečení systému řízeného mikropočítačem v reálném čase.

Nedílnou součástí každého zařízení je řídicí systém. Tento systém je možné realizovat různými způsoby. Jedním z nich je použití mikropočítače ve funkci programovatelného řadiče. Na komunikační sběrnici mikropočítače jsou připojeny jednotlivé funkční moduly zařízení přes interfejsové desky. Uvažujme například zařízení výstupu grafické informace, jehož finálním projevem je kresba respektive rytina realizovaná kreslicím respektive technologickým stolem. Řídicí program se uloží prostřednictvím nahrávací sekvence operační paměti mikropočítače. Grafická informace je uložena v binární formě na děrné nebo magnetické pásce popřípadě v diskové paměti. Zařízení pracuje v reálném čase. Ramena kreslicího stolu jsou přes interfejsovou desku a řídicí elektroniku uvedena do pohybu zadáním přírůstků v souřadnicových osách a rychlostí. Po provedení předepsané operace žádá kreslicí stůl prostřednictvím interfejsové desky o další instrukci. V případě, že z mikroprocesoru nepříjde z důvodů libovolné poruchy včas další instrukce nebo přijde chybná instrukce, dojde buď k náhlému zastavení pohybu nebo k chybnému pohybu písátka respektive technologické hlavy. Je zřejmé, že při vyšších rychlostech vede náhlé zastavení ke katastrofickému stavu. Vzhledem k množství operací, které musí mikroprocesor provést mezi dvěma po sobě jdoucími instrukcemi pro kreslicí stůl, nelze provádět průběžnou diagnostiku programovými prostředky. Programem je možné například kontrolovat syntaxi vstupních grafických informací nebo správnost kódu datových slov. Problém ovšem spočívá v tom, že předpokladem je bezchybná funkce mikroprocesoru nebo alespoň instrukčního souboru, který zajišťuje v případě detekce chyby bezpečné ukončení činnosti celého zařízení, především kreslicího stolu. Rovněž je zřejmé, že chybně provedená instrukce skoku nebo porušená kódová kombinace instrukce v operační paměti může způsobit katastrofický stav kreslicího stolu, rozjetého plnou rychlostí.

Uvedenou oblast problémů řeší uspokojivou formou zapojení hlídacího zařízení pro mikropočítačový systém podle vynálezu, jehož podstatou je, že první komunikační sběrnice je spojena se sverkou prvního mikroprocesoru, se sverkou první operační paměti, se sverkou první simulační desky, s výstupem prvního adresního a datového hradla, s výstupem prvního spojovacího bloku řízení, s druhým vstupem prvního bloku komparace a s prvním vstupem druhého bloku komparace, druhá komunikační sběrnice je spojena s výstupem druhého adresního a datového hradla, se sverkou druhého mikroprocesoru, s výstupem druhého spojovacího bloku řízení, s druhým vstupem druhého bloku komparace, s druhým vstupem třetího bloku komparace, se sverkou druhé operační paměti a se sverkou druhé simulační desky, třetí komunikační sběrnice je spojena se vstupem druhého adresního a datového hradla, se vstupem druhého spojovacího bloku řízení, se vstupem prvního adresního a datového hradla, se vstupem prvního spojovacího bloku řízení, s prvním vstupem prvního bloku komparace a s prvním vstupem třetího bloku komparace.

Výhodou uvedeného zapojení je možnost detekce všech poruch, které mají za následek rozdílné vzorkované stavby na komunikačních sběrnících hlídacím a hlídacím zařízení. Na základě hlášení ze tří bloků komparace lze jednoznačně určit, ve kterém systému porucha nastala. Signály z bloku vyhodnocení se pak zpracovávají například k vyřazení části systému s poruchou, rekonfigurací a převodu řízení na zbývající mikroprocesory. Nesprávná kódová vstupní grafická informace lze detekovat například metodou zdvojení, což je pro snižující se cenu velkokapacitních zapisovatelných pamětí únosné. Rovněž použití dvou mikroprocesorů je pro jejich relativně nízkou cenu opodstatněné. Další bloky svůj velmi jednoduchou strukturu zapojení a svojí funkcí nezvyšují podstatnou měrou nespolehlivost hlídacího zařízení, a tím i míru zabezpečení hlídacím

zařízení.

Na výkrese je zapojení podle vynálezu, kde je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením.

Třetí komunikační sběrnice 3 je spojena se sverkou 50 permanentní paměti 5, se vstupem 170 druhého adresního a datového hradla 17, se sverkou 60 třetího mikroprocesoru 6, se vstupem 70 prvního adresního a datového hradla 7, s prvním vstupem 80 prvního bloku komparace 8, s prvním vstupem 90 třetího bloku komparace 9, se sverkou 100 třetí operační paměti 10, s první sverkou 110 první interfejsové desky 11, s první sverkou 130 druhé interfejsové desky 13, s první sverkou 150 třetí interfejsové desky 15, se vstupem 260 prvního bloku spojení řízení 26 a se vstupem 250 druhého bloku spojení řízení 25. První komunikační sběrnice 2 hlídacího zařízení 4 je spojena s výstupem 71 prvního adresního a datového hradla 7, s výstupem 261 prvního bloku spojení řízení 26, s druhým vstupem 81 prvního bloku komparace 8, s prvním vstupem 190 druhého bloku komparace 19, se sverkou 180 prvního mikroprocesoru 18, se sverkou 200 první operační paměti 20 a se sverkou 210 první simulační desky 21. Druhá komunikační sběrnice 2 hlídacího zařízení 4 je spojena s výstupem 171 druhého adresního a datového hradla 17, s výstupem 251 druhého spojovacího bloku řízení 25, s druhým vstupem 191 druhého bloku komparace 19, se sverkou 220 druhého mikroprocesoru 22, se sverkou 230 druhé operační paměti 23, se sverkou 240 druhé simulační desky 24 a s druhým vstupem 91 třetího bloku komparace 9. První synchronizační výstup 82 prvního bloku komparace 8 je spojen s prvním synchronizačním výstupem 92 třetího bloku komparace 9 a se synchronizačním vstupem 61 třetího mikroprocesoru 6. Druhý synchronizační výstup 83 prvního bloku komparace 8 je spojen s druhým synchronizačním výstupem 193 druhého bloku komparace 19 a se synchronizačním vstupem 181 prvního mikroprocesoru 18. Druhý synchronizační výstup 93 třetího bloku komparace 9 je spojen s prvním synchronizačním výstupem 192 druhého bloku komparace 19 a se synchronizačním vstupem 221 druhého mikroprocesoru 22. Signalizační výstup 84 prvního bloku komparace 8 je spojen s druhým vstupem 271 bloku vyhodnocení 27, jehož první vstup 270 je spojen se signalizačním výstupem 94 třetího bloku komparace 9 a jehož třetí vstup 272 je spojen se signalizačním výstupem 194 druhého bloku komparace 19. Druhá svorka 111 první interfejsové desky 11 je spojena se sverkou 120 kreslicího stolu 12. Druhá svorka 131 druhé interfejsové desky 13 je spojena se sverkou 140 snímače děrné pásky 14. Druhá svorka 151 třetí interfejsové desky 15 je spojena se sverkou 160 magnetopáskové jednotky 16.

Popis funkce zapojení podle vynálezu: Zabezpečené zařízení je řízené třetím mikroprocesorem 6. Před spuštěním kresby nebo rytí se pomocí nahrávacího programu v permanentní paměti 5 a snímače děrné pásky 12 uloží příslušný řídicí program do první operační paměti 20 přes první adresní a datové hradle 7, do druhé operační paměti 23 přes druhé adresní a datové hradle 17 a do třetí operační paměti 10. Jednotlivé instrukce nahrávacího programu vykonávají synchronně všechny tři mikroprocesory 6, 18, 22. Synchronizace probíhá prostřednictvím bloků komparace 8, 9 a 19, ve kterých se v okamžicích styku mikroprocesorů se sběrnici porovnávají stavy na adresních, datových a synchronizačních linkách tří komunikačních sběrnic 1, 2, 3. Pouze při dekodované shodě pokračují mikroprocesory v další činnosti. Při čtení informací z děrné pásky se programově testuje souhlas kontrolního součtu. Grafické vstupní informace se pak zadávají buď ze snímače děrné pásky 14 nebo z magnetopáskové jednotky 16.

Z důvodů efektivní činnosti celého zařízení probíhá styk jednotlivých modulů v režimu přerušování. Přerušování je zprostředkováno pomocí prvního spojovacího bloku řízení 26 a druhého spojovacího bloku řízení 25, přes něž se přenášejí žádosti o přerušování, synchronizační signály a blokovací signály, vysílané přerušujícími perifériemi. Žádosti přicházejí na vstup arbitrátorů jednotlivých mikroprocesorů prakticky ve stejný okamžik, takže dojde k přerušování při stejné instrukci řídicího programu. Výsledek procesu přerušování se kontroluje porovnáním cílových adres po jeho ukončení. Vzhledem k tomu, že vstupní zařízení je společné pro všechny tři systémy, je třeba provést zabezpečení vstupních dat. Protože soubor vstupních dat není pro jeden obrazec nebo rytinu příliš objemný, je možné přistoupit na záznam přímé i inverzní formy vstupních dat, které se v mikroprocesorech srovnávají po jednotlivých bitech. V případě magnetopáskové jednotky 16 použité pro vstup je toto řešení nezbytné vzhledem k tomu, že data se ukládají do operačních pamětí 10, 20 a 23 v režimu přímého přístupu bez zásahu mikroprocesoru. Nebezpečí uložení nesprávné kódové informace je tudíž nezanedbatelné. Pro výstupní operaci mikroprocesorů 18 a 22 slouží simulační desky 21 a 24, které odpovídají mikroprocesorům 18 a 22 vstupními synchronizačními signály. Adresní a datová hradla 7 a 17 se uvádějí do postupného stavu aktivními signály na vstupech 72 a 172. V případě adres spadajících do oblasti operačních pamětí, se otvírají adresní a datová hradla 7, 17 až při shodě stavů na komunikačních sběrnicích 1, 2 a 3. Pokud dojde k detekci poruchy prostřednictvím programu například chybná syntaxe vstupních grafických informací, špatné datové slovo, porucha některé periférie apod., a činost ostatních funkčních modulů je v pořádku, ukončí řídicí program práci kreslicího stolu plynulým přechodem pisátka do klidové polohy spojené s příslušným hlášením operátorovi. V případě, že se vyskytne porucha typu chybně provedená instrukce v některém z mikroprocesorů 6, 18 nebo 22, popřípadě nesprávná kódová kombinace instrukce v některé z operačních pamětí 10, 20 nebo 23, projeví se to nestejným pokračováním ve sledu řídicího programu u jednotlivých mikroprocesorů. Na základě kombinace hlášení ze signalizačních výstupů 84, 94 a 194 se v bloku vyhodnocení 27 určí, který ze tří systémů má poruchu. Pak lze ještě lokalizovat, zda jde o mikroprocesor nebo operační paměť, tento modul se odstaví z činnosti a zbývající funkční moduly řídí kresbu dále, nebo se kresba plynule ukončí s příslušným hlášením operátorovi. Část obvodů pro rekonfiguraci není v obrázku 1 zakreslena. Jedná se o realizaci obousměrného propojení datových linek a linky obsazení sběrnice s jednosměrného propojení adresních linek třetí komunikační sběrnice 3 s některou ze zbývajících komunikačních sběrnic 1 nebo 2 pro případ chybné funkce třetího mikroprocesoru 6 nebo třetí operační paměti 10. Detekci poruch generátoru adresy vektoru přerušování na interfejsových deskách 11, 13 a 15 nebo detekci poruchy na adresním čítači třetí interfejsové desky 15 lze zaručit pouze vícenásobnou realizací těchto desek, připojených na příslušné komunikační sběrnice a sverky odpovídajících periferních zařízení.

Možnost použití uvedeného zapojení je ve všech zařízeních, kde se vyžaduje taková kapacita paměti, že je možné akceptovat její paralelní realizaci.

PŘEDMĚT VYNÁLEZU

1. Zapojení hlídacího zařízení pro mikropočítačový systém, vyznačující se tím, že první komunikační sběrnice (1) je spojena se sverkou (180) prvního mikroprocesoru (18), se sverkou (200) první operační paměti (20), se sverkou (210) první simulační desky (21), s výstupem (71) prvního adresního a datového hradla (7), s výstupem (261) prvního spojovacího bloku řízení (26), s druhým vstupem (81) prvního bloku komparace (8) a s prvním vstupem (190) druhého bloku komparace (19), druhá komunikační sběrnice (2) je spojena s výstupem (171) druhého adresního a datového hradla (17), se sverkou (220) druhého mikroprocesoru (22), s výstupem (251) druhého spojovacího bloku řízení (25), s druhým vstupem (191) druhého bloku komparace (19), s druhým vstupem (91) třetího bloku komparace (9), se sverkou (230) druhé operační paměti (23) a se sverkou (240) druhé simulační desky (24), třetí komunikační sběrnice (3) je spojena se vstupem (170) druhého adresního a datového hradla (17), se vstupem (250) druhého spojovacího bloku řízení (25), se vstupem (70) prvního adresního a datového hradla (7), se vstupem (260) prvního spojovacího bloku řízení (26), s prvním vstupem (80) prvního bloku komparace (8) a s prvním vstupem (90) třetího bloku komparace (9).
2. Zapojení podle bodu 1, vyznačující se tím, že první synchronizační výstup (82) prvního bloku komparace (8) je spojen s prvním synchronizačním výstupem (92) třetího bloku komparace (9) a se synchronizačním vstupem (61) třetího mikroprocesoru (6), druhý synchronizační výstup (83) prvního bloku komparace (8) je spojen s druhým synchronizačním výstupem (193) druhého bloku komparace (19) a se synchronizačním vstupem (181) prvního mikroprocesoru (18), druhý synchronizační výstup (93) třetího bloku komparace (9) je spojen s prvním synchronizačním výstupem (192) druhého bloku komparace (19) a se synchronizačním vstupem (221) druhého mikroprocesoru (22), signalizační výstup (84) prvního bloku komparace (8) je spojen s druhým vstupem (271) bloku vyhodnocení (27), jehož první vstup (270) je spojen se signalizačním výstupem (94) třetího bloku komparace (9) a jehož třetí vstup (272) je spojen se signalizačním výstupem (194) druhého bloku komparace (19).

1 výkres

