

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) . Int. Cl.⁸
H01L 27/115 (2006.01)

(45) 공고일자 2006년02월02일
 (11) 등록번호 10-0549320
 (24) 등록일자 2006년01월26일

(21) 출원번호	10-2003-7012921	(65) 공개번호	10-2003-0089707
(22) 출원일자	2003년10월02일	(43) 공개일자	2003년11월22일
번역문 제출일자	2003년10월02일		
(86) 국제출원번호	PCT/JP2003/001201	(87) 국제공개번호	WO 2003/071606
국제출원일자	2003년02월05일	국제공개일자	2003년08월28일

(30) 우선권주장 JP-P-2002-00044202 2002년02월21일 일본(JP)

(73) 특허권자 마쓰시타 덴끼 산교 가부시키가이샤
 일본 오오사카후 가도마시 오오아자 가도마 1006

(72) 발명자 아라이 마사토시
 일본국 나라켄 이코마시 시로니와다이 3-3-4

(74) 대리인 김영철

심사관 : 김기현

(54) 반도체기억장치 및 그 제조방법

요약

반도체기판의 표면영역에는 비트선이 될 복수의 불순물화산층이 형성되며, 반도체기판 상의 복수 불순물화산층 위쪽에는 복수의 매입절연막이 형성된다. 메모리소자의 게이트전극은, 매입절연막끼리 사이에 트랩막을 개재하고 형성되며, 매입절연막의 높이위치와 거의 동등한 높이위치를 갖는 복수의 제 1 다결정실리콘막과, 복수의 매입절연막 및 복수의 제 1 다결정실리콘막 상에 걸쳐 형성되고, 복수의 제 1 다결정실리콘막끼리를 전기적으로 접속하는 제 2 다결정실리콘막을 구비한다.

대표도

도 3

색인어

불순물화산층, 매입절연막, 게이트전극, 트랩막, 다결정실리콘막

명세서

기술분야

본 발명은 고 집적화가 가능한 불휘발성의 반도체기억장치 및 그 제조방법에 관한 것이다.

배경기술

최근, 여러 가지 반도체기억장치가 제안되고 있으며, 그 일례로서, 예를 들어 일특개평 05-326893호 공보에 개시된 바와 같이, 소자분리영역 밑에 비트선을 갖는 반도체기억소자는, 고집적화가 용이한 점에서 주목받고 있다.

이하, 소자분리영역 밑에 비트선을 갖는 반도체기억장치 및 그 제조방법에 대하여, 도 59의 (a)~(d) 및 도 60을 참조하면서 설명하기로 한다.

우선 도 59의 (a)에 나타내는 바와 같이, 실리콘기판(1) 상에 트랩막(2)을 퇴적시킨 후, 도 59의 (b)에 나타내는 바와 같이, 실리콘기판(1)에 대해 레지스트패턴(3)을 마스크로 불순물을 이온주입 함으로써, 비트선이 될 불순물확산층(4)을 형성한 후, 트랩막(2)에 대해 레지스트패턴(3)을 마스크로 선택적에칭을 행하여, 트랩막(2)의 불순물확산층(4) 위쪽부분을 제거한다.

다음에 도 59의 (c)에 나타내는 바와 같이 레지스트패턴(3)을 제거한 후, 열산화법으로 LOCOS 분리영역(5)을 형성한다.

다음으로 도 59의 (d)에 나타내는 바와 같이, 반도체기판(1) 상에 전면에 걸쳐 다결정실리콘막(6)을 퇴적시킨 후, 이 다결정실리콘막(6)에 선택적에칭을 행하면, 도 60에 나타내는 바와 같이 종래의 반도체기억장치가 얻어진다.

그러나 상기 종래의 반도체기억장치는, 주로 3 가지 문제점을 갖고 있다.

첫째는, 소자를 분리하기 위해 LOCOS 분리영역을 이용하므로, 미세화가 어렵다는 문제이다. 즉, LOCOS 분리영역은 소자분리영역의 단부에 버드 비크(bird's beak)가 발생하므로, 활성영역이 마스크 크기에 비해 축소돼버린다. 그래서 마스크 크기를 미리 크게 해둘 필요가 있으므로 미세화가 어려워진다.

둘째, 비트선이 될 불순물확산층이 LOCOS 분리영역의 밑에 형성되므로, 비트선의 저 저항화가 어렵다는 문제이다.

셋째는, 살리사이드기술의 적용이 어렵기 때문에, 게이트전극의 저 저항화가 곤란하다는 문제이다. 즉, 도 60에 나타내는 바와 같이, 비트선이 될 불순물확산층(4)은 LOCOS 분리영역(5)의 바깥쪽에까지 확산된다. 따라서 이 상태에서 살리사이드를 행하면, 불순물확산층(4)의 표면부에 살리사이드층이 형성돼버리므로, 비트선끼리 살리사이드층을 개재하고 단락돼버릴 우려가 있으므로, 살리사이드기술의 적용이 어렵다.

발명의 상세한 설명

상기의 감안하여 본 발명은, 불휘발성 반도체기억장치에 있어서, 비트선이 될 불순물확산층 상에 LOCOS 분리영역을 형성하지 않아도 되도록 하여, 반도체기억장치의 미세화를 실현하는 것을 목적으로 한다.

본 발명에 관한 제 1 반도체기억장치는, 반도체기판의 표면영역에 서로 떨어져 형성된 한 쌍의 불순물확산층과, 반도체기판 상의 한 쌍의 불순물확산층 사이의 영역에 형성된 트랩막과, 상기 트랩막 상에 형성된 게이트전극으로 이루어지는 메모리소자를 복수 구비하며, 상기 한 쌍의 불순물확산층은 동일 형상이고, 상기 한 쌍의 불순물확산층의 각각의 일부는 함께 상기 반도체기판과 수직한 방향에 있어서 상기 게이트전극과 오버랩되고, 인접하는 상기 메모리소자끼리는 각각 상기 한 쌍의 불순물확산층의 일방을 공유하며, 상기 인접하는 메모리소자의 게이트전극 간은 상기 공유된 불순물확산층의 상부를 피복하도록 형성된 절연막에 의해서 매입되어 있다.

제 1 반도체기억장치에 의하면, 한 쌍의 불순물확산층 상에 게이트전극을 개재하도록 형성된 한 쌍의 절연막을 구비하므로, 게이트전극과 트랩막으로 구성되는 메모리소자의 양쪽에 LOCOS 분리영역을 형성할 필요가 없어지므로, 반도체기억장치의 미세화를 실현할 수 있다.

본 발명에 관한 제 2 반도체기억장치는, 반도체기판의 표면영역에 스트라이프형으로 형성되고 비트선이 될 복수의 불순물확산층과, 반도체기판 상의 복수의 불순물확산층 위쪽에 형성되며 비트선 방향으로 연장되는 복수의 매입절연막과, 반도체기판 상에 형성되며 워드선 방향으로 연장되는 메모리소자의 게이트전극을 구비하고, 게이트전극은 반도체기판 상의 복수의 매입절연막끼리 사이에 트랩막을 개재하고 형성되며, 복수 매입절연막의 높이위치와 거의 동등한 높이위치를 갖는

복수의 제 1 도전막과, 복수의 매입절연막 및 복수의 제 1 도전막 상에 걸쳐 형성되며 복수의 제 1 도전막끼리를 전기적으로 접속하는 제 2 도전막을 가지며, 표인접하는 상기 메모리소자끼리는 각각 상기 한 쌍의 불순물확산층의 일방을 공유하고, 상기 한 쌍의 불순물확산층은 동일 형상이고, 상기 한 쌍의 불순물확산층의 각각의 일부는 함께 상기 반도체기판과 수직한 방향에 있어서 상기 게이트전극과 오버랩되어 있다.

제 2 반도체기억장치에 의하면, 비트선이 될 불순물확산층의 위쪽에 비트선 방향으로 연장되는 매입절연막이 형성됨과 동시에, 게이트전극을 구성하는 제 1 도전막은 매입절연막으로 서로 분리되므로, 게이트전극과 트랩막으로 구성되는 메모리소자끼리의 사이에 LOCOS 분리영역을 형성할 필요가 없어진다. 제 1 도전막은 매입절연막에 의해 서로 분리되지만, 제 1 도전막끼리는 제 2 도전막에 의해 전기적으로 접속되므로, 지장은 없다.

따라서 제 2 반도체기억장치에 의하면, 반도체기억장치의 미세화를 실현할 수 있다.

제 1 또는 제 2의 반도체기억장치에 있어서, 트랩막은, 반도체기판 상에 순차 퇴적된, 실리콘산화막, 실리콘질화막 및 실리콘화막의 적층막으로 구성되는 것이 바람직하다.

이와 같이 하면, 반도체기억장치의 특성을 확실하게 향상시킬 수 있다.

본 발명에 관한 제 3 반도체기억장치는, 반도체기판의 표면영역에 스트라이프형으로 형성되며 비트선이 될 복수의 불순물확산층과, 반도체기판 상의 복수 불순물확산층의 위쪽에 형성되며 비트선 방향으로 연장되는 복수의 매입절연막과, 반도체기판 상의 복수의 매입절연막끼리의 사이에 터널절연막을 개재하고 형성되며 복수의 매입절연막의 높이위치와 거의 동등한 높이위치를 갖는 제 1 도전막으로 구성되는 복수의 부유전극과, 복수의 매입절연막 및 복수의 부유전극 상에 걸쳐 형성되며 워드선 방향으로 연장되는 전극간 절연막과, 전극간 절연막 상에 형성되며 워드선 방향으로 연장되는 제 2 도전막으로 구성되는 메모리소자의 게이트전극을 구비하며, 인접하는 상기 메모리소자끼리는 각각 상기 한 쌍의 불순물확산층의 일방을 공유하고, 상기 한 쌍의 불순물확산층은 동일 형상이고, 상기 한 쌍의 불순물확산층의 각각의 일부는 함께 상기 반도체기판과 수직한 방향에 있어서 상기 게이트전극과 오버랩되어 있다.

제 3 반도체기억장치에 의하면, 비트선이 될 불순물확산층의 위쪽에 비트선 방향으로 연장되는 매입절연막이 형성됨과 동시에, 부유전극을 구성하는 제 1 도전막은 매입절연막에 의해 서로 분리되므로, 부유전극과 전극간 절연막과 게이트전극으로 구성되는 메모리소자끼리의 사이에 LOCOS 분리영역을 형성할 필요가 없어진다. 제 1 도전막은 매입절연막에 의해 서로 분리되지만, 제 1 도전막끼리는 제 2 도전막에 의해 전기적으로 접속되므로, 지장은 없다.

따라서 제 3 반도체기억장치에 의하면, 반도체기억장치의 미세화를 실현할 수 있다.

제 2 또는 제 3 반도체기억장치는, 제 1 도전막의 측면에 형성된 측벽절연막을 구비하는 것이 바람직하다.

이와 같이 하면, 불순물확산층에 주입된 불순물의 확산에 의한 단채널 효과가 억제 가능하므로, 게이트길이를 축소시킬 수 있다.

이 경우, 불순물확산층과 매입절연막 사이이며 서로 대향하는 측벽절연막끼리의 사이에 금속막이 형성되는 것이 바람직하다.

이와 같이 하면, 비트선이 될 불순물확산층 상에 금속막을 형성 가능하므로, 비트선의 저 저항화를 도모할 수 있다.

제 2 또는 제 3 반도체기억장치에 있어서, 불순물확산층은, 중앙부에 형성된 고농도 불순물확산층과 고농도 불순물확산층 양쪽에 형성된 저농도 불순물확산층을 갖는 것이 바람직하다.

이와 같이 하면 고농도 불순물확산층에 주입된 불순물의 확산에 의한 단채널 효과가 억제 가능하므로, 게이트길이를 축소시킬 수 있다.

제 2 또는 제 3 반도체기억장치에 있어서, 제 2 도전막의 표면부에는 실리사이드층이 형성되는 것이 바람직하다.

이와 같이 하면, 게이트전극의 저 저항화를 도모할 수 있다.

제 2 또는 제 3 반도체기억장치에 있어서, 매입절연막의 측면에 형성된 측벽절연막을 구비하는 것이 바람직하다.

이와 같이 하면, 반도체기판 표면의 불순물화산층 바깥쪽 부분을 측벽절연막으로 피복한 상태에서 살리사이드의 형성이 가능하므로, 비트선이 될 불순물화산층끼리가 살리사이드층을 개재하고 단락돼버리는 사태를 방지할 수 있음과 동시에, 비트선의 저 저항화를 도모할 수 있다.

제 2 또는 제 3 반도체기억장치에 있어서, 복수의 매입절연막끼리의 사이에 매입된 절연막을 구비하는 것이 바람직하다.

이와 같이 하면, 반도체기판 표면의 불순물화산층 바깥쪽 부분을 절연막으로 완전히 피복한 상태에서 살리사이드를 실시할 수 있으므로, 비트선이 될 불순물화산층끼리가 살리사이드층을 개재하고 단락돼버리는 사태를 확실하게 방지할 수 있다.

제 2 또는 제 3 반도체기억장치에 있어서, 제 2 도전막은 금속막인 것이 바람직하다.

이와 같이 하면, 게이트전극의 저 저항화를 도모할 수 있다.

제 2 또는 제 3 반도체기억장치에 있어서, 반도체기판 상에는, 논리회로를 구성하는 트랜지스터가 형성되며, 트랜지스터의 게이트전극은, 제 1 도전막과 제 2 도전막의 적층구조를 갖는 것이 바람직하다.

이와 같이 하면, 논리회로를 구성하는 트랜지스터의 게이트전극을, 공정 수의 증가를 초래하는 일없이 형성할 수 있다.

제 2 또는 제 3 반도체기억장치에 있어서, 트랜지스터의 게이트전극이 제 1 도전막과 제 2 도전막의 적층구조를 갖는 경우, 제 2 도전막의 표면부에는 살리사이드층이 형성되는 것이 바람직하다.

이와 같이 하면, 논리회로를 구성하는 트랜지스터 게이트전극의 저 저항화를 도모할 수 있다.

제 2 또는 제 3 반도체기억장치에 있어서, 논리회로를 구성하는 트랜지스터의 게이트전극이 제 1 도전막과 제 2 도전막의 적층구조를 갖는 경우, 제 2 도전막은 금속막으로 이루어지는 것이 바람직하다.

이와 같이 하면, 논리회로를 구성하는 트랜지스터 게이트전극의 저 저항화를 도모할 수 있다.

제 2 또는 제 3 반도체기억장치에 있어서, 반도체기판 상에는, 논리회로를 구성하는 트랜지스터가 형성되며, 트랜지스터의 게이트전극은, 제 2 도전막만으로 이루어지는 것이 바람직하다.

이와 같이 하면, 논리회로를 구성하는 트랜지스터 게이트전극의 미세화를 도모할 수 있다.

본 발명에 관한 제 1 반도체기억장치의 제조방법은, 반도체기판 상의 메모리소자 형성영역에 트랩막을 형성하는 공정과, 트랩막 상에 제 1 도전막을 퇴적시키는 공정과, 제 1 도전막을 비트선 방향으로 연장되는 제 1 마스크패턴을 이용하여 패터닝하는 공정과, 반도체기판에 대하여, 제 1 마스크패턴 또는 패터닝된 제 1 도전막을 마스크로 불순물을 주입하여 비트선이 될 불순물화산층을 형성하는 공정과, 반도체기판 상의 패터닝된 제 1 도전막끼리 사이에 매입절연막을 형성하는 공정과, 패터닝된 제 1 도전막 및 매입절연막 상에 제 2 도전막을 퇴적시키는 공정과, 제 2 도전막 및 패터닝된 제 1 도전막을 워드선 방향으로 연장되는 제 2 마스크패턴을 이용하여 패터닝하고, 패터닝된 제 2 도전막 및 패터닝된 제 1 도전막으로 구성되는 메모리소자의 게이트전극을 형성하는 공정을 구비한다.

제 1 반도체기억장치의 제조방법에 의하면, 비트선이 될 불순물화산층의 위쪽에 비트선 방향으로 연장되는 매입절연막이 형성됨과 동시에, 게이트전극을 구성하는 패터닝된 제 1 도전막은 매입절연막에 의해 서로 분리되므로, 게이트전극과 트랩막으로 구성되는 메모리소자끼리의 사이에 LOCOS 분리영역을 형성할 필요가 없어진다. 패터닝된 제 1 도전막은 매입절연막에 의해 서로 분리되지만, 패터닝된 제 1 도전막끼리는 제 2 도전막에 의해 전기적으로 접속되므로, 지장은 없다.

따라서 제 1 반도체기억장치의 제조방법에 의하면, 반도체기억장치의 미세화를 실현할 수 있다.

본 발명에 관한 제 2 반도체기억장치의 제조방법은, 반도체기판 상의 메모리소자 형성영역에 트랩막을 형성하는 공정과, 트랩막 상에 제 1 도전막을 퇴적시키는 공정과, 제 1 도전막을 비트선 방향으로 연장되는 제 1 마스크패턴을 이용하여 패터닝하는 공정과, 패터닝된 상기 제 1 도전막의 측면에 제 1 측벽절연막을 형성하는 공정과, 반도체기판에 대하여, 패터닝된 제 1 도전막 및 제 1 측벽절연막을 마스크로 불순물을 주입하여 비트선이 될 불순물화산층을 형성하는 공정과, 반도체

기판에 열처리를 실시하여, 불순물확산층을 패터닝된 제 1 도전막과 중첩시키는 공정과, 반도체기판 상의 서로 대향하는 제 1 측벽절연막끼리 사이에 매입절연막을 형성하는 공정과, 패터닝된 제 1 도전막 및 매입절연막 상에 제 2 도전막을 퇴적시키는 공정과, 제 2 도전막 및 패터닝된 제 1 도전막을 워드선 방향으로 연장되는 제 2 마스크패턴을 이용하여 패터닝하고, 패터닝된 제 2 도전막 및 패터닝된 제 1 도전막으로 이루어지는 메모리소자의 게이트전극을 형성하는 공정을 구비한다.

제 2 반도체기억장치의 제조방법에 의하면, 비트선이 될 불순물확산층의 위쪽에 비트선 방향으로 연장되는 매입절연막이 형성됨과 동시에, 게이트전극을 구성하는 패터닝된 제 1 도전막은 매입절연막에 의해 서로 분리되므로, 게이트전극과 트랩막으로 구성되는 메모리소자끼리의 사이에 LOCOS 분리영역을 형성할 필요가 없어진다. 패터닝된 제 1 도전막은 매입절연막에 의해 서로 분리되지만, 패터닝된 제 1 도전막끼리는 제 2 도전막에 의해 전기적으로 접속되므로, 지장은 없다.

또 게이트전극을 구성하는 패터닝된 제 1 도전막의 측면에 제 1 측벽절연막을 형성하는 공정을 구비하므로, 불순물확산층에 주입된 불순물의 확산에 의한 단채널 효과가 억제 가능하므로, 게이트 길이를 축소시킬 수 있다.

따라서 제 2 반도체기억장치의 제조방법에 의하면, 반도체기억장치의 가일층 미세화를 실현할 수 있다.

본 발명에 관한 제 3 반도체기억장치의 제조방법은, 반도체기판 상의 메모리소자 형성영역에 트랩막을 형성하는 공정과, 트랩막 상에 제 1 도전막을 퇴적시키는 공정과, 제 1 도전막을 비트선 방향으로 연장되는 제 1 마스크패턴을 이용하여 패터닝하는 공정과, 반도체기판에 대하여, 패터닝된 제 1 도전막을 마스크로 불순물을 주입하여 저농도 불순물확산층을 형성하는 공정과, 패터닝된 제 1 도전막의 측면에 제 1 측벽절연막을 형성하는 공정과, 반도체기판에 대하여, 패터닝된 제 1 도전막 및 제 1 측벽절연막을 마스크로 불순물을 주입하여 비트선이 될 고농도 불순물확산층을 형성하는 공정과, 반도체기판 상의 서로 대향하는 제 1 측벽절연막끼리 사이에 매입절연막을 형성하는 공정과, 패터닝된 제 1 도전막 및 매입절연막 상에 제 2 도전막을 퇴적시키는 공정과, 제 2 도전막 및 패터닝된 제 1 도전막을 워드선 방향으로 연장되는 제 2 마스크패턴을 이용하여 패터닝하고, 패터닝된 제 2 도전막 및 패터닝된 제 1 도전막으로 이루어지는 메모리소자의 게이트전극을 형성하는 공정을 구비한다.

제 3 반도체기억장치의 제조방법에 의하면, 비트선이 될 고농도 불순물확산층의 위쪽에 비트선 방향으로 연장되는 매입절연막이 형성됨과 동시에, 게이트전극을 구성하는 패터닝된 제 1 도전막은 매입절연막에 의해 서로 분리되므로, 게이트전극과 트랩막으로 구성되는 메모리소자끼리의 사이에 LOCOS 분리영역을 형성할 필요가 없어진다. 패터닝된 제 1 도전막은 매입절연막에 의해 서로 분리되지만, 패터닝된 제 1 도전막끼리는 제 2 도전막에 의해 전기적으로 접속되므로, 지장은 없다.

또 비트선이 될 고농도 불순물확산층의 양쪽에 저농도 불순물확산층을 확실하게 형성할 수 있기 때문에, 고농도 불순물확산층에 주입된 불순물의 확산에 의한 단채널 효과가 억제 가능하므로, 게이트 길이를 축소시킬 수 있다.

따라서 제 3 반도체기억장치의 제조방법에 의하면, 반도체기억장치의 가일층 미세화를 실현할 수 있다.

제 2 또는 제 3 반도체기억장치의 제조방법에 있어서, 매입절연막을 형성하는 공정은, 반도체기판 상에 금속막을 개재하고 매입절연막을 형성하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 비트선이 될 불순물확산층 상에 금속막의 형성이 가능하므로, 비트선의 저 저항화를 도모할 수 있다.

제 1 또는 제 2 반도체기억장치의 제조방법에 있어서, 불순물확산층을 형성하는 공정은, 반도체기판에 대하여 트랩막을 개재하고 불순물을 주입하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 불순물의 주입 시에 반도체기판의 표면을 트랩막으로 보호할 수 있다.

제 1 또는 제 2 반도체기억장치의 제조방법은, 제 1 도전막을 패터닝하는 공정과 불순물확산층을 형성하는 공정 사이에, 제 1 마스크패턴 또는 패터닝된 제 1 도전막을 마스크로 트랩막을 패터닝하는 공정을 구비하며, 불순물확산층을 형성하는 공정은, 반도체기판에 대하여 트랩막을 개재하는 일없이 불순물을 주입해도 된다.

제 3 반도체기억장치의 제조방법에 있어서, 저농도 불순물확산층을 형성하는 공정은, 반도체기판에 대하여 트랩막을 개재하고 불순물을 주입하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 저농도 불순물층을 형성하기 위한 불순물의 주입 시에 반도체기판의 표면을 트랩막으로 보호 가능하므로, 반도체기판이 받는 손상을 저감할 수 있다.

제 3 반도체기억장치의 제조방법에 있어서, 저농도 불순물확산층을 형성하는 공정은, 트랩막의 패터닝된 제 1 도전막으로부터 노출된 영역 중 적어도 일부분을 제거한 후, 반도체기판에 불순물을 주입하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 저농도 불순물확산층을 형성하기 위한 이온주입공정에서의 가속에너지를 낮출 수 있다.

제 3 반도체기억장치의 제조방법에 있어서, 저농도 불순물확산층을 형성하는 공정이, 반도체기판에 대하여 트랩막을 개재하고 불순물을 주입하는 공정을 포함하는 경우, 고농도 불순물확산층을 형성하는 공정은, 반도체기판에 대하여 트랩막을 개재하고 불순물을 주입하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 고농도 불순물층을 형성하기 위한 불순물의 주입 시에도 반도체기판의 표면을 트랩막으로 보호할 수 있다.

제 3 반도체기억장치의 제조방법에 있어서, 저농도 불순물확산층을 형성하는 공정이, 반도체기판에 대하여 트랩막을 개재하고 불순물을 주입하는 공정을 포함하는 경우, 저농도 불순물확산층을 형성하는 공정과 고농도 불순물확산층을 형성하는 공정 사이에, 제 1 마스크패턴 또는 패터닝된 제 1 도전막을 마스크로 트랩막을 패터닝하는 공정을 구비하며, 고농도 불순물확산층을 형성하는 공정은, 반도체기판에 대하여 트랩막을 개재하는 일없이 상기 불순물을 주입하는 공정을 포함해도 된다.

제 3 반도체기억장치의 제조방법은, 제 1 도전막을 패터닝하는 공정과 저농도 불순물확산층을 형성하는 공정 사이에, 제 1 마스크패턴 또는 패터닝된 제 1 도전막을 마스크로 트랩막을 패터닝하는 공정을 구비하며, 저농도 불순물확산층을 형성하는 공정은, 반도체기판에 대하여 트랩막을 개재할 필요없이 상기 불순물을 주입하는 공정을 포함해도 된다.

제 1~제 3 반도체기억장치의 제조방법에 있어서, 게이트전극을 형성하는 공정은, 패터닝된 제 2 도전막의 표면부에 실리사이드층을 형성하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 게이트전극의 저 저항화를 도모할 수 있다.

제 1~제 3 반도체기억장치의 제조방법에 있어서, 게이트전극을 형성하는 공정이, 패터닝된 제 2 도전막의 표면부에 실리사이드층을 형성하는 공정을 포함하는 경우, 매입절연막의 측면에 제 2 측벽절연막을 형성한 후, 패터닝된 제 2 도전막의 표면부에 실리사이드층을 형성하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 반도체기판 표면에서의 불순물확산층의 바깥쪽 부분을 제 2 측벽절연막으로 피복한 상태로 살리사이드가 실시 가능하므로, 비트선이 될 불순물확산층끼리 실리사이드층에 의해 단락돼버리는 사태를 방지할 수 있다.

제 1~제 3 반도체기억장치의 제조방법에 있어서, 게이트전극을 형성하는 공정이, 매입절연막의 측면에 제 2 측벽절연막을 형성하는 공정을 포함하는 경우, 반도체기억장치는, 반도체기판 상에 형성되고 논리회로를 구성하는 트랜지스터를 구비하며, 매입절연막의 측면에 제 2 측벽절연막을 형성하는 공정은, 논리회로를 구성하는 트랜지스터의 게이트전극의 측면에 제 2 측벽절연막을 형성하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 논리회로를 구성하는 트랜지스터 게이트전극의 측면에, 공정 수의 증가를 초래하는 일없이 측벽절연막을 형성할 수 있다.

제 1~제 3 반도체기억장치의 제조방법에 있어서, 게이트전극을 형성하는 공정은, 매입절연막끼리 사이에 절연막을 매입한 후, 패터닝된 제 2 도전막의 표면부에 실리사이드층을 형성하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 반도체기판 표면의 불순물확산층 바깥쪽 부분을 절연막으로 완전히 피복한 상태로 살리사이드를 실시하므로, 비트선이 될 불순물확산층끼리가 실리사이드층에 의해 단락돼버리는 사태를 확실하게 방지할 수 있다.

제 2 또는 제 3 반도체기억장치의 제조방법에 있어서, 제 2 도전막은 금속막인 것이 바람직하다.

이와 같이 하면, 게이트전극의 저 저항화를 도모할 수 있다.

제 2 또는 제 3 반도체기억장치의 제조방법에 있어서, 제 2 도전막이 금속막일 경우, 반도체기억장치는, 반도체기판 상에 형성되고 논리회로를 구성하는 트랜지스터를 구비하며, 논리회로를 구성하는 트랜지스터의 게이트전극은, 패터닝된 제 1 도전막과 패터닝된 금속막과의 적층구조를 갖는 것이 바람직하다.

이와 같이 하면, 논리회로를 구성하는 트랜지스터의 게이트전극을, 공정 수의 증가를 초래하는 일 없이 폴리메탈구조로 할 수 있다.

제 1~제 3 반도체기억장치의 제조방법에 있어서, 반도체기억장치는, 반도체기판 상에 형성되고 논리회로를 구성하는 트랜지스터를 구비하며, 논리회로를 구성하는 트랜지스터의 게이트전극은, 패터닝된 제 2 도전막만으로 이루어지는 것이 바람직하다.

이와 같이 하면, 논리회로를 구성하는 트랜지스터 게이트전극의 미세화를 도모할 수 있다.

제 1~제 3 반도체기억장치의 제조방법에 있어서, 반도체기억장치는, 반도체기판 상에 형성되고 논리회로를 구성하는 트랜지스터를 구비하며, 게이트전극을 형성하는 공정은, 반도체기판 상의 논리회로 형성영역에 있어서, 제 2 도전막 및 패터닝된 제 1 도전막을 패터닝함으로써, 패터닝된 제 2 도전막 및 패터닝된 제 1 도전막으로 이루어지는, 논리회로를 구성하는 트랜지스터의 게이트전극을 형성하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 논리회로를 구성하는 트랜지스터의 게이트전극을, 공정 수의 증가를 초래하는 일 없이 형성할 수 있다.

본 발명에 관한 제 4 반도체기억장치 제조방법은, 반도체기판 상의 메모리소자 형성영역에 터널절연막을 형성하는 공정과, 터널절연막 상에 제 1 도전막을 퇴적시키는 공정과, 제 1 도전막을 비트선 방향으로 연장되는 제 1 마스크패턴을 이용하여 패터닝하는 공정과, 반도체기판에 대하여, 제 1 마스크패턴 또는 패터닝된 제 1 도전막을 마스크로 불순물을 주입하여 비트선이 될 불순물확산층을 형성하는 공정과, 반도체기판 상의 패터닝된 제 1 도전막끼리 사이에 매입절연막을 형성하는 공정과, 패터닝된 제 1 도전막 및 매입절연막 상에 전극간절연막을 퇴적시키는 공정과, 전극간절연막 상에 제 2 도전막을 퇴적시키는 공정과, 제 2 도전막, 전극간절연막 및 패터닝된 제 1 도전막을 워드선 방향으로 연장되는 제 2 마스크패턴을 이용하여 패터닝하고, 패터닝된 제 2 도전막으로 이루어지는 메모리소자의 게이트전극, 및 패터닝된 제 1 도전막으로 이루어지는 부유전극을 형성하는 공정을 구비한다.

제 4 반도체기억장치의 제조방법에 의하면, 비트선이 될 불순물확산층의 위쪽에 비트선 방향으로 연장되는 매입절연막이 형성됨과 동시에, 부유전극이 될 패터닝된 제 1 도전막은 매입절연막에 의해 서로 분리되므로, 부유전극과 전극간절연막과 게이트전극으로 구성되는 메모리소자끼리의 사이에 LOCOS 분리영역을 형성할 필요가 없어진다. 패터닝된 제 1 도전막은 매입절연막에 의해 서로 분리되지만, 패터닝된 제 1 도전막끼리는 제 2 도전막에 의해 전기적으로 접속되므로, 지장은 없다.

따라서 제 4 반도체기억장치의 제조방법에 의하면, 반도체기억장치의 미세화를 실현할 수 있다.

본 발명에 관한 제 5 반도체기억장치의 제조방법은, 반도체기판 상의 메모리소자 형성영역에 터널절연막을 형성하는 공정과, 터널절연막 상에 제 1 도전막을 퇴적시키는 공정과, 제 1 도전막을 비트선 방향으로 연장되는 제 1 마스크패턴을 이용하여 패터닝하는 공정과, 패터닝된 제 1 도전막의 측면에 제 1 측벽절연막을 형성하는 공정과, 반도체기판에, 패터닝된 제 1 도전막 및 제 1 측벽절연막을 마스크로 불순물을 주입하여 비트선이 될 불순물확산층을 형성하는 공정과, 반도체기판에 열처리를 실시하여, 불순물확산층을 패터닝된 제 1 도전막과 중첩시키는 공정과, 반도체기판 상의 서로 대향하는 제 1 측벽절연막끼리 사이에 매입절연막을 형성하는 공정과, 패터닝된 제 1 도전막 및 매입절연막 상에 전극간절연막을 퇴적시키는 공정과, 전극간절연막 상에 제 2 도전막을 퇴적시키는 공정과, 제 2 도전막, 전극간절연막 및 패터닝된 제 1 도전막을 워드선 방향으로 연장되는 제 2 마스크패턴을 이용하여 패터닝하고, 패터닝된 제 2 도전막으로 이루어지는 메모리소자의 게이트전극, 및 패터닝된 제 1 도전막으로 이루어지는 부유전극을 형성하는 공정을 구비한다.

제 5 반도체기억장치의 제조방법에 의하면, 비트선이 될 불순물확산층의 위쪽에 비트선 방향으로 연장되는 매입절연막이 형성됨과 동시에, 부유전극이 될 패터닝된 제 1 도전막은 매입절연막에 의해 서로 분리되므로, 부유전극과 전극간절연막

과 게이트전극으로 구성되는 메모리소자끼리의 사이에 LOCOS 분리영역을 형성할 필요가 없어진다. 패터닝된 제 1 도전 막은 매입절연막에 의해 서로 분리되지만, 패터닝된 제 1 도전막끼리는 제 2 도전막에 의해 전기적으로 접속되므로, 지장은 없다.

또 부유전극이 될 패터닝된 제 1 도전막의 측면에 제 1 측벽절연막을 형성하는 공정을 구비하므로, 불순물확산층에 주입된 불순물의 확산에 의한 단채널 효과가 억제 가능하므로, 게이트 길이를 축소시킬 수 있다.

따라서 제 5 반도체기억장치의 제조방법에 의하면, 반도체기억장치의 가일층 미세화를 실현할 수 있다.

본 발명에 관한 제 6 반도체기억장치의 제조방법은, 반도체기판 상의 메모리소자 형성영역에 터널절연막을 형성하는 공정과, 터널절연막 상에 제 1 도전막을 퇴적시키는 공정과, 제 1 도전막을 비트선 방향으로 연장되는 제 1 마스크패턴을 이용하여 패터닝하는 공정과, 반도체기판에 대하여, 패터닝된 제 1 도전막을 마스크로 불순물을 주입하여 저농도 불순물확산층을 형성하는 공정과, 반도체기판에 대하여, 패터닝된 제 1 도전막의 측면에 제 1 측벽절연막을 형성하는 공정과, 반도체기판에 대하여, 패터닝된 제 1 도전막 및 제 1 측벽절연막을 마스크로 불순물을 주입하여 비트선이 될 고농도 불순물확산층을 형성하는 공정과, 반도체기판 상의 서로 대향하는 제 1 측벽절연막끼리 사이에 매입절연막을 형성하는 공정과, 패터닝된 제 1 도전막 및 매입절연막 상에 전극간절연막을 퇴적시키는 공정과, 전극간절연막 상에 제 2 도전막을 퇴적시키는 공정과, 제 2 도전막, 전극간절연막 및 패터닝된 제 1 도전막을 위드선 방향으로 연장되는 제 2 마스크패턴을 이용하여 패터닝하고, 패터닝된 제 2 도전막으로 이루어지는 메모리소자의 게이트전극, 및 패터닝된 제 1 도전막으로 이루어지는 부유전극을 형성하는 공정을 구비한다.

제 6 반도체기억장치의 제조방법에 의하면, 비트선이 될 고농도 불순물확산층의 위쪽에 비트선 방향으로 연장되는 매입절연막이 형성됨과 동시에, 부유전극이 될 패터닝된 제 1 도전막은 매입절연막에 의해 서로 분리되므로, 부유전극과 전극간절연막과 게이트전극으로 구성되는 메모리소자끼리의 사이에 LOCOS 분리영역을 형성할 필요가 없어진다. 패터닝된 제 1 도전막은 매입절연막에 의해 서로 분리되지만, 패터닝된 제 1 도전막끼리는 제 2 도전막에 의해 전기적으로 접속되므로, 지장은 없다.

또 고농도 불순물확산층의 양쪽에 저농도 불순물확산층을 형성하는 공정을 구비하므로, 고농도 불순물확산층에 주입된 불순물의 확산에 의한 단채널 효과가 억제 가능하므로, 게이트 길이를 축소시킬 수 있다.

따라서 제 6 반도체기억장치의 제조방법에 의하면, 반도체기억장치의 가일층 미세화를 실현할 수 있다.

제 4 또는 제 5 반도체기억장치의 제조방법에 의하면, 매입절연막을 형성하는 공정은, 반도체기판 상에 금속막을 개재하고 매입절연막을 형성하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 비트선이 될 불순물확산층 상에 금속막이 형성 가능하므로, 비트선의 저 저항화를 도모할 수 있다.

제 4 또는 제 5 반도체기억장치의 제조방법에 있어서, 불순물확산층을 형성하는 공정은, 반도체기판에 대하여 터널절연막을 개재하고 불순물을 주입하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 불순물의 주입 시에 반도체기판의 표면을 터널절연막으로 보호할 수 있다.

제 4 또는 제 5 반도체기억장치의 제조방법은 제 1 도전막을 패터닝하는 공정과 불순물확산층을 형성하는 공정 사이에, 제 1 마스크패턴 또는 패터닝된 제 1 도전막을 마스크로 터널절연막을 패터닝하는 공정을 구비하여, 불순물확산층을 형성하는 공정은, 반도체기판에 대하여 터널절연막을 개재하는 일없이 불순물을 주입하는 공정을 포함해도 된다.

제 6 반도체기억장치의 제조방법에 있어서, 저농도 불순물확산층을 형성하는 공정은, 반도체기판에 대하여 터널절연막을 개재하고 불순물을 주입하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 저농도 불순물확산층을 형성하기 위한 불순물의 주입 시에 반도체기판의 표면을 터널절연막으로 보호할 수 있으므로, 반도체기판이 받는 손상을 저감할 수 있다.

제 6 반도체기억장치의 제조방법에 있어서, 저농도 불순물확산층을 형성하는 공정은, 터널절연막의 패터닝된 제 1 도전막으로부터 노출된 영역 중 적어도 일부분을 제거한 후, 반도체기판에 불순물을 주입하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 저농도 불순물확산층을 형성하기 위한 이온주입공정에서의 가속에너지를 낮출 수 있다.

제 6 반도체기억장치의 제조방법에 있어서, 저농도 불순물확산층을 형성하는 공정이 반도체기판에 터널절연막을 개재하고 불순물을 주입하는 공정을 포함하는 경우, 고농도 불순물확산층을 형성하는 공정은, 반도체기판에 터널절연막을 개재하고 불순물을 주입하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 고농도 불순물확산층을 형성하기 위한 불순물의 주입 시에 반도체기판의 표면을 터널절연막으로 보호할 수 있다.

제 6 반도체기억장치의 제조방법은, 저농도 불순물확산층을 형성하는 공정과 고농도 불순물확산층을 형성하는 공정 사이에, 제 1 마스크패턴 또는 패터닝된 제 1 도전막을 마스크로 터널절연막을 패터닝하는 공정을 구비하며, 고농도 불순물확산층을 형성하는 공정은, 반도체기판에 터널절연막을 개재하는 일없이 불순물을 주입하는 공정을 포함해도 된다.

제 6 반도체기억장치의 제조방법은, 제 1 도전막을 패터닝하는 공정과 저농도 불순물확산층을 형성하는 공정 사이에, 제 1 마스크패턴 또는 패터닝된 제 1 도전막을 마스크로 트랩막을 패터닝하는 공정을 구비하며, 저농도 불순물확산층을 형성하는 공정은, 반도체기판에 트랩막을 개재하는 일없이 불순물을 주입하는 공정을 포함해도 된다.

제 4~제 6 반도체기억장치의 제조방법에 있어서, 게이트전극을 형성하는 공정은, 패터닝된 제 2 도전막의 표면부에 실리사이드층을 형성하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 게이트전극의 저 저항화를 도모할 수 있다.

제 4~제 6 반도체기억장치의 제조방법에 있어서, 게이트전극을 형성하는 공정은, 매입절연막의 측면에 제 2 측벽절연막을 형성한 후, 패터닝된 제 2 도전막의 표면부에 실리사이드층을 형성하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 반도체기판 표면의 불순물확산층 바깥쪽 부분을 측벽절연막으로 피복한 상태에서 살리사이드를 형성하므로, 비트선이 될 불순물확산층끼리가 실리사이드층에 의해 단락돼버리는 사태를 방지할 수 있다.

제 4~제 6 반도체기억장치의 제조방법에 있어서, 게이트전극을 형성하는 공정이 매입절연막의 측면에 제 2 측벽절연막을 형성하는 공정을 포함하는 경우, 반도체기억장치는, 반도체기판 상에 형성되고 논리회로를 구성하는 트랜지스터를 구비하며, 매입절연막의 측면에 제 2 측벽절연막을 형성하는 공정은, 논리회로를 구성하는 트랜지스터의 게이트전극 측면에 제 2 측벽절연막을 형성하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 논리회로를 구성하는 트랜지스터 게이트전극의 측면에, 공정 수의 증가를 초래하는 일없이 측벽절연막을 형성할 수 있다.

제 4~제 6 반도체기억장치의 제조방법에 있어서, 게이트전극을 형성하는 공정은, 매입절연막끼리 사이에 절연막을 매입한 후, 패터닝된 제 2 도전막의 표면부에 실리사이드층을 형성하는 공정을 포함하는 것이 바람직하다.

이와 같이 하면, 반도체기판 표면의 불순물확산층 바깥쪽 부분을 측벽절연막으로 피복한 상태에서 살리사이드를 실시하므로, 비트선이 될 불순물확산층끼리가 실리사이드층에 의해 단락돼버리는 사태를 방지할 수 있다.

제 4~제 6 반도체기억장치의 제조방법에 있어서, 반도체기억장치는, 반도체기판 상에 형성되고 논리회로를 구성하는 트랜지스터를 구비하며, 논리회로를 구성하는 트랜지스터의 게이트전극은, 패터닝된 제 2 도전막만으로 이루어지는 것이 바람직하다.

이와 같이 하면, 논리회로를 구성하는 트랜지스터의 게이트전극을, 공정 수의 증가를 초래하는 일없이 형성할 수 있다.

도면의 간단한 설명

도 1의 (a)~(c)는 제 1 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 2의 (a)~(c)는 제 1 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 3은 제 1 실시형태에 관한 반도체기억장치의 단면사시도.

도 4의 (a)는 도 3에서의 IVA-IVA선 단면도이며, 도 4의 (b)는 도 3에서의 IVB-IVB선 단면도이고, 도 4의 (c)는 도 3에서의 IVC-IVC선 단면도이며, 도 4의 (d)는 도 3에서 IVD-IVD선의 단면도.

도 5의 (a)~(d)는 제 2 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 6의 (a)~(d)는 제 2 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 7은 제 2 실시형태에 관한 반도체기억장치의 단면사시도.

도 8의 (a)는 도 7에서의 VIIIA-VIIIA선 단면도이며, 도 8의 (b)는 도 7에서의 VIIIB-VIIIB선 단면구조도이고, 도 8의 (c)는 도 7에서의 VIIIC-VIIIC선 단면도이며, 도 8의 (d)는 도 7에서 VIIID-VIIID선의 단면도.

도 9의 (a)~(d)는 제 3 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 10의 (a)~(d)는 제 3 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 11은 제 3 실시형태에 관한 반도체기억장치의 사시도.

도 12의 (a)는 도 11에서의 XIIA-XIIA선 단면도이며, 도 12의 (b)는 도 11에서의 XIIB-XIIB선 단면도이고, 도 12의 (c)는 도 11에서의 XIIC-XIIC선 단면도이며, 도 12의 (d)는 도 11에서의 XIID-XIID선 단면도.

도 13의 (a)~(e)는 제 4 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 14의 (a)~(d)는 제 4 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 15는 제 4 실시형태에 관한 반도체기억장치의 사시도.

도 16의 (a)는 도 15에서의 XVIA-XVIA선 단면도이며, 도 16의 (b)는 도 15에서의 XVIB-XVIB선 단면도이고, 도 16의 (c)는 도 15에서의 XVIC-XVIC선 단면도이며, 도 16의 (d)는 도 15에서의 XVID-XVID선 단면도.

도 17의 (a)~(d)는 제 5 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 18의 (a)~(d)는 제 5 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 19는 제 5 실시형태에 관한 반도체기억장치의 사시도.

도 20의 (a)는 도 19에서의 XXA-XXA선 단면도이며, 도 20의 (b)는 도 19에서의 XXB-XXB선 단면도이고, 도 20의 (c)는 도 19에서의 XXC-XXC선 단면도이며, 도 20의 (d)는 도 19에서의 XXD-XXD선 단면도.

도 21의 (a)~(d)는 제 6 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 22의 (a)~(d)는 제 6 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 23의 (a)~(d)는 제 6 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 24는 제 6 실시형태에 관한 반도체기억장치의 사시도.

도 25의 (a)는 도 24에서의 XXVA-XXVA선 단면도이며, 도 25의 (b)는 도 24에서의 XXVB-XXVB선 단면도이고, 도 25의 (c)는 도 24에서의 XXVC-XXVC선 단면도이며, 도 25의 (d)는 도 24에서의 XXVD-XXVD선 단면도.

도 26의 (a)~(d)는 제 7 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 27의 (a)~(d)는 제 7 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 28의 (a)~(d)는 제 7 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 29는 제 7 실시형태에 관한 반도체기억장치의 사시도.

도 30의 (a)는 도 29에서의 XXXA-XXXA선 단면도이며, 도 30의 (b)는 도 29에서의 XXXB-XXXB선 단면도이고, 도 30의 (c)는 도 29에서의 XXXC-XXXC선 단면도이며, 도 30의 (d)는 도 29에서의 XXXD-XXXD선 단면도.

도 31의 (a)~(d)는 제 8 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 32의 (a)~(c)는 제 8 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 33의 (a)~(d)는 제 8 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 34는 제 8 실시형태에 관한 반도체기억장치의 사시도.

도 35의 (a)는 도 34에서의 XXXVA-XXXVA선 단면도이며, 도 35의 (b)는 도 34에서의 XXXVB-XXXVB선 단면도이고, 도 35의 (c)는 도 34에서의 XXXVC-XXXVC선 단면도이며, 도 35의 (d)는 도 34에서의 XXXVD-XXXVD선 단면도.

도 36의 (a)~(d)는 제 9 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 37의 (a)~(c)는 제 9 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 38는 제 9 실시형태에 관한 반도체기억장치의 사시도.

도 39의 (a)는 도 38에서의 XXXIXA-XXXIXA선 단면도이며, 도 39의 (b)는 도 38에서의 XXXIXB-XXXIXB선 단면도이고, 도 39의 (c)는 도 38에서의 XXXIXC-XXXIXC선 단면도이며, 도 39의 (d)는 도 38에서의 XXXIXD-XXXIXD선 단면도.

도 40의 (a)~(d)는 제 10 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 41의 (a)~(c)는 제 10 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 42의 (a)~(c)는 제 10 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 43의 (a)~(c)는 제 10 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 44의 (a)~(c)는 제 11 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 45의 (a)~(c)는 제 11 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 46의 (a)~(c)는 제 11 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 47의 (a)~(c)는 제 11 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 48의 (a), (b)는 제 11 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 49의 (a)~(c)는 제 12 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 50의 (a)~(c)는 제 12 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 51의 (a)~(c)는 제 12 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 52의 (a)~(c)는 제 12 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 53의 (a)~(c)는 제 12 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 54의 (a)~(c)는 제 13 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 55의 (a)~(c)는 제 13 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 56의 (a)~(c)는 제 13 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 57의 (a)~(c)는 제 13 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 58의 (a)~(c)는 제 13 실시형태에 관한 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 59의 (a)~(d)는 종래의 반도체기억장치 제조방법의 각 공정을 나타내는 단면도.

도 60은 종래 반도체기억장치의 평면도.

실시예

이하, 본 발명의 각 실시형태에 관한 반도체기억장치 및 그 제조방법에 대하여 설명하는데, 통상 논리회로영역에는 n채널형 트랜지스터와 p채널형 트랜지스터가 형성되지만, 이들은 불순물의 종류가 다를 뿐이므로, 이하에 나타내는 각 도면에서는 n채널형 트랜지스터만을 도시한다.

(제 1 실시형태)

이하, 본 발명의 제 1 실시형태에 관한 반도체기억장치 및 그 제조방법에 대하여, 도 1의 (a)~(c), 도 2의 (a)~(c), 도 3 및 도 4의 (a)~(d)를 참조하면서 설명하기로 한다. 여기서 도 4의 (a)는 도 3에서의 IVA-IVA선 단면구조를 나타내고, 도 4의 (b)는 도 3에서의 IVB-IVB선 단면구조를 나타내며, 도 4의 (c)는 도 3에서의 IVC-IVC선 단면구조를 나타내고, 도 4의 (d)는 도 3에서의 IVD-IVD선 단면구조를 나타낸다.

우선 도 1의 (a)에 나타내는 바와 같이, 실리콘기판으로 된 반도체기판(10)의 메모리소자 형성영역 상에, 예를 들어 실리콘 산화막과, 실리콘질화막과, 실리콘산화막의 적층막으로 이루어지며 전하의 포획사이트를 가짐과 동시에 30nm의 합계 막 두께를 갖는 트랩막(11)을 퇴적시킨 후, 도 1의 (b)에 나타내는 바와 같이, 트랩막(11) 상에, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 150nm~300nm 두께를 갖는 제 1 다결정실리콘막(12)을 퇴적시킨다.

다음에 도 1의 (c)에 나타내는 바와 같이, 제 1 다결정실리콘막(12)에 대하여, 비트선 방향으로 연장되는 제 1 레지스트패턴(13)을 마스크로 선택적 에칭을 실시하여, 제 1 다결정실리콘막(12)을 패터닝한다. 여기서 이 에칭공정에서는, 나중에 실시하는 불순물의 주입공정에서 반도체기판(10)의 표면을 보호하기 위해 트랩막(11)을 잔존시켜두는 것이 바람직하다.

다음으로 도 2의 (a)에 나타내는 바와 같이, 반도체기판(10)에 대하여 제 1 레지스트패턴(13)을 마스크로 n형불순물을, 예를 들어 $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 의 조건으로 이온주입하여, 비트선이 될 n형의 고농도 불순물확산층(14)을 형성한다.

다음 도 2의 (b)에 나타내는 바와 같이, 반도체기판(10) 상의 전면에 걸쳐 실리콘산화막을 퇴적시킨 후, 이 실리콘산화막에, 예를 들어 CMP 또는 에치백을 실시하여, 이 실리콘산화막의 패터닝된 제 1 다결정실리콘막(12) 상에 존재하는 부분을 제거함으로써, 패터닝된 제 1 다결정실리콘막(12)끼리 사이이며, 또 고농도 불순물확산층(14) 상에 매입절연막(15)을 형성한다. 이 경우, 패터닝된 제 1 다결정실리콘막(12)의 높이위치와 매입절연막(15)의 높이위치는 거의 동등해진다.

다음으로 도 2의 (c)에 나타내는 바와 같이, 패터닝된 제 1 다결정실리콘막(12) 및 매입절연막(15) 상에, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 50nm~200nm 두께를 갖는 제 2 다결정실리콘막(16)을 퇴적시킨다.

이어서 제 2 다결정실리콘막(16) 및 패터닝된 제 1 다결정실리콘막(12)에, 워드선 방향으로 연장되는 제 2 레지스트패턴(도시 생략)을 마스크로 선택적 에칭을 실시하여, 도 3 및 도 4의 (a)~(d)에 나타내는 바와 같이, 패터닝된 제 2 다결정실리콘막(16) 및 패터닝된 제 1 다결정실리콘막(12)으로 된 게이트전극을 형성한다.

제 1 실시형태에 의하면, 비트선이 될 고농도 불순물확산층(14)의 위쪽에 비트선 방향으로 연장되는 매입절연막(15)이 형성됨과 동시에, 게이트전극을 구성하는 패터닝된 제 1 다결정실리콘막(12)은 매입절연막(15)에 의해 서로 분리되므로, 게이트전극과 트랩막(11)으로 구성된 메모리소자끼리 사이에 LOCOS 분리영역을 형성할 필요가 없어진다.

또 패터닝된 제 1 다결정실리콘막(12)은 매입절연막(15)에 의해 서로 분리되지만, 패터닝된 제 1 다결정실리콘막(12)끼리는 제 2 다결정실리콘막(16)에 의해 전기적으로 접속되므로 지장은 없다.

따라서 제 1 실시형태에 의하면, 반도체기억장치의 미세화를 실현할 수 있다.

여기서, 제 1 실시형태에서는, 전하의 포획사이트를 갖는 트랩막(11)으로서, 실리콘산화막과 실리콘질화막과 실리콘산화막과의 적층막을 이용하지만, 이 대신에 산질화실리콘막의 단층막, 질화실리콘막의 단층막, 또는 반도체기판(10) 쪽으로부터 순차 퇴적된, 산화실리콘막과 질화실리콘막과의 적층막을 이용해도 된다.

트랩막(11)의 막 두께는 30nm이지만, 트랩막(11)의 막 두께로는 얇은 쪽이 트랜지스터특성이 양호해지며, 20nm 정도가 특히 바람직하다.

게이트전극으로서는, 제 1 다결정실리콘막(12) 및 제 2 다결정실리콘막(16)의 적층막을 이용하지만, 이 대신에 다결정실리콘막, 비정질실리콘막, 융점이 600°C 이상인 고용접금속막 혹은 금속실리사이드막의 단층막, 또는 이들의 적층막을 이용할 수 있다.

매입절연막(15)으로서는 실리콘산화막을 이용하지만, 이 대신에 불소함유 실리콘산화막 혹은 다공질막의 단층막, 또는 이들의 적층막을 이용해도 된다. 매입절연막(15)이 불소함유 실리콘산화막 또는 다공질막을 함유하면, 배선간용량이 저감되므로, 트랜지스터의 고속화를 도모할 수 있다.

또 제 1 실시형태에서는, 고농도 불순물확산층(14)을 형성하기 위한 마스크로서 제 1 레지스트패턴(13)을 이용하지만, 이 대신에 제 1 레지스트패턴(13)을 제거하여, 패터닝된 제 1 다결정실리콘막(12)을 이용해도 된다. 이와 같이 하면, 게이트전극에도 n형불순물이 주입되므로, 게이트전극의 저 저항화를 가일층 도모할 수 있다.

또한 제 1 실시형태에서는, 제 1 다결정실리콘막(12) 및 제 2 다결정실리콘막(16)으로서, 불순물이 도핑되어 이루어지는 다결정실리콘막을 퇴적하지만, 이 대신에 불순물이 도핑돼있지 않은 다결정실리콘막을 퇴적시킨 후에 불순물을 도핑해도 된다.

그리고 제 1 실시형태에서는 n형 메모리소자를 형성하지만, 이 대신에 p형 메모리소자를 형성해도 된다.

(제 2 실시형태)

이하, 본 발명의 제 2 실시형태에 관한 반도체기억장치 및 그 제조방법에 대하여, 도 5의 (a)~(d), 도 6의 (a)~(d), 도 7 및 도 8의 (a)~(d)를 참조하면서 설명하기로 한다. 여기서 도 8의 (a)는 도 7에서의 VIIIA-VIIIA선 단면구조를 나타내고, 도 8의 (b)는 도 7에서의 VIIIB-VIIIB선 단면구조를 나타내며, 도 8의 (c)는 도 7에서의 VIIIC-VIIIC선 단면구조를 나타내고, 도 8의 (d)는 도 7에서의 VIIID-VIIID선 단면구조를 나타낸다.

우선 도 5의 (a)에 나타내는 바와 같이, 실리콘기판으로 된 반도체기판(20)의 메모리소자 형성영역 상에, 예를 들어 실리콘산화막과, 실리콘질화막과, 실리콘산화막의 적층막으로 구성되며 합계 30nm의 막 두께를 갖는 트랩막(21)을 퇴적시킨 후, 도 5의 (b)에 나타내는 바와 같이, 트랩막(21) 상에, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 150nm~300nm 두께를 갖는 제 1 다결정실리콘막(22)을 퇴적시킨다.

다음에 도 5의 (c)에 나타내는 바와 같이, 제 1 다결정실리콘막(22)에 대하여, 비트선 방향으로 연장되는 제 1 레지스트패턴(도시 생략)을 마스크로 선택적 에칭을 실시하여, 제 1 다결정실리콘막(22)을 패터닝한다.

다음으로 도 5의 (d)에 나타내는 바와 같이, 반도체기판(20) 상의 전면에 걸쳐, 예를 들어 50nm~200nm의 막 두께를 갖는 실리콘산화막을 퇴적시킨 후, 이 실리콘산화막을 에치백 하여, 패터닝된 제 1 다결정실리콘막(22)의 측면에 측벽절연막(23)을 형성한다. 이 경우, 트랩막(21)에 있어서 제 1 다결정실리콘막(22) 및 측벽절연막(23)으로부터 노출된 부분은, 통상 에칭에 의해 제거되지만, 트랩막(21)을 잔존시켜도 된다. 트랩막(21)이 잔존하면, 반도체기판(20)이 에칭공정에서 받는 손상을 저감할 수 있다.

다음 도 6의 (a)에 나타내는 바와 같이, 반도체기판(20)에 대하여, 패터닝된 제 1 다결정실리콘막(22) 및 측벽절연막(23)을 마스크로 n형 불순물을, 예를 들어 $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 의 조건으로 이온주입하여, 비트선이 될 n형의 고농도 불순물확산층(24)을 형성한다.

다음에 도 6의 (b)에 나타내는 바와 같이, 반도체기판(20)에, 예를 들어 850°C~950°C의 열처리를 실시하여, 고농도 불순물확산층(24)을 패터닝된 제 1 다결정실리콘막(22)과 중첩시킨다. 이 열처리는, 전기노를 사용하는 배치처리 또는 램프를 사용하는 급속열처리(RTA)에 의해 실시할 수 있다.

다음으로 도 6의 (c)에 나타내는 바와 같이, 반도체기판(20) 상의 전면에 걸쳐 실리콘산화막을 퇴적시킨 후, 이 실리콘산화막에 대하여, 예를 들어 CMP 또는 에치백을 실시하여, 이 실리콘산화막의 패터닝된 제 1 다결정실리콘막(22) 상에 존재하는 부분을 제거함으로써, 서로 대향하는 측벽절연막(23)끼리 사이이며 또 고농도 불순물확산층(24) 상에 매입절연막(25)을 형성한다. 이 경우, 패터닝된 제 1 다결정실리콘막(22)의 높이위치와 매입절연막(25)의 높이위치는 거의 동등해진다.

다음으로 도 6의 (d)에 나타내는 바와 같이, 패터닝된 제 1 다결정실리콘막(22) 및 매입절연막(25) 상에, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되고 50nm~200nm 두께를 갖는 제 2 다결정실리콘막(26)을 퇴적시킨다.

이어서 제 2 다결정실리콘막(26) 및 패터닝된 제 1 다결정실리콘막(22)에, 워드선 방향으로 연장되는 제 2 레지스트패턴(도시 생략)을 마스크로 선택적 에칭을 실시하여, 도 7 및 도 8의 (a)~(d)에 나타내는 바와 같이, 패터닝된 제 2 다결정실리콘막(26) 및 패터닝된 제 1 다결정실리콘막(22)으로 된 게이트전극을 형성한다.

제 2 실시형태에 의하면, 게이트전극을 구성하는 패터닝된 제 1 다결정실리콘막(22)의 측면에 측벽절연막(23)을 형성하므로, 제 1 실시형태의 효과에 더불어, 고농도 불순물확산층(24)에 주입된 불순물의 확산에 의한 단채널효과를 억제할 수 있으므로, 게이트길이의 축소를 도모할 수 있다.

따라서 제 2 실시형태에 의하면, 반도체기억장치의 가일층 미세화를 실현할 수 있다.

여기서, 제 2 실시형태에서는, 제 1 다결정실리콘막(22) 및 제 2 다결정실리콘막(26)으로서, 불순물이 도핑되어 이루어지는 다결정실리콘막을 퇴적하지만, 이 대신에 불순물이 도핑돼있지 않은 다결정실리콘막을 퇴적시킨 후에 불순물을 도핑해도 된다.

또 제 2 실시형태의 제 1 다결정실리콘막(22) 및 제 2 다결정실리콘막(26) 대신, 비정질 실리콘막을 이용해도 된다.

그리고 제 2 실시형태에서는 n형 메모리소자를 형성하지만, 이 대신에 p형 메모리소자를 형성해도 된다.

(제 3 실시형태)

이하, 본 발명의 제 3 실시형태에 관한 반도체기억장치 및 그 제조방법에 대하여, 도 9의 (a)~(d), 도 10의 (a)~(d), 도 11 및 도 12의 (a)~(d)를 참조하면서 설명하기로 한다. 여기서 도 12의 (a)는 도 11에서의 XIIA-XIIA선 단면구조를 나타내고, 도 12의 (b)는 도 11에서의 XIIB-XIIB선 단면구조를 나타내며, 도 12의 (c)는 도 11에서의 XIIC-XIIC선 단면구조를 나타내고, 도 12의 (d)는 도 11에서의 XIID-XIID선 단면구조를 나타낸다.

우선 도 9의 (a)에 나타내는 바와 같이, 실리콘기판으로 된 반도체기판(30)의 메모리소자 형성영역 상에, 예를 들어 실리콘산화막과, 실리콘질화막과, 실리콘산화막의 적층막으로 구성되며 합계 30nm의 막 두께를 갖는 트랩막(31)을 퇴적시킨 후, 도 9의 (b)에 나타내는 바와 같이, 트랩막(31) 상에, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 150nm~300nm 두께를 갖는 제 1 다결정실리콘막(32)을 퇴적시킨다.

다음에 도 9의 (c)에 나타내는 바와 같이, 제 1 다결정실리콘막(32)에 대하여, 비트선 방향으로 연장되는 제 1 레지스트패턴(도시 생략)을 마스크로 선택적 에칭을 실시하여, 제 1 다결정실리콘막(32)을 패터닝한다. 그리고 이 에칭공정에서는, 나중에 실시하는 불순물의 주입공정에서 반도체기판(30)의 표면을 보호하기 위해, 트랩막(31)을 잔존시켜두는 것이 바람직하다.

다음으로 도 9의 (d)에 나타내는 바와 같이, 반도체기판(30)에 대하여 제 1 레지스트패턴을 마스크로 p형 불순물, 예를 들어 봉소를 $20\text{keV} \sim 50\text{keV}$ 및 $1 \times 10^{12}\text{cm}^{-2} \sim 1 \times 10^{13}\text{cm}^{-2}$ 의 조건으로 이온주입하여 p형 불순물확산층(33)을 형성한 후, 반도체기판(30)에 대하여 제 1 레지스트패턴을 마스크로 n형 불순물, 예를 들어 비소를 $20\text{keV} \sim 50\text{keV}$ 및 $1 \times 10^{14}\text{cm}^{-2} \sim 1 \times 10^{15}\text{cm}^{-2}$ 의 조건으로 이온주입하여, n형의 저농도 불순물확산층(34)을 형성한다. 또 p형 불순물의 주입공정과 n형 불순물의 주입공정은 어느 쪽이 먼저라도 된다.

다음으로 도 10의 (a)에 나타내는 바와 같이, 반도체기판(30) 상의 전면에 걸쳐, 예를 들어 $50\text{nm} \sim 200\text{nm}$ 의 막 두께를 갖는 실리콘산화막을 퇴적시킨 후, 이 실리콘산화막을 에치백하여, 패터닝된 제 1 다결정실리콘막(32)의 측면에 측벽절연막(35)을 형성한다.

다음에 도 10의 (b)에 나타내는 바와 같이, 반도체기판(30)에 대하여, 패터닝된 제 1 다결정실리콘막(32) 및 측벽절연막(35)을 마스크로 n형 불순물을, 예를 들어 $1 \times 10^{15}\text{cm}^{-2} \sim 1 \times 10^{16}\text{cm}^{-2}$ 의 조건으로 이온주입하여, 비트선이 될 n형의 고농도 불순물확산층(36)을 형성한다.

도 10의 (c)에 나타내는 바와 같이, 반도체기판(30) 상의 전면에 걸쳐 실리콘산화막을 퇴적시킨 후, 이 실리콘산화막에, 예를 들어 CMP 또는 에치백을 실시하여, 이 실리콘산화막의 패터닝된 제 1 다결정실리콘막(32) 상에 존재하는 부분을 제거함으로써, 서로 대향하는 측벽절연막(35)끼리 사이이며 또 고농도 불순물확산층(36) 상에 매입절연막(37)을 형성한다. 이 경우, 패터닝된 제 1 다결정실리콘막(32)의 높이위치와 매입절연막(37)의 높이위치는 거의 동등해진다.

다음으로 도 10의 (d)에 나타내는 바와 같이, 패터닝된 제 1 다결정실리콘막(32) 및 매입절연막(37) 상에, 예를 들어 인이 $1 \times 10^{20}\text{cm}^{-3} \sim 1 \times 10^{21}\text{cm}^{-3}$ 도핑되며 $50\text{nm} \sim 200\text{nm}$ 두께를 갖는 제 2 다결정실리콘막(38)을 퇴적시킨다.

다음에 제 2 다결정실리콘막(38) 및 패터닝된 제 1 다결정실리콘막(32)에 대하여, 워드선 방향으로 연장되는 제 2 레지스트패턴(도시 생략)을 마스크로 선택적 에칭을 실시하여, 도 11 및 도 12의 (a)~(d)에 나타내는 바와 같이, 패터닝된 제 2 다결정실리콘막(38) 및 패터닝된 제 1 다결정실리콘막(32)으로 된 게이트전극을 형성한다.

제 3 실시형태에 의하면, 저농도 불순물확산층(34)을 형성한 다음, 게이트전극의 측면에 측벽절연막(35)을 형성하고, 그 후, 패터닝된 제 1 다결정실리콘막(32) 및 측벽절연막(35)을 마스크로 n형 불순물을 주입하여 고농도 불순물확산층(36)을 형성하므로, 즉 LDD구조를 형성하므로, 제 1 실시형태의 효과에 더불어, 고농도 불순물확산층(36)에 주입된 불순물의 확산에 기인하는 단채널 효과를 억제할 수 있으므로, 게이트길이의 축소를 도모할 수 있다.

여기서, 제 3 실시형태에서는, p형 불순물확산층(33) 및 n형 저농도 불순물확산층(34)을 형성하기 위한 마스크로서, 도시하지 않는 제 1 레지스트패턴을 이용하지만, 이 대신, 패터닝된 제 1 다결정실리콘막(32)을 이용해도 된다.

또 제 3 실시형태에서는, 제 1 다결정실리콘막(32) 및 제 2 다결정실리콘막(38)으로서, 불순물이 도핑되어 이루어지는 다결정실리콘막을 퇴적시키지만, 이 대신에 불순물이 도핑돼있지 않은 다결정실리콘막을 퇴적시킨 후에 불순물을 도핑해도 된다.

또한 제 3 실시형태의 제 1 다결정실리콘막(32) 및 제 2 다결정실리콘막(38) 대신, 비정질 실리콘막을 이용해도 된다.

그리고 제 3 실시형태에서는 n형 메모리소자를 형성하지만, 이 대신에 p형 메모리소자를 형성해도 된다.

(제 4 실시형태)

이하, 본 발명의 제 4 실시형태에 관한 반도체기억장치 및 그 제조방법에 대하여, 도 13의 (a)~(e), 도 14의 (a)~(d), 도 15 및 도 16의 (a)~(d)를 참조하면서 설명하기로 한다. 여기서 도 16의 (a)는 도 15에서의 XVIA-XVIA선 단면구조를 나타내고, 도 16의 (b)는 도 15에서의 XVIB-XVIB선 단면구조를 나타내며, 도 16의 (c)는 도 15에서의 XVIC-XVIC선 단면구조를 나타내고, 도 16의 (d)는 도 15에서의 XVID-XVID선 단면구조를 나타낸다.

우선 도 13의 (a)에 나타내는 바와 같이, 실리콘기판으로 된 반도체기판(40)의 메모리소자 형성영역 상에, 예를 들어 실리콘산화막과, 실리콘질화막과, 실리콘산화막의 적층막으로 구성되며 합계 30nm의 막 두께를 갖는 트랩막(41)을 퇴적시킨 후, 도 13의 (b)에 나타내는 바와 같이, 트랩막(41) 상에, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 150nm ~300nm 두께를 갖는 제 1 다결정실리콘막(42)을 퇴적시킨다.

다음에 도 13의 (c)에 나타내는 바와 같이, 제 1 다결정실리콘막(42)에, 비트선 방향으로 연장되는 제 1 레지스트패턴(도시 생략)을 마스크로 선택적 에칭을 실시하여, 제 1 다결정실리콘막(42)을 패터닝한다. 그리고 이 에칭공정에서는, 나중에 실시하는 불순물의 주입공정에서 반도체기판(40)의 표면을 보호하기 위해, 트랩막(41)을 잔존시켜두는 것이 바람직하다.

다음으로 도 13의 (d)에 나타내는 바와 같이, 반도체기판(40)에 대하여 제 1 레지스트패턴을 마스크로 p형 불순물, 예를 들어 붕소를 20keV~50keV 및 $1 \times 10^{12} \text{ cm}^{-2} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 의 조건으로 이온주입하여, p형 불순물확산층(43)을 형성한 후, 반도체기판(40)에 대하여 제 1 레지스트패턴을 마스크로 n형 불순물, 예를 들어 비소를 20keV~50keV 및 $1 \times 10^{14} \text{ cm}^{-2} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 의 조건으로 이온주입하여, n형의 저농도 불순물확산층(44)을 형성한다.

이어서 도 13의 (e)에 나타내는 바와 같이, 반도체기판(40) 상의 전면에 걸쳐, 예를 들어 50nm~200nm의 막 두께를 갖는 실리콘산화막을 퇴적시킨 후, 이 실리콘산화막을 에치백 하여, 패터닝된 제 1 다결정실리콘막(42)의 측면에 측벽절연막(45)을 형성한다.

다음에 도 14의 (a)에 나타내는 바와 같이, 반도체기판(40)에, 패터닝된 제 1 다결정실리콘막(42) 및 측벽절연막(45)을 마스크로 n형 불순물을, 예를 들어 $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 의 조건으로 이온주입하여, 비트선이 될 n형의 고농도 불순물확산층(46)을 형성한다.

다음, 도 14의 (b)에 나타내는 바와 같이, 반도체기판(40) 상의 전면에 걸쳐 텅스텐막을 퇴적시킨 후, 이 텅스텐막에 에치백을 실시함으로써, 서로 대향하는 측벽절연막(45)끼리 사이이며 또 고농도 불순물확산층(46) 상에, 패터닝된 제 1 다결정실리콘막(42)보다 낮은 높이위치를 갖는 금속막(47)을 형성한다. 이 경우, 금속막(47)으로서는 약 400°C 이상의 융점을 갖는 막을 이용하는 것이 바람직하다. 또 금속막(47)의 높이위치로서는, 패터닝된 제 1 다결정실리콘막(42) 높이위치의 약 절반 정도가 바람직하다. 그 이유는, 금속막(47)의 막 두께가 커지면, 금속막(47)과 패터닝된 제 1 다결정실리콘막(42)이 단락될 우려가 발생하는 한편, 금속막(47)의 막 두께가 지나치게 작으면, 나중에 실시되는 에칭공정에서 금속막(47)이 소멸될 우려가 있기 때문이다.

다음으로 도 14의 (c)에 나타내는 바와 같이, 반도체기판(40) 상의 전면에 걸쳐 실리콘산화막을 퇴적시킨 후, 이 실리콘산화막에, 예를 들어 CMP 또는 에치백을 실시하여, 이 실리콘산화막의 패터닝된 제 1 다결정실리콘막(42) 상에 존재하는 부분을 제거함으로써, 서로 대향하는 측벽절연막(45)끼리 사이이며 또 금속막(47) 상에 매입절연막(48)을 형성한다. 이 경우, 패터닝된 제 1 다결정실리콘막(42)의 높이위치와 매입절연막(48)의 높이위치는 거의 동등해진다.

다음에 도 14의 (d)에 나타내는 바와 같이, 패터닝된 제 1 다결정실리콘막(42) 및 매입절연막(48) 상에, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 50nm~200nm 두께를 갖는 제 2 다결정실리콘막(49)을 퇴적시킨다.

이어서 제 2 다결정실리콘막(49) 및 패터닝된 제 1 다결정실리콘막(42)에, 워드선 방향으로 연장되는 제 2 레지스트패턴(도시 생략)을 마스크로 선택적 에칭을 실시하여, 도 15 및 도 16의 (a)~(d)에 나타내는 바와 같이, 패터닝된 제 2 다결정실리콘막(49) 및 패터닝된 제 1 다결정실리콘막(42)으로 된 게이트전극을 형성한다.

제 4 실시형태에 의하면, 서로 대향하는 측벽절연막(45)끼리 사이이며 또 비트선이 될 고농도 불순물확산층(46) 상에 금속막(47)이 형성되므로, 비트선의 저 저항화를 도모할 수 있다.

여기서, 제 4 실시형태에서는, p형 불순물확산층(43) 및 n형 저농도 불순물확산층(44)을 형성하기 위한 마스크로서, 도시하지 않는 제 1 레지스트패턴을 이용하지만, 이 대신, 패터닝된 제 1 다결정실리콘막(42)을 이용해도 된다.

또 제 4 실시형태에서는, 제 1 다결정실리콘막(42) 및 제 2 다결정실리콘막(49)으로서, 불순물이 도핑되어 이루어지는 다결정실리콘막을 퇴적시키지만, 이 대신에 불순물이 도핑돼있지 않은 다결정실리콘막을 퇴적시킨 후에 불순물을 도핑해도 된다.

또한 제 4 실시형태의 제 1 다결정실리콘막(42) 및 제 2 다결정실리콘막(49) 대신, 비정질의 실리콘막을 이용해도 된다.

그리고 제 4 실시형태에서는 n형 메모리소자를 형성하지만, 이 대신에 p형 메모리소자를 형성해도 된다.

(제 5 실시형태)

이하, 본 발명의 제 5 실시형태에 관한 반도체기억장치 및 그 제조방법에 대하여, 도 17의 (a)~(d), 도 18의 (a)~(d), 도 19 및 도 20의 (a)~(d)를 참조하면서 설명하기로 한다. 여기서 도 20의 (a)는 도 19에서의 XXA-XXA선 단면구조를 나타내고, 도 20의 (b)는 도 19에서의 XXB-XXB선 단면구조를 나타내며, 도 20의 (c)는 도 19에서의 XXC-XXC선 단면구조를 나타내고, 도 20의 (d)는 도 19에서의 XXD-XXD선 단면구조를 나타낸다.

우선 도 17의 (a)에 나타내는 바와 같이, 실리콘기판으로 된 반도체기판(50)의 메모리소자 형성영역 상에, 예를 들어 실리콘산화막과, 실리콘질화막과, 실리콘산화막의 적층막으로 구성되며 합계 30nm의 막 두께를 갖는 트랩막(51)을 퇴적시킨 후, 도 17의 (b)에 나타내는 바와 같이, 트랩막(51) 상에, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 150nm ~300nm 두께를 갖는 제 1 다결정실리콘막(52)을 퇴적시킨다.

다음에, 제 1 다결정실리콘막(52) 및 트랩막(51)에 대하여, 비트선 방향으로 연장되는 제 1 레지스트패턴(도시 생략)을 마스크로 선택적 에칭을 실시하여, 제 1 다결정실리콘막(52) 및 트랩막(51)을 패터닝한다.

다음으로 도 17의 (d)에 나타내는 바와 같이, 반도체기판(50)에 대하여 패터닝된 제 1 다결정실리콘막(52)을 마스크로 p형 불순물, 예를 들어 붕소를 20keV~50keV 및 $1 \times 10^{12} \text{ cm}^{-2} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 의 조건으로 이온주입하여, p형 불순물확산층(53)을 형성한 후, 반도체기판(50)에, 패터닝된 제 1 다결정실리콘막(52)을 마스크로 n형 불순물, 예를 들어 비소를 20keV~50keV 및 $1 \times 10^{14} \text{ cm}^{-2} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 의 조건으로 이온주입하여, n형의 저농도 불순물확산층(54)을 형성한다.

이어서 도 18의 (a)에 나타내는 바와 같이, 반도체기판(50) 상의 전면에 걸쳐, 예를 들어 50nm~200nm의 막 두께를 갖는 실리콘산화막을 퇴적시킨 후, 이 실리콘산화막을 에치백 하여, 패터닝된 제 1 다결정실리콘막(52)의 측면에 측벽절연막(55)을 형성한다.

다음에 도 18의 (b)에 나타내는 바와 같이, 반도체기판(50)에 대하여, 패터닝된 제 1 다결정실리콘막(52) 및 측벽절연막(55)을 마스크로 n형 불순물을, 예를 들어 $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 의 조건으로 이온주입하여, 비트선이 될 n형의 고농도 불순물확산층(56)을 형성한다.

또, 도 18의 (c)에 나타내는 바와 같이, 반도체기판(50) 상의 전면에 걸쳐 실리콘산화막을 퇴적시킨 후, 이 실리콘산화막에, 예를 들어 CMP 또는 에치백을 실시하여 이 실리콘산화막에서의 패터닝된 제 1 다결정실리콘막(52) 상에 존재하는 부분을 제거함으로써, 서로 대향하는 측벽절연막(55)끼리 사이이며 또 고농도 불순물확산층(56) 상에, 매입절연막(57)을 형성한다. 이 경우, 패터닝된 제 1 다결정실리콘막(52)의 높이위치와 매입절연막(57)의 높이위치는 거의 동등해진다.

다음에 도 18의 (d)에 나타내는 바와 같이, 패터닝된 제 1 다결정실리콘막(52) 및 매입절연막(57) 상에, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 50nm~200nm 두께를 갖는 제 2 다결정실리콘막(58)을 퇴적시킨다.

이어서 제 2 다결정실리콘막(58) 및 패터닝된 제 1 다결정실리콘막(52)에, 워드선 방향으로 연장되는 제 2 레지스트패턴(도시 생략)을 마스크로 선택적 에칭을 실시하여, 도 19 및 도 20의 (a)~(d)에 나타내는 바와 같이, 패터닝된 제 2 다결정실리콘막(58) 및 패터닝된 제 1 다결정실리콘막(52)으로 된 게이트전극을 형성한다.

제 5 실시형태에 의하면, 제 1 다결정실리콘막(52) 및 트랩막(51)을 패터닝하고, 비트선이 될 영역에서 반도체기판(50)을 노출시켜둔 후 불순물을 이온주입하여 n형의 저농도 불순물확산층(54)을 형성하므로, 트랩막(51)이 잔존된 상태에서 이온주입하는 경우(도 9의 (d)를 참조)에 비해, 이온주입의 가속에너지를 낮출 수 있다. 즉, 제 3 실시형태와 같이, 실리콘산화막, 실리콘질화막 및 실리콘산화막의 적층막으로 구성되며 30nm의 막 두께를 갖는 트랩막이 잔존되는 경우, 60keV 이상의 가속에너지를 필요하지만, 트랩막이 제거돼있으면, 이온주입장치의 가속에너지의 하한(현재 상태에서는 10keV 정도)까지 가속에너지를 낮출 수 있다.

또 제 5 실시형태에서는, 이온주입법에 의해 n형의 저농도 불순물확산층(54)을 형성하지만, 이 대신에 플라즈마도핑법 또는 고상확산법에 의해 형성해도 된다.

또한 제 5 실시형태에서는, 제 1 다결정실리콘막(52) 및 제 2 다결정실리콘막(58)으로서, 불순물이 도핑되어 이루어지는 다결정실리콘막을 퇴적시키지만, 이 대신에 불순물이 도핑돼있지 않은 다결정실리콘막을 퇴적시킨 후에 불순물을 도핑해도 된다.

또 제 5 실시형태의 제 1 다결정실리콘막(52) 및 제 2 다결정실리콘막(58) 대신, 비정질의 실리콘막을 이용해도 된다.

그리고 제 5 실시형태에서는 n형 메모리소자를 형성하지만, 이 대신에 p형 메모리소자를 형성해도 된다.

(제 6 실시형태)

이하, 본 발명의 제 6 실시형태에 관한 반도체기억장치 및 그 제조방법에 대하여, 도 21의 (a)~(d), 도 22의 (a)~(d), 도 23의 (a)~(d), 도 24 및 도 25의 (a)~(d)를 참조하면서 설명하기로 한다. 여기서 도 25의 (a)는 도 24에서의 XXVA-XXVA선 단면구조를 나타내고, 도 25의 (b)는 도 24에서의 XXVB-XXVB선 단면구조를 나타내며, 도 25의 (c)는 도 24에서의 XXVC-XXVC선 단면구조를 나타내고, 도 25의 (d)는 도 24에서의 XXVD-XXVD선 단면구조를 나타낸다.

우선 도 21의 (a)에 나타내는 바와 같이, 실리콘기판으로 된 반도체기판(60)의 메모리소자 형성영역 상에, 예를 들어 실리콘산화막과, 실리콘질화막과, 실리콘산화막의 적층막으로 구성되며 합계 30nm의 막 두께를 갖는 트랩막(61)을 퇴적시킨 후, 도 21의 (b)에 나타내는 바와 같이, 트랩막(61) 상에, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 150nm ~300nm 두께를 갖는 제 1 다결정실리콘막(62)을 퇴적시킨다.

다음에, 도 21의 (c)에 나타내는 바와 같이, 제 1 다결정실리콘막(62)에 대하여, 비트선 방향으로 연장되는 제 1 레지스트 패턴(63)을 마스크로 선택적 에칭을 실시하여, 제 1 다결정실리콘막(62)을 패터닝한다. 그리고 이 에칭공정에서는, 후에 실시하는 불순물의 주입공정에서 반도체기판(60)의 표면을 보호하기 위해, 트랩막(61)을 잔존시켜두는 것이 바람직하다.

다음으로 도 21의 (d)에 나타내는 바와 같이, 반도체기판(60)에 대하여 제 1 레지스트패턴(63)을 마스크로 n형 불순물을, 예를 들어 $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 의 조건으로 이온주입하여, 비트선이 될 n형의 고농도 불순물확산층(64)을 형성한다.

이어서 도 22의 (a)에 나타내는 바와 같이, 반도체기판(60) 상의 전면에 걸쳐 실리콘산화막을 퇴적시킨 후, 이 실리콘산화막에 대하여 CMP 또는 에치백을 실시하여, 이 실리콘산화막에서의 패터닝된 제 1 다결정실리콘막(62) 상에 존재하는 부분을 제거함으로써, 패터닝된 제 1 다결정실리콘막(62)끼리 사이이며 또 고농도 불순물확산층(64) 상에 매입절연막(65)을 형성한다. 이 경우, 패터닝된 제 1 다결정실리콘막(62)의 높이위치와 매입절연막(65)의 높이위치는 거의 동등해진다.

다음에 도 22의 (b)에 나타내는 바와 같이, 패터닝된 제 1 다결정실리콘막(62) 및 매입절연막(65) 상에, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 50nm~200nm 두께를 갖는 제 2 다결정실리콘막(66)을 퇴적시킨다.

이어서 도 22의 (c) 및 (d)에 나타내는 바와 같이, 제 2 다결정실리콘막(66) 및 패터닝된 제 1 다결정실리콘막(62)에 대하여, 워드선 방향으로 연장되는 제 2 레지스트패턴(도시 생략)을 마스크로 선택적 에칭을 실시한다. 여기서 도 22의 (c)는 도 24에서의 XXVA-XXVA선 단면구조와 대응하며, 도 22의 (d)는 도 24에서의 XXVB-XXVB선 단면구조와 대응한다.

다음으로, 도 23의 (a) 및 (b)에 나타내는 바와 같이, 반도체기판(60) 상의 전면에 걸쳐 실리콘산화막을 퇴적시킨 후, 이 실리콘산화막을 에치백함으로써, 매입절연막(65)의 측면 및 패터닝된 제 1 및 제 2 다결정실리콘막(62 및 66)의 측면에 측

벽 절연막(67)을 형성한다(도 25의 (c) 및 (d)를 참조). 이로써, 반도체기판(60) 고농도 불순물 확산층(64)의 바깥쪽 부분은 매입 절연막(65) 및 측벽 절연막(67)에 의해 피복된다. 여기서 도 23의 (a)는 도 24에서의 XXVA-XXVA 선 단면구조와 대응하며, 도 23의 (b)는 도 24에서의 XXVB-XXVB 선 단면구조와 대응한다.

다음에 도 23의 (c) 및 (d)에 나타내는 바와 같이, 반도체기판(60) 상의 전면에 걸쳐 코발트막을 퇴적시킨 후 열처리를 실시함으로써, 패터닝된 제 2 다결정실리콘막(66)의 표면부 및 반도체기판(60)의 매입 절연막(65) 및 측벽 절연막(67)으로부터 노출된 표면부에 실리사이드층(68)을 형성하면, 도 24 및 도 25의 (a)~(d)에 나타내는 바와 같이, 표면부에 실리사이드층(68)을 갖는 패터닝된 제 2 다결정실리콘막(66) 및 패터닝된 제 1 다결정실리콘막(62)으로 구성된 게이트전극이 얻어진다.

제 6 실시형태에 의하면, 게이트전극을 구성하는 제 2 다결정실리콘막(66)의 표면부에 실리사이드층(68)이 형성되므로, 게이트전극의 저 저항화를 도모할 수 있다.

이 경우, 매입 절연막(65)의 측면에 측벽 절연막(67)을 형성하고, 반도체기판(60) 고농도 불순물 확산층(64)의 바깥쪽 부분을 매입 절연막(65) 및 측벽 절연막(67)으로 피복해둔 후 실리사이드층(68)을 형성되므로, 고농도 불순물 확산층(64)끼리가, 반도체기판(60)의 표면부에 형성되는 실리사이드층(68)에 의해 단락되는 사태를 방지할 수 있다(도 25의 (b) 참조).

또 제 6 실시형태에서는, 고농도 불순물 확산층(64)을 형성하기 위한 마스크로서 제 1 레지스트패턴(63)을 이용하지만, 이 대신에 제 1 레지스트패턴(63)을 제거하고, 패터닝된 제 1 다결정실리콘막(62)을 이용해도 된다.

또한 제 6 실시형태에서는, 제 1 다결정실리콘막(62) 및 제 2 다결정실리콘막(66)으로서, 불순물이 도핑되어 이루어지는 다결정실리콘막을 퇴적시키지만, 이 대신에 불순물이 도핑되지 않은 다결정실리콘막을 퇴적시킨 후에 불순물을 도핑해도 된다.

또 제 6 실시형태의 제 1 다결정실리콘막(62) 및 제 2 다결정실리콘막(66) 대신, 비정질의 실리콘막을 이용해도 된다.

또한 제 6 실시형태에서는, 코발트막을 퇴적시켜 실리사이드층(68)을 형성하지만, 코발트막 대신에 티탄막, 니켈막 혹은 백금막의 단층막, 또는 이들의 적층막을 이용해도 된다.

그리고 제 6 실시형태에서는 n형 메모리소자를 형성하지만, 이 대신에 p형 메모리소자를 형성해도 된다.

(제 7 실시형태)

이하, 본 발명의 제 7 실시형태에 관한 반도체기억장치 및 그 제조방법에 대하여, 도 26의 (a)~(d), 도 27의 (a)~(d), 도 28의 (a)~(d), 도 29 및 도 30의 (a)~(d)를 참조하면서 설명하기로 한다. 여기서 도 30의 (a)는 도 29에서의 XXXA-XXXA 선 단면구조를 나타내고, 도 30의 (b)는 도 29에서의 XXXB-XXXB 선 단면구조를 나타내며, 도 30의 (c)는 도 29에서의 XXXC-XXXC 선 단면구조를 나타내고, 도 30의 (d)는 도 29에서의 XXXD-XXXD 선 단면구조를 나타낸다.

우선 도 26의 (a)에 나타내는 바와 같이, 실리콘기판으로 된 반도체기판(70)의 메모리소자 형성영역 상에, 예를 들어 실리콘산화막과, 실리콘질화막과, 실리콘산화막의 적층막으로 구성되며 합계 30nm의 막 두께를 갖는 트랩막(71)을 퇴적시킨 후, 도 26 (b)에 나타내는 바와 같이, 트랩막(71) 상에, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 150nm~300nm 두께를 갖는 제 1 다결정실리콘막(72)을 퇴적시킨다.

다음에, 도 26의 (c)에 나타내는 바와 같이, 제 1 다결정실리콘막(72)에 대하여, 비트선 방향으로 연장되는 제 1 레지스트패턴(73)을 마스크로 선택적 에칭을 실시하여, 제 1 다결정실리콘막(72)을 패터닝한다.

다음으로 도 26의 (d)에 나타내는 바와 같이, 반도체기판(70)에 대하여 제 1 레지스트패턴(73)을 마스크로 n형 불순물을, 예를 들어 $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 의 조건으로 이온주입하여, 비트선이 될 n형의 고농도 불순물 확산층(74)을 형성한다.

이어서 도 27의 (a)에 나타내는 바와 같이, 반도체기판(70) 상의 전면에 걸쳐 실리콘산화막을 퇴적시킨 후, 이 실리콘산화막에, 예를 들어 CMP 또는 에치백을 실시하여, 이 실리콘산화막의 패터닝된 제 1 다결정실리콘막(72) 상에 존재하는 부분

을 제거함으로써, 패터닝된 제 1 다결정실리콘막(72)끼리 사이이며 또 고농도 불순물확산층(74) 상에 제 1 매입절연막(75)을 형성한다. 이 경우, 패터닝된 제 1 다결정실리콘막(72)의 높이위치와 제 1 매입절연막(75)의 높이위치는 거의 동등해진다.

다음에 도 27의 (b)에 나타내는 바와 같이, 패터닝된 제 1 다결정실리콘막(72) 및 제 1 매입절연막(75) 상에, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 50nm~200nm 두께를 갖는 제 2 다결정실리콘막(76)을 퇴적시킨다.

이어서 도 27의 (c) 및 (d)에 나타내는 바와 같이, 제 2 다결정실리콘막(76) 및 패터닝된 제 1 다결정실리콘막(72)에 대하여, 워드선 방향으로 연장되는 제 2 레지스트패턴(도시 생략)을 마스크로 선택적 예칭을 실시한다. 여기서 도 27의 (c)는 도 29에서의 XXXA-XXXA선 단면구조와 대응하며, 도 27의 (d)는 도 29에서의 XXXB-XXXB선 단면구조와 대응한다.

다음으로, 도 28의 (a) 및 (b)에 나타내는 바와 같이, 반도체기판(70) 상의 전면에 걸쳐 실리콘산화막을 퇴적시킨 후, 이 실리콘산화막에 대하여, 예를 들어 CMP 또는 에치백을 실시함으로써, 이 실리콘산화막의 패터닝된 제 2 다결정실리콘막(76) 상에 존재하는 부분을 제거함으로써, 제 2 매입절연막(77)을 형성한다. 제 2 매입절연막(77)은 제 1 매입절연막(75)을 완전히 회복함과 동시에, 제 2 매입절연막(77)의 높이위치는 패터닝된 제 2 다결정실리콘막(76)의 높이위치와 거의 동등하다. 도 28의 (a)는 도 29에서의 XXXA-XXXA선 단면구조와 대응하며, 도 28의 (b)는 도 29에서의 XXXB-XXXB선 단면구조와 대응한다.

다음에 도 28의 (c) 및 (d)에 나타내는 바와 같이, 반도체기판(70) 상의 전면에 걸쳐 코발트막을 퇴적시킨 후 열처리를 실시함으로써, 패터닝된 제 2 다결정실리콘막(76)의 표면부에 실리사이드층(78)을 형성하면, 도 29 및 도 30의 (a)~(d)에 나타내는 바와 같이, 표면부에 실리사이드층(78) 갖는 패터닝된 제 2 다결정실리콘막(76) 및 패터닝된 제 1 다결정실리콘막(72)으로 구성된 게이트전극이 얹어진다.

여기서, 제 7 실시형태에서는 고농도 불순물확산층(74)을 형성하기 위한 마스크로서 제 1 레지스트패턴(73)을 이용하지만, 이 대신에 제 1 레지스트패턴(73)을 제거하고, 패터닝된 제 1 다결정실리콘막(72)을 이용해도 된다.

또 제 7 실시형태에서는, 제 1 다결정실리콘막(72) 및 제 2 다결정실리콘막(76)으로서, 불순물이 도핑되어 이루어지는 다결정실리콘막을 퇴적시키지만, 이 대신에 불순물이 도핑되지 않은 다결정실리콘막을 퇴적시킨 후에 불순물을 도핑해도 된다.

또한 제 7 실시형태의 제 1 다결정실리콘막(72) 및 제 2 다결정실리콘막(76) 대신, 비정질의 실리콘막을 이용해도 된다.

또 제 7 실시형태에서는, 코발트막을 퇴적시켜 실리사이드층(78)을 형성하지만, 코발트막 대신에 티탄막, 니켈막 혹은 백금막을 적층시켜도 된다.

그리고 제 7 실시형태에서는 n형 메모리소자를 형성하지만, 이 대신에 p형 메모리소자를 형성해도 된다.

(제 8 실시형태)

이하, 본 발명의 제 8 실시형태에 관한 반도체기억장치 및 그 제조방법에 대하여, 도 31의 (a)~(c), 도 32의 (a)~(c), 도 33의 (a)~(d), 도 34 및 도 35의 (a)~(d)를 참조하면서 설명하기로 한다. 여기서 도 35의 (a)는 도 34에서의 XXXVA-XXXVA선 단면구조를 나타내고, 도 35의 (b)는 도 34에서의 XXXVB-XXXVB선 단면구조를 나타내며, 도 35의 (c)는 도 34에서의 XXXVC-XXXVC선 단면구조를 나타내고, 도 35의 (d)는 도 34에서의 XXXVD-XXXVD선 단면구조를 나타낸다.

우선 도 31의 (a)에 나타내는 바와 같이, 실리콘기판으로 된 반도체기판(80)의 메모리소자 형성영역 상에, 예를 들어 실리콘산화막과, 실리콘질화막과, 실리콘산화막의 적층막으로 구성되며 합계 30nm의 막 두께를 갖는 트랩막(81)을 퇴적시킨 후, 도 31의 (b)에 나타내는 바와 같이, 트랩막(81) 상에, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 150nm~300nm 두께를 갖는 다결정실리콘막(82)을 퇴적시킨다.

다음에, 도 31의 (c)에 나타내는 바와 같이, 다결정실리콘막(82)에 대하여, 비트선 방향으로 연장되는 제 1 레지스트패턴(83)을 마스크로 선택적 예칭을 실시하여, 다결정실리콘막(82)을 패터닝한다.

다음으로 도 32의 (a)에 나타내는 바와 같이, 반도체기판(80)에 대하여 제 1 레지스트패턴(83)을 마스크로 n형 불순물을, 예를 들어 $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 의 조건으로 이온주입하여, 비트선이 될 n형의 고농도 불순물확산층(84)을 형성한다.

이어서 도 32의 (b)에 나타내는 바와 같이, 반도체기판(80) 상의 전면에 걸쳐 실리콘산화막을 퇴적시킨 후, 이 실리콘산화막에, 예를 들어 CMP 또는 에치백을 실시하여, 이 실리콘산화막의 패터닝된 다결정실리콘막(82) 상에 존재하는 부분을 제거함으로써, 패터닝된 다결정실리콘막(82)끼리 사이이며 또 고농도 불순물확산층(84) 상에 매입절연막(85)을 형성한다. 이 경우, 패터닝된 다결정실리콘막(82)의 높이위치와 매입절연막(85)의 높이위치는 거의 동등해진다.

다음에 도 32의 (c)에 나타내는 바와 같이, 반도체기판(80) 상에 전면에 걸쳐, 예를 들어 텅스텐막으로 이루어지며 150nm의 막 두께를 갖는 금속막(86) 및 예를 들어 실리콘질화막으로 이루어지며 100nm의 막 두께를 갖는 피복절연막(87)을 순차 퇴적시킨다.

다음으로 도 33의 (a) 및 (b)에 나타내는 바와 같이, 피복절연막(87), 금속막(86) 및 패터닝된 다결정실리콘막(82)에 대하여, 워드선 방향으로 연장되는 제 2 레지스트패턴(도시 생략)을 마스크로 선택적 에칭을 실시한다. 여기서 도 33의 (a)는 도 34에서의 XXXVA-XXXVA선 단면구조와 대응하며, 도 33의 (b)는 도 34에서의 XXXVB-XXXVB선 단면구조와 대응한다.

다음으로, 도 33의 (c) 및 (d)에 나타내는 바와 같이, 반도체기판(80) 상의 전면에 걸쳐 실리콘산화막을 퇴적시킨 후, 이 실리콘산화막을 에치백 함으로써, 매입절연막(85)의 측면 및 패터닝된 피복절연막(87), 금속막(86) 및 다결정실리콘막(82)의 측면에 측벽절연막(88)을 형성한다(도 35의 (c) 및 (d) 참조). 여기서 도 33의 (c)는 도 34에서의 XXXVA-XXXVA선 단면구조와 대응하며, 도 33의 (d)는 도 34에서의 XXXVB-XXXVB선 단면구조와 대응한다.

이와 같이 하면, 도 34 및 도 35의 (a)~(d)에 나타내는 바와 같이, 패터닝된 금속막(86)의 측면이 측벽절연막(88)으로 피복됨과 동시에, 고농도 불순물확산층(84)은 매입절연막(85) 및 측벽절연막(88)으로 피복된다. 또 패터닝된 다결정실리콘막(82) 및 패터닝된 금속막(86)으로 구성된 게이트전극이 얻어진다.

제 8 실시형태에 의하면, 금속막(86) 상에 피복절연막(87)이 형성되므로, 금속막(86)은 다결정실리콘막(82)으로부터 쉬이 박리되지 않게 된다.

그리고 제 8 실시형태에서는 고농도 불순물확산층(84)을 형성하기 위한 마스크로서 제 1 레지스트패턴(83)을 이용하지만, 이 대신에 제 1 레지스트패턴(83)을 제거하고, 패터닝된 다결정실리콘막(82)을 이용해도 된다.

또 제 8 실시형태에서는, 다결정실리콘막(82)으로서, 불순물이 도핑되어 이루어지는 다결정실리콘막을 퇴적시키지만, 이 대신에 불순물이 도핑돼있지 않은 다결정실리콘막을 퇴적시킨 후에 불순물을 도핑해도 된다.

또한 제 8 실시형태의 다결정실리콘막(82) 대신, 비정질의 실리콘막을 이용해도 된다.

또 제 8 실시형태에서는, 텅스텐막으로 된 금속막(88)을 퇴적시키지만, 텅스텐막 대신에 티탄막, 또는 실리사이드막을 이용해도 된다.

그리고 제 8 실시형태에서는 n형 메모리소자를 형성하지만, 이 대신에 p형 메모리소자를 형성해도 된다.

(제 9 실시형태)

이하, 본 발명의 제 9 실시형태에 관한 반도체기억장치 및 그 제조방법에 대하여, 도 36의 (a)~(d), 도 37의 (a)~(c), 도 38 및 도 39의 (a)~(d)를 참조하면서 설명하기로 한다. 여기서 도 39의 (a)는 도 38에서의 XXXIXA-XXXIXA선 단면구조를 나타내고, 도 39의 (b)는 도 38에서의 XXXIXB-XXXIXB선 단면구조를 나타내며, 도 39의 (c)는 도 38에서의 XXXIXC-XXXIXC선 단면구조를 나타내고, 도 39의 (d)는 도 38에서의 XXXIXD-XXXIXD선 단면구조를 나타낸다.

우선 도 36의 (a)에 나타내는 바와 같이, 실리콘기판으로 된 반도체기판(90)의 메모리소자 형성영역 상에, 예를 들어 실리콘산화막으로 이루어지며 6nm~15nm 두께를 갖는 터널절연막(91)을 형성한 후, 도 36의 (b)에 나타내는 바와 같이 터널절연막(91) 상에, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 150nm~300nm 두께를 갖는 제 1 다결정실리콘막(92)을 퇴적시킨다.

다음에, 도 36의 (c)에 나타내는 바와 같이, 제 1 다결정실리콘막(92)에 대하여, 비트선 방향으로 연장되는 제 1 레지스트패턴(93)을 마스크로 선택적 에칭을 실시하여, 제 1 다결정실리콘막(92)을 패터닝한다.

다음으로 도 36의 (d)에 나타내는 바와 같이, 반도체기판(90)에 대하여 제 1 레지스트패턴(93)을 마스크로 n형 불순물을, 예를 들어 $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 의 조건으로 이온주입하여, 비트선이 될 n형의 고농도 불순물확산층(94)을 형성한다.

이어서 도 37의 (a)에 나타내는 바와 같이, 반도체기판(90) 상의 전면에 걸쳐 실리콘산화막을 퇴적시킨 후 이 실리콘산화막에, CMP 또는 애치백을 실시하여, 이 실리콘산화막의 패터닝된 제 1 다결정실리콘막(92) 상에 존재하는 부분을 제거함으로써, 패터닝된 제 1 다결정실리콘막(92)끼리 사이이며 또 고농도 불순물확산층(94) 상에 매입절연막(95)을 형성한다. 이 경우, 패터닝된 제 1 다결정실리콘막(92)의 높이위치와 매입절연막(95)의 높이위치는 거의 동등해진다.

다음에 도 37의 (b)에 나타내는 바와 같이, 패터닝된 제 1 다결정실리콘막(92) 및 매입절연막(95) 상에, 예를 들어 실리콘산화막과, 실리콘질화막과, 실리콘산화막의 적층막으로 구성된 전극간절연막(96)을 퇴적시킨 후, 이 전극간절연막(96) 상에, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 50nm~200nm 두께를 갖는 제 2 다결정실리콘막(97)을 퇴적시킨다.

다음으로, 제 2 다결정실리콘막(97), 전극간절연막(96) 및 패터닝된 제 1 다결정실리콘막(92)에 대하여, 워드선 방향으로 연장되는 제 2 레지스트패턴(도시 생략)을 마스크로 선택적 에칭을 실시하여, 도 38 및 도 39의 (a)~(d)에 나타내는 바와 같이, 패터닝된 제 2 다결정실리콘막(97)으로 이루어진 게이트전극과, 패터닝된 전극간절연막(96)과, 패터닝된 제 1 다결정실리콘막(92)으로 이루어진 부유전극을 구비하는 메모리소자를 형성한다.

제 9 실시형태에 의하면, 비트선이 될 고농도 불순물확산층(94)의 위쪽에 비트선 방향으로 연장되는 매입절연막(95)이 형성됨과 동시에, 부유전극을 구성하는 패터닝된 제 1 다결정실리콘막(92)은 매입절연막(95)에 의해 서로 분리되므로, 부유전극과 전극간절연막과 게이트전극으로 구성되는 메모리소자끼리의 사이에는 LOCOS 분리영역을 형성할 필요가 없어진다. 패터닝된 제 1 다결정실리콘막(92)은 매입절연막(95)으로 서로 분리되지만, 패터닝된 제 1 다결정실리콘막(92)끼리는 제 2 다결정실리콘막(97)에 의해 전기적으로 접속되므로 지장은 없다.

따라서 제 9 실시형태에 의하면 반도체기억장치의 미세화를 실현할 수 있다.

그리고 제 9 실시형태에서는 터널절연막(91)으로서 실리콘산화막을 이용하지만, 이 대신에 실리콘산질화막을 이용해도 된다.

또 제 9 실시형태에서는, 고농도 불순물확산층(94)을 형성하기 위한 마스크로서 제 1 레지스트패턴(93)을 이용하지만, 이 대신, 제 1 레지스트패턴(93)을 제거하고, 패터닝된 제 1 다결정실리콘막(92)을 이용해도 된다.

또한 제 9 실시형태에서는, 제 1 다결정실리콘막(92) 및 제 2 다결정실리콘막(97)으로서, 불순물이 도핑되어 이루어지는 다결정실리콘막을 퇴적시키지만, 이 대신에 불순물이 도핑되지 않은 다결정실리콘막을 퇴적시킨 후에 불순물을 도핑해도 된다.

또 제 9 실시형태의 제 1 다결정실리콘막(92) 및 제 2 다결정실리콘막(97) 대신, 비정질의 실리콘막을 이용해도 된다.

또한 제 9 실시형태에서는, n형 메모리소자를 형성하지만, 이 대신에 p형 메모리소자를 형성해도 된다.

여기서, 제 9 실시형태는 제 1 실시형태에 비해 게이트전극의 구성이 다를 뿐이며, 비트선이 될 불순물확산층의 구성 및 매입절연막의 구성에 대해서는 제 1 실시형태와 마찬가지이다. 따라서 제 9 실시형태에 의하면 제 1 실시형태와 마찬가지 효과를 얻을 수 있다.

또한 상세한 설명은 생략하지만, 제 2~제 8 실시형태에서의 게이트전극을 제 9 실시형태와 마찬가지의 구성으로 할 수 있다. 이와 같이 하면, 제 2~제 8 실시형태와 마찬가지의 효과를 얻을 수 있다.

(제 10 실시형태)

이하, 본 발명의 제 10 실시형태에 관한 반도체기억장치 및 그 제조방법에 대하여, 도 40의 (a)~(d), 도 41의 (a)~(c), 도 42의 (a)~(c) 및 도 43의 (a)~(c)를 참조하면서 설명하기로 한다. 여기서 이들 도면에 있어서, 왼쪽 도면은 메모리소자 형성영역의 게이트전극 부분을 나타내며, 중앙 도면은 메모리소자 형성영역의 게이트전극간 부분을 나타내고, 오른쪽 도면은 논리회로영역을 나타낸다.

우선 도 40의 (a)에 나타내는 바와 같이, 실리콘기판으로 된 반도체기판(100)에 트렌치소자분리(101)를 형성한 후, 도 40의 (b)에 나타내는 바와 같이 반도체기판(100) 상의 전면에 걸쳐, 예를 들어 실리콘산화막과, 실리콘질화막과, 실리콘산화막의 적층막으로 구성되며 합계 30nm의 막 두께를 갖는 트랩막(102)을 퇴적시킨다.

다음에, 도 40의 (c)에 나타내는 바와 같이, 트랩막(102)에 대하여, 제 1 레지스트패턴(103)을 마스크로 선택적 에칭을 실시하여, 트랩막(102)에서의 논리회로영역을 제거한 후, 도 40의 (d)에 나타내는 바와 같이 반도체기판(100)의 표면부를 산화시켜, 반도체기판(100)의 논리회로영역 표면부에, 예를 들어 2nm~25nm 두께를 갖는 게이트절연막(104)을 형성한다.

다음으로 도 41의 (a)에 나타내는 바와 같이, 반도체기판(100) 상의 전면에 걸쳐, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 150nm~300nm 두께를 갖는 제 1 다결정실리콘막(105)을 퇴적시킨다.

다음 도 41의 (b)에 나타내는 바와 같이, 제 1 다결정실리콘막(105)에 대하여 제 2 레지스트패턴(도시 생략)을 마스크로 선택적 에칭을 실시하여 제 1 다결정실리콘막(105)을 패터닝한 후, 반도체기판(100)에, 패터닝된 제 1 다결정실리콘막(105)을 마스크로 n형 불순물을, 예를 들어 $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 의 조건으로 이온주입하여, 메모리소자 형성영역에, 비트선이 될 n형의 고농도 불순물확산층(106)을 형성한다.

이어서 도 41의 (c)에 나타내는 바와 같이, 반도체기판(100) 상의 전면에 걸쳐 실리콘산화막을 퇴적시킨 후 이 실리콘산화막에, 예를 들어 CMP 또는 에치백을 실시하여, 이 실리콘산화막의 패터닝된 제 1 다결정실리콘막(105) 상에 존재하는 부분을 제거함으로써, 패터닝된 제 1 다결정실리콘막(105)끼리 사이이며 또 고농도 불순물확산층(106) 상에 매입절연막(107)을 형성한다. 이 경우, 패터닝된 제 1 다결정실리콘막(105)의 높이위치와 매입절연막(107)의 높이위치는 거의 동등해진다.

다음에 도 42의 (a)에 나타내는 바와 같이, 패터닝된 제 1 다결정실리콘막(105) 및 매입절연막(107) 상에, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 50nm~200nm 두께를 갖는 제 2 다결정실리콘막(108)을 퇴적시킨다.

다음으로, 도 42의 (b)에 나타내는 바와 같이, 제 2 다결정실리콘막(108) 및 패터닝된 제 1 다결정실리콘막(105)에 대하여 제 3 레지스터패턴(109)을 마스크로 선택적 에칭을 실시하여, 메모리소자 형성영역에서, 패터닝된 제 2 다결정실리콘막(108) 및 패터닝된 제 1 다결정실리콘막(105)으로 구성되는 제 1 게이트전극을 형성함과 동시에, 논리회로영역에서, 패터닝된 제 2 다결정실리콘막(108) 및 패터닝된 제 1 다결정실리콘막(105)으로 구성되는 제 2 게이트전극을 형성한다.

다음 도 42의 (c)에 나타내는 바와 같이, 논리회로영역에서, 반도체기판(100)에 대하여 제 2 게이트전극을 마스크로 불순물을 이온주입하여, 저농도 불순물확산층(110)을 형성한다.

이어서 도 43의 (a)에 나타내는 바와 같이, 반도체기판(100) 상의 전면에 걸쳐, 예를 들어 50nm~200nm 두께를 갖는 실리콘산화막을 퇴적시킨 후 이 실리콘산화막을 에치백 함으로써, 메모리소자영역에서는, 매입절연막(107)의 측면에 측벽절연막(111)을 형성함과 동시에, 논리회로영역에서는 제 2 게이트전극의 측면에 측벽절연막(111)을 형성한다. 다음에 논리회로영역에서, 게이트절연막(104)에 대하여 제 2 게이트전극 및 측벽절연막(111)을 마스크로 선택적 에칭을 실시하여 게이트절연막(104)을 패터닝한다. 이 경우, 메모리소자영역에서는 트랩막(102)이 패터닝된다.

계속해서 도 43의 (b)에 나타내는 바와 같이, 논리회로영역에 있어서, 반도체기판(100)에 대하여 제 2 게이트전극 및 측벽 절연막(111)을 마스크로 불순물을 선택적으로 이온주입하여, 드레인영역 또는 소스영역이 될 고농도 불순물확산층(112)을 형성한다.

다음으로 도 43의 (c)에 나타내는 바와 같이, 반도체기판(100) 상의 전면에 걸쳐 코발트막을 퇴적시킨 후 열처리를 실시함으로써, 메모리소자영역의 제 1 게이트전극 표면부에 실리사이드층(113)을 형성함과 동시에, 논리회로영역의 제 2 게이트전극 표면부에 실리사이드층(113)을 형성하면, 제 10 실시형태에 관한 반도체기억장치가 얻어진다.

제 10 실시형태에 의하면, 메모리소자를 구성하는 제 1 게이트전극과, 논리회로를 구성하는 트랜지스터의 제 2 게이트전극을 같은 공정에서 형성할 수 있으므로, 공정 수의 저감을 도모할 수 있다.

또 제 1 게이트전극 표면부의 실리사이드층(113)과, 제 2 게이트전극 표면부의 실리사이드층(113)을 같은 공정에서 형성할 수 있으므로, 공정 수의 저감을 도모할 수 있다.

또한 메모리소자영역에서의 매입절연막(107) 측면의 측벽절연막(111)과, 논리회로를 구성하는 트랜지스터의 제 2 게이트전극 측면의 측벽절연막(111)을 같은 공정에서 형성할 수 있으므로, 공정 수의 저감을 도모할 수 있다.

그리고 제 10 실시형태에서는, 제 1 다결정실리콘막(105) 및 제 2 다결정실리콘막(108)으로서, 불순물이 도핑되어 이루어지는 다결정실리콘막을 퇴적시키지만, 이 대신 불순물이 도핑돼있지 않은 다결정실리콘막을 퇴적시킨 후에 불순물을 도핑해도 된다.

또 제 10 실시형태의 제 1 다결정실리콘막(105) 및 제 2 다결정실리콘막(108) 대신, 비정질의 실리콘막을 이용해도 된다.

또한 제 10 실시형태에서는, n형 메모리소자를 형성하지만, 이 대신에 p형 메모리소자를 형성해도 된다.

(제 11 실시형태)

이하, 본 발명의 제 11 실시형태에 관한 반도체기억장치 및 그 제조방법에 대하여, 도 44의 (a)~(c), 도 45의 (a)~(c), 도 46의 (a)~(c), 도 47의 (a)~(c) 및 도 48의 (a), (b)를 참조하면서 설명하기로 한다. 여기서 이들 도면에 있어서, 왼쪽 도면은 메모리소자 형성영역의 게이트전극 부분을 나타내며, 중앙 도면은 메모리소자 형성영역의 게이트전극간 부분을 나타내고, 오른 쪽 도면은 논리회로영역을 나타낸다.

우선 도 44의 (a)에 나타내는 바와 같이, 실리콘기판으로 된 반도체기판(120)에 트랜치소자분리(121)를 형성한 후, 도 44의 (b)에 나타내는 바와 같이 반도체기판(120) 상에 전면에 걸쳐, 예를 들어 실리콘산화막과, 실리콘질화막과, 실리콘산화막의 적층막으로 구성되며 합계 30nm의 막 두께를 갖는 트랩막(122)을 퇴적시킨다.

다음에, 도 44의 (c)에 나타내는 바와 같이, 트랩막(122)에 대하여 제 1 레지스트패턴(123)을 마스크로 선택적 예칭을 실시하여, 트랩막(122)에서의 논리회로영역을 제거한 후, 도 45의 (a)에 나타내는 바와 같이 반도체기판(120)의 표면부를 산화시켜, 반도체기판(120)의 논리회로영역 표면부에, 예를 들어 2nm~25nm 두께를 갖는 게이트절연막(124)을 형성한다.

다음으로 도 45의 (b)에 나타내는 바와 같이, 반도체기판(120) 상의 전면에 걸쳐, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 150nm~300nm 두께를 갖는 다결정실리콘막(125)을 퇴적시킨다.

다음 도 45의 (c)에 나타내는 바와 같이, 다결정실리콘막(125)에 대하여 제 2 레지스트패턴(도시 생략)을 마스크로 선택적 예칭을 실시하여 다결정실리콘막(125)을 패터닝한 후, 반도체기판(120)에 대하여, 패터닝된 다결정실리콘막(125)을 마스크로 n형 불순물을, 예를 들어 $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 의 조건으로 이온주입하여, 메모리소자 형성영역에, 비트선이 될 n형의 고농도 불순물확산층(126)을 형성한다.

이어서 도 46의 (a)에 나타내는 바와 같이, 반도체기판(120) 상의 전면에 걸쳐 실리콘산화막을 퇴적시킨 후 이 실리콘산화막에, 예를 들어 CMP 또는 에치백을 실시하여, 이 실리콘산화막의 패터닝된 다결정실리콘막(125) 상에 존재하는 부분을 제거함으로써, 패터닝된 다결정실리콘막(125)끼리 사이이며 또 고농도 불순물확산층(126) 상에 매입절연막(127)을 형성한다. 이 경우, 패터닝된 다결정실리콘막(125)의 높이위치와 매입절연막(127)의 높이위치는 거의 동등해진다.

다음에 도 46의 (b)에 나타내는 바와 같이, 반도체기판(120) 상의 전면에 걸쳐, 예를 들어 텅스텐막으로 이루어지며 150nm의 막 두께를 갖는 금속막(128) 및 예를 들어 실리콘질화막으로 이루어지며 100nm의 막 두께를 갖는 피복질연막(129)을 순차 퇴적시킨다.

다음으로, 도 46의 (c)에 나타내는 바와 같이, 피복질연막(129), 금속막(128) 및 패터닝된 다결정실리콘막(125)에 대하여 제 3 레지스트패턴(130)을 마스크로 선택적 에칭을 실시하여, 메모리소자 형성영역에서, 패터닝된 금속막(128) 및 패터닝된 다결정실리콘막(125)으로 구성되는 제 1 게이트전극을 형성함과 동시에, 논리회로영역에서, 패터닝된 금속막(128) 및 패터닝된 다결정실리콘막(125)으로 구성되는 제 2 게이트전극을 형성한다.

다음 도 47의 (b)에 나타내는 바와 같이, 논리회로영역에서, 반도체기판(120)에 대하여 제 2 게이트전극을 마스크로 불순물을 이온주입하여, 저농도 불순물확산층(130)을 형성한다.

이어서 도 47의 (c)에 나타내는 바와 같이, 반도체기판(120) 상의 전면에 걸쳐, 예를 들어 50nm~200nm 두께를 갖는 실리콘산화막을 퇴적시킨 후 이 실리콘산화막을 에치백 함으로써, 메모리소자영역에서는 매입절연막(127)의 측면에 측벽절연막(131)을 형성함과 동시에, 논리회로영역에서는 제 2 게이트전극의 측면에 측벽절연막(131)을 형성한다. 그 후 논리회로영역에서, 게이트절연막(124)에 대하여 제 2 게이트전극 및 측벽절연막(131)을 마스크로 선택적 에칭을 실시하여 게이트절연막(124)을 패터닝한다. 이 경우, 메모리소자영역에서는 트랩막(122)이 패터닝된다.

계속해서 도 48의 (a)에 나타내는 바와 같이, 논리회로영역에서, 반도체기판(120)에 대하여 제 2 게이트전극 및 측벽절연막(131)을 마스크로 불순물을 선택적으로 이온주입하여, 드레인영역 또는 소스영역이 될 고농도 불순물확산층(132)을 형성한다.

다음으로 도 48의 (b)에 나타내는 바와 같이, 반도체기판(120) 상의 전면에 걸쳐 코발트막을 퇴적시킨 후 열처리를 실시함으로써 고농도 불순물확산층(132)의 표면부에 실리사이드층(133)을 형성하면, 제 11 실시형태에 관한 반도체기억장치가 얻어진다. 이 때, 메모리소자영역의 게이트전극간 부분에서도 실리사이드층(133)이 형성된다.

제 11 실시형태에 의하면, 메모리소자를 구성하는 다금속구조의 제 1 게이트전극과, 논리회로를 구성하는 트랜지스터의 다금속구조 게이트전극을 같은 공정에서 형성할 수 있으므로, 공정 수의 저감을 도모할 수 있다.

그리고 제 11 실시형태에서는, 다결정실리콘막(125)으로서, 불순물이 도핑되어 이루어지는 다결정 실리콘막을 퇴적시키지만, 이 대신, 불순물이 도핑돼있지 않은 다결정실리콘막을 퇴적시킨 후에 불순물을 도핑해도 된다.

또 제 11 실시형태의 다결정실리콘막(125) 대신, 비정질의 실리콘막을 이용해도 된다.

또한 제 11 실시형태에서는, n형 메모리소자를 형성하지만, 이 대신에 p형 메모리소자를 형성해도 된다.

(제 12 실시형태)

이하, 본 발명의 제 12 실시형태에 관한 반도체기억장치 및 그 제조방법에 대하여, 도 49의 (a)~(c), 도 50의 (a)~(c), 도 51의 (a)~(c), 도 52의 (a)~(c) 및 도 53의 (a)~(c)를 참조하면서 설명하기로 한다. 여기서 이들 도면에 있어서, 왼쪽 도면은 메모리소자 형성영역의 게이트전극 부분을 나타내며, 중앙 도면은 메모리소자 형성영역의 게이트전극간 부분을 나타내고, 오른쪽 도면은 논리회로영역을 나타낸다.

우선 도 49의 (a)에 나타내는 바와 같이, 실리콘기판으로 된 반도체기판(140)에 트렌치소자분리(141)를 형성한 후, 도 49의 (b)에 나타내는 바와 같이 반도체기판(140) 상에 전면에 걸쳐, 예를 들어 실리콘산화막과, 실리콘질화막과, 실리콘산화막의 적층막으로 구성되며 합계 30nm의 막 두께를 갖는 트랩막(142)을 퇴적시킨다.

도 49의 (c)에 나타내는 바와 같이, 반도체기판(140) 상에 전면에 걸쳐, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 150nm~300nm 두께를 갖는 제 1 다결정실리콘막(143)을 퇴적시킨다.

다음에 도 50의 (a)에 나타내는 바와 같이, 제 1 다결정실리콘막(143)에 대하여 마스크(도시 생략)를 이용하여 선택적 에칭을 실시하여 제 1 다결정실리콘막(143)을 패터닝한 후, 반도체기판(140)에 대하여, 패터닝된 제 1 다결정실리콘막(143)을 마스크로 n형 불순물을, 예를 들어 $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 의 조건으로 이온주입하여, 메모리소자 형성영역에, 비트선이 될 n형의 고농도 불순물확산층(144)을 형성한다.

다음으로 도 50의 (c)에 나타내는 바와 같이, 반도체기판(140) 상의 전면에 걸쳐 실리콘산화막을 퇴적시킨 후 이 실리콘산화막에, 예를 들어 CMP 또는 에치백을 실시하여, 이 실리콘산화막의 패터닝된 제 1 다결정실리콘막(143) 상에 존재하는 부분을 제거함으로써, 패터닝된 제 1 다결정실리콘막(143)끼리 사이이며 또 고농도 불순물확산층(144) 상에 매입절연막(145)을 형성한다. 이 경우, 패터닝된 제 1 다결정실리콘막(143)의 높이위치와 매입절연막(145)의 높이위치는 거의 동등해진다.

다음 도 50의 (c)에 나타내는 바와 같이, 패터닝된 제 1 다결정실리콘막(143) 및 매입절연막(145) 상에, 예를 들어 실리콘질화막으로 이루어지며 100nm의 막 두께를 갖는 보호막(146)을 퇴적시킨다.

이어서 도 51의 (a)에 나타내는 바와 같이, 논리회로영역에서, 보호막(146), 패터닝된 제 1 다결정실리콘막(143) 및 트랩막(142)을 순차 제거한 후, 도 51의 (b)에 나타내는 바와 같이, 반도체기판(140)의 표면부를 산화시켜, 예를 들어 2nm~25nm 두께를 갖는 게이트절연막(147)을 형성한다.

다음에 도 51의 (c)에 나타내는 바와 같이, 반도체기판(140) 상에 전면에 걸쳐, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 50nm~200nm 두께를 갖는 제 2 다결정실리콘막(148)을 퇴적시킨다.

다음으로 도 52의 (a)에 나타내는 바와 같이, 제 2 다결정실리콘막(148) 및 패터닝된 제 1 다결정실리콘막(143)에 대하여 제 1 레지스트패턴(149)을 마스크로 선택적 에칭을 실시하여, 메모리소자영역에서, 패터닝된 제 2 다결정실리콘막(148) 및 패터닝된 제 1 다결정실리콘막(143)으로 구성되는 제 1 게이트전극을 형성한다.

다음 도 52의 (b)에 나타내는 바와 같이, 제 2 다결정실리콘막(147)에 대하여 제 2 레지스트패턴(150)을 마스크로 선택적 에칭을 실시하여, 논리회로영역에서, 패터닝된 제 2 다결정실리콘막(148)으로 구성되는 제 2 게이트전극을 형성한다.

다음으로 도 52의 (c)에 나타내는 바와 같이, 제 2 레지스트패턴(150)을 제거한 후, 논리회로영역에서, 반도체기판(140)에 제 2 게이트전극을 마스크로 불순물을 이온주입하여, 저농도 불순물확산층(151)을 형성한다.

다음에 도 53의 (a)에 나타내는 바와 같이, 반도체기판(140) 상의 전면에 걸쳐, 예를 들어 50nm~200nm 두께를 갖는 실리콘산화막을 퇴적시킨 후 이 실리콘산화막을 에치백 함으로써, 메모리소자영역에서 매입절연막(145)의 측면에 측벽절연막(152)을 형성함과 동시에, 논리회로영역에서는 제 2 게이트전극의 측면에 측벽절연막(152)을 형성한다. 그 다음 논리회로영역에서, 게이트절연막(147)에 대하여 제 2 게이트전극 및 측벽절연막(152)을 마스크로 선택적 에칭을 실시하여 게이트절연막(147)을 패터닝한다. 이 경우, 메모리소자영역에서는 트랩막(142)이 패터닝된다.

이어서 도 53의 (b)에 나타내는 바와 같이, 논리회로영역에서, 반도체기판(140)에 대하여 제 2 게이트전극 및 측벽절연막(152)을 마스크로 불순물을 선택적으로 이온주입하여, 드레인영역 또는 소스영역이 될 고농도 불순물확산층(153)을 형성한다.

다음으로 도 53의 (c)에 나타내는 바와 같이, 반도체기판(140) 상의 전면에 걸쳐 코발트막을 퇴적시킨 후 열처리를 실시함으로써, 메모리소자영역의 제 1 게이트전극 표면부에 실리사이드층(154)을 형성함과 동시에, 논리회로영역의 제 2 게이트전극 표면부에 실리사이드층(154)을 형성하면, 제 12 실시형태에 관한 반도체기억장치가 얻어진다.

제 12 실시형태에 의하면, 메모리소자를 구성하는 트랜지스터의 제 2 게이트전극은, 패턴화된 제 2 다결정실리콘막(147)만으로 구성되므로, 제 2 게이트전극의 미세화를 도모할 수 있다.

또 제 12 실시형태에서는, 제 1 다결정실리콘막(143) 및 제 2 다결정실리콘막(147)으로서, 불순물이 도핑되어 이루어지는 다결정실리콘막을 퇴적시키지만, 이 대신에 불순물이 도핑되지 않은 다결정실리콘막을 퇴적시킨 후에 불순물을 도핑해도 된다.

또한 제 12 실시형태의 제 1 다결정실리콘막(143) 및 제 2 다결정실리콘막(147) 대신에, 비정질의 실리콘막을 이용해도 된다.

또 제 12 실시형태에서는, n형 메모리소자를 형성하지만, 이 대신에 p형 메모리소자를 형성해도 된다.

(제 13 실시형태)

이하, 본 발명의 제 13 실시형태에 관한 반도체기억장치 및 그 제조방법에 대하여, 도 54의 (a)~(c), 도 55의 (a)~(c), 도 56의 (a)~(c), 도 57의 (a)~(c) 및 도 58의 (a)~(c)를 참조하면서 설명하기로 한다. 여기서 이들 도면에 있어서, 왼쪽 도면은 메모리소자 형성영역의 게이트전극 부분을 나타내며, 중앙 도면은 메모리소자 형성영역의 게이트전극간 부분을 나타내고, 오른쪽 도면은 논리회로영역을 나타낸다.

우선 도 54의 (a)에 나타내는 바와 같이, 실리콘기판으로 된 반도체기판(160)에 트렌치소자분리(161)를 형성한 후, 도 54의 (b)에 나타내는 바와 같이 반도체기판(160) 상의 전면에 걸쳐, 예를 들어 실리콘산화막으로 이루어지며 6nm~15nm 두께를 갖는 터널절연막(162)을 형성한다.

다음으로 반도체기판(160) 상의 전면에 걸쳐, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 150nm~300nm 두께를 갖는 제 1 다결정실리콘막(163)을 퇴적시킨다.

다음에 도 55의 (a)에 나타내는 바와 같이, 제 1 다결정실리콘막(163)을 패터닝한 후, 반도체기판(160)에 대하여 패터닝된 제 1 다결정실리콘막(163)을 마스크로 n형 불순물을, 예를 들어 $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 의 조건으로 이온주입하여, 메모리소자 형성영역에, 비트선이 될 n형의 고농도 불순물확산층(164)을 형성한다.

다음 도 55의 (b)에 나타내는 바와 같이, 반도체기판(160) 상의 전면에 걸쳐 실리콘산화막을 퇴적시킨 후 이 실리콘산화막에 대하여, 예를 들어 CMP 또는 에치백을 실시하여, 이 실리콘산화막의 패터닝된 제 1 다결정실리콘막(163) 상에 존재하는 부분을 제거함으로써, 패터닝된 제 1 다결정실리콘막(163)끼리 사이이며 또 고농도 불순물확산층(164) 상에 매입절연막(165)을 형성한다. 이 경우, 패터닝된 제 1 다결정실리콘막(163)의 높이위치와 매입절연막(165)의 높이위치는 거의 동등해진다.

이어서 도 55의 (c)에 나타내는 바와 같이, 예를 들어 실리콘산화막과, 실리콘질화막과, 실리콘산화막의 적층막으로 구성되는 전극간절연막(166)을 퇴적시킨다.

다음에 도 56의 (a)에 나타내는 바와 같이, 논리회로영역에서, 전극간절연막(166), 패터닝된 제 1 다결정실리콘막(163) 및 터널절연막(162)을 순차 제거한 후, 도 56의 (b)에 나타내는 바와 같이 반도체기판(160)의 표면부를 산화시켜, 예를 들어 2nm~25nm 두께를 갖는 게이트절연막(167)을 형성한다.

다음으로 도 56의 (c)에 나타내는 바와 같이, 반도체기판(160) 상의 전면에 걸쳐, 예를 들어 인이 $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 도핑되며 50nm~200nm 두께를 갖는 제 2 다결정실리콘막(168)을 퇴적시킨다.

다음 도 57의 (a)에 나타내는 바와 같이, 제 2 다결정실리콘막(168) 및 패터닝된 제 1 다결정실리콘막(163)에 대하여, 제 1 레지스트패턴(169)을 마스크로 선택적 에칭을 실시하여, 메모리소자영역에서, 패터닝된 제 2 다결정실리콘막(168)으로 구성되는 제 1 게이트전극과, 패터닝된 전극간절연막(166)과, 패터닝된 제 1 다결정실리콘막(163)으로 구성되는 부유전극을 구비하는 메모리소자를 형성한다.

이어서 도 57의 (b)에 나타내는 바와 같이, 제 2 다결정실리콘막(168)에 대하여 제 2 레지스트패턴(170)을 마스크로 선택적 에칭을 실시하여, 논리회로영역에서, 패터닝된 제 2 다결정실리콘막(168)으로 구성되는 제 2 게이트전극을 형성한다.

다음으로, 도 57의 (c)에 나타내는 바와 같이, 제 2 레지스트패턴(170)을 제거한 후, 논리회로영역에서, 반도체기판(160)에 대하여 제 2 게이트전극을 마스크로 불순물을 이온주입하여, 저농도 불순물확산층(171)을 형성한다.

다음에 도 58의 (a)에 나타내는 바와 같이, 반도체기판(160) 상의 전면에 걸쳐, 예를 들어 50nm~200nm 두께를 갖는 실리콘산화막을 퇴적시킨 후 이 실리콘산화막을 에치백 함으로써, 메모리소자영역에서 매입절연막(165)의 측면에 측벽절연막(172)을 형성함과 동시에, 논리회로영역에서는 제 2 게이트전극의 측면에 측벽절연막(172)을 형성한다. 그 다음 논리회로영역에서, 게이트절연막(167)에 대하여 제 2 게이트전극 및 측벽절연막(172)을 마스크로 선택적 에칭을 실시하여 게이트절연막(167)을 패터닝한다. 이 경우, 메모리소자영역에서는 터널절연막(162)이 패터닝된다.

계속해서 도 58의 (b)에 나타내는 바와 같이, 논리회로영역에서, 반도체기판(160)에 대하여 제 2 게이트전극 및 측벽절연막(172)을 마스크로 불순물을 선택적으로 이온주입하여, 드레인영역 또는 소스영역이 될 고농도 불순물확산층(173)을 형성한다.

다음으로 도 58의 (c)에 나타내는 바와 같이, 반도체기판(160) 상의 전면에 걸쳐 코발트막을 퇴적시킨 후 열처리를 실시함으로써, 메모리소자영역의 제 1 게이트전극 표면부에 실리사이드층(174)을 형성함과 동시에, 논리회로영역의 제 2 게이트전극 표면부에 실리사이드층(174)을 형성하면, 제 13 실시형태에 관한 반도체기억장치가 얻어진다.

제 13 실시형태에서는, 제 1 다결정실리콘막(163) 및 제 2 다결정실리콘막(167)으로서, 불순물이 도핑되어 이루어지는 다결정실리콘막을 퇴적시키지만, 이 대신에 불순물이 도핑돼있지 않은 다결정실리콘막을 퇴적시킨 후에 불순물을 도핑해도 된다.

또 제 13 실시형태의 제 1 다결정실리콘막(163) 및 제 2 다결정실리콘막(167) 대신, 비정질의 실리콘막을 이용해도 된다.

또한 제 13 실시형태에서는, n형 메모리소자를 형성하지만, 이 대신에 p형 메모리소자를 형성해도 된다.

제 13 실시형태에 의하면, 메모리소자를 구성하는 제 1 게이트전극과, 논리회로를 구성하는 트랜지스터의 제 2 게이트전극을 실질적으로 같은 공정에서 형성할 수 있으므로, 공정 수의 저감을 도모할 수 있다. 이 경우, 제 2 게이트전극은 패터닝된 제 2 다결정실리콘막(167)만으로 형성되므로, 제 2 게이트전극의 미세화를 도모할 수 있다.

또 제 1 게이트전극 표면부의 실리사이드층(174)과, 제 2 게이트전극 표면부의 실리사이드층(174)을 같은 공정에서 형성할 수 있으므로, 공정 수의 저감을 도모할 수 있다.

또한 메모리소자영역에서의 매입절연막(165) 측면의 측벽절연막(172)과, 논리회로를 구성하는 트랜지스터의 제 2 게이트전극 측면의 측벽절연막(172)을 같은 공정에서 형성할 수 있으므로, 공정 수의 저감을 도모할 수 있다.

그런데, 부유전극, 전극간절연막 및 게이트전극으로 구성되는 메모리소자를 구비하는 실시형태로서는, 제 1 실시형태와 대응하는 제 9 실시형태와, 제 12 실시형태와 대응하는 제 13 실시형태만을 나타냈지만, 이 외에, 제 2, 제 3, 제 4, 제 5, 제 6 및 제 7 실시형태와 대응하는 실시형태도 당연히 실시 가능하다.

제 2 실시형태를, 부유전극, 전극간절연막 및 게이트전극으로 구성되는 메모리소자를 구비하는 실시형태에 대응시킬 경우에는, 트랩막(21) 대신에 터널절연막을 형성함과 동시에, 제 2 다결정실리콘막(26)의 아래쪽에 전극간절연막을 퇴적시키면 된다.

제 3 실시형태를, 부유전극, 전극간절연막 및 게이트전극으로 구성되는 메모리소자를 구비하는 실시형태에 대응시킬 경우에는, 트랩막(31) 대신에 터널절연막을 형성함과 동시에, 제 2 다결정실리콘막(38)의 아래쪽에 전극간절연막을 퇴적시키면 된다.

제 4 실시형태를, 부유전극, 전극간절연막 및 게이트전극으로 구성되는 메모리소자를 구비하는 실시형태에 대응시킬 경우에는, 트랩막(41) 대신에 터널절연막을 형성함과 동시에, 제 2 다결정실리콘막(49)의 아래쪽에 전극간절연막을 퇴적시키면 된다.

제 5 실시형태를, 부유전극, 전극간절연막 및 게이트전극으로 구성되는 메모리소자를 구비하는 실시형태에 대응시킬 경우에는, 트랩막(51) 대신에 터널절연막을 형성함과 동시에, 제 2 다결정실리콘막(58)의 아래쪽에 전극간절연막을 퇴적시키면 된다.

제 6 실시형태를, 부유전극, 전극간절연막 및 게이트전극으로 구성되는 메모리소자를 구비하는 실시형태에 대응시킬 경우에는, 트랩막(61) 대신에 터널절연막을 형성함과 동시에, 제 2 다결정실리콘막(66)의 아래쪽에 전극간절연막을 퇴적시키면 된다.

제 7 실시형태를, 부유전극, 전극간절연막 및 게이트전극으로 구성되는 메모리소자를 구비하는 실시형태에 대응시킬 경우에는, 트랩막(71) 대신에 터널절연막을 형성함과 동시에, 제 2 다결정실리콘막(76)의 아래쪽에 전극간절연막을 퇴적시키면 된다.

산업상 이용 가능성

본 발명에 관한 제 1~제 3 반도체기억장치 및 제 1~제 6 반도체기억장치의 제조방법에 의하면, 반도체기억장치의 미세화 및 비트선의 저 저항화를 실현 가능함과 동시에, 게이트전극에 대하여 살리사이드를 실시하기가 가능해진다.

(57) 청구의 범위

청구항 1.

반도체기판의 표면영역에 서로 떨어져 형성된 한 쌍의 불순물확산층과,

상기 반도체기판 상에 있어서 상기 한 쌍의 불순물확산층끼리 사이의 영역에 형성된 트랩막과,

상기 트랩막 상에 형성된 게이트전극으로 이루어지는 메모리소자를 복수 구비하며,

상기 한 쌍의 불순물확산층은 동일 형상이고, 상기 한 쌍의 불순물확산층의 각각의 일부는 함께 상기 반도체기판과 수직한 방향에 있어서 상기 게이트전극과 오버랩되고,

인접하는 상기 메모리소자끼리는 각각 상기 한 쌍의 불순물확산층의 일방을 공유하며,

상기 인접하는 메모리소자의 게이트전극 간은 상기 공유된 불순물확산층의 상부를 피복하도록 형성된 절연막에 의해서 매입되어 있는 것을 특징으로 하는 반도체기억장치.

청구항 2.

반도체기판의 표면영역에 스트라이프형으로 형성되며, 비트선이 될 복수의 불순물확산층과,

상기 반도체기판 상에 있어서 상기 복수 불순물확산층의 위쪽에 형성되며, 비트선 방향으로 연장되는 복수의 매입절연막과,

상기 반도체기판 상에 형성되고 워드선 방향으로 연장되는 메모리소자의 게이트전극을 구비하며,

상기 게이트전극은, 상기 반도체기판 상의 상기 복수 매입절연막끼리의 사이에 트랩막을 개재하고 형성되고 상기 복수 매입절연막의 높이위치와 거의 동등한 높이위치를 갖는 복수의 제 1 도전막과, 상기 복수의 매입절연막 및 상기 복수의 제 1 도전막 상에 걸쳐 형성되며 상기 복수의 제 1 도전막끼리를 전기적으로 접속하는 제 2 도전막을 가지며,

인접하는 상기 메모리소자끼리는 각각 상기 한 쌍의 불순물확산층의 일방을 공유하고,

상기 한 쌍의 불순물확산층은 동일 형상이고, 상기 한 쌍의 불순물확산층의 각각의 일부는 함께 상기 반도체기판과 수직한 방향에 있어서 상기 게이트전극과 오버랩되어 있는 것을 특징으로 하는 반도체기억장치.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 트랩막은, 상기 반도체기판 상에 순차 퇴적된, 실리콘산화막, 실리콘질화막 및 실리콘산화막의 적층막으로 구성되는 것을 특징으로 하는 반도체기억장치.

청구항 4.

반도체기판의 표면영역에 스트라이프형으로 형성되며, 비트선이 될 복수의 불순물확산층과,

상기 반도체기판 상에 있어서 상기 복수 불순물확산층의 위쪽에 형성되며, 비트선 방향으로 연장되는 복수의 매입절연막과,

상기 반도체기판 상에 있어서 상기 복수의 매입절연막끼리의 사이에 터널절연막을 개재하고 형성되며, 상기 복수의 매입절연막의 높이위치와 거의 동등한 높이위치를 갖는 제 1 도전막으로 구성되는 복수의 부유전극과,

상기 복수의 매입절연막 및 상기 복수의 부유전극 상에 걸쳐 형성되며, 워드선 방향으로 연장되는 전극간 절연막과,

상기 전극간 절연막 상에 형성되며, 워드선 방향으로 연장되는 제 2 도전막으로 구성되는 메모리소자의 게이트전극을 구비하며,

인접하는 상기 메모리소자끼리는 각각 상기 한 쌍의 불순물확산층의 일방을 공유하고,

상기 한 쌍의 불순물확산층은 동일 형상이고, 상기 한 쌍의 불순물확산층의 각각의 일부는 함께 상기 반도체기판과 수직한 방향에 있어서 상기 게이트전극과 오버랩되어 있는 것을 특징으로 하는 반도체기억장치.

청구항 5.

제 2 항 또는 제 4 항에 있어서,

상기 제 1 도전막의 측면에 형성된 측벽절연막을 구비하는 것을 특징으로 하는 반도체기억장치.

청구항 6.

제 5 항에 있어서,

상기 불순물확산층과 상기 매입절연막 사이이며 또 서로 대향하는 상기 측벽절연막끼리 사이에 금속막이 형성되는 것을 특징으로 하는 반도체기억장치.

청구항 7.

제 2 항 또는 제 4 항에 있어서,

상기 불순물확산층은, 중앙부에 형성된 고농도 불순물확산층과 상기 고농도 불순물확산층 양쪽에 형성된 저농도 불순물확산층을 갖는 것을 특징으로 하는 반도체기억장치.

청구항 8.

제 2 항 또는 제 4 항에 있어서,

상기 제 2 도전막의 표면부에는 실리사이드층이 형성되는 것을 특징으로 하는 반도체기억장치.

청구항 9.

제 8 항에 있어서,

상기 매입절연막의 측면에 형성된 측벽절연막을 구비하는 것을 특징으로 하는 반도체기억장치.

청구항 10.

제 8 항에 있어서,

상기 복수의 매입절연막끼리의 사이에 매입된 절연막을 구비하는 것을 특징으로 하는 반도체기억장치.

청구항 11.

제 2 항 또는 제 4 항에 있어서,

상기 제 2 도전막은 금속막인 것을 특징으로 하는 반도체기억장치.

청구항 12.

제 2 항 또는 제 4 항에 있어서,

상기 반도체기판 상에는, 논리회로를 구성하는 트랜지스터가 형성되며,

상기 트랜지스터의 게이트전극은, 상기 제 1 도전막과 상기 제 2 도전막과의 적층구조를 갖는 것을 특징으로 하는 반도체기억장치.

청구항 13.

제 12 항에 있어서,

상기 제 2 도전막의 표면부에는 실리사이드층이 형성되는 것을 특징으로 하는 반도체기억장치.

청구항 14.

제 12 항에 있어서,

상기 제 2 도전막은 금속막으로 이루어지는 것을 특징으로 하는 반도체기억장치.

청구항 15.

제 2 항 또는 제 4 항에 있어서,

상기 반도체기판 상에는, 논리회로를 구성하는 트랜지스터가 형성되며,

상기 트랜지스터의 게이트전극은, 상기 제 2 도전막만으로 이루어지는 것을 특징으로 하는 반도체기억장치.

청구항 16.

반도체기판 상의 메모리소자 형성영역에 트랩막을 형성하는 공정과,

상기 트랩막 상에 제 1 도전막을 퇴적시키는 공정과,

상기 제 1 도전막을 비트선 방향으로 연장되는 제 1 마스크패턴을 이용하여 패터닝하는 공정과,

상기 반도체기판에 대하여, 상기 제 1 마스크패턴 또는 패터닝된 상기 제 1 도전막을 마스크로 불순물을 주입하여 비트선이 될 불순물확산층을 형성하는 공정과,

상기 반도체기판 상의 패터닝된 상기 제 1 도전막끼리 사이에 매입절연막을 형성하는 공정과,

패터닝된 상기 제 1 도전막 및 상기 매입절연막 상에 제 2 도전막을 퇴적시키는 공정과,

상기 제 2 도전막 및 패터닝된 상기 제 1 도전막을 워드선 방향으로 연장되는 제 2 마스크패턴을 이용하여 패터닝하고, 패터닝된 상기 제 2 도전막 및 패터닝된 상기 제 1 도전막으로 구성되는 메모리소자의 게이트전극을 형성하는 공정을 구비하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 17.

반도체기판 상의 메모리소자 형성영역에 트랩막을 형성하는 공정과,

상기 트랩막 상에 제 1 도전막을 퇴적시키는 공정과,

상기 제 1 도전막을 비트선 방향으로 연장되는 제 1 마스크패턴을 이용하여 패터닝하는 공정과,

패터닝된 상기 제 1 도전막의 측면에 제 1 측벽절연막을 형성하는 공정과,

상기 반도체기판에 대하여, 패터닝된 상기 제 1 도전막 및 상기 제 1 측벽절연막을 마스크로 불순물을 주입하여 비트선이 될 불순물확산층을 형성하는 공정과,

상기 반도체기판에 열처리를 실시하여, 상기 불순물확산층을 패터닝된 상기 제 1 도전막과 중첩시키는 공정과,

상기 반도체기판 상의 서로 대향하는 상기 제 1 측벽절연막끼리 사이에 매입절연막을 형성하는 공정과,

패터닝된 상기 제 1 도전막 및 상기 매입절연막 상에 제 2 도전막을 퇴적시키는 공정과,

상기 제 2 도전막 및 패터닝된 상기 제 1 도전막을 워드선 방향으로 연장되는 제 2 마스크패턴을 이용하고 패터닝하여, 패터닝된 상기 제 2 도전막 및 패터닝된 상기 제 1 도전막으로 이루어지는 메모리소자의 게이트전극을 형성하는 공정을 구비하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 18.

반도체기판 상의 메모리소자 형성영역에 트랩막을 형성하는 공정과,

상기 트랩막 상에 제 1 도전막을 퇴적시키는 공정과,

상기 제 1 도전막을 비트선 방향으로 연장되는 제 1 마스크패턴을 이용하여 패터닝하는 공정과,

상기 반도체기판에 대하여, 패터닝된 상기 제 1 도전막을 마스크로 불순물을 주입하여 저농도 불순물확산층을 형성하는 공정과,

패터닝된 상기 제 1 도전막의 측면에 제 1 측벽절연막을 형성하는 공정과,

상기 반도체기판에 대하여, 패터닝된 상기 제 1 도전막 및 상기 제 1 측벽절연막을 마스크로 불순물을 주입하여 비트선이 될 고농도 불순물확산층을 형성하는 공정과,

상기 반도체기판 상의 서로 대향하는 상기 제 1 측벽절연막끼리 사이에 매입절연막을 형성하는 공정과,

패터닝된 상기 제 1 도전막 및 상기 매입절연막 상에 제 2 도전막을 퇴적시키는 공정과,

상기 제 2 도전막 및 패터닝된 상기 제 1 도전막을 워드선 방향으로 연장되는 제 2 마스크패턴을 이용하여 패터닝하고, 패터닝된 상기 제 2 도전막 및 패터닝된 상기 제 1 도전막으로 이루어지는 메모리소자의 게이트전극을 형성하는 공정을 구비하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 19.

제 17 항 또는 제 18 항에 있어서,

상기 매입절연막을 형성하는 공정은, 상기 반도체기판 상에 금속막을 개재하고 상기 매입절연막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 20.

제 16 항 또는 제 17 항에 있어서,

상기 불순물확산층을 형성하는 공정은, 상기 반도체기판에 대하여 상기 트랩막을 개재하고 상기 불순물을 주입하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 21.

제 16 항 또는 제 17 항에 있어서,

상기 제 1 도전막을 패터닝하는 공정과 상기 불순물확산층을 형성하는 공정 사이에, 상기 제 1 마스크패턴 또는 패터닝된 상기 제 1 도전막을 마스크로 상기 트랩막을 패터닝하는 공정을 구비하며,

상기 불순물확산층을 형성하는 공정은, 상기 반도체기판에 대하여 상기 트랩막을 개재하는 일없이 상기 불순물을 주입하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 22.

제 18 항에 있어서,

상기 저농도 불순물화산층을 형성하는 공정은, 상기 반도체기판에 대하여 상기 트랩막을 개재하고 상기 불순물을 주입하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 23.

제 18 항에 있어서,

상기 저농도 불순물화산층을 형성하는 공정은, 상기 트랩막의 패터닝된 상기 제 1 도전막으로부터 노출된 영역 중 적어도 일부분을 제거한 후, 상기 반도체기판에 대하여 상기 불순물을 주입하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 24.

제 22 항에 있어서,

상기 고농도 불순물화산층을 형성하는 공정은, 상기 반도체기판에 대하여 상기 트랩막을 개재하고 상기 불순물을 주입하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 25.

제 22 항에 있어서,

상기 저농도 불순물화산층을 형성하는 공정과 상기 고농도 불순물화산층을 형성하는 공정 사이에, 상기 제 1 마스크패턴 또는 패터닝된 상기 제 1 도전막을 마스크로 상기 트랩막을 패터닝하는 공정을 구비하며,

상기 고농도 불순물화산층을 형성하는 공정은, 상기 반도체기판에 대하여 상기 트랩막을 개재하는 일없이 상기 불순물을 주입하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 26.

제 18 항에 있어서,

상기 제 1 도전막을 패터닝하는 공정과 상기 저농도 불순물화산층을 형성하는 공정 사이에, 상기 제 1 마스크패턴 또는 패터닝된 상기 제 1 도전막을 마스크로 상기 트랩막을 패터닝하는 공정을 구비하며,

상기 저농도 불순물화산층을 형성하는 공정은, 상기 반도체기판에 대하여 상기 트랩막을 개재하는 일없이 상기 불순물을 주입하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 27.

제 16, 17 또는 제 18 항에 있어서,

상기 게이트전극을 형성하는 공정은, 패터닝된 상기 제 2 도전막의 표면부에 실리사이드층을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 28.

제 16, 17 또는 제 18 항에 있어서,

상기 게이트전극을 형성하는 공정은, 상기 매입절연막의 측면에 제 2 측벽절연막을 형성한 후, 패터닝된 상기 제 2 도전막의 표면부에 실리사이드층을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 29.

제 28 항에 있어서,

상기 반도체기억장치는, 상기 반도체기판 상에 형성되고 논리회로를 구성하는 트랜지스터를 구비하며,

상기 매입절연막의 측면에 상기 제 2 측벽절연막을 형성하는 공정은, 상기 논리회로를 구성하는 트랜지스터의 게이트전극의 측면에 상기 제 2 측벽절연막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 30.

제 16, 17 또는 제 18 항에 있어서,

상기 게이트전극을 형성하는 공정은, 상기 매입절연막끼리 사이에 절연막을 매입한 후, 패터닝된 상기 제 2 도전막의 표면부에 실리사이드층을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 31.

제 17 항 또는 제 18 항에 있어서,

상기 제 2 도전막은 금속막인 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 32.

제 31 항에 있어서,

상기 반도체기억장치는, 상기 반도체기판 상에 형성되고 논리회로를 구성하는 트랜지스터를 구비하며,

상기 논리회로를 구성하는 트랜지스터의 게이트전극은, 패터닝된 상기 제 1 도전막과 패터닝된 상기 금속막과의 적층구조를 갖는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 33.

제 16, 17 또는 제 18 항에 있어서,

상기 반도체기억장치는, 상기 반도체기판 상에 형성되고 논리회로를 구성하는 트랜지스터를 구비하며,

상기 논리회로를 구성하는 트랜지스터의 게이트전극은, 패터닝된 상기 제 2 도전막만으로 이루어지는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 34.

제 16, 17 또는 제 18 항에 있어서,

상기 반도체기억장치는, 상기 반도체기판 상에 형성되고 논리회로를 구성하는 트랜지스터를 구비하며,

상기 게이트전극을 형성하는 공정은, 상기 반도체기판 상의 논리회로 형성영역에 있어서, 상기 제 2 도전막 및 패터닝된 상기 제 1 도전막을 패터닝함으로써, 패터닝된 상기 제 2 도전막 및 패터닝된 상기 제 1 도전막으로 이루어지는, 상기 논리회로를 구성하는 트랜지스터의 게이트전극을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 35.

반도체기판 상의 메모리소자 형성영역에 터널절연막을 형성하는 공정과,

상기 터널절연막 상에 제 1 도전막을 퇴적시키는 공정과,

상기 제 1 도전막을 비트선 방향으로 연장되는 제 1 마스크패턴을 이용하여 패터닝하는 공정과,

상기 반도체기판에 대하여, 상기 제 1 마스크패턴 또는 패터닝된 상기 제 1 도전막을 마스크로 불순물을 주입하여 비트선이 될 불순물확산층을 형성하는 공정과,

상기 반도체기판 상의 패터닝된 상기 제 1 도전막끼리 사이에 매입절연막을 형성하는 공정과,

패터닝된 상기 제 1 도전막 및 상기 매입절연막 상에 전극간절연막을 퇴적시키는 공정과,

상기 전극간절연막 상에 제 2 도전막을 퇴적시키는 공정과,

상기 제 2 도전막, 상기 전극간절연막 및 패터닝된 상기 제 1 도전막을 워드선 방향으로 연장되는 제 2 마스크패턴을 이용하고 패터닝하여, 패터닝된 상기 제 2 도전막으로 이루어지는 메모리소자의 게이트전극, 및 패터닝된 상기 제 1 도전막으로 이루어지는 부유전극을 형성하는 공정을 구비하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 36.

반도체기판 상의 메모리소자 형성영역에 터널절연막을 형성하는 공정과,

상기 터널절연막 상에 제 1 도전막을 퇴적시키는 공정과,

상기 제 1 도전막을 비트선 방향으로 연장되는 제 1 마스크패턴을 이용하여 패터닝하는 공정과,

패터닝된 상기 제 1 도전막의 측면에 제 1 측벽절연막을 형성하는 공정과,

상기 반도체기판에 대하여, 패터닝된 상기 제 1 도전막 및 상기 제 1 측벽절연막을 마스크로 불순물을 주입하여 비트선이 될 불순물확산층을 형성하는 공정과,

상기 반도체기판에 열처리를 실시하여, 상기 불순물확산층을 패터닝된 상기 제 1 도전막과 중첩시키는 공정과,

상기 반도체기판 상의 서로 대향하는 상기 제 1 측벽절연막끼리 사이에 매입절연막을 형성하는 공정과,

패터닝된 상기 제 1 도전막 및 상기 매입절연막 상에 전극간절연막을 퇴적시키는 공정과,

상기 전극간절연막 상에 제 2 도전막을 퇴적시키는 공정과,

상기 제 2 도전막, 상기 전극간절연막 및 패터닝된 상기 제 1 도전막을 워드선 방향으로 연장되는 제 2 마스크패턴을 이용하여 패터닝하고, 패터닝된 상기 제 2 도전막으로 이루어지는 메모리소자의 케이트전극, 및 패터닝된 상기 제 1 도전막으로 이루어지는 부유전극을 형성하는 공정을 구비하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 37.

반도체기판 상의 메모리소자 형성영역에 터널절연막을 형성하는 공정과,

상기 터널절연막 상에 제 1 도전막을 퇴적시키는 공정과,

상기 제 1 도전막을 비트선 방향으로 연장되는 제 1 마스크패턴을 이용하여 패터닝하는 공정과,

상기 반도체기판에 대하여, 패터닝된 상기 제 1 도전막을 마스크로 불순물을 주입하여 저농도 불순물확산층을 형성하는 공정과,

패터닝된 상기 제 1 도전막의 측면에 제 1 측벽절연막을 형성하는 공정과,

상기 반도체기판에 대하여, 패터닝된 상기 제 1 도전막 및 상기 제 1 측벽절연막을 마스크로 불순물을 주입하여 비트선이 될 고농도 불순물확산층을 형성하는 공정과,

상기 반도체기판 상의 서로 대향하는 상기 제 1 측벽절연막끼리 사이에 매입절연막을 형성하는 공정과,

패터닝된 상기 제 1 도전막 및 상기 매입절연막 상에 전극간절연막을 퇴적시키는 공정과,

상기 전극간절연막 상에 제 2 도전막을 퇴적시키는 공정과,

상기 제 2 도전막, 상기 전극간절연막 및 패터닝된 상기 제 1 도전막을 워드선 방향으로 연장되는 제 2 마스크패턴을 이용하여 패터닝하고, 패터닝된 상기 제 2 도전막으로 이루어지는 메모리소자의 케이트전극, 및 패터닝된 상기 제 1 도전막으로 이루어지는 부유전극을 형성하는 공정을 구비하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 38.

제 35 항 또는 제 36 항에 있어서,

상기 매입절연막을 형성하는 공정은, 상기 반도체기판 상에 금속막을 개재하고 상기 매입절연막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 39.

제 35 항 또는 제 36 항에 있어서,

상기 불순물확산층을 형성하는 공정은, 상기 반도체기판에 대하여 상기 터널절연막을 개재하고 상기 불순물을 주입하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 40.

제 35 항 또는 제 36 항에 있어서,

상기 제 1 도전막을 패터닝하는 공정과 상기 불순물화산층을 형성하는 공정 사이에, 상기 제 1 마스크패턴 또는 패터닝된 상기 제 1 도전막을 마스크로 상기 터널절연막을 패터닝하는 공정을 구비하며,

상기 불순물화산층을 형성하는 공정은, 상기 반도체기판에 대하여 상기 터널절연막을 개재하는 일없이 상기 불순물을 주입하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 41.

제 37 항에 있어서,

상기 저농도 불순물화산층을 형성하는 공정은, 상기 반도체기판에 대하여 상기 터널절연막을 개재하고 상기 불순물을 주입하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 42.

제 37 항에 있어서,

상기 저농도 불순물화산층을 형성하는 공정은, 상기 터널절연막의 패터닝된 상기 제 1 도전막으로부터 노출된 영역 중 적어도 일부분을 제거한 후, 상기 반도체기판에 대하여 상기 불순물을 주입하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 43.

제 41 항에 있어서,

상기 고농도 불순물화산층을 형성하는 공정은, 상기 반도체기판에 대하여 상기 터널절연막을 개재하고 상기 불순물을 주입하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 44.

제 41 항에 있어서,

상기 저농도 불순물화산층을 형성하는 공정과 상기 고농도 불순물화산층을 형성하는 공정 사이에, 상기 제 1 마스크패턴 또는 패터닝된 상기 제 1 도전막을 마스크로 상기 터널절연막을 패터닝하는 공정을 구비하며,

상기 고농도 불순물화산층을 형성하는 공정은, 상기 반도체기판에 대하여 상기 터널절연막을 개재하는 일없이 상기 불순물을 주입하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 45.

제 37 항에 있어서,

상기 제 1 도전막을 패터닝하는 공정과 상기 저농도 불순물확산층을 형성하는 공정 사이에, 상기 제 1 마스크패턴 또는 패터닝된 상기 제 1 도전막을 마스크로 상기 터널절연막을 패터닝하는 공정을 구비하며,

상기 저농도 불순물확산층을 형성하는 공정은, 상기 반도체기판에 대하여 상기 터널절연막을 개재하는 일없이 상기 불순물을 주입하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 46.

제 35, 36 또는 37 항에 있어서,

상기 게이트전극을 형성하는 공정은, 패터닝된 상기 제 2 도전막의 표면부에 실리사이드층을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 47.

제 35, 36 또는 37 항에 있어서,

상기 게이트전극을 형성하는 공정은, 상기 매입절연막의 측면에 제 2 측벽절연막을 형성한 후, 패터닝된 상기 제 2 도전막의 표면부에 실리사이드층을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 48.

제 47 항에 있어서,

상기 반도체기억장치는, 상기 반도체기판 상에 형성되고 논리회로를 구성하는 트랜지스터를 구비하며,

상기 매입절연막의 측면에 상기 제 2 측벽절연막을 형성하는 공정은, 상기 논리회로를 구성하는 트랜지스터의 게이트전극 측면에 상기 제 2 측벽절연막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 49.

제 35, 36 또는 제 37 항에 있어서,

상기 게이트전극을 형성하는 공정은, 상기 매입절연막끼리 사이에 절연막을 매입한 후, 패터닝된 상기 제 2 도전막의 표면부에 실리사이드층을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 50.

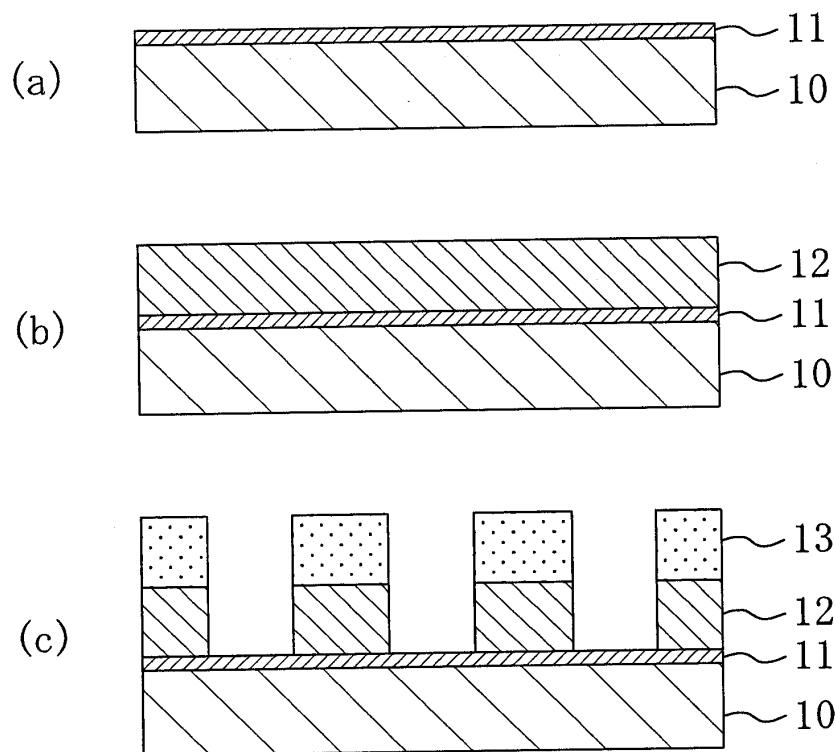
제 35, 36 또는 37 항에 있어서,

상기 반도체기억장치는, 상기 반도체기판 상에 형성되고 논리회로를 구성하는 트랜지스터를 구비하며,

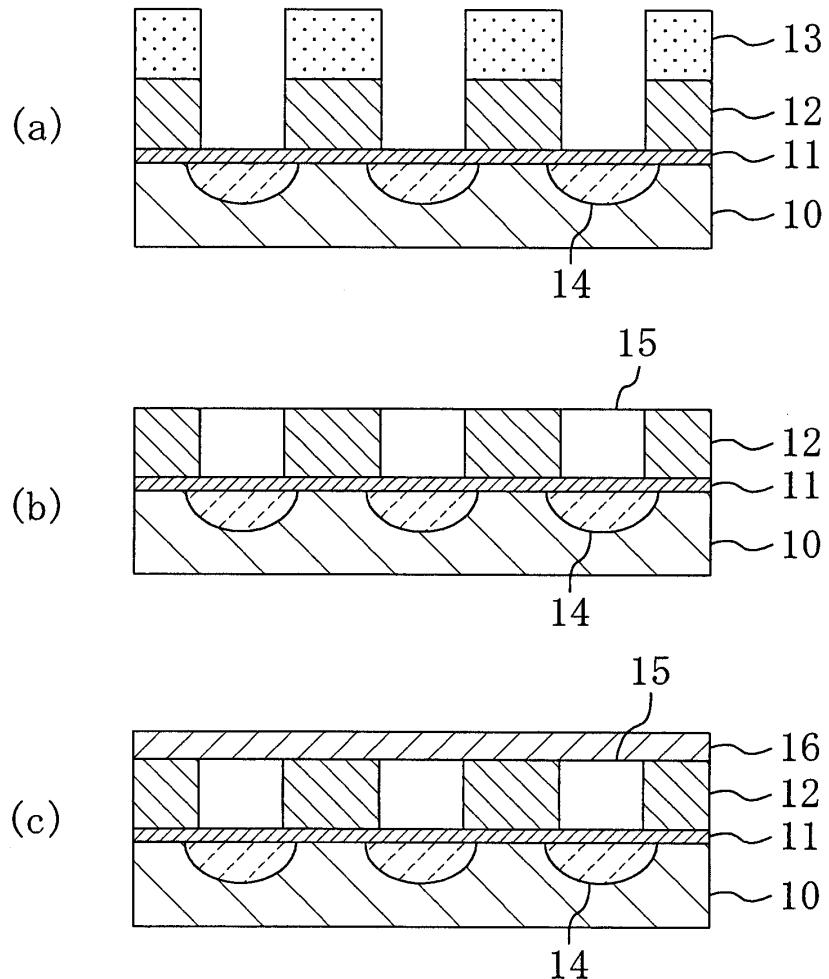
상기 논리회로를 구성하는 트랜지스터의 게이트전극은, 패터닝된 상기 제 2 도전막만으로 이루어지는 것을 특징으로 하는 반도체기억장치의 제조방법.

도면

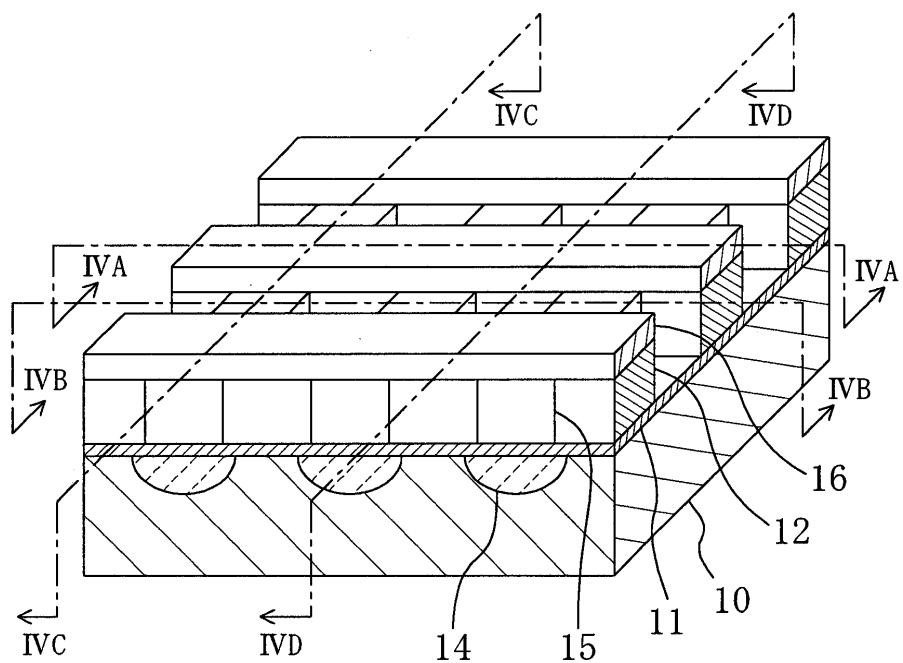
도면1



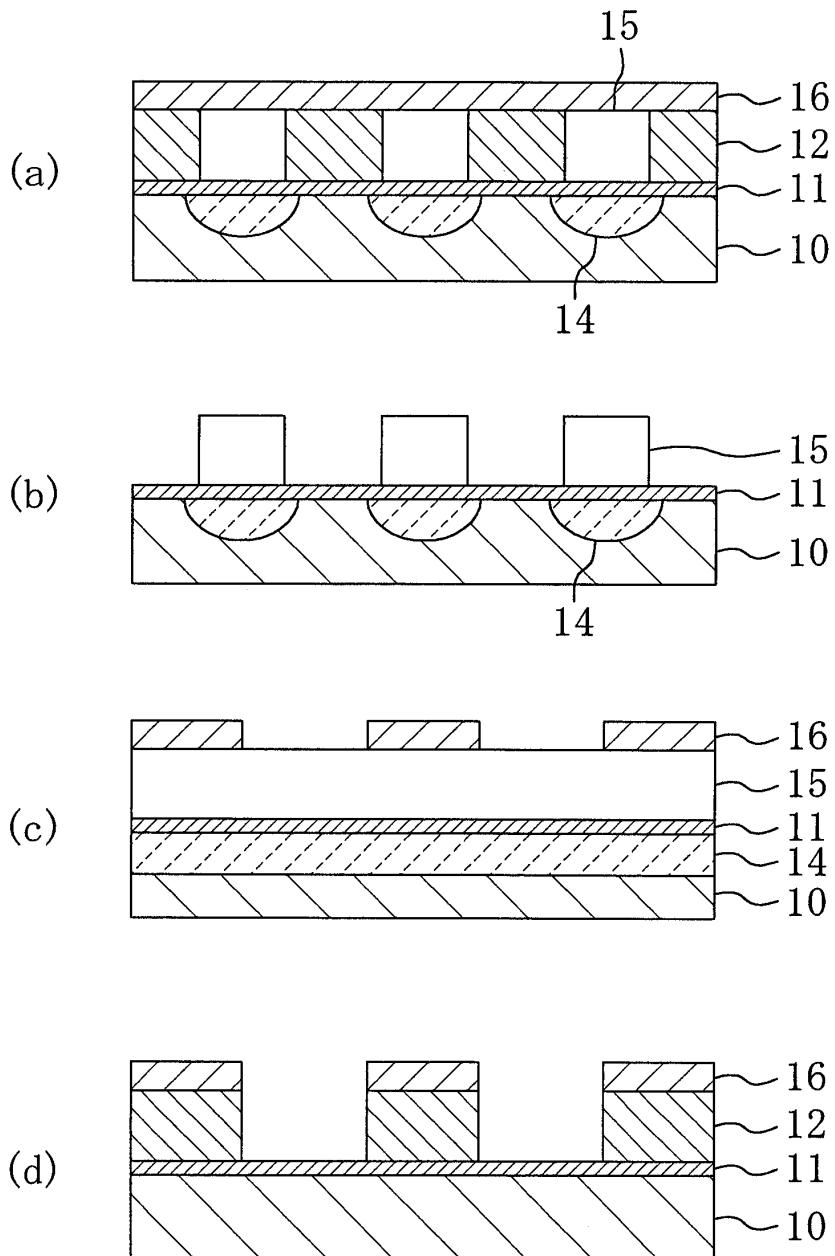
도면2



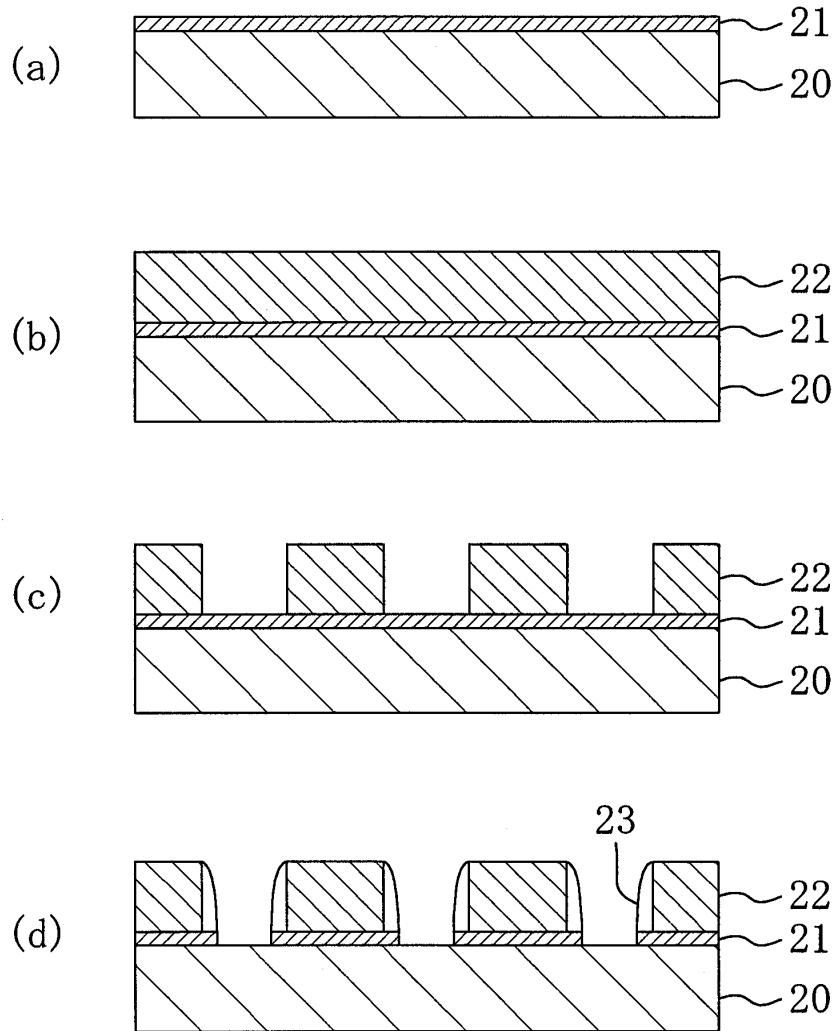
도면3



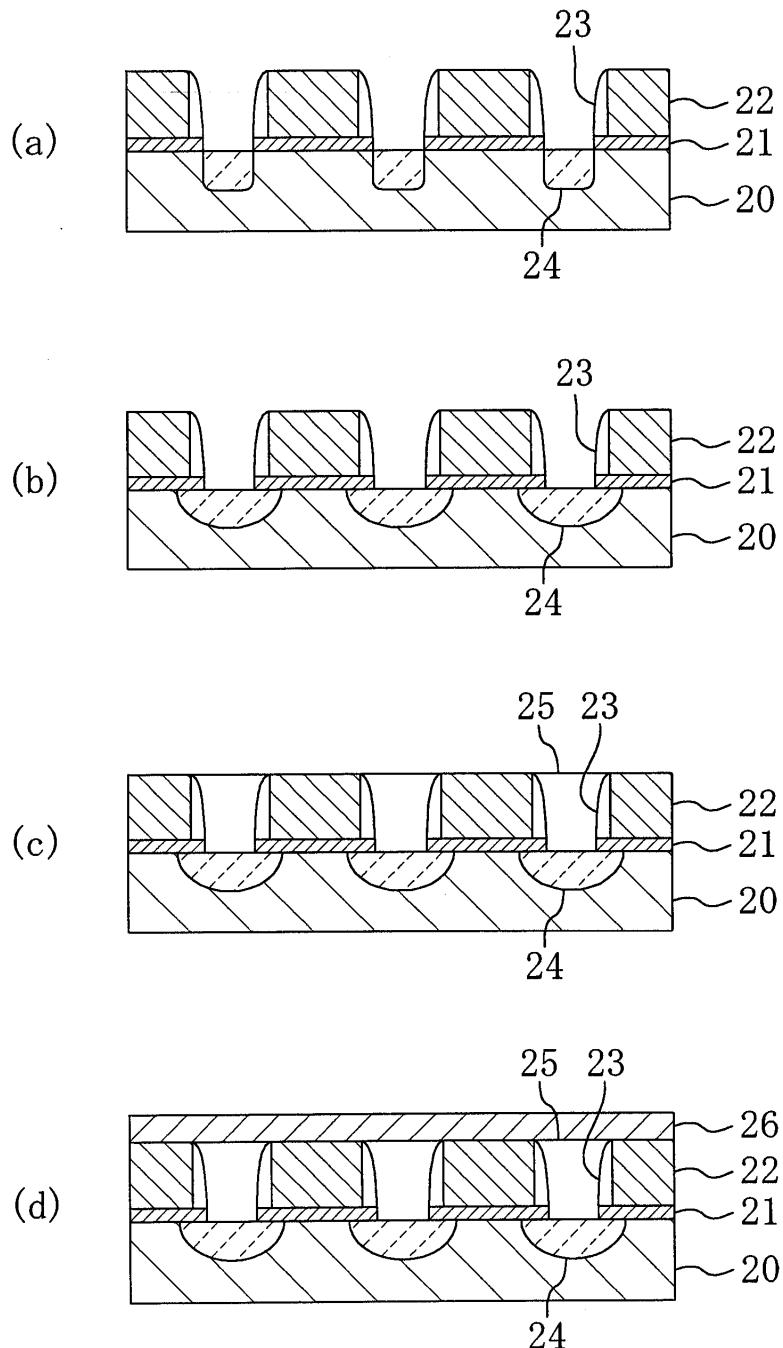
도면4



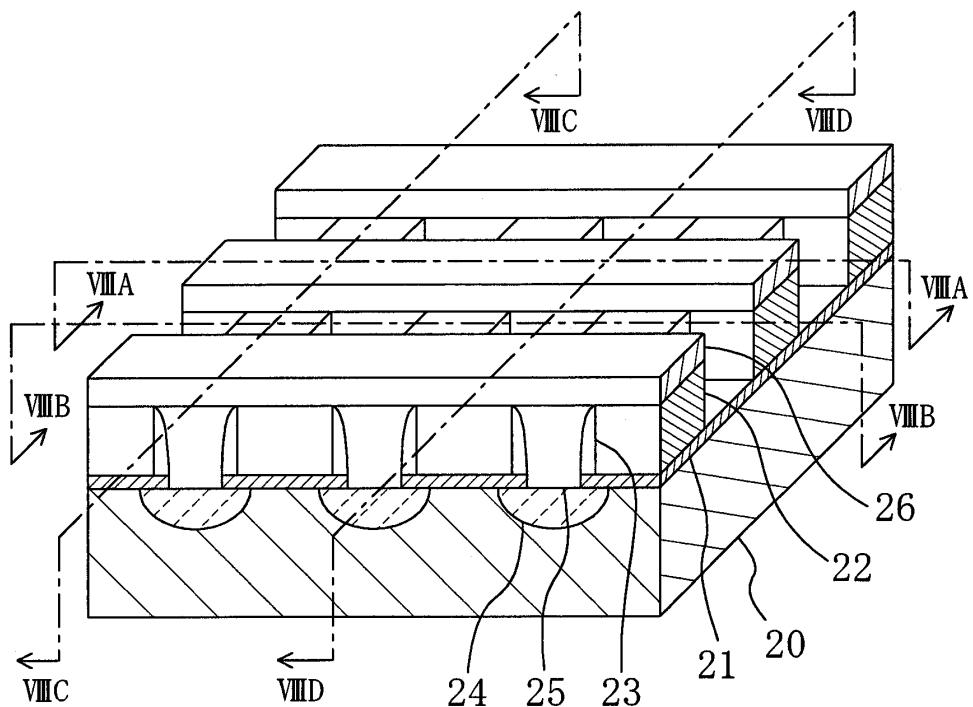
도면5



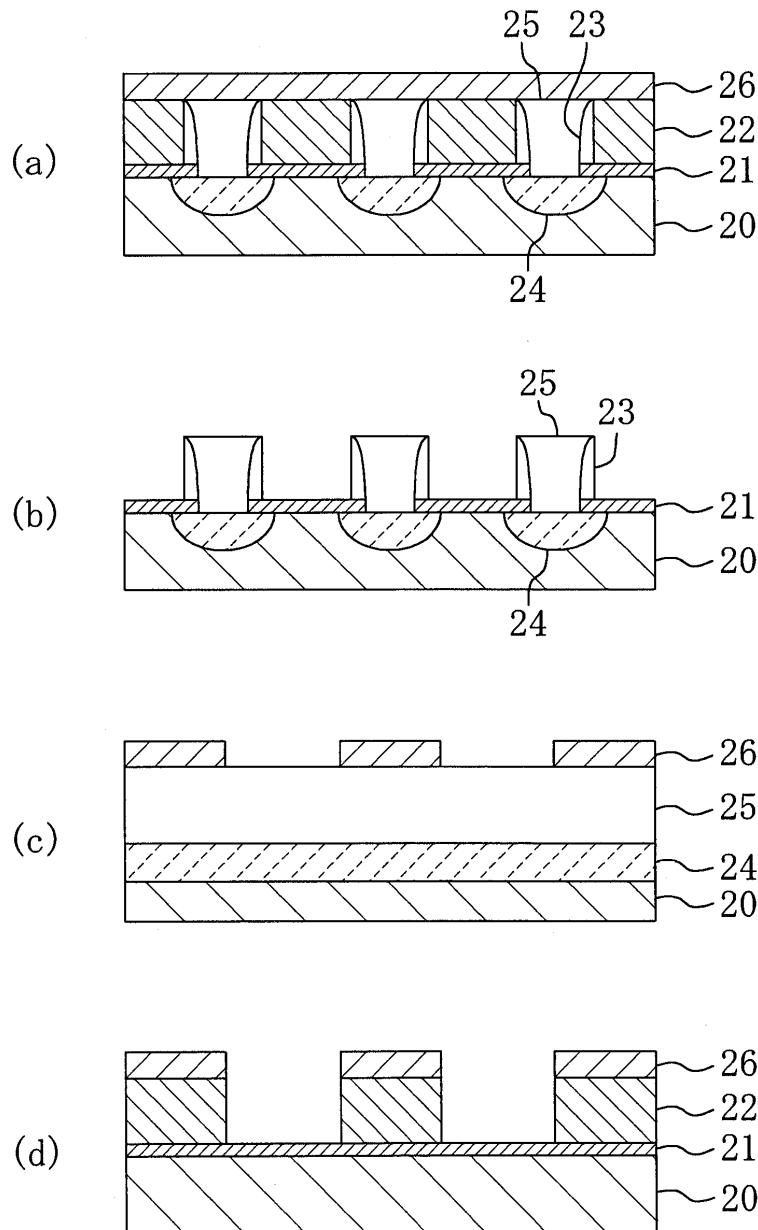
도면6



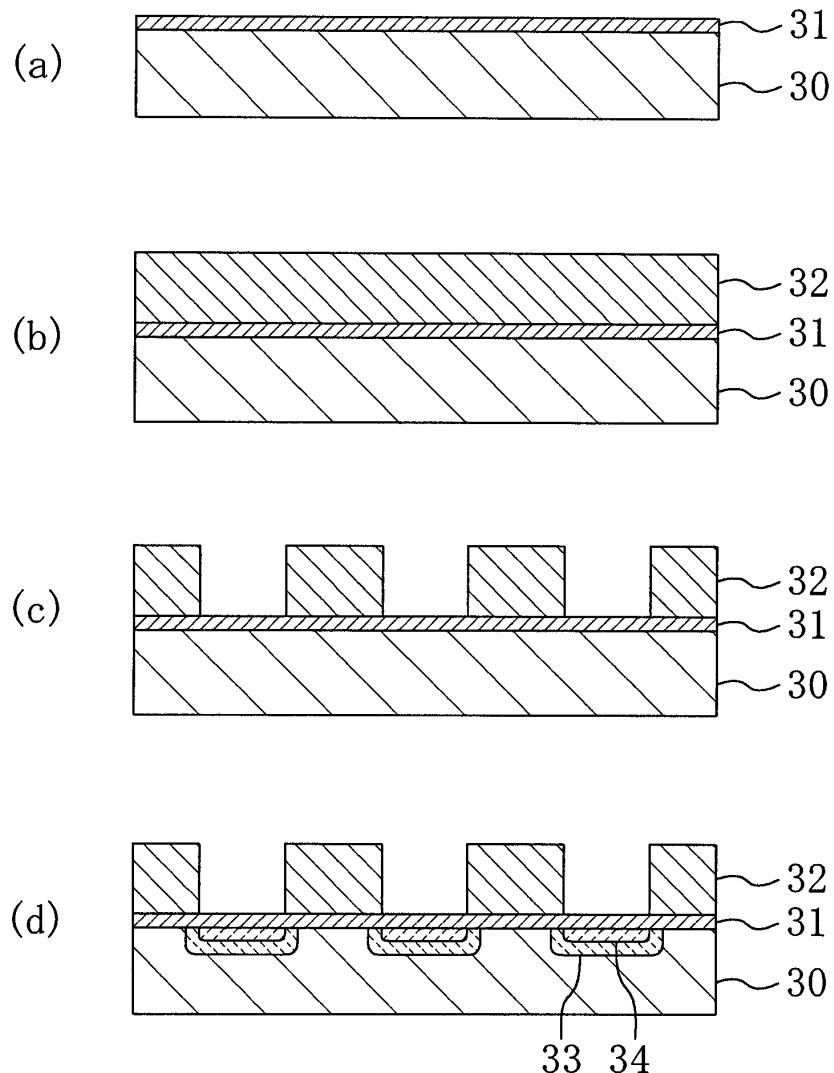
도면7



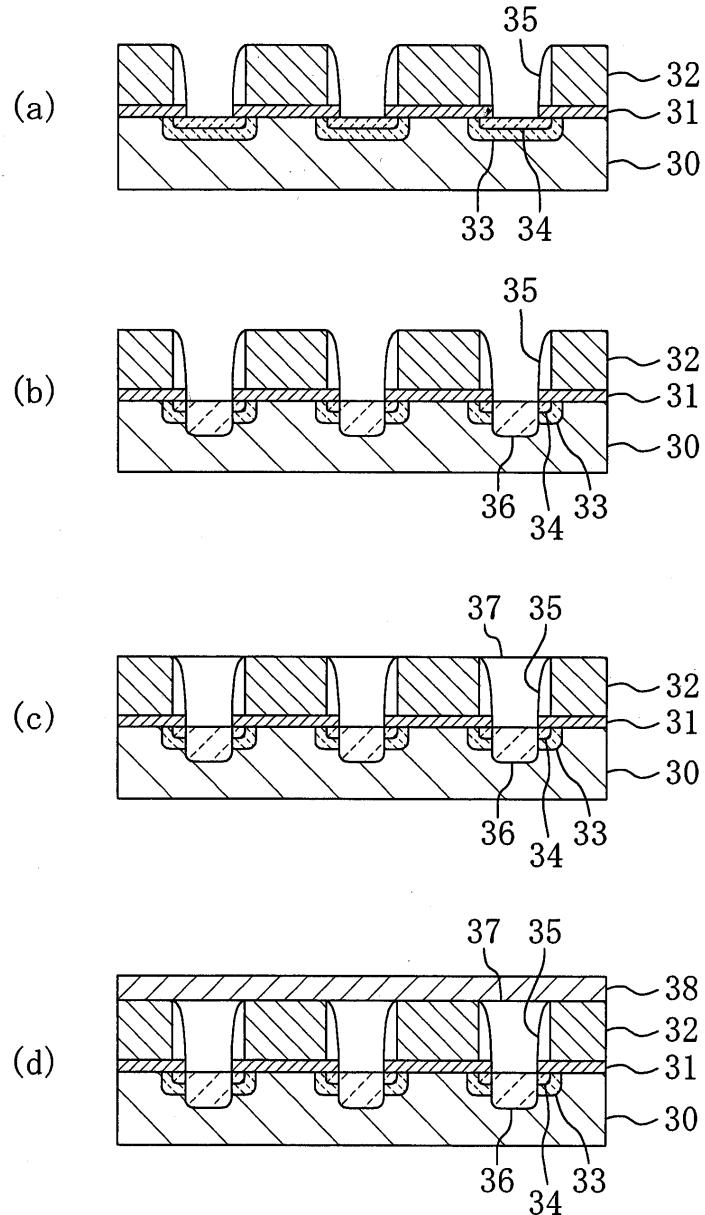
도면8



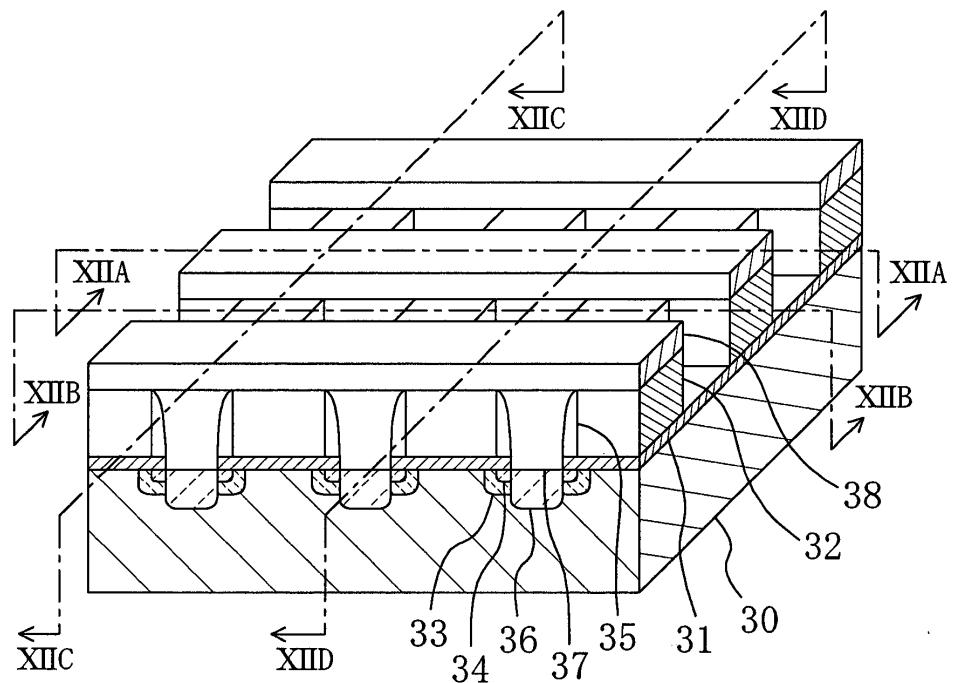
도면9



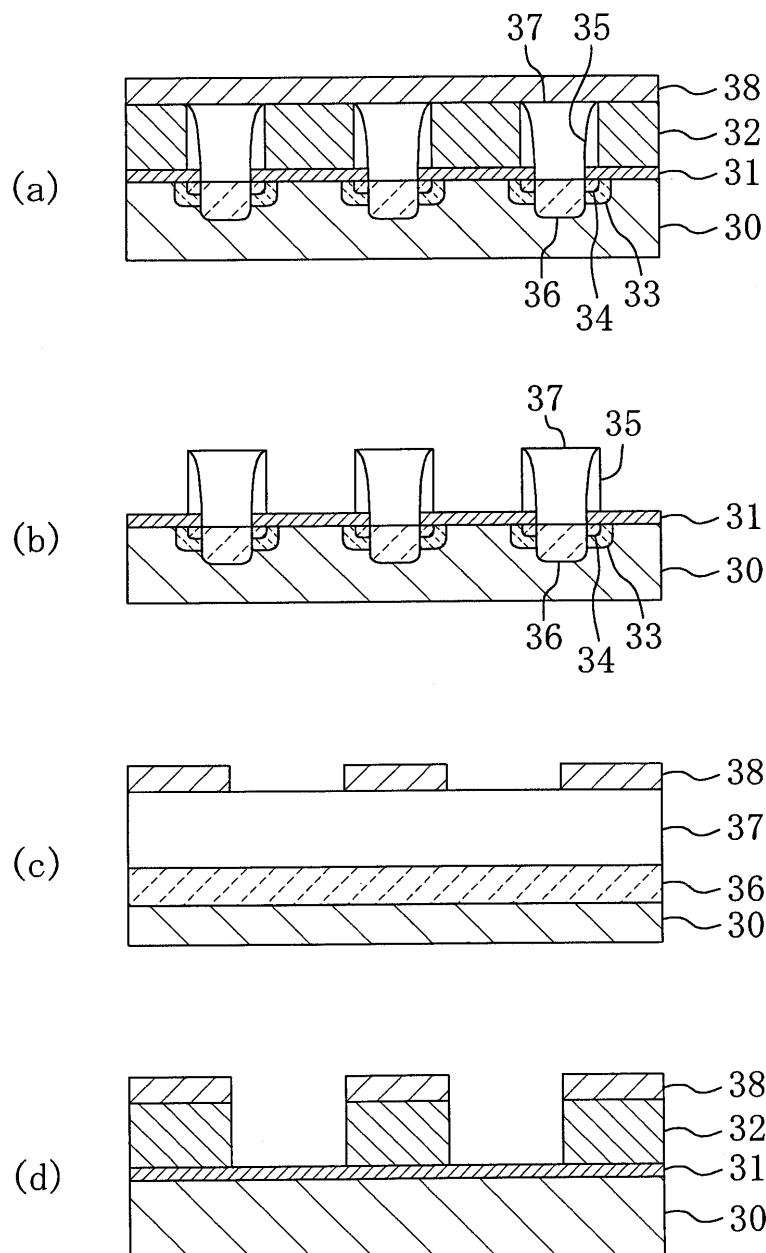
도면10



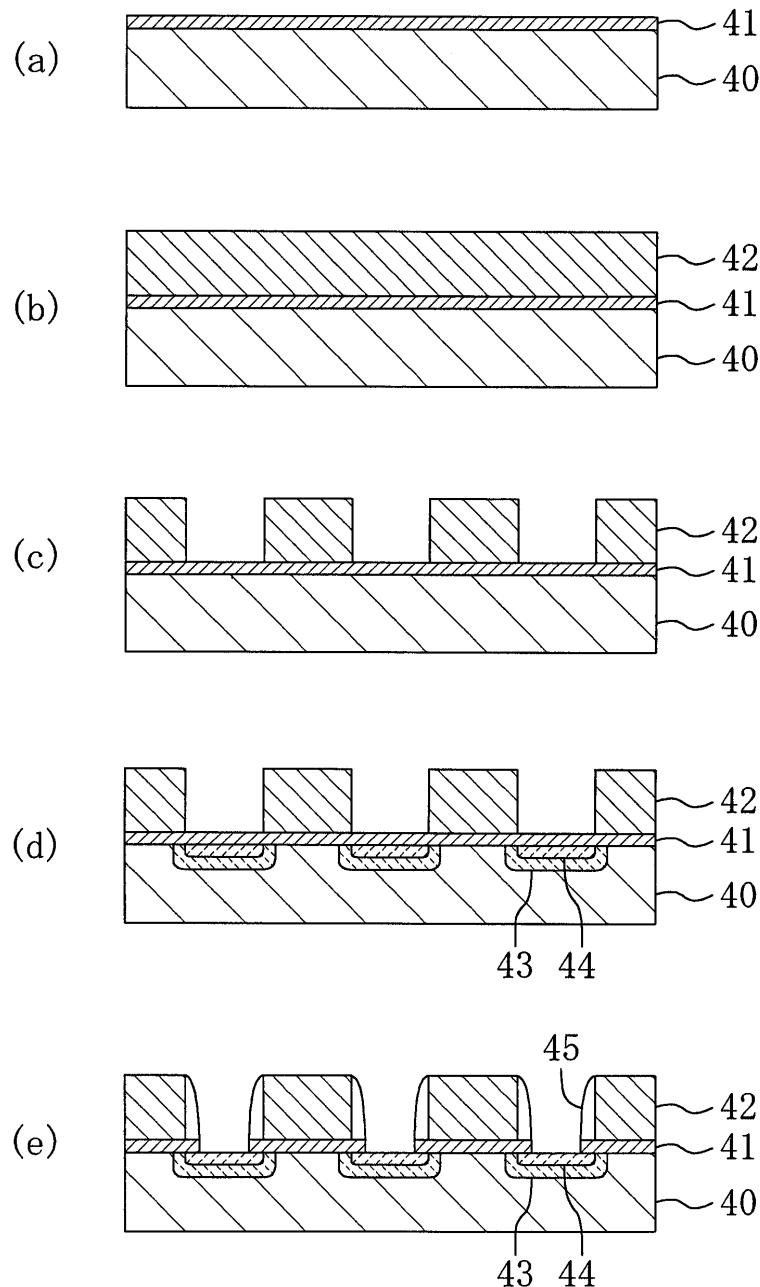
도면11



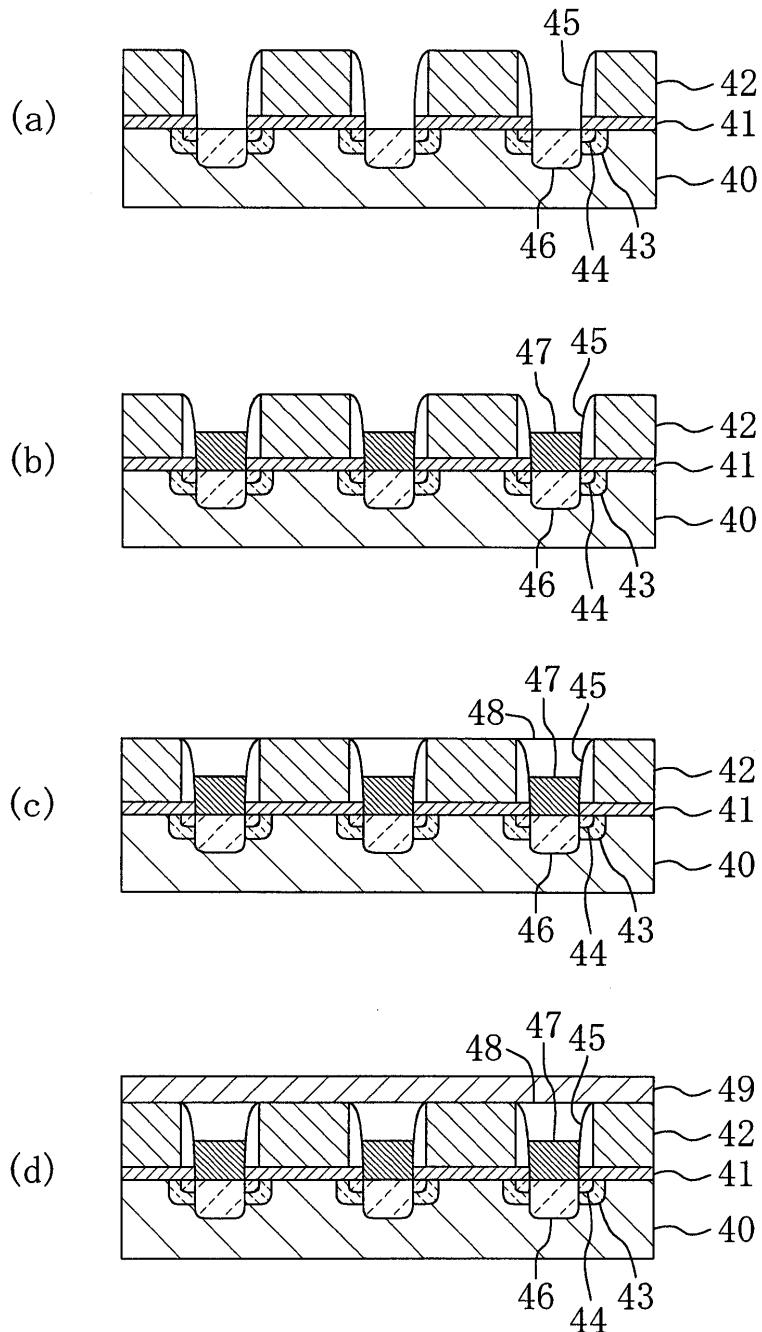
도면12



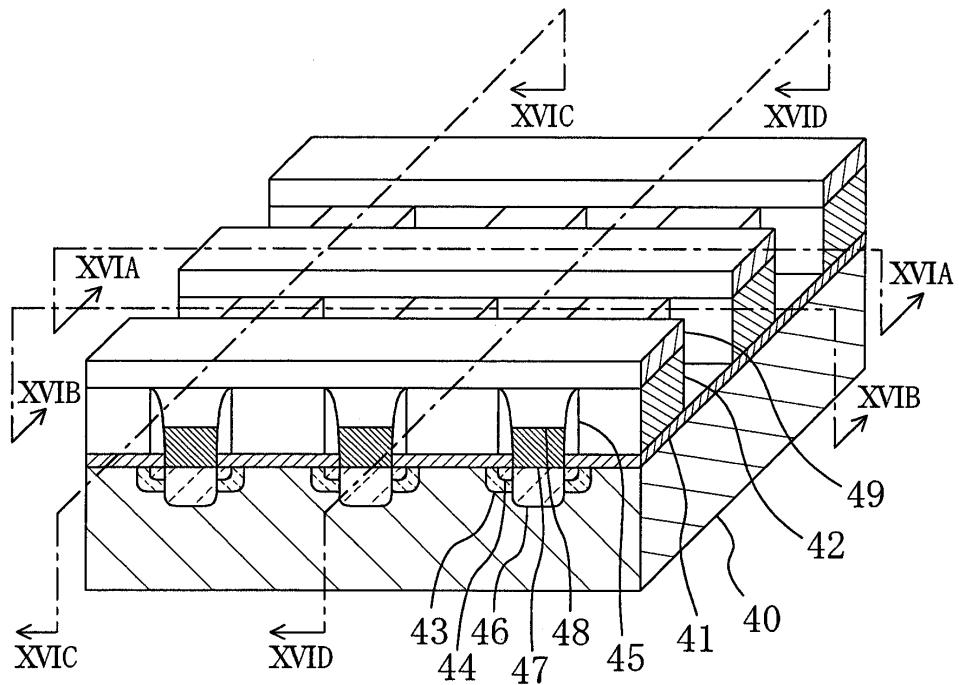
도면13



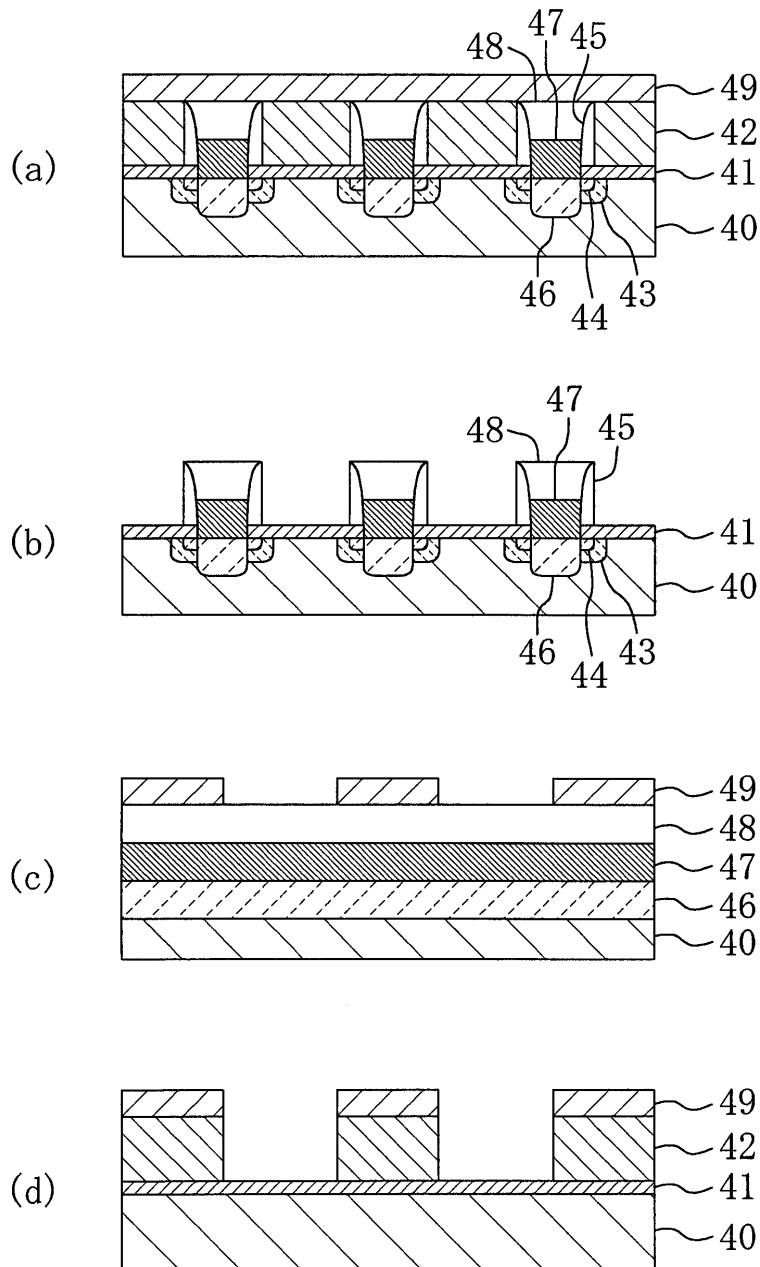
도면14



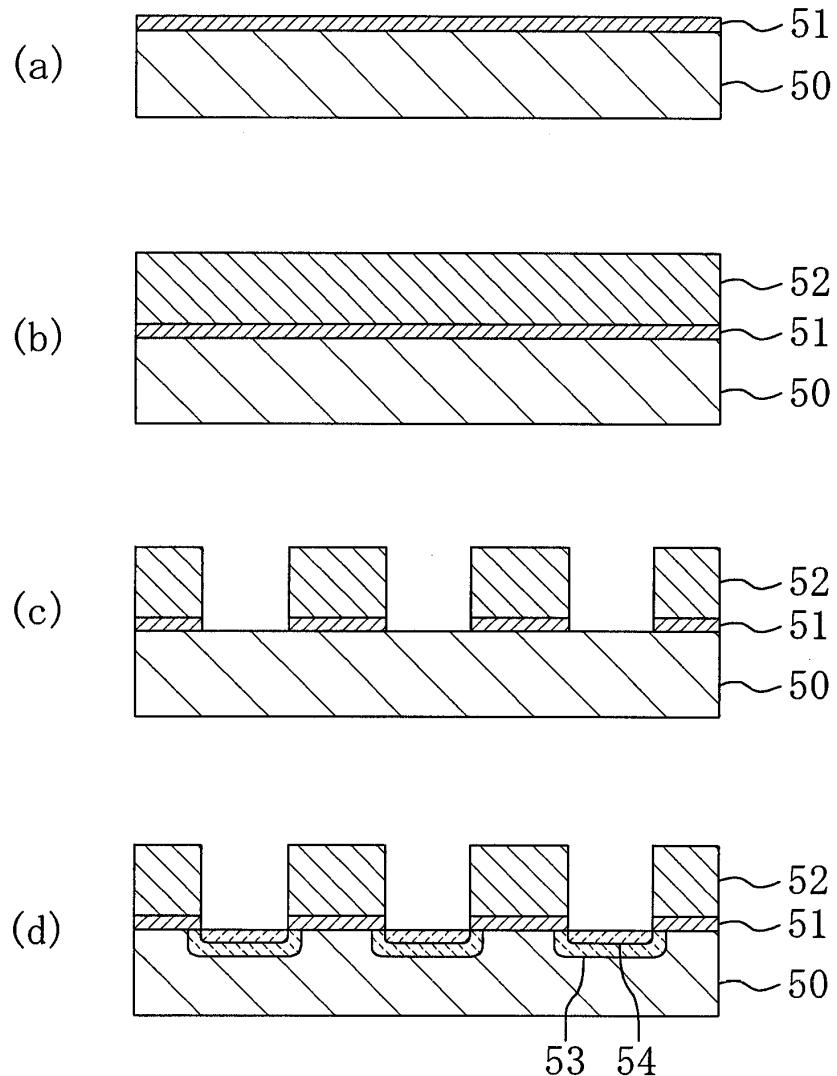
도면15



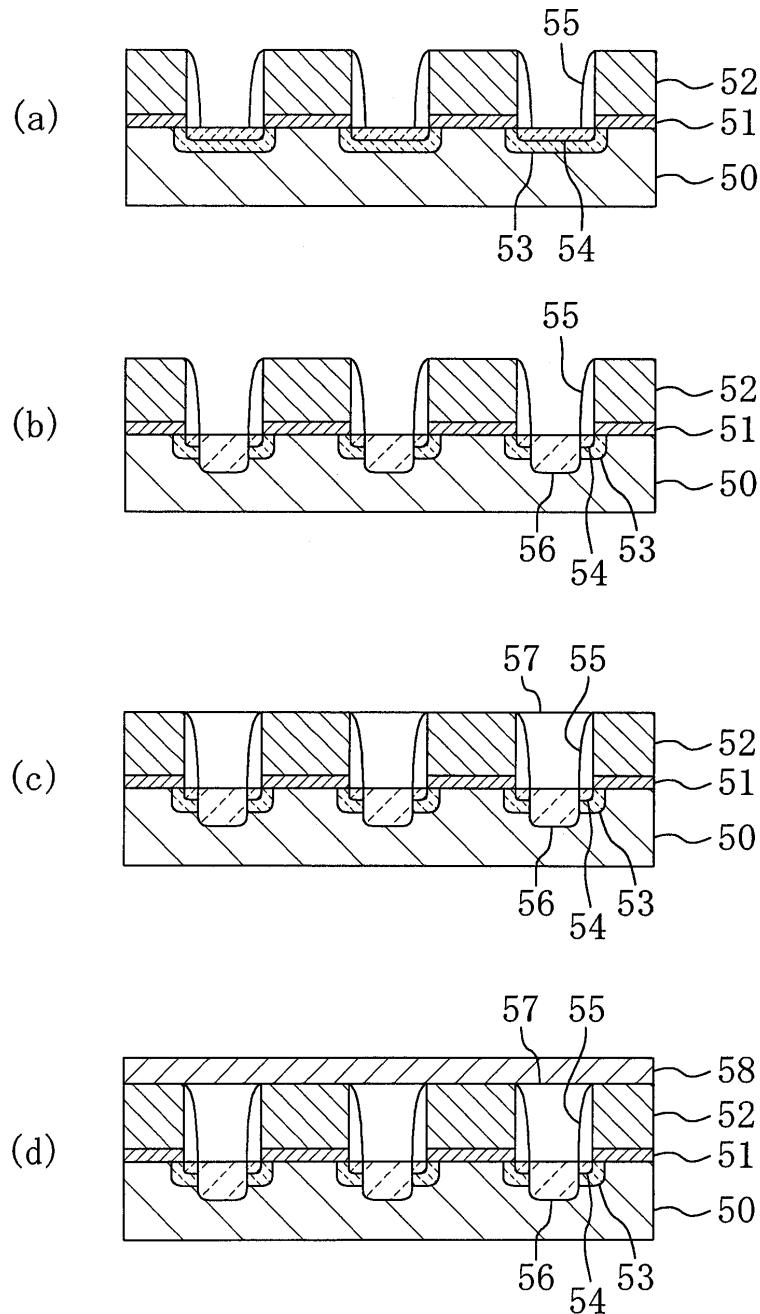
도면16



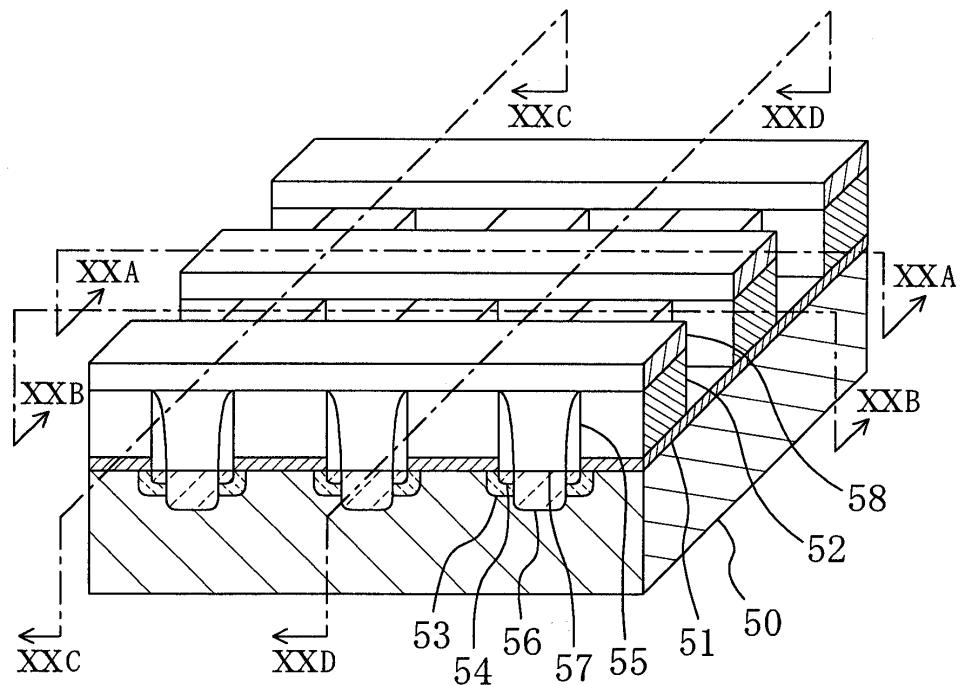
도면17



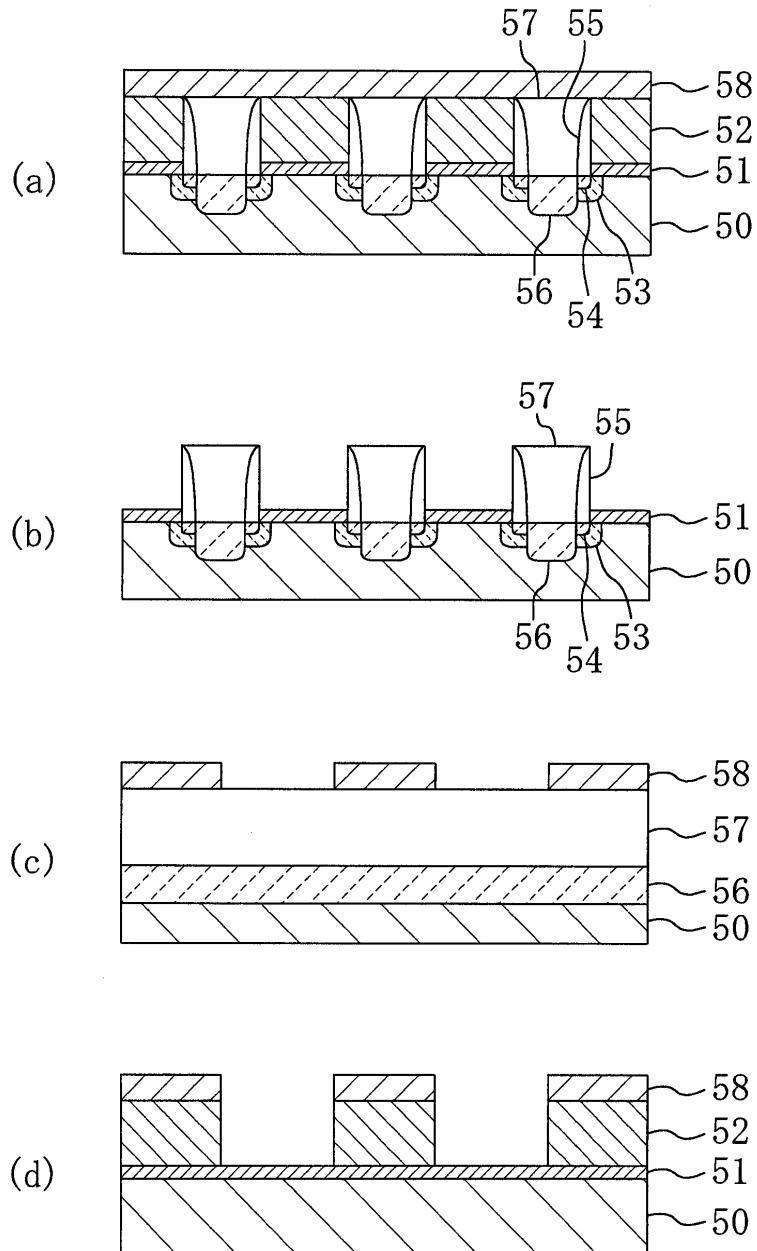
도면18



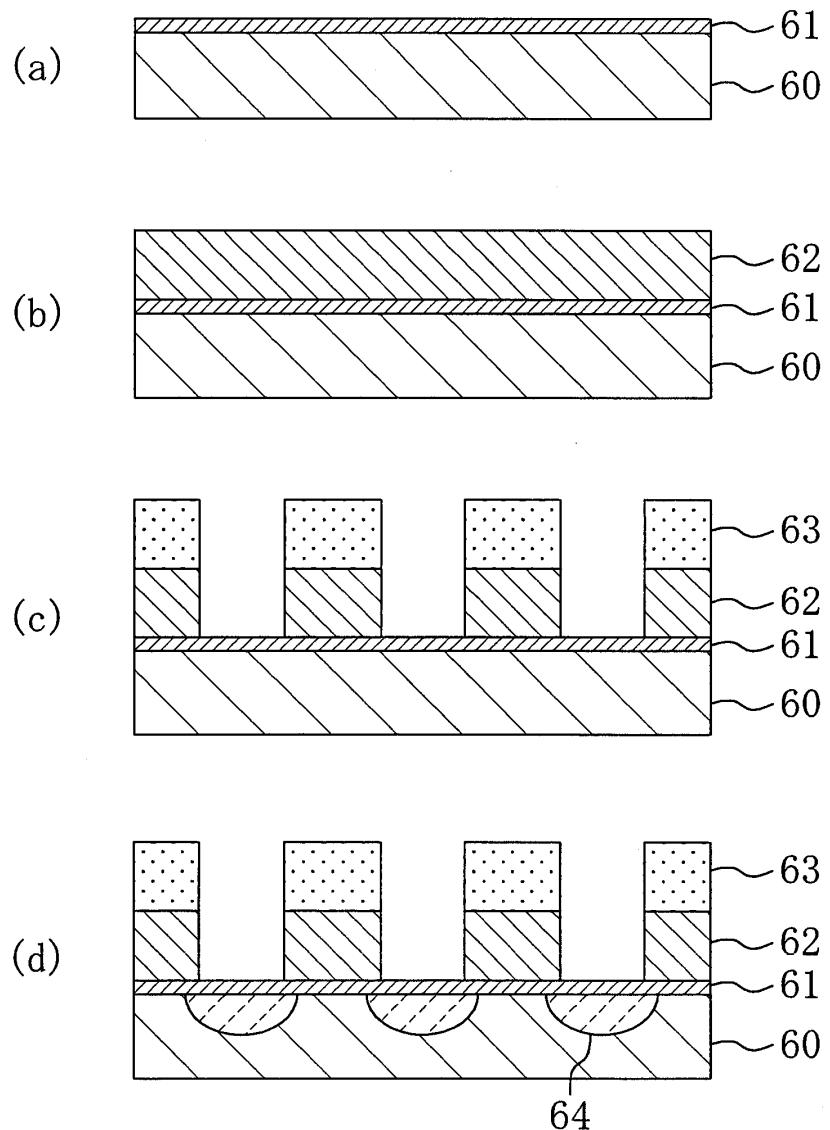
도면19



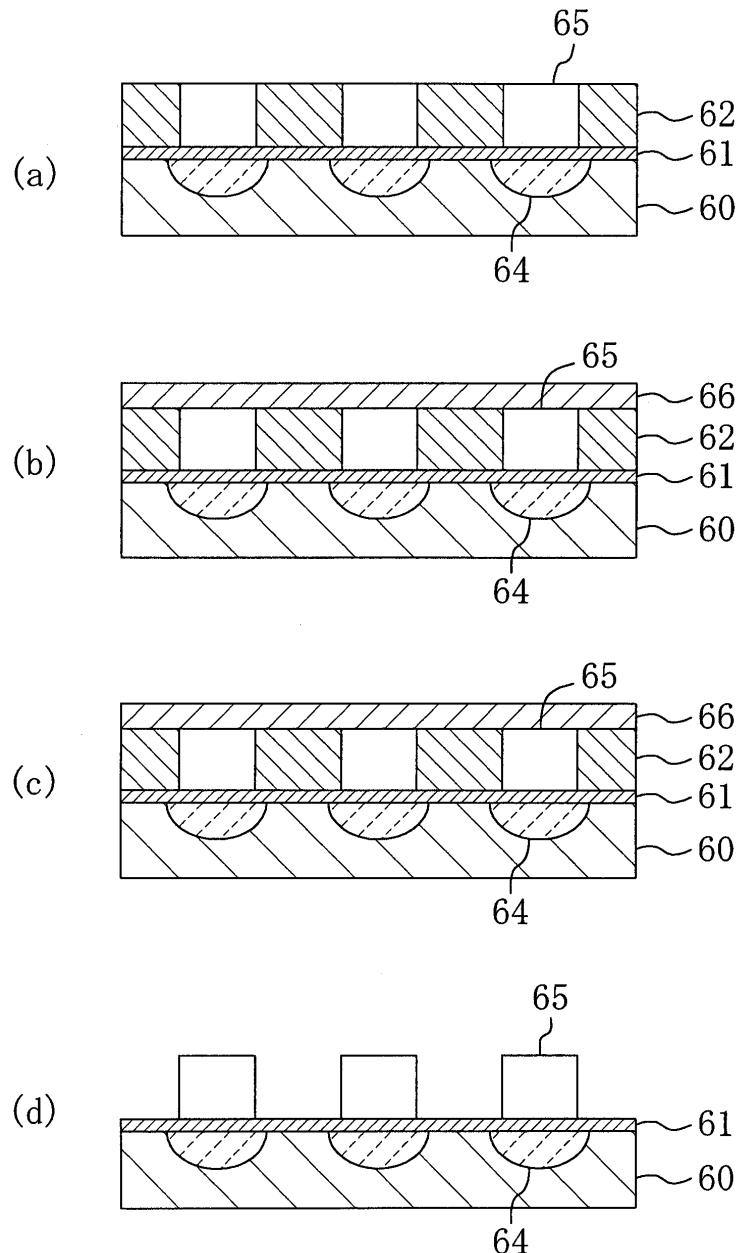
도면20



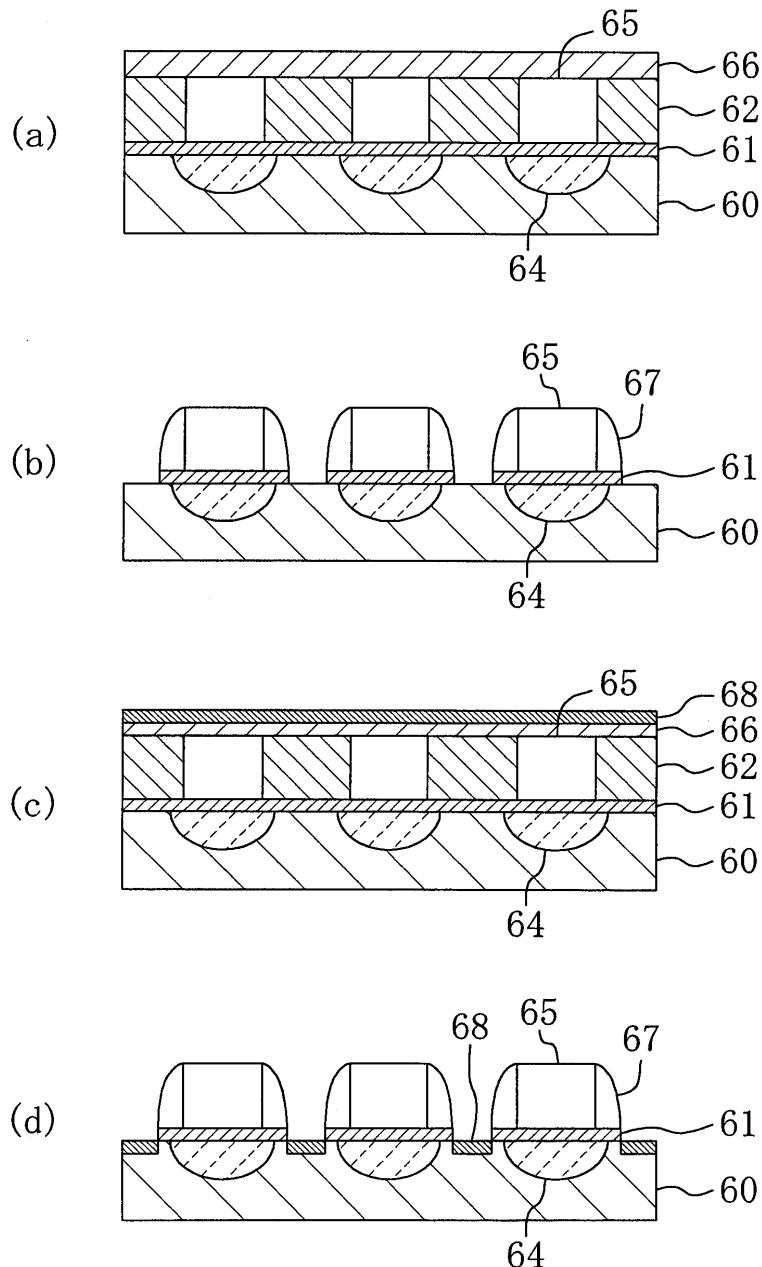
도면21



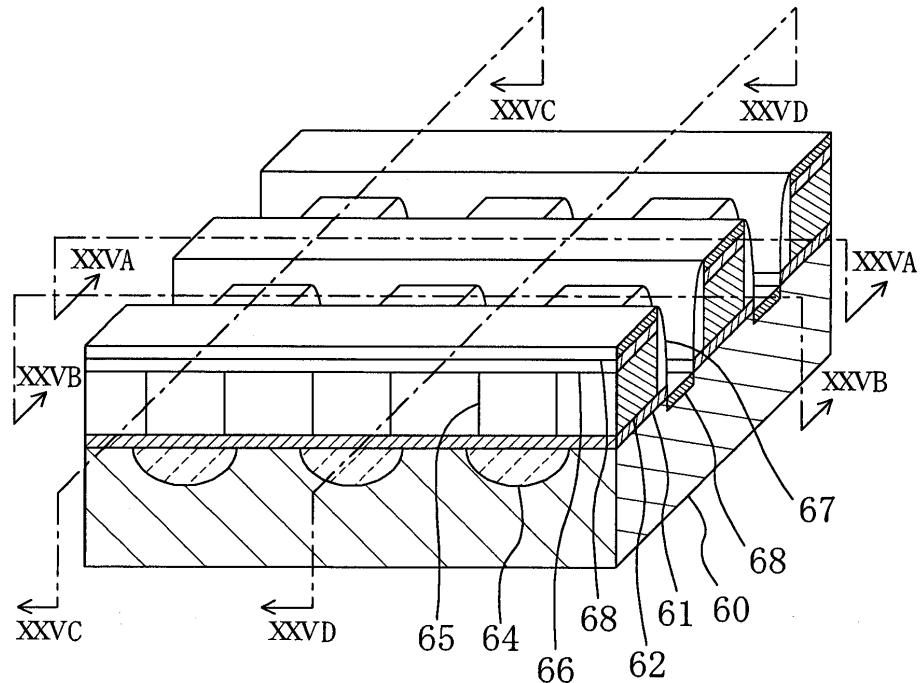
도면22



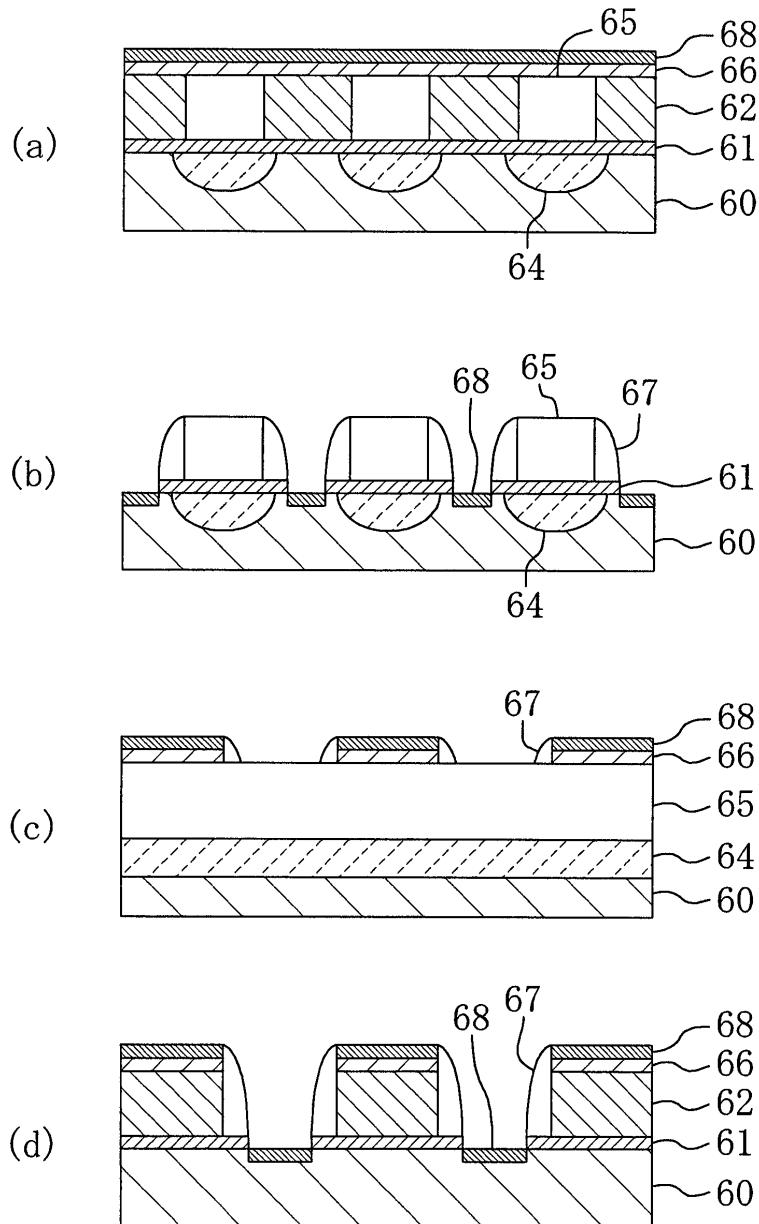
도면23



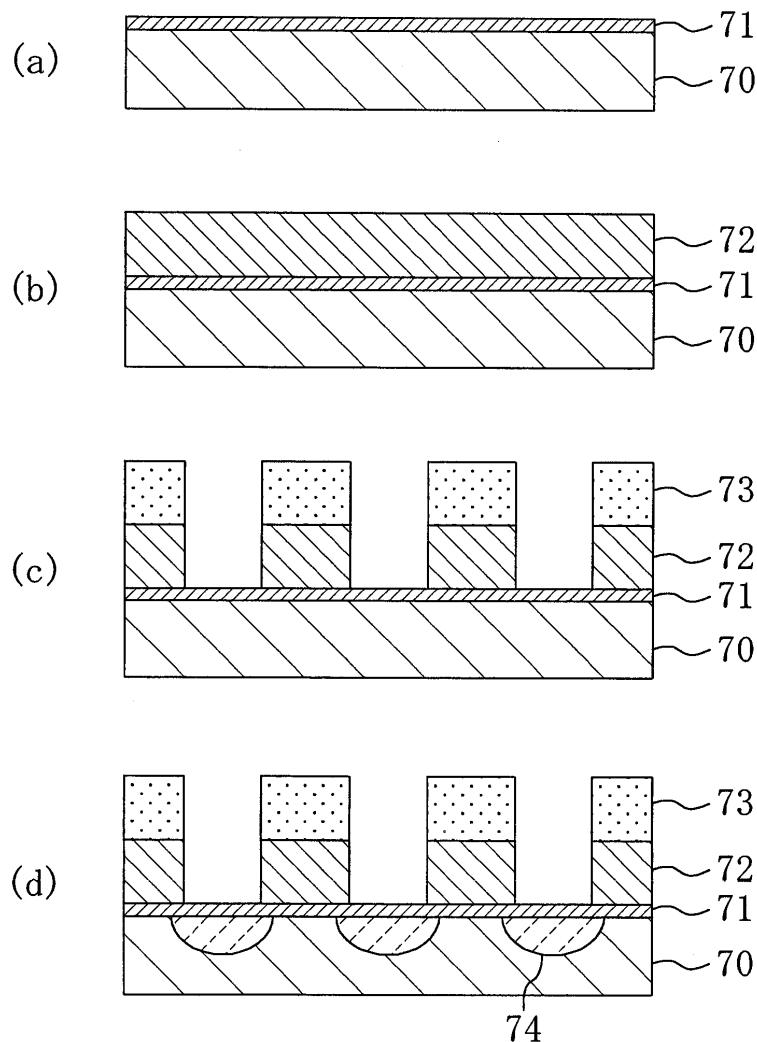
도면24



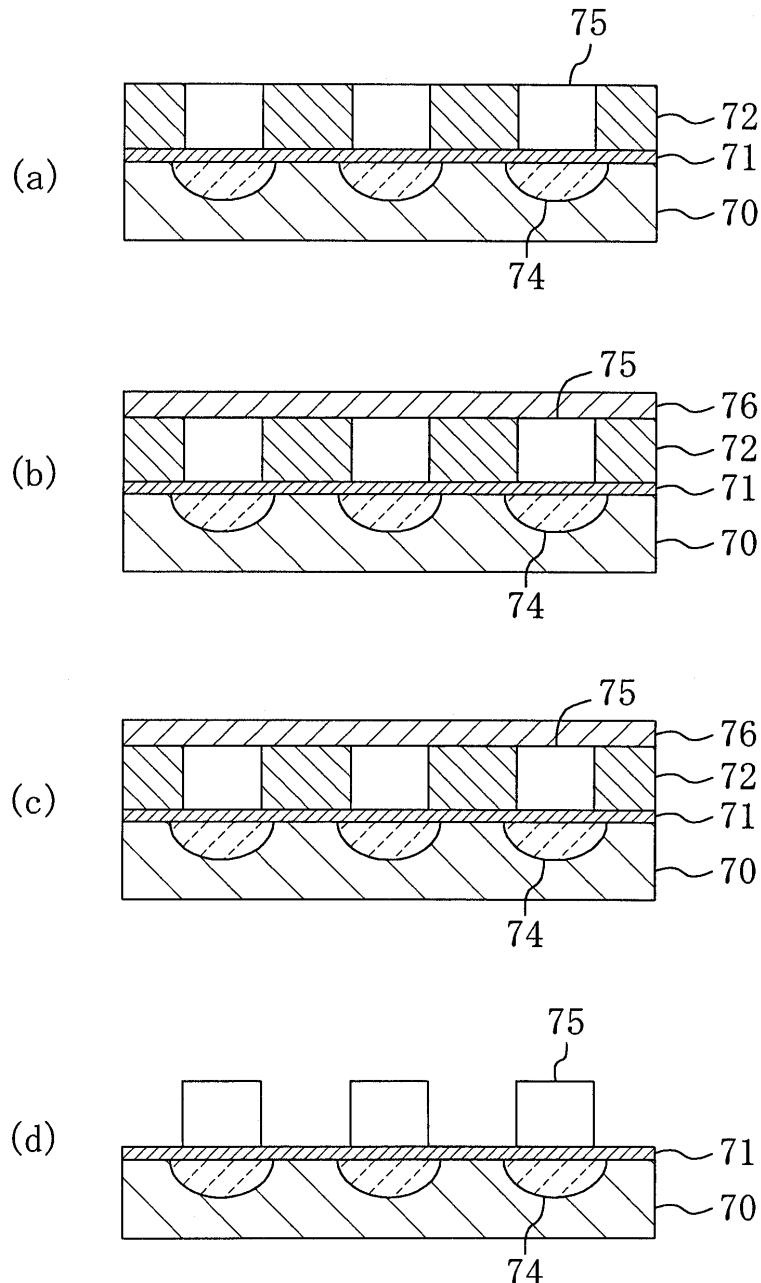
도면25



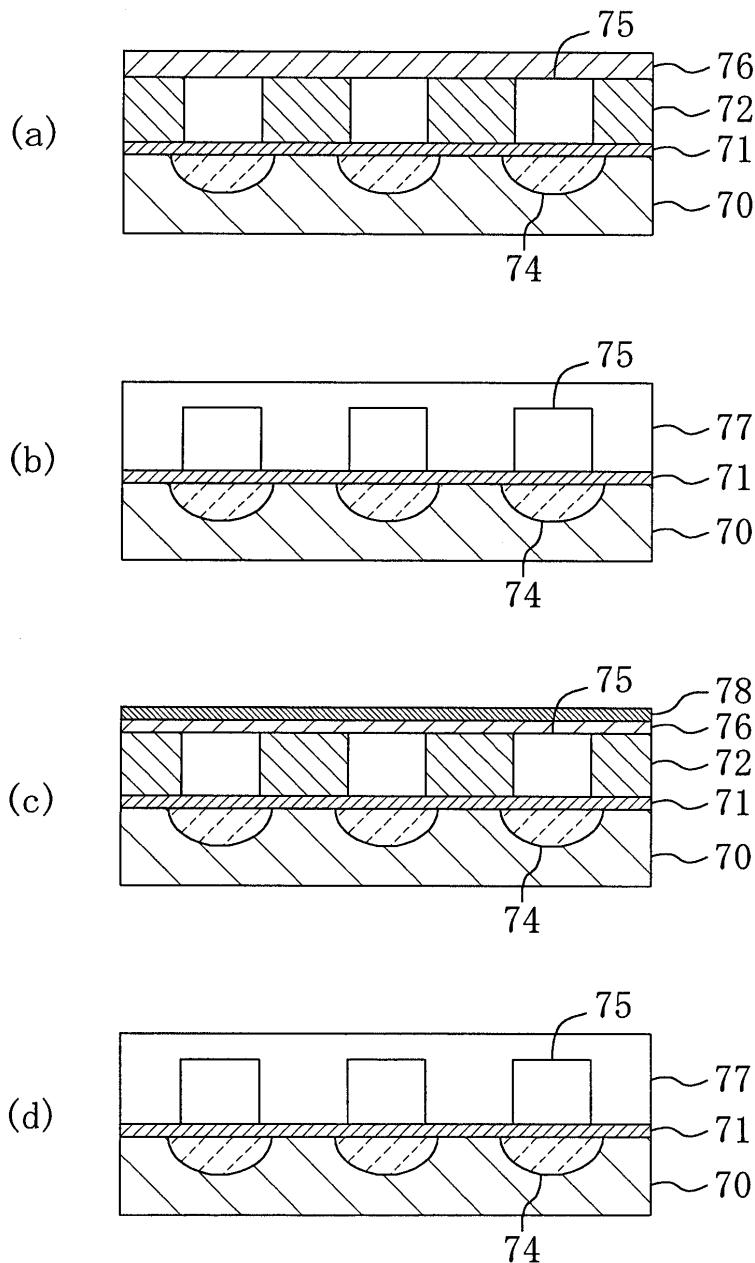
도면26



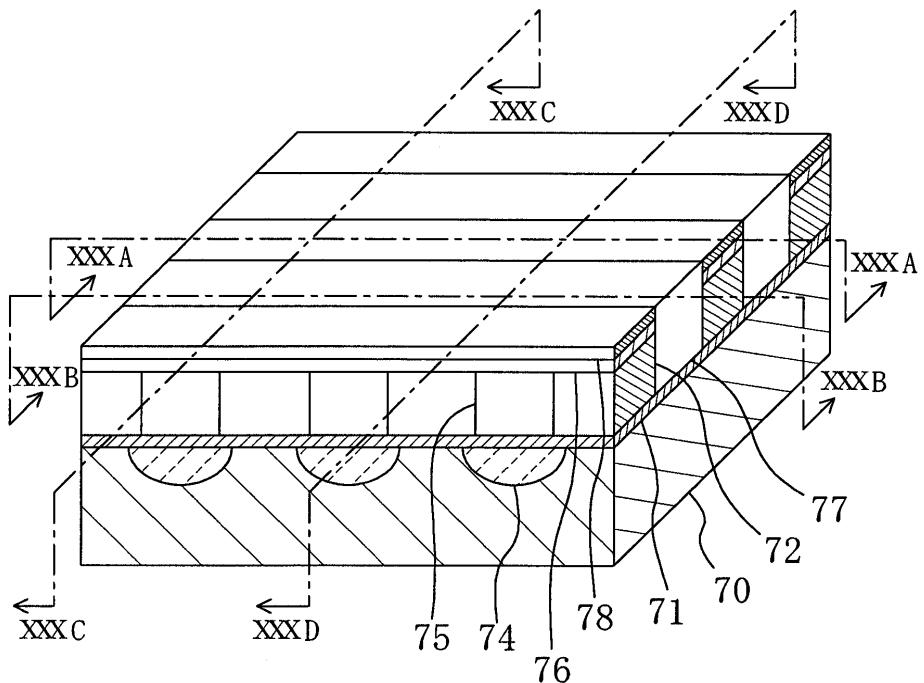
도면27



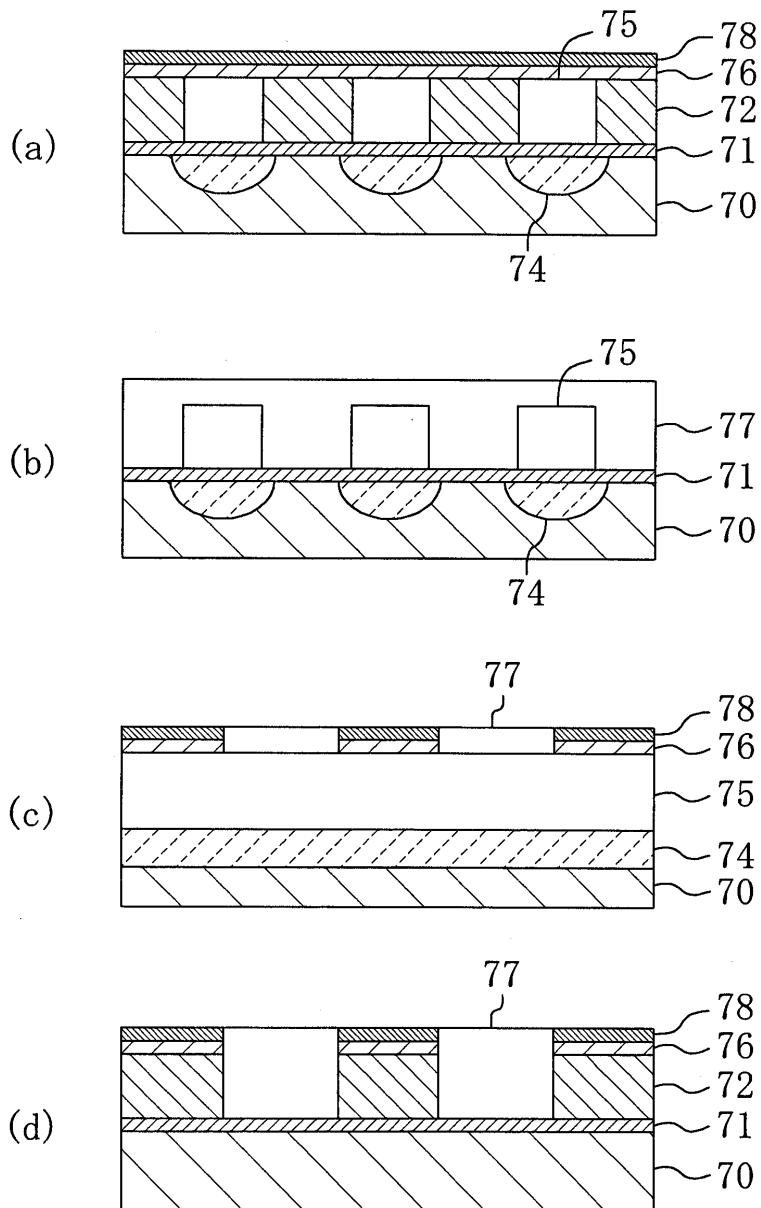
도면28



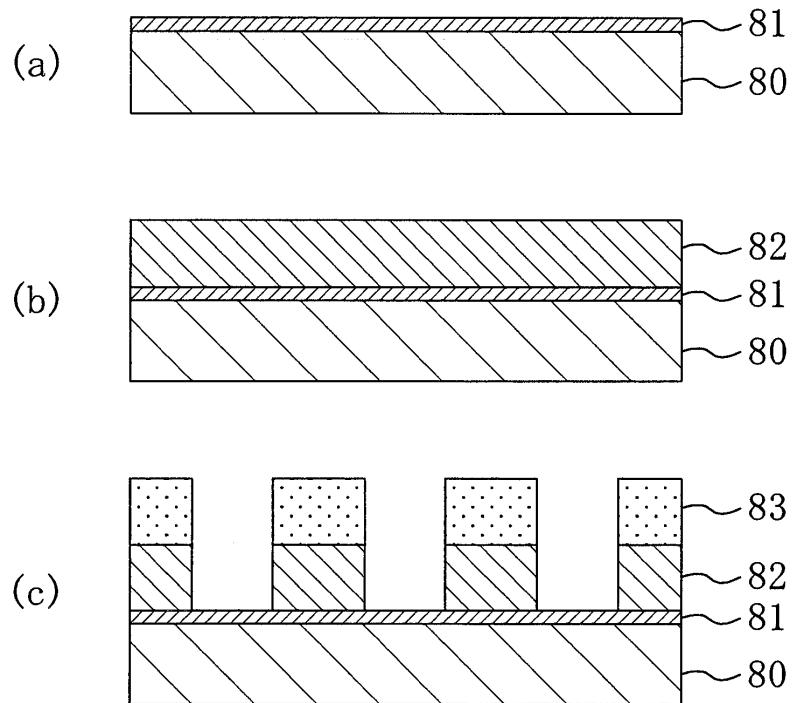
도면29



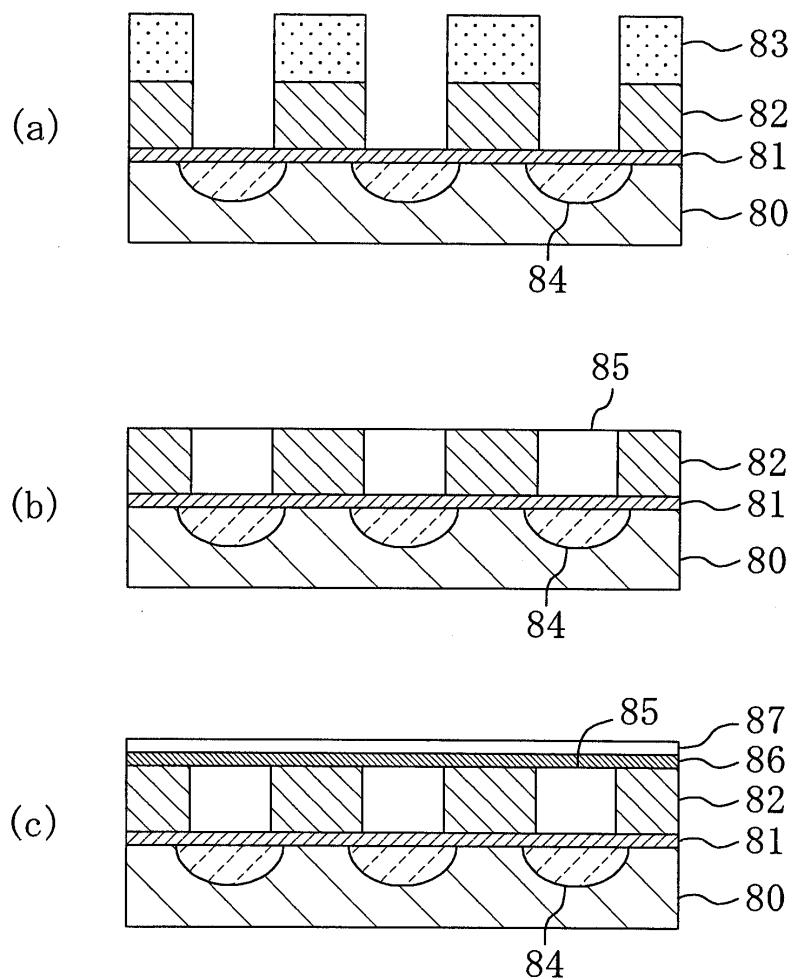
도면30



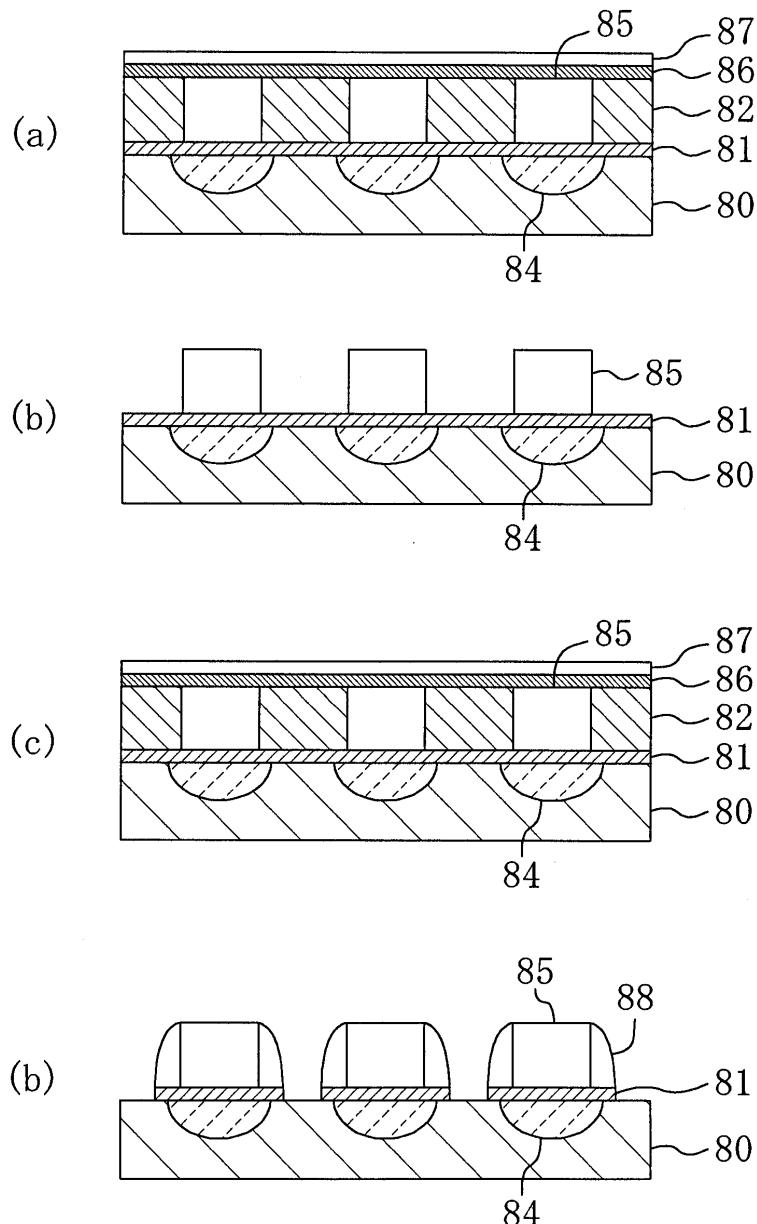
도면31



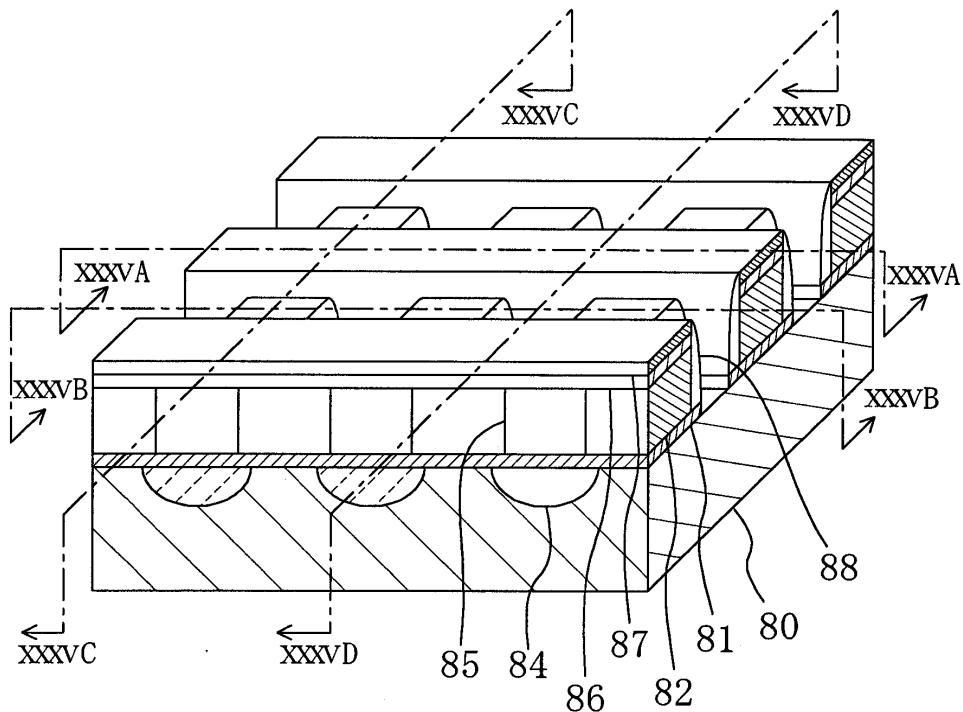
도면32



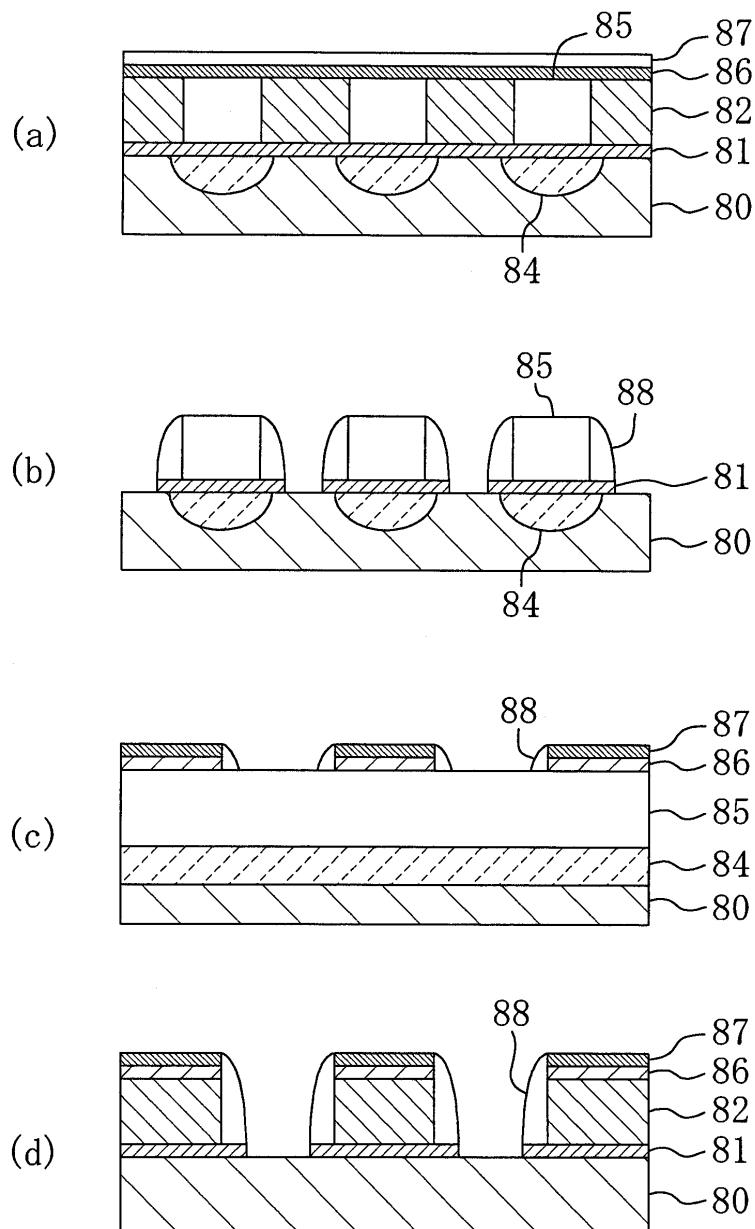
도면33



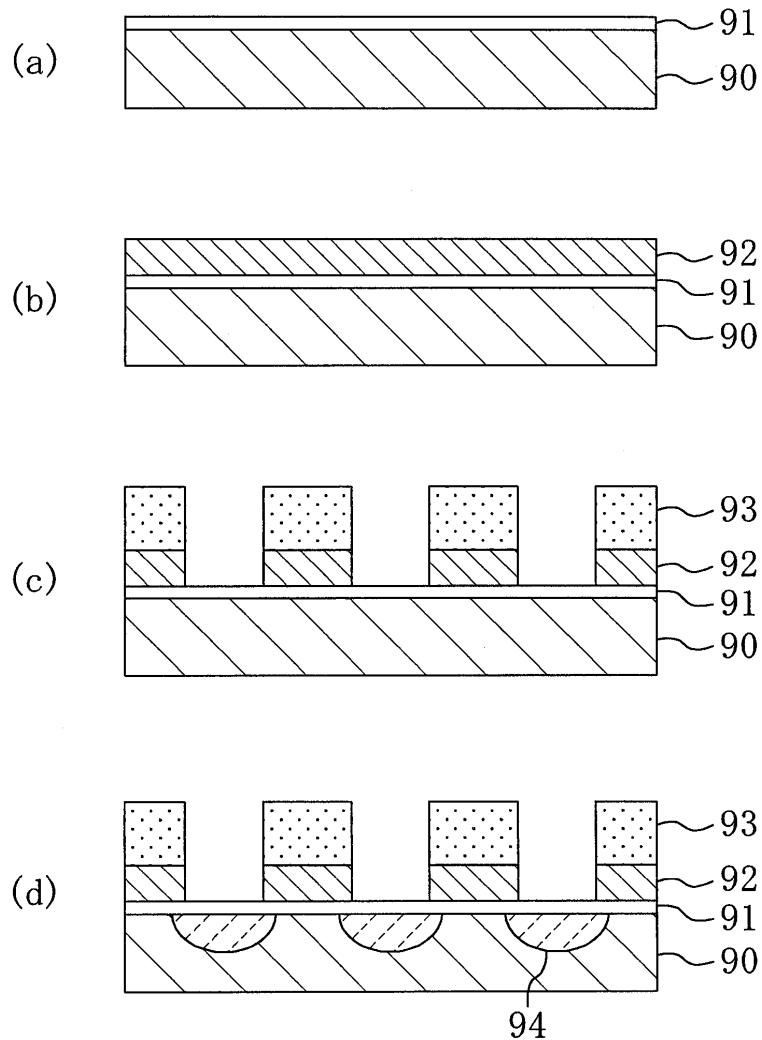
도면34



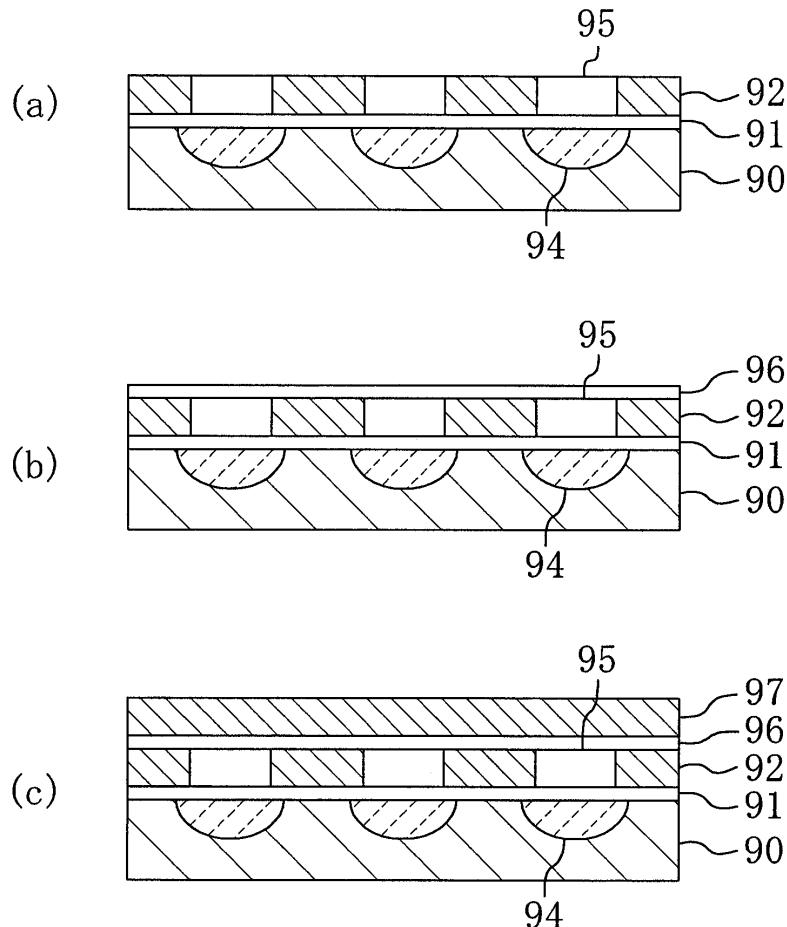
도면35



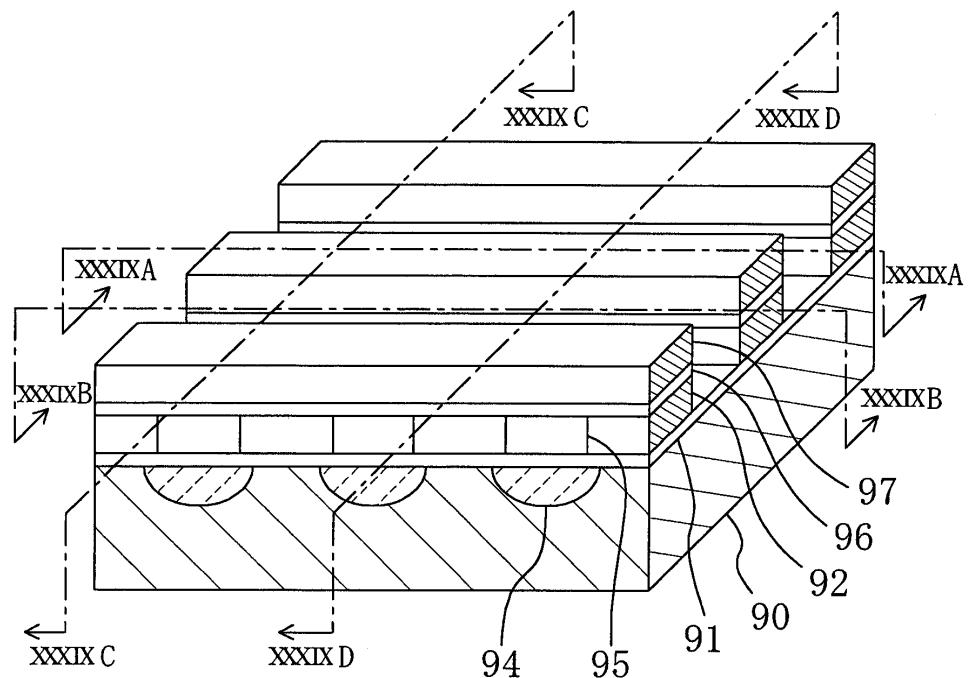
도면36



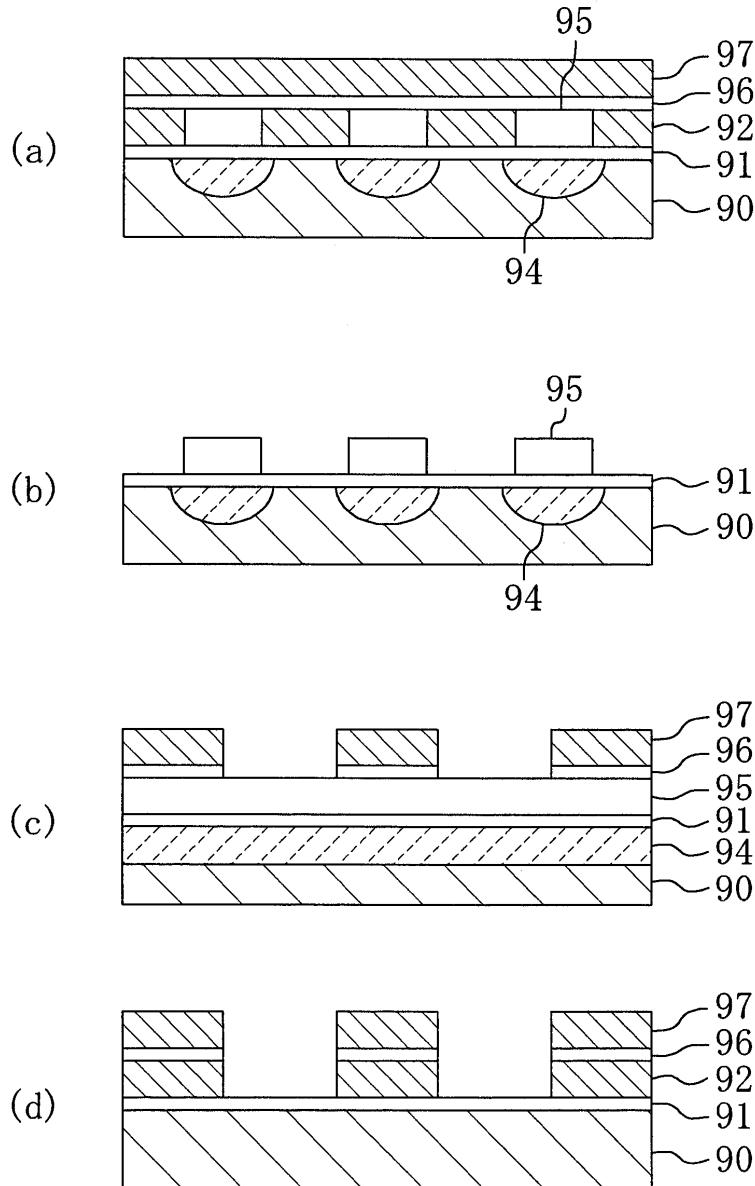
도면37



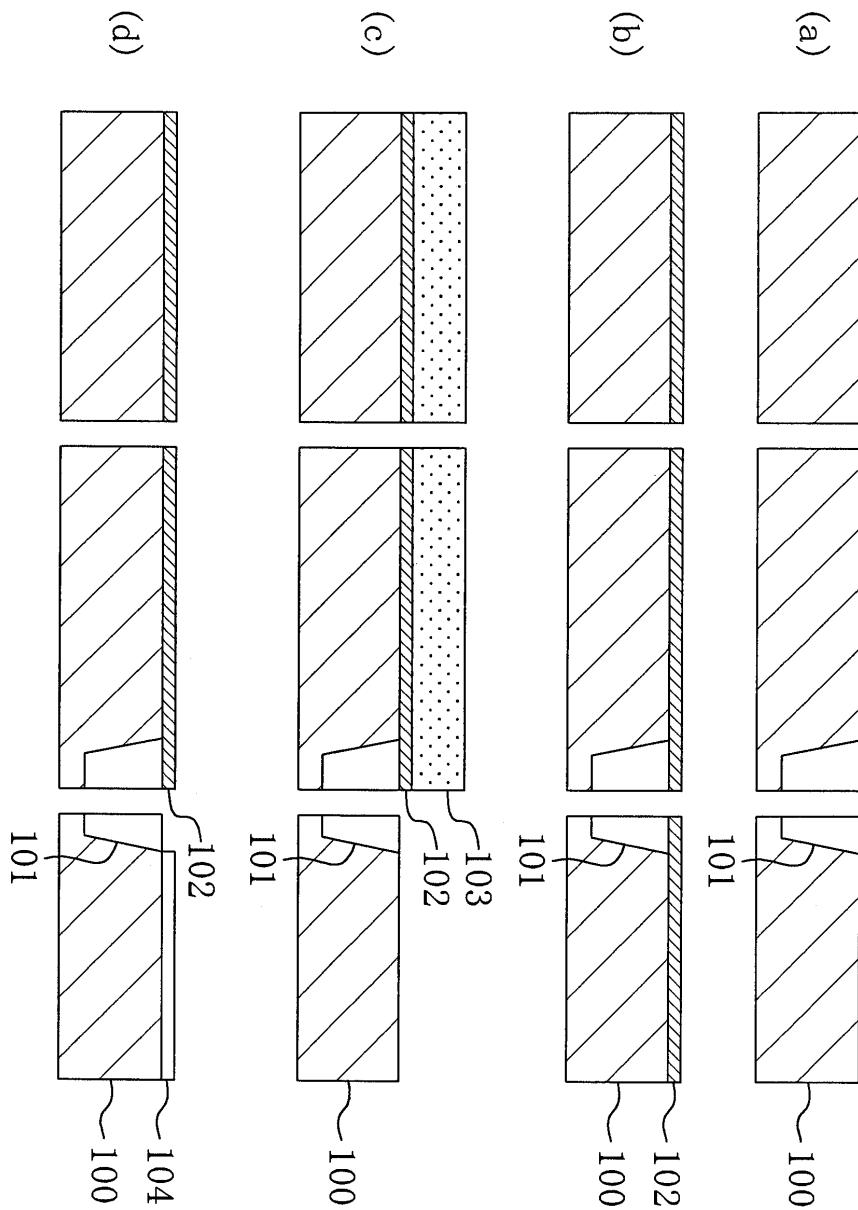
도면38



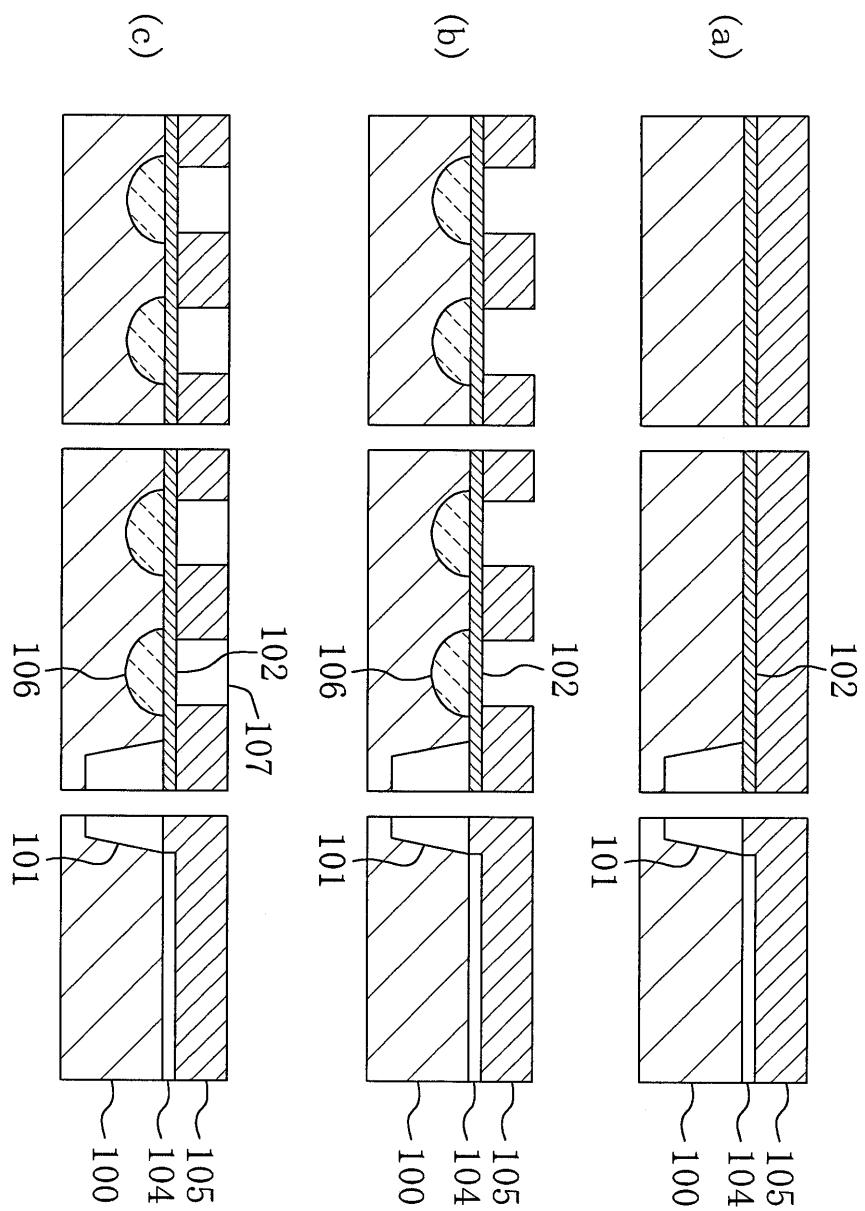
도면39



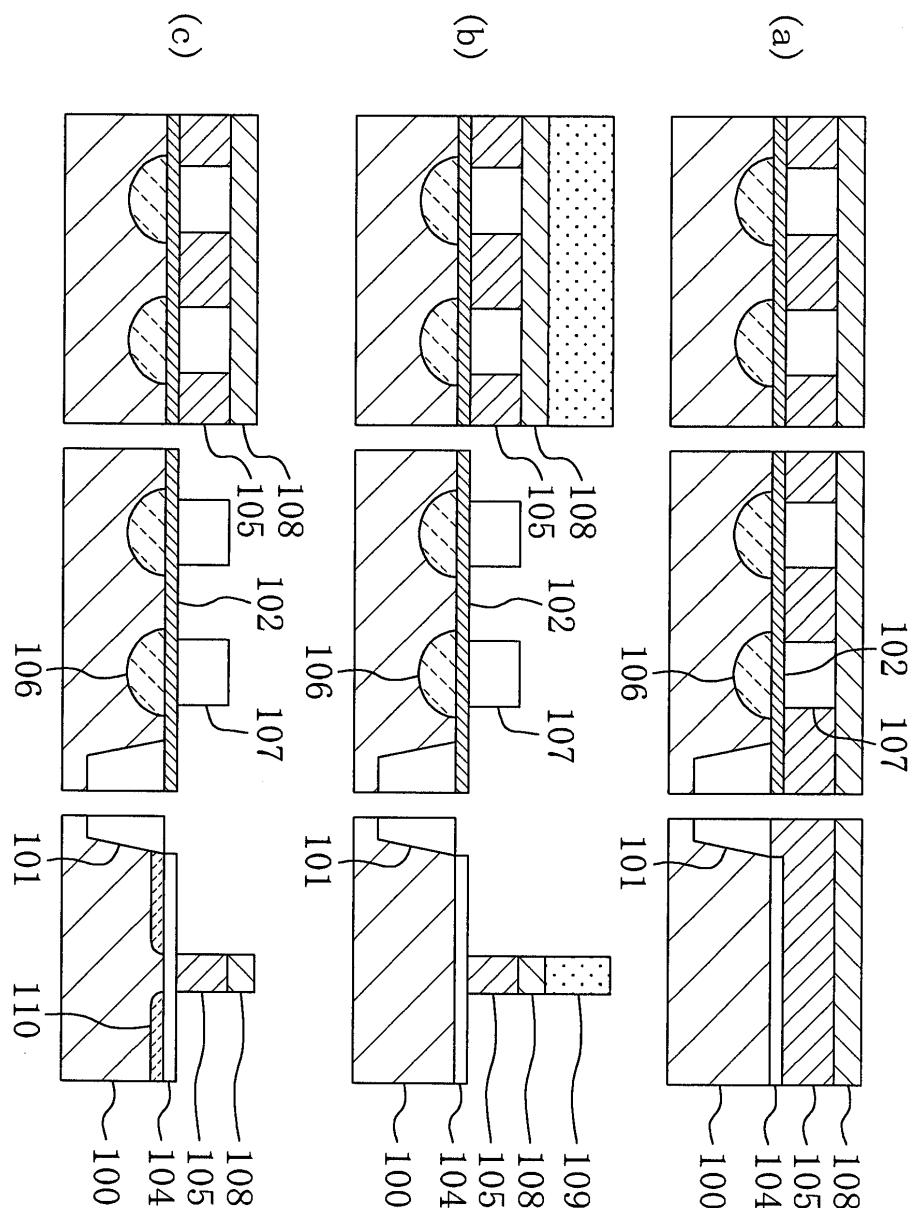
도면40



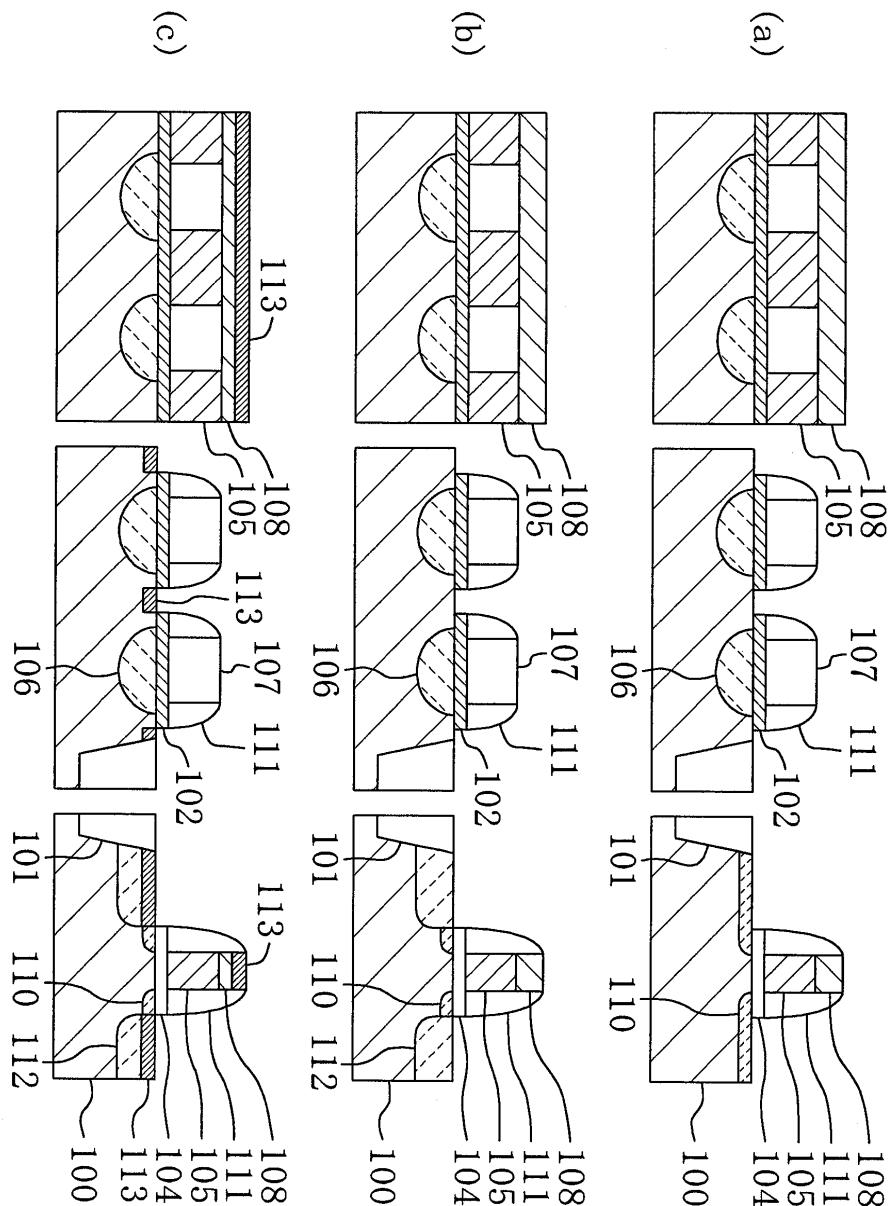
도면41



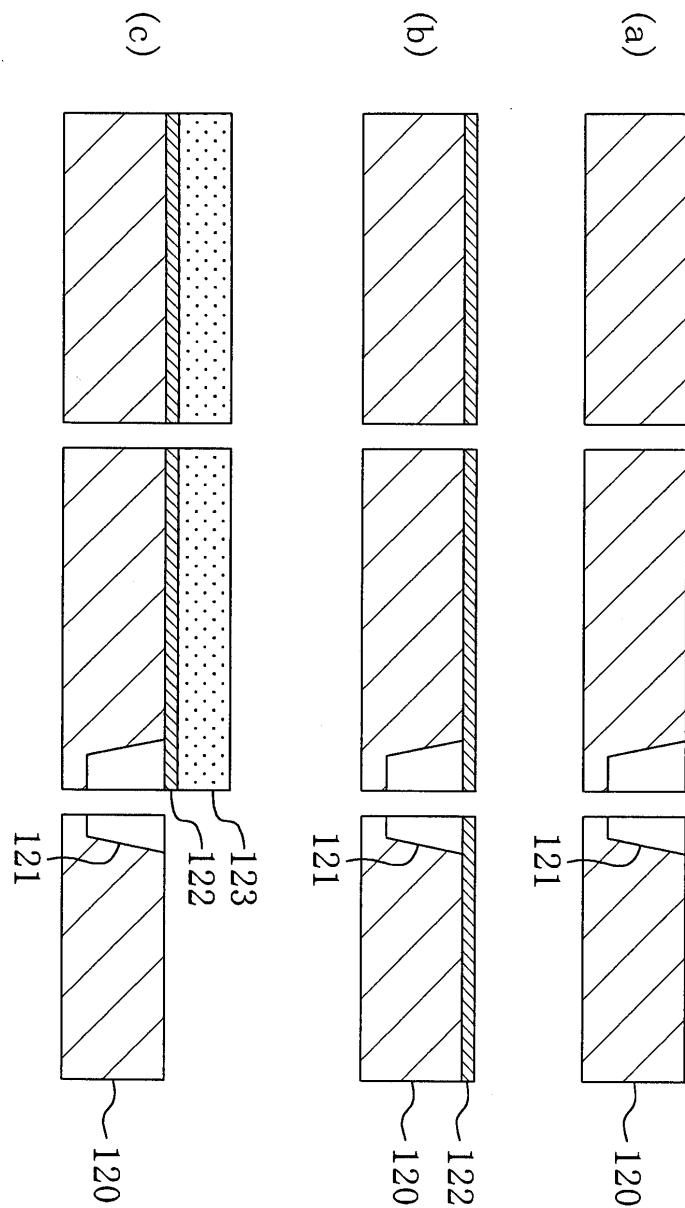
도면42



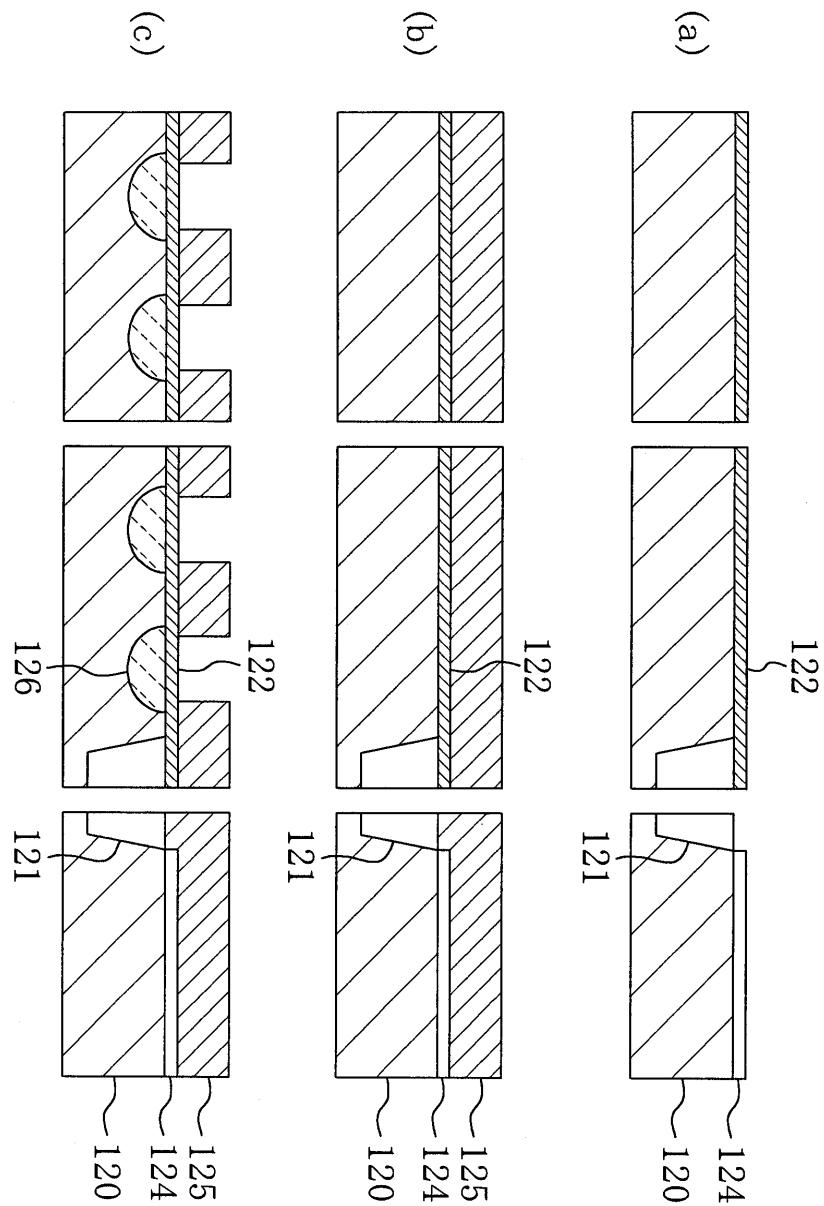
도면43



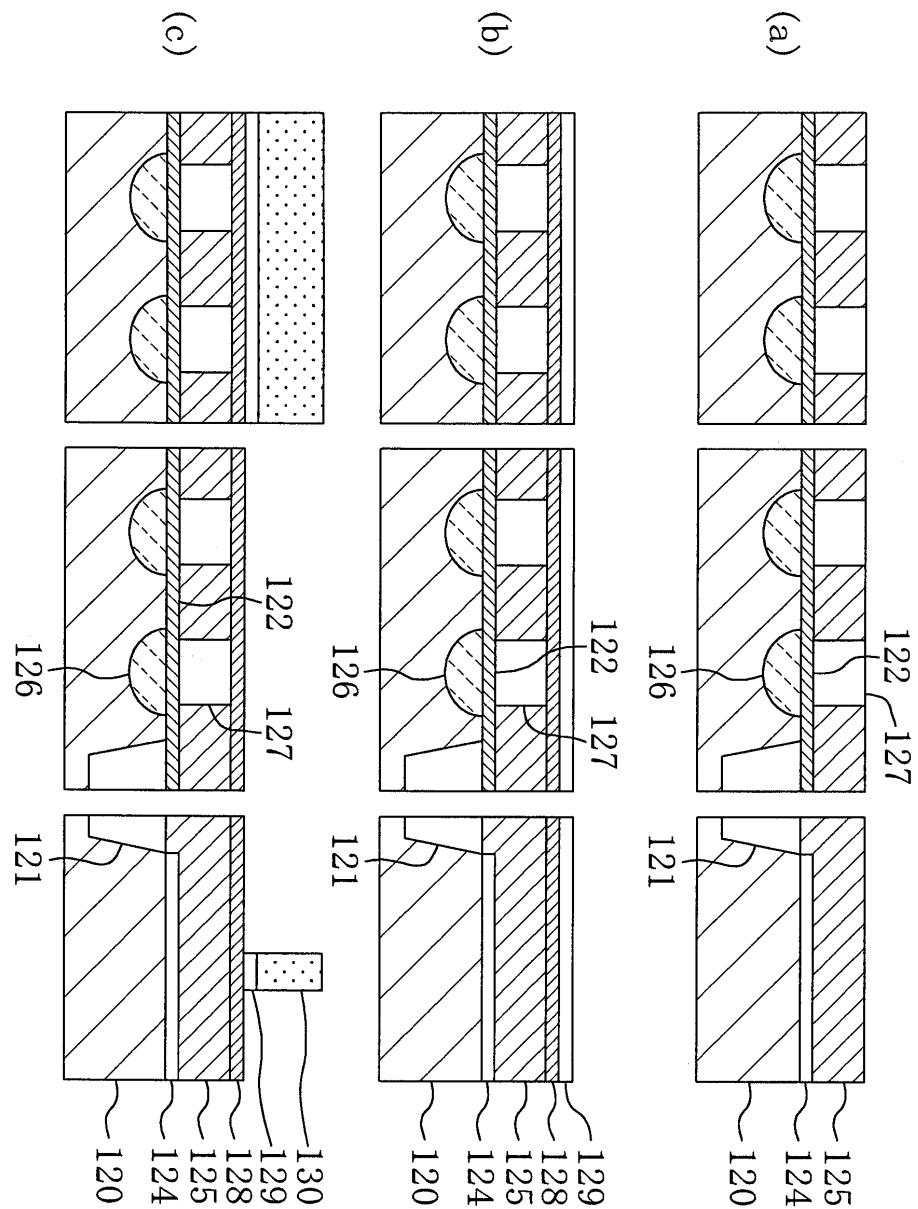
도면44



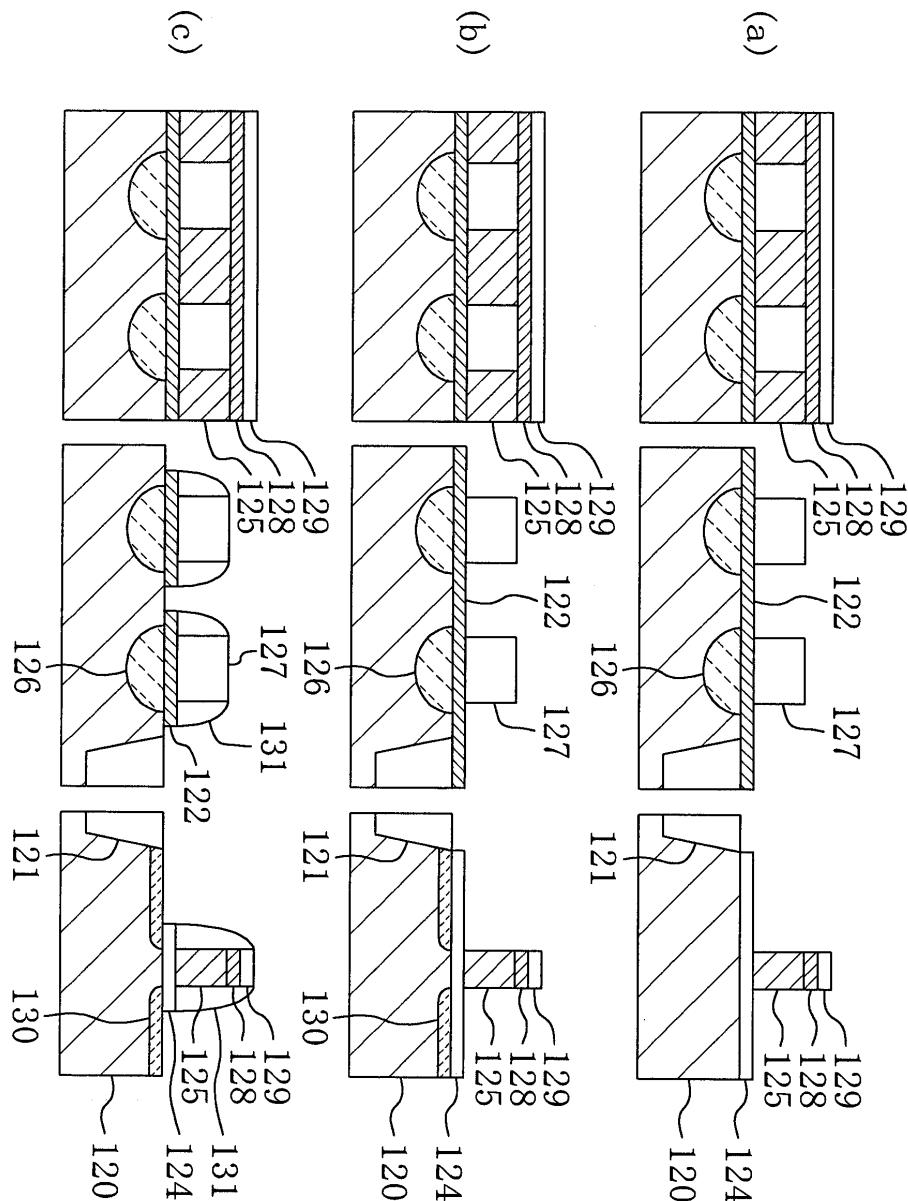
도면45



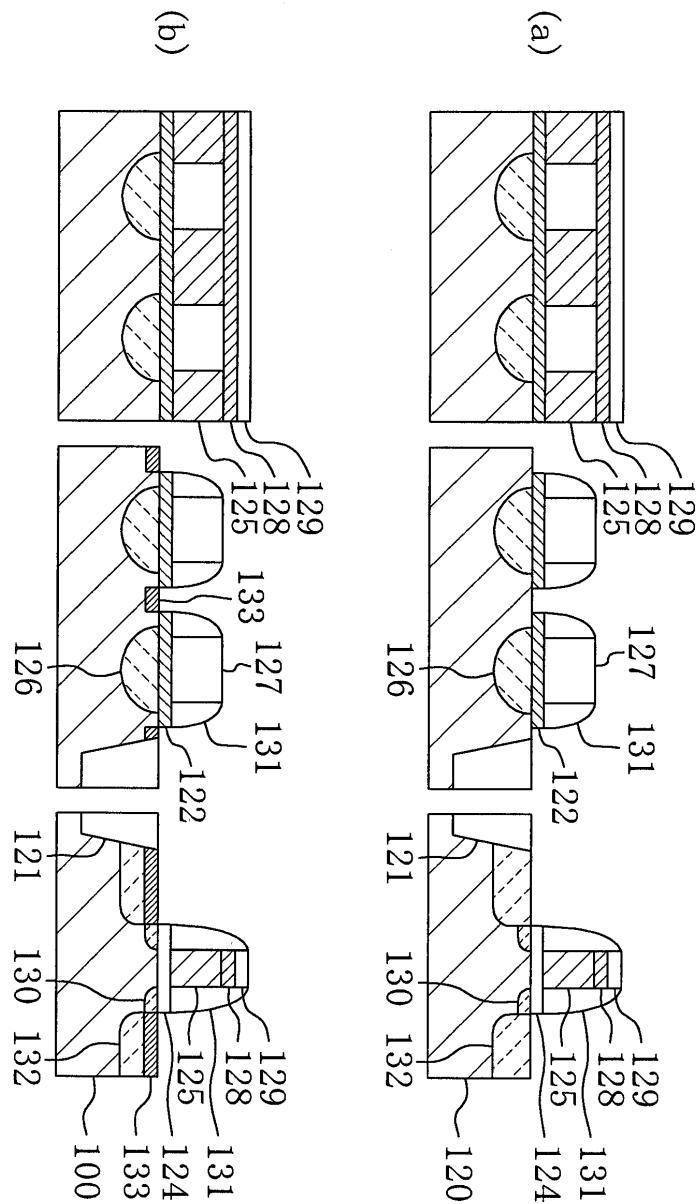
도면46



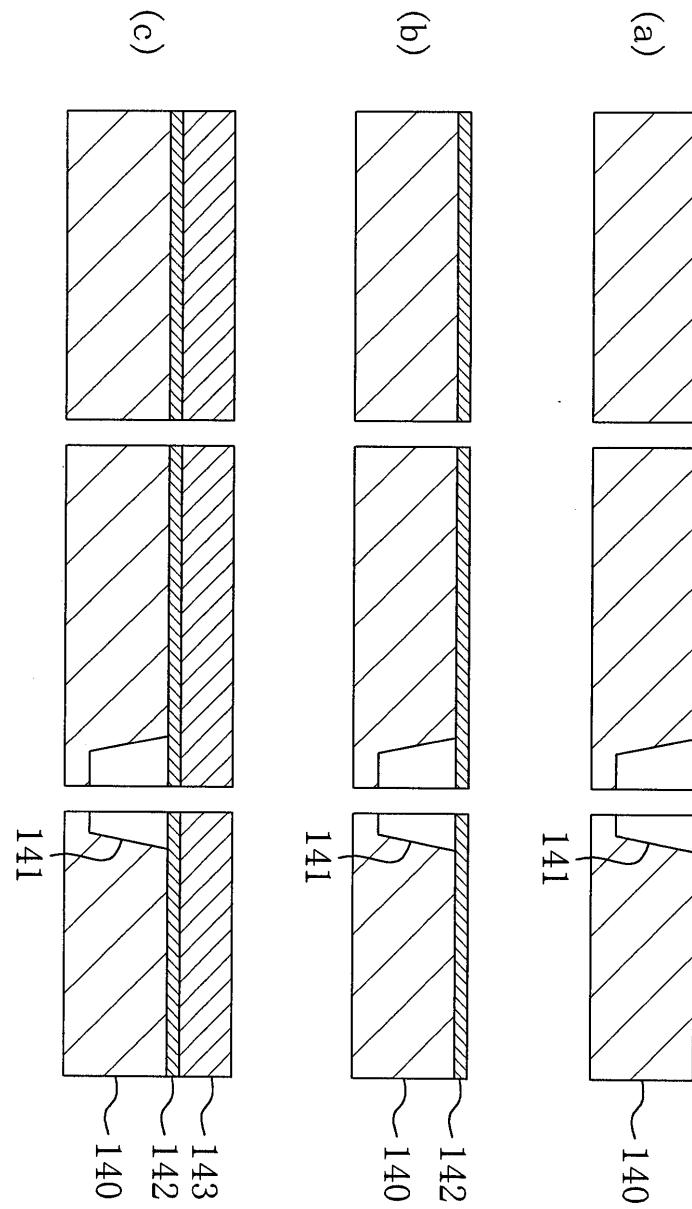
도면47



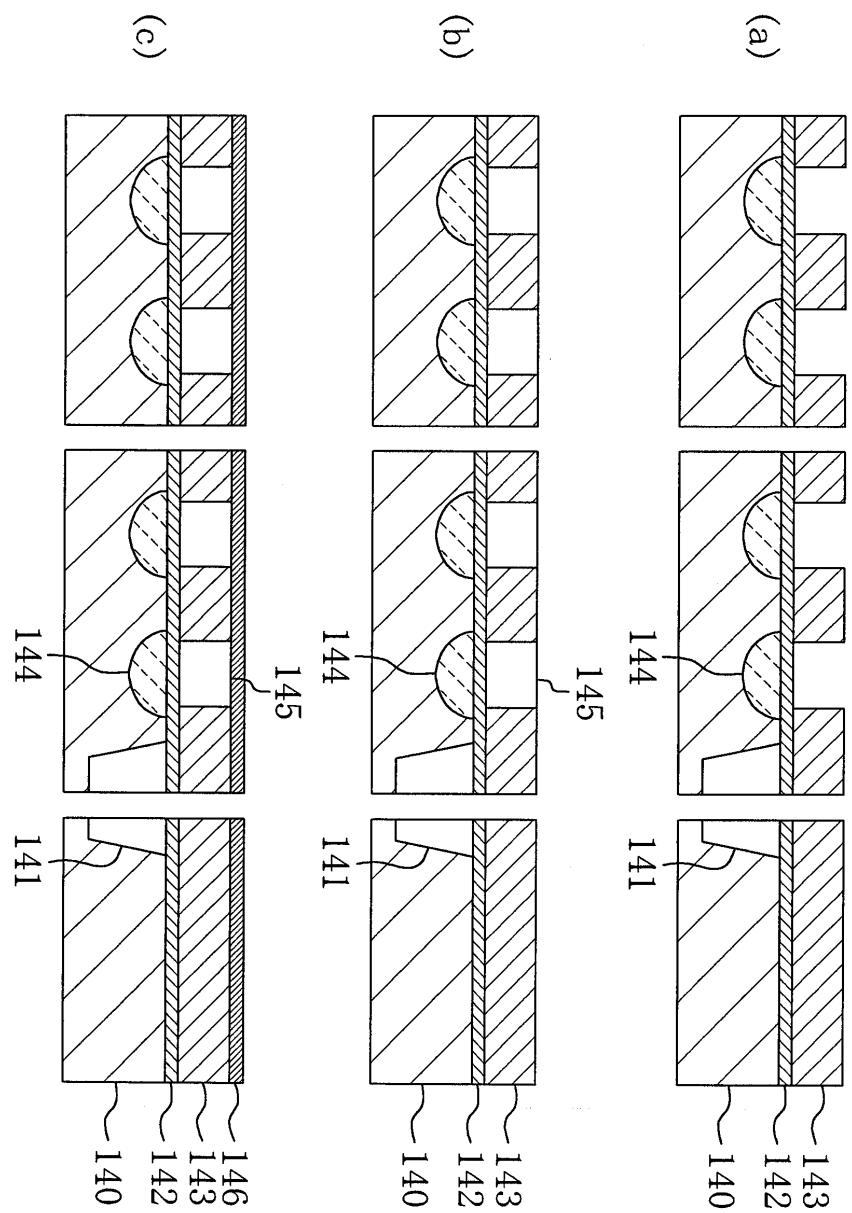
도면48



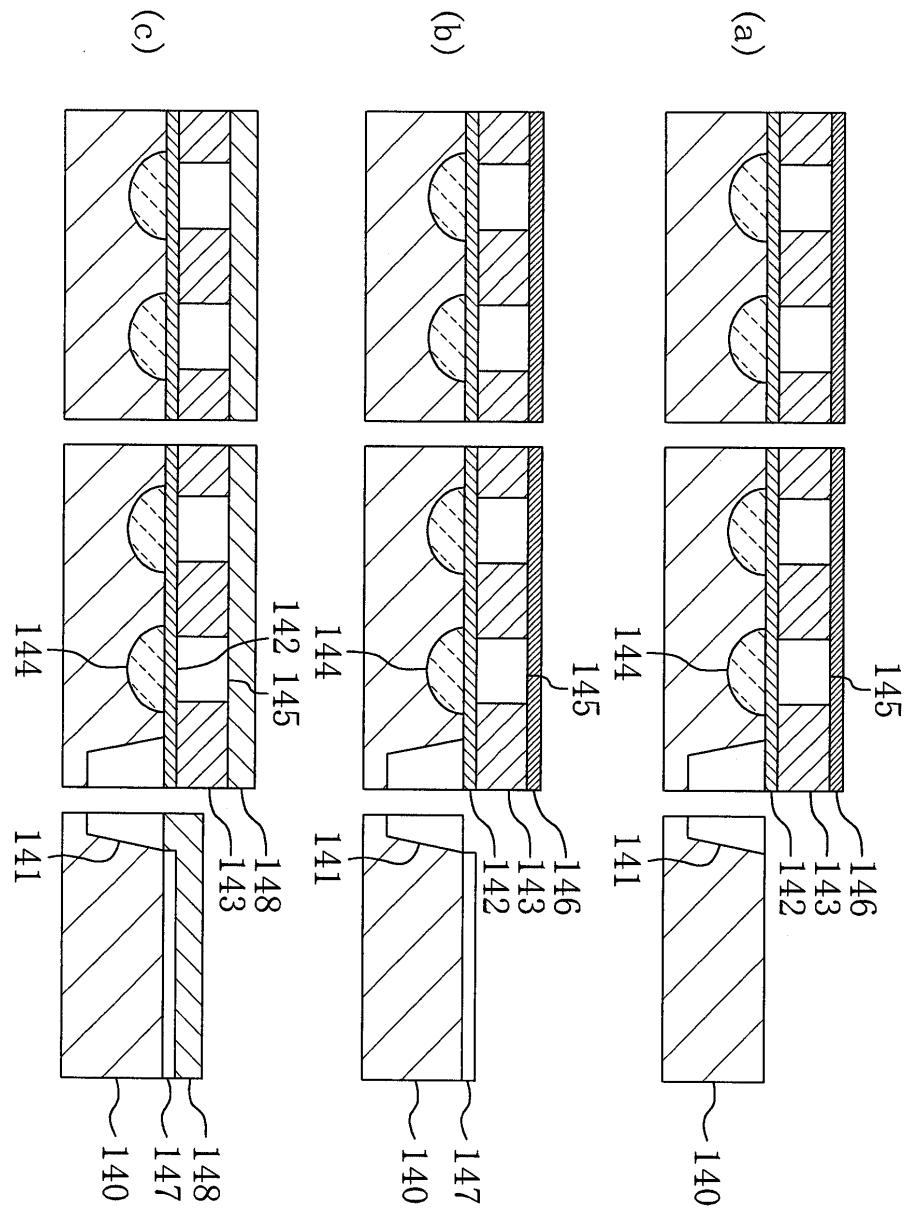
도면49



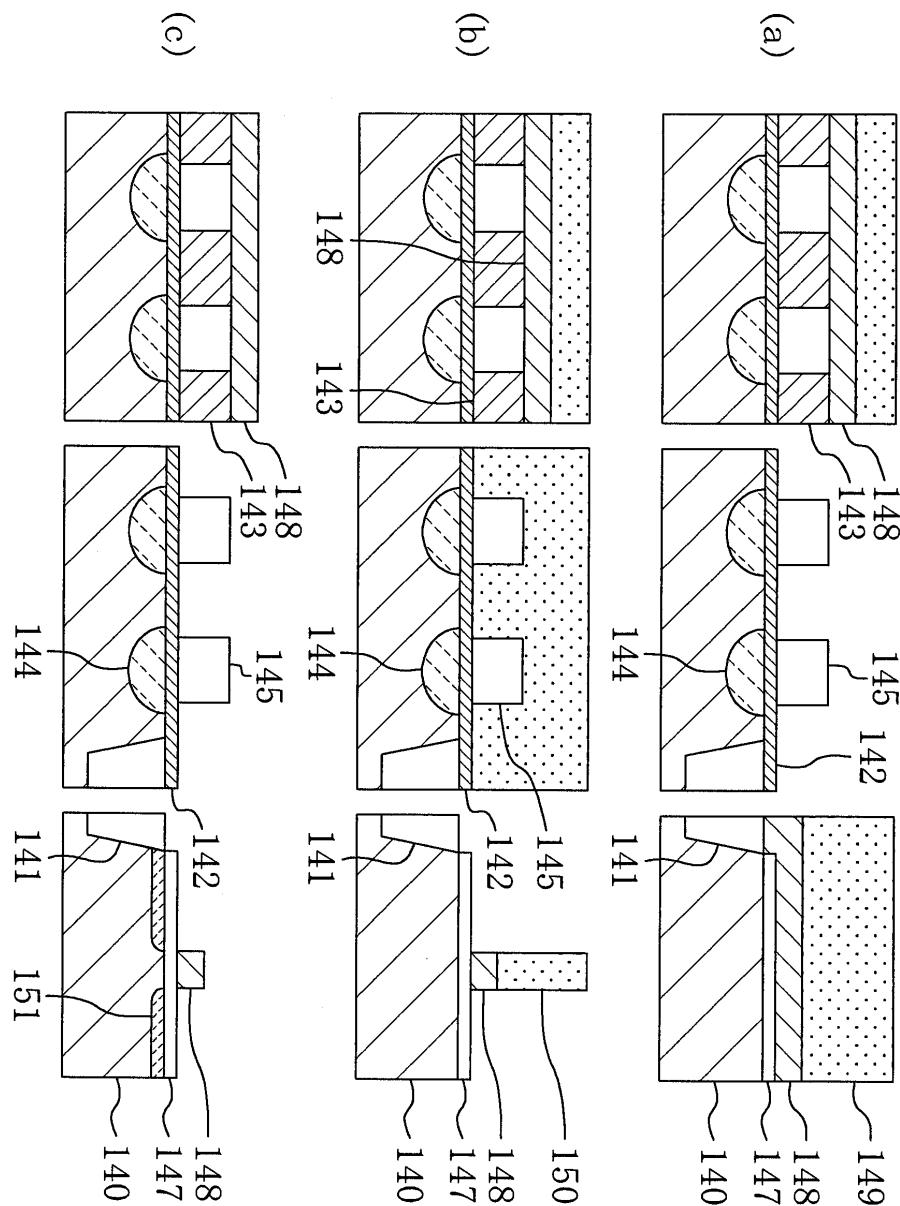
도면50



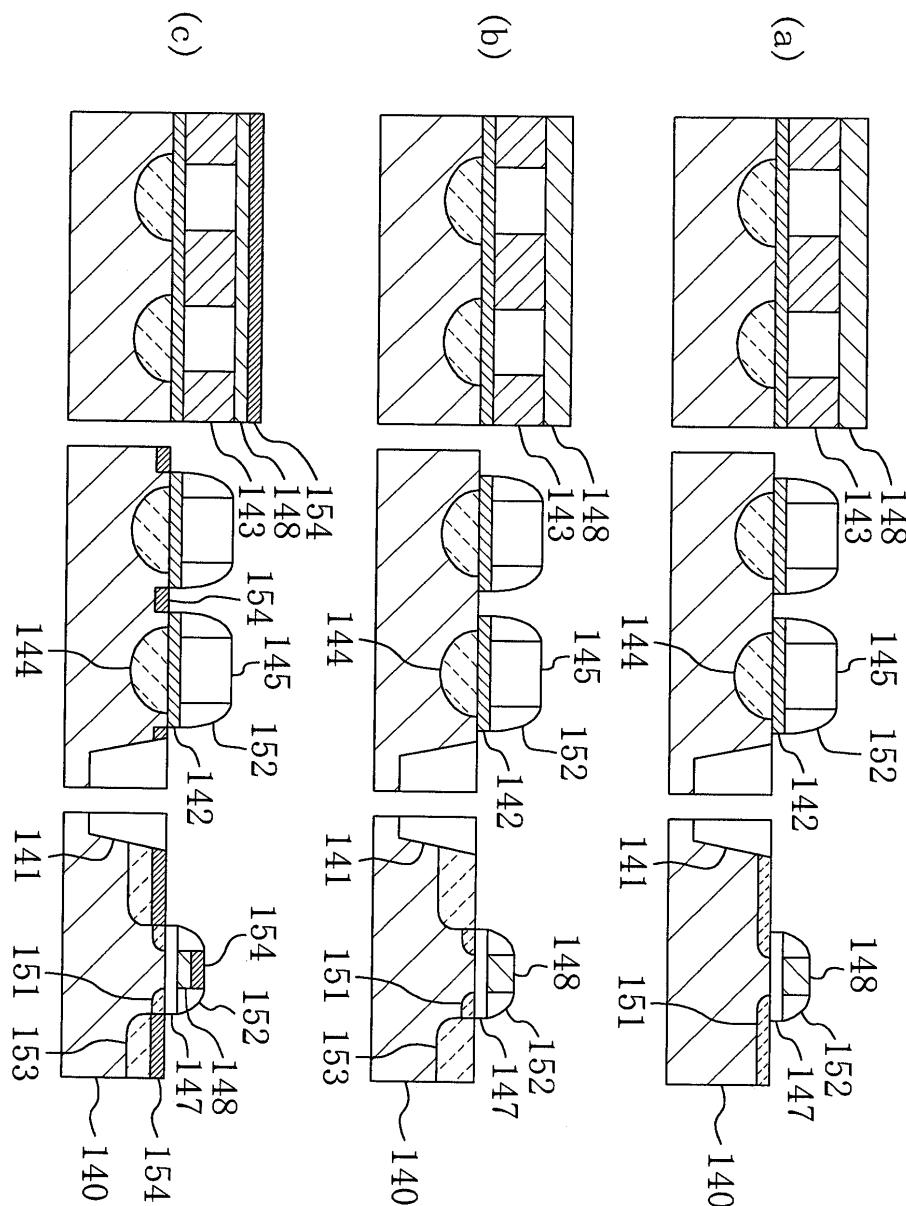
도면51



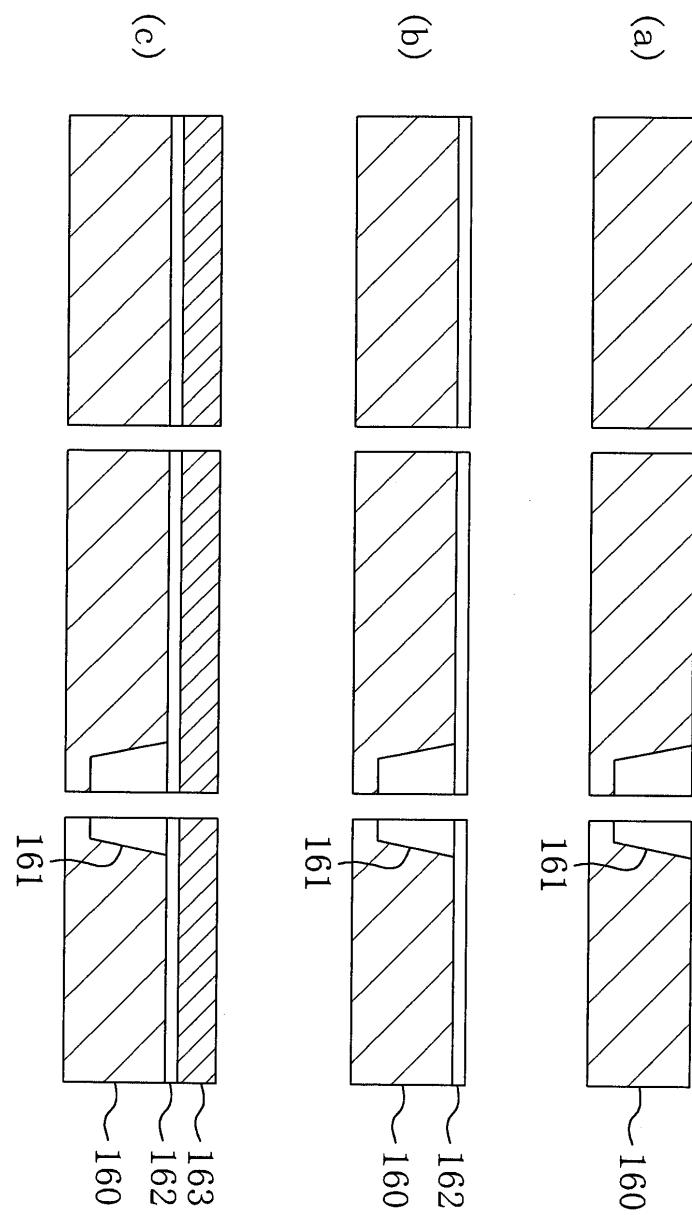
도면52



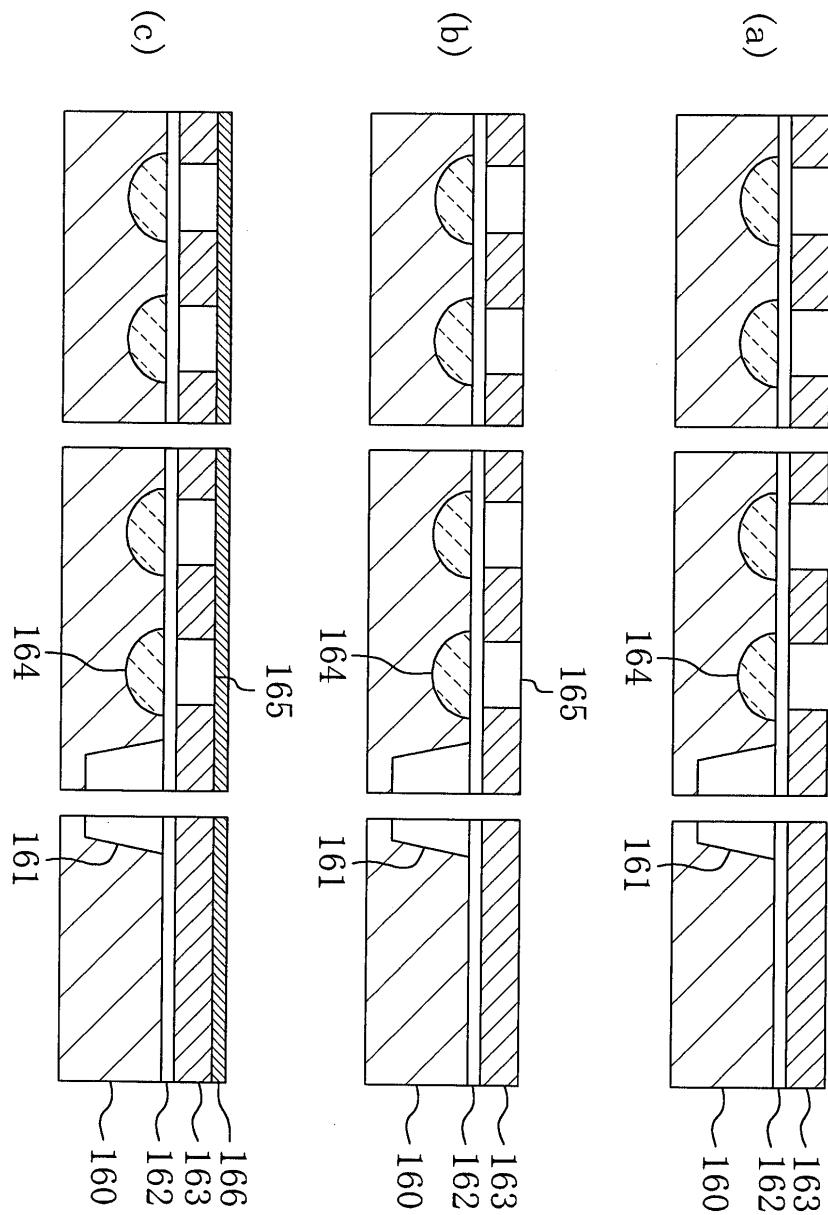
도면53



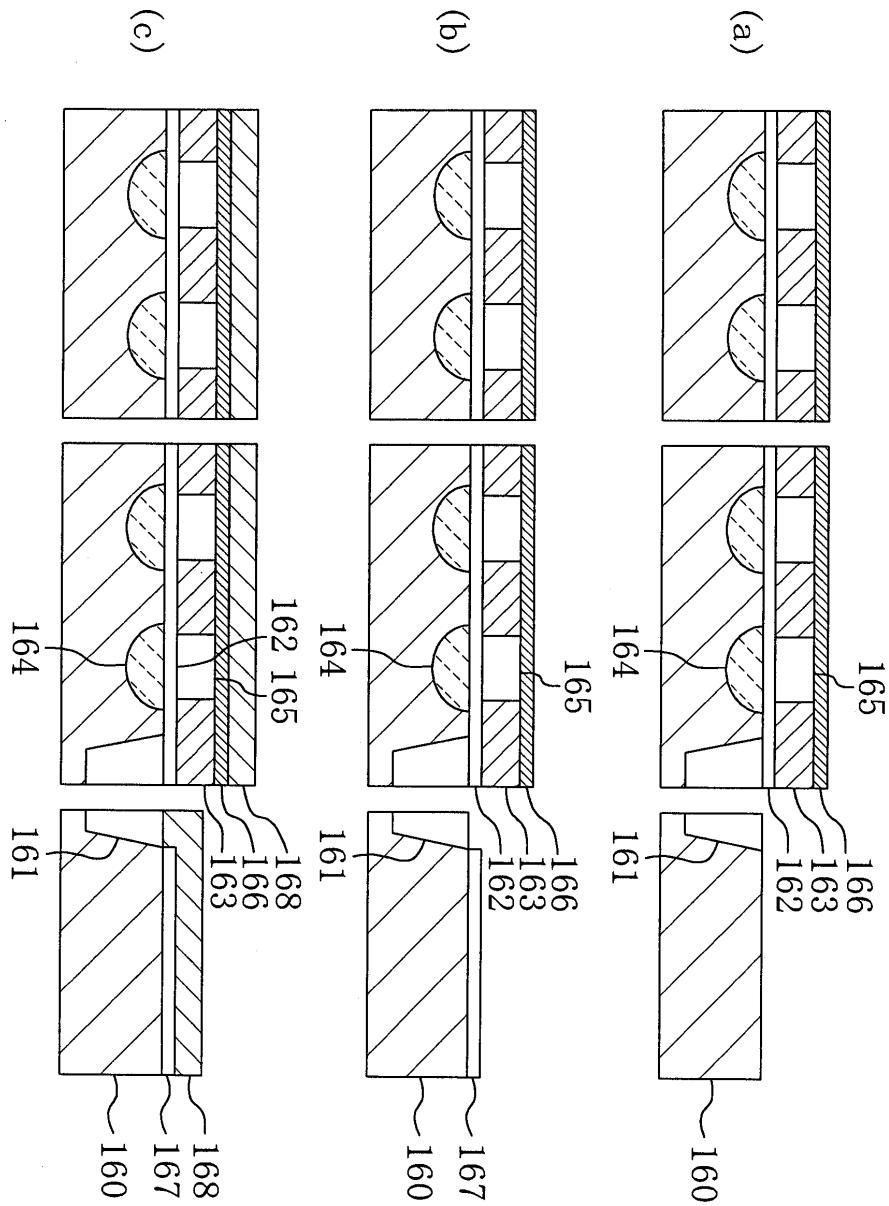
도면54



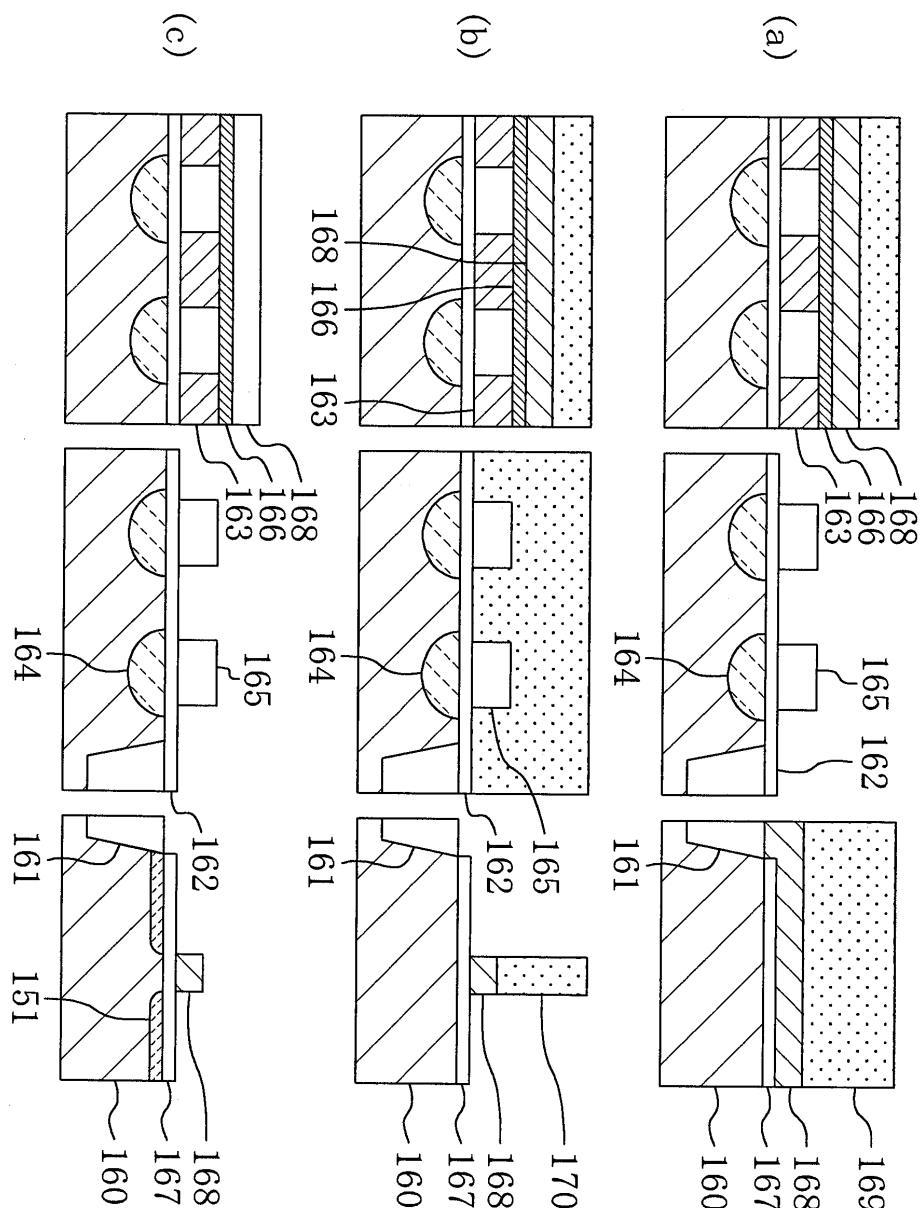
도면55



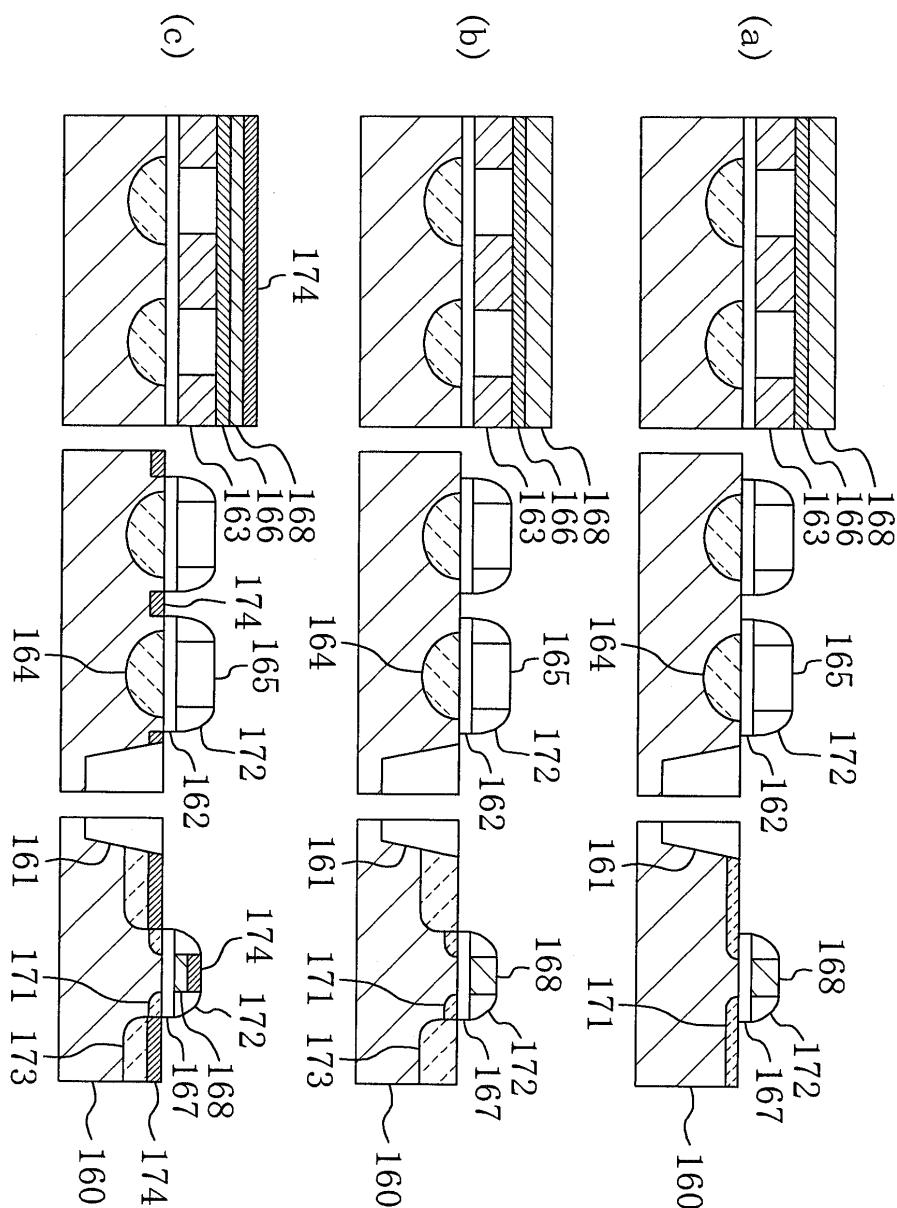
도면56



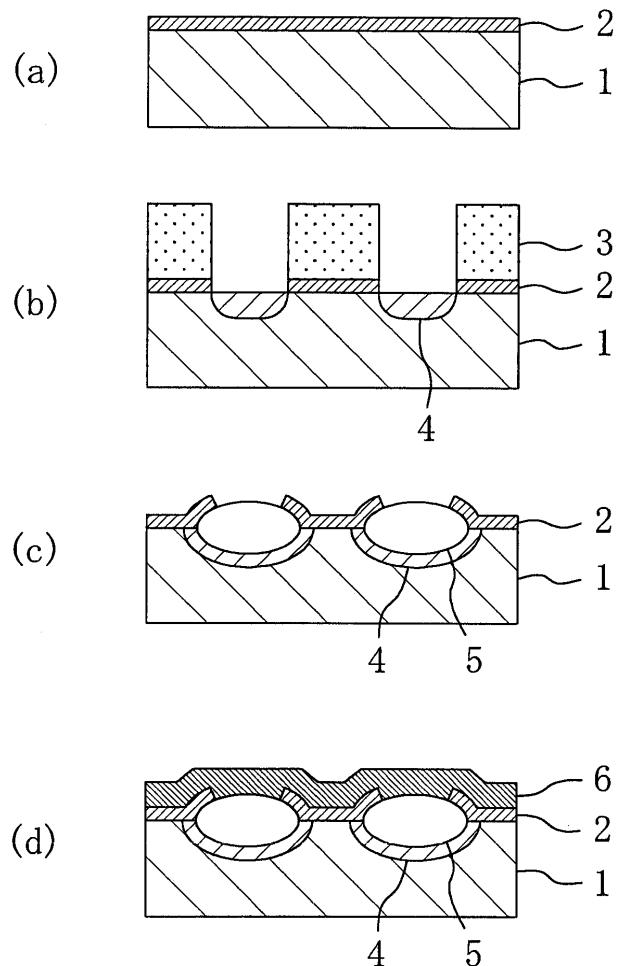
도면57



도면58



도면59



도면60

