

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/488 (2006.01)

H05K 1/18 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610112234.0

[43] 公开日 2008年3月5日

[11] 公开号 CN 101136385A

[22] 申请日 2006.8.29

[21] 申请号 200610112234.0

[71] 申请人 欣兴电子股份有限公司

地址 中国台湾桃园县桃园市龟山工业区兴邦路38号

[72] 发明人 郑振华

[74] 专利代理机构 北京中原华和知识产权代理有限公司

代理人 寿宁 张华辉

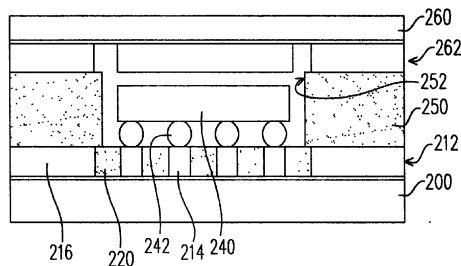
权利要求书2页 说明书5页 附图4页

[54] 发明名称

内埋式芯片封装制程及具有内埋芯片的电路板

[57] 摘要

本发明是有关于一种内埋式芯片封装制程及具有内埋芯片的电路板。该内埋式芯片封装制程，先将芯片连接至载板上的第一线路层，再经由压合层板于介电材料上，以使芯片内埋于介电材料中，以形成具有内埋芯片的电路板。其中，芯片具有至少一凸块，而凸块可借由焊料与第一线路层的接合垫电性连接。由于覆晶接合制程可提供较佳的芯片接合的可靠度及对位的精度，进而取代现有以激光成孔并制作线路层的方法。



- 1、一种内埋式芯片封装制程，其特征在于其包括下列步骤：
提供一载板以及一金属片，该金属片配置于该载板上；
图案化该金属片，以形成一第一线路层于该载板上，该第一线路层包括至少一接合垫；
形成一焊料于该接合垫上；
配置一芯片于该第一线路层上，该芯片具有至少一凸块，而该凸块借由该焊料与该接合垫电性连接；
覆盖一介电材料于该线路层上，且该芯片内埋于该介电材料中；
提供一层板以及一第二线路层，该第二线路层配置于该层板上；以及
进行一压合步骤，使得该层板上的该第二线路层压合于该介电材料中。
- 2、根据权利要求1所述的内埋式芯片封装制程，其特征在于其中该介电材料包括一胶片，而该胶片由半固化树脂材料胶化而成。
- 3、根据权利要求2所述的内埋式芯片封装制程，其特征在于其中该胶片对应于该芯片具有一开口，而该胶片覆盖于该第一线路层上时，该芯片容纳于该开口中。
- 4、根据权利要求1所述的内埋式芯片封装制程，其特征在于其中该介电材料覆盖于该第一线路层之后，更包括加热该介电材料，使之固化。
- 5、根据权利要求4所述的内埋式芯片封装制程，其特征在于其中该介电材料固化之后，更包括移除该载板。
- 6、根据权利要求4所述的内埋式芯片封装制程，其特征在于其中该介电材料固化之后，更包括移除该层板。
- 7、根据权利要求4所述的内埋式芯片封装制程，其特征在于其中该介电材料固化之后，更包括形成至少一贯孔于该介电材料中，并填入一导电胶在该贯孔中，该贯孔的两端对应连接该第一线路层与该第二线路层。
- 8、根据权利要求7所述的内埋式芯片封装制程，其特征在于其中该第一线路层对应于该贯孔的一端配置一第一接点，而该第二线路层对应于该贯孔的另一端配置一第二接点，且该第一接点与该第二接点借由该导电胶相互导通。
- 9、根据权利要求1所述的内埋式芯片封装制程，其特征在于其中该第二线路层包括一屏蔽层，其覆盖于该介电材料对应于该芯片的表面上。
- 10、根据权利要求1所述的内埋式芯片封装制程，其特征在于其中该载板包括一金属板或一绝缘板，而该金属片包括一背胶铜片。
- 11、根据权利要求1所述的内埋式芯片封装制程，其特征在于其中该层板包括一金属板或一绝缘板，而该第二线路层包括一图案化背胶铜层。

12、根据权利要求 1 所述的内埋式芯片封装制程，其特征在于其中形成该焊料的方式包括镀锡或印刷锡膏。

13、一种具有内埋组件的电路基板，其特征在于其包括：

一基板，包括一第一线路层、一介电层以及一第二线路层，该第一线路层与该第二线路层分别位于该介电层的相对二表面内，且该介电层中具有一导电贯孔，其导通于该第一线路层与该第二线路层；

一内埋组件，内埋于该介电层中，并与该第一线路层电性连接；以及一屏蔽层，覆盖于该介电层对应于该内埋组件的表面。

14、根据权利要求 13 所述的具有内埋组件的电路基板，其特征在于其中该第一线路层对应于该导电贯孔的一端配置一第一接点，而该第二线路层对应于该导电贯孔的另一端配置一第二接点，且该第一接点与该第二接点借由该导电贯孔相互导通。

15、根据权利要求 13 所述的具有内埋组件的电路基板，其特征在于其中该屏蔽层包括一铜层。

16、根据权利要求 13 所述的具有内埋组件的电路基板，其特征在于其中该屏蔽层与该第二线路层一并形成。

17、根据权利要求 13 所述的具有内埋组件的电路基板，其特征在于其中该内埋组件包括芯片，该芯片具有至少一凸块，而该第一线路层对应具有一接合垫，其与该凸块电性连接。

18、根据权利要求 13 所述的具有内埋组件的电路基板，其特征在于其中该内埋组件包括电容、电阻或电感。

内埋式芯片封装制程及具有内埋芯片的电路板

技术领域

本发明是有关于一种芯片封装制程及其结构，且特别是有关于一种内埋式芯片封装制程及具有内埋芯片的电路板。

背景技术

近年来，随着电子技术的日新月异，高科技电子产业的相继问世，使得更人性化、功能更佳的电子产品不断地推陈出新，并朝向轻、薄、短、小的趋势设计。在这些电子产品内通常会配置一电路板，此电路板用以承载单个芯片或多个芯片，以作为电子产品的数据处理单元，然而芯片配置于电路板上会造成承载面积增加，因而如何将芯片内藏于电路板中，已成为当前的关键技术。

图1为现有具有内埋芯片的电路板的剖面图，请参照图1，此电路板10包括一基板100、多个芯片110、一介电层120、一线路层130、抗氧化层140以及焊罩层150。其中，多个芯片110位于基板100上，而介电层120则形成于基板100上且覆盖多个芯片110。此外，每一芯片110的焊垫112借由激光制作的导电孔122与线路层130相连接，且线路层130再与对应的导电插塞132连接，以形成一具有内埋芯片110的电路板10。

由现有的电路板10可知，芯片110采用配置在同一平面上的排列方式，若欲增加芯片110的数目时，则相对的基板100面积亦必需随之增大。此外，以激光制作导电孔122易造成对准度的偏移而使良率降低。

发明内容

本发明的目的就是在提供一种内埋式芯片封装制程，其借由覆晶接合技术，以提高芯片接合的良率。

本发明的再一目的是提供一种具有内埋组件的电路板，其借由覆晶封装以提高芯片接合的良率。

本发明提出一种内埋式芯片封装制程，包括下列步骤：首先，提供一载板以及一金属片，而金属片配置于载板上；图案化金属片，以形成一第一线路层于载板上，第一线路层包括至少一接合垫；形成一焊料于接合垫上；配置一芯片于载板上，芯片具有至少一凸块，而凸块借由焊料与接合垫电性连接；覆盖一介电材料于线路层上，且芯片内埋于该介电材料中；提供一层板以及一第二线路层，而第二线路层配置于层板上；以及进行一压合步骤，使得层板上的第二线路层压合于介电材料中。

依照本发明的实施例所述，上述的介电材料包括一胶片，而胶片由半固化树脂材料胶化而成。此外，胶片对应于芯片具有一开口，而胶片覆盖于线路层上时，芯片位于开口中。

依照本发明的实施例所述，上述的介电材料覆盖于线路层之后，更包括加热介电材料，使之固化。此外，介电材料固化之后，更包括移除载板及层板。另外，介电材料固化之后，更包括形成至少一贯孔在介电材料中，并填入一导电胶在贯孔中，而贯孔的两端对应连接第一线路层与第二线路层。再者，第一线路层对应于贯孔的一端配置一第一接点，而第二线路层对应于贯孔的另一端配置一第二接点，且第一接点与第二接点借由导电胶相互导通。

依照本发明的实施例所述，上述的第二线路层包括一屏蔽层，其覆盖于介电材料对应于芯片的表面上，以防止电磁波干扰。

依照本发明的实施例所述，上述的载板包括一金属板或一绝缘板，而金属片包括一背胶铜片。此外，层板包括一金属板或一绝缘板，而第二线路层包括一图案化背胶铜层。

本发明另提出一种具有内埋组件的电路基板，其包括一基板、一内埋组件以及一屏蔽层。基板包括一第一线路层、一介电层以及一第二线路层，第一线路层与第二线路层分别位于介电层的相对二表面中，且介电层中具有一导电贯孔，其导通于第一线路层与第二线路层。此外，内埋组件内埋于介电层中，并与第一线路层电性连接。另外，屏蔽层覆盖于介电层对应于内埋组件的表面。

依照本发明的实施例所述，上述的第一线路层对应于导电贯孔的一端配置一第一接点，而第二线路层对应于导电贯孔的另一端配置一第二接点，且第一接点与第二接点借由导电贯孔相互导通。

依照本发明的实施例所述，上述的屏蔽层包括一铜层。此外，屏蔽层与第二线路层可一并形成。

依照本发明的实施例所述，上述的内埋组件包括芯片，芯片具有至少一凸块，而第一线路层对应具有一接合垫，其与凸块电性连接。此外，内埋组件包括电容、电阻或电感。

本发明因采用高良率的覆晶接合技术，先将芯片连接至载板上的第一线路层，再经由压合层板于介电材料上，以使芯片内埋于介电材料中，进而取代现有的内埋芯片的激光成孔及线路制作。因此，本发明可提高芯片接合的良率。

为使本发明的上述和其它目的、特征和优点能更明显易懂，下文特举较佳实施例，并配合所附图式，作详细说明如下。

附图说明

图1为现有具有内埋芯片的电路基板的剖面图。

图 2A ~ 图 2G 分别绘示本发明一实施例的内埋式芯片封装制程的流程示意图。

图 3 绘示本发明一实施例的芯片封装结构的示意图。

10、20: 电路基板	100: 基板
110: 芯片	112: 焊垫
120: 介电层	122: 导电孔
130: 线路层	132: 导电插塞
140: 抗氧化层	150: 绝缘层
200: 载板	210: 金属片
212: 第一线路层	214: 接合垫
216: 第一接点	220: 绝缘层
222: 焊料	230: 干膜
240: 芯片	242: 凸块
244: 背面	250: 介电材料
252: 开口	260: 层板
262: 第二线路层	266: 第二接点
270: 介电层	272: 贯孔
274: 导电胶	280: 屏蔽层
300: 芯片封装结构	310: 介电层
312: 导电孔	320: 表面线路层
330: 焊球	

具体实施方式

图 2A ~ 图 2G 分别绘示本发明一实施例的内埋式芯片封装制程的流程示意图，其中图 2A ~ 图 2E 绘示芯片以覆晶结合的方式配置于一载板上的步骤，而图 2F ~ 图 2G 绘示将芯片埋入于一介电材料并压合成形的步骤。虽然本实施例以单一芯片的封装制程为范例，但本发明亦可运用在多芯片的封装制程上，之后再切割成具有单一芯片或具有多个芯片的封装结构。

请参考图 2A ~ 图 2B，先提供一载板 200 以及一金属片 210，并图案化金属片 210 以形成第一线路层 212。其中，载板 200 例如是具有强度及支撑性的金属板或绝缘板，但亦可为软性的薄膜或胶片，用以承载金属片 210，而金属片 210 例如是背胶铜箔或其它导电片，其贴附在载板 200 上，以进行曝光、显影、蚀刻等图案化的步骤，以使第一线路层 212 具有至少一接合垫 214，而接合垫 214 的数量可依据实际输入/输出讯号的多寡来决定。在本实施例中，可以传统的干式蚀刻或湿式蚀刻的方式对金属片 210 进行图案化的蚀刻，以形成所需的第一线路层 212。

接着,请参考图 2C~图 2D,形成一绝缘层 (insulation layer) 220 于载板 200 上,并覆盖一可移除的干膜 230,以进行后续的电镀制程或印刷制程。其中,绝缘层 220 可显露第一线路层 212 的接合垫 214 的上表面,而干膜 230 覆盖于第一线路层 212 的其它表面(例如第一接点 216 的表面),以使电镀焊料 222 沉积于接合垫 214 的上表面。在本实施例中,电镀焊料 222 例如是锡铅合金或其它低熔点合金等,其形成于接合垫 214 上的目的是加强芯片 240 上的凸块 242 与接合垫 214 之间的接合强度以及对位的精准度。当然,本发明亦可以印刷锡膏来形成一焊料 222 于接合垫 214 上,其目的与功效与电镀相同。

接着,请参考图 2E,移除干膜 230,且芯片 240 以覆晶接合的方式配置于第一线路层 212 上时,芯片 240 的凸块 242 可借由焊料 222 与接合垫 214 相互连接,以作为电子讯号传输的媒介。由于焊料 222 可防止凸块 242 对位偏移并增加接合的强度,因而提高覆晶接合的可靠度及良率。除此之外,借由高良率的覆晶接合技术,先将芯片 240 连接至载板 200 上的第一线路层 212,亦可避免现有图 1 中以激光成孔并制作线路层 130 连接内埋的芯片 110 的制程。

接着,请参考图 2F,覆盖介电材料 250 并以一层板 260 压合于介电材料 250 上,以使芯片 240 内埋于介电材料 250 中。其中,介电材料 250 例如是半固化 (prepreg) 的 BT 树脂 (Bismaleimide Triazine Resin) 或 PP 树脂 (polypropylene) 等绝缘材料,其可经由单体聚合 (polymerization) 反应并达到胶化程度而形成一胶片,而介电材料 250 在聚合反应成胶片之前,可选择性地加入玻纤布 (glass fiber) 以提高其强度及支撑性。在本实施例中,介电材料 250 以半固化的胶片覆盖于第一线路层 212 上时,胶片可预先形成一适当的开口 252,其对应于芯片 240 所在的位置,并足以容纳芯片 240 于开口 252 中。预设开口 252 的目的是避免在后续的压合步骤中,胶片挤压到芯片 240 而造成芯片 240 损坏。

承上所述,当芯片 240 内埋于介电材料 250 中时,再以层板 260 均匀地施压于介电材料 250,以使芯片 240 及其凸块 242 被完整地包覆于介电材料 250 中。此时,介电材料 250 并未固化成形,因此必须再进行加热处理,使其分子产生交错链接 (Cross Linking) 现象而固化。

值得注意的是,层板 260 除了用以施压于介电材料 250 之外,更可预先在层板 260 上制作第二线路层 262,其作法如同在图 2A~图 2B 中制作第一线路层 212 于一载板 200 上,在此不再一一详述。其中,层板 260 例如是具有强度及支撑性的金属板或绝缘板,而第二线路层 262 例如是图案化的背胶铜层或其它金属层。当层板 260 压合于介电材料 250 时,第二线路层 262 可被压合于介电材料 250 中,如图 2F 所示。

接着,请参考图 2G,当介电材料 250 完全固化之后,载板 200 及层板 260 可借由掀离 (lift off) 或其它的剥除技术予以去除,仅保留第一线路层 212 以及第二线路层 262 在固化后的介电层 270 的相对二表面内,以形成一具有内埋芯片 240 的电路基板 20。其中,介电层 270 中更可以激光成孔形成至少一贯孔 272,其两端对应连接第一线路层 212 与第二线路层 262。此外,第一线路层 212 对应于贯孔 272 的一端配置一第一接点 216,而第二线路层 262 对应于贯孔 272 的另一端配置一第二接点 266,且第一接点 216 与第二接点 266 借由贯孔 272 内的导电胶 274 相互导通,以达讯号传输的目的。

值得注意的是,此电路基板 20 除了借由第一与第二线路层 212、262 传递芯片 240 或其它组件的电子讯号之外,更可包括一屏蔽层 280,其覆盖于芯片 240 上方的介电层 270 的表面,并与芯片 240 的背面 244 保持一间距或与芯片 240 的背面 244 相接触。屏蔽层 280 的面积以大于或等于芯片 240 的面积为最佳,以阻挡入射于芯片 240 的电磁波,以避免电磁波干扰到芯片 240 的正常运作。在本实施例中,屏蔽层 280 可为一铜层或其它高导电性的金属,而屏蔽层 280 也可经由图案化第二线路层 262 时一并形成,或经由贴附的方式独立形成于层板 260 上,再压合于介电层 270 内。

最后,请参考图 3 的芯片封装结构 300,其绘示在图 2G 的电路基板 20 上制作至少一线路层及焊球的示意图,其中介电层 310 以及表面线路层 320 可借由增层法依序形成于电路基板 20 上,而表面线路层 320 可借由介电层 310 中的导电孔 312 与第二线路层 262 的第二接点 266 电性连接。此外,表面线路层 320 上更可配置多个焊球 330,以形成球格数组 (ball grid array) 的内埋式芯片封装结构 300。

除了内埋芯片 240 之外,本实施例亦可运用在其它内埋组件的封装及结构上,例如将电容、电阻以及电感等被动组件取代上述的芯片 240,即可形成具有内埋组件的电路基板,其制程步骤如图 2A~图 2G,在此不再详述。

综上所述,本发明因采用高良率的覆晶接合技术,先将芯片连接至载板上的第一线路层,再经由压合层板于介电材料上,以使芯片内埋于介电材料中,进而取代现有的内埋芯片的激光成孔及线路制作。因此,本发明可提高芯片接合的良率。此外,本发明借由配置屏蔽层在芯片的上方,以防止电磁波的干扰,因而使芯片能正常运作,以减少电磁干扰所产生的噪声。

虽然本发明已以较佳实施例揭露如上,然其并非用以限定本发明,任何所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,因此本发明的保护范围当视所附的权利要求书所界定者为准。

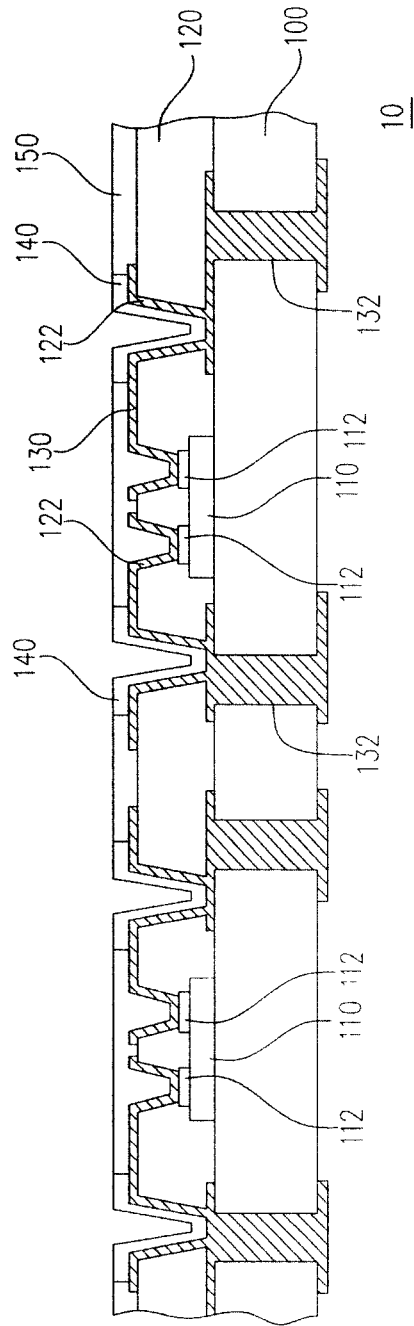


图1

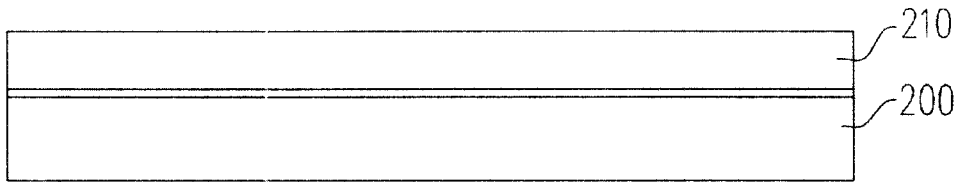


图 2A

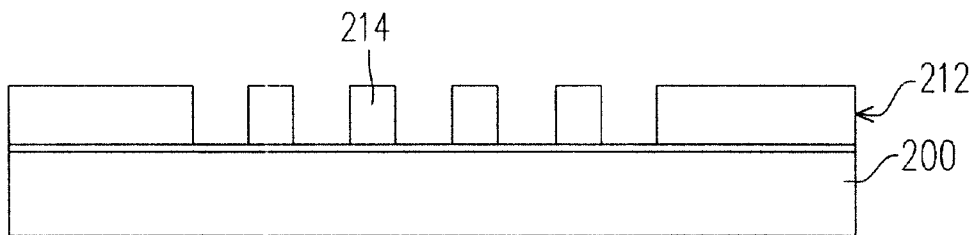


图 2B

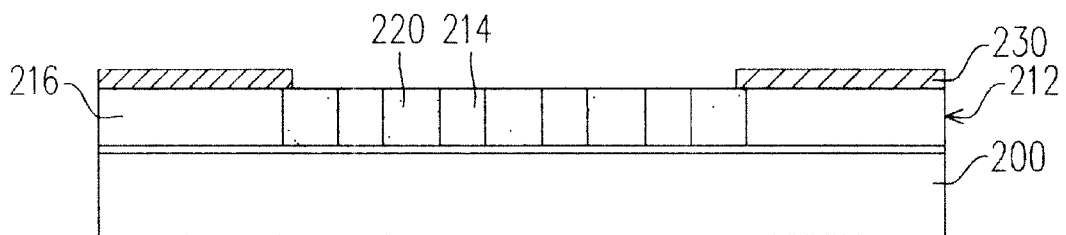


图 2C

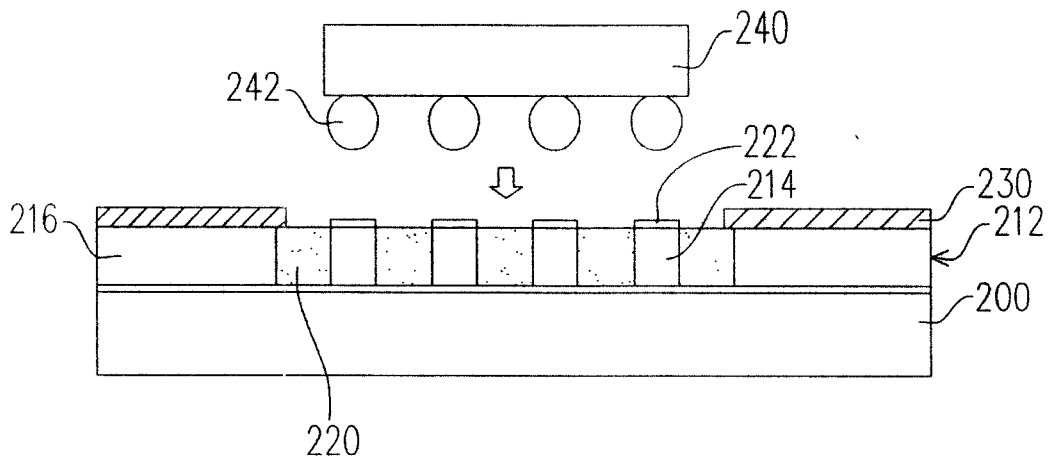


图 2D

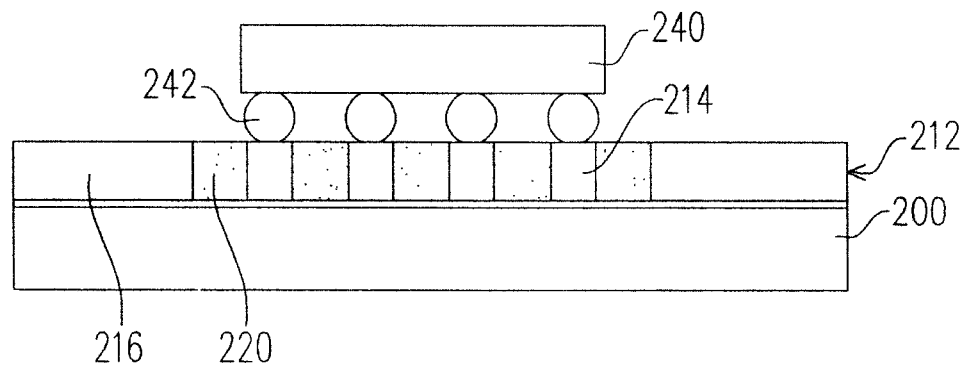


图 2E

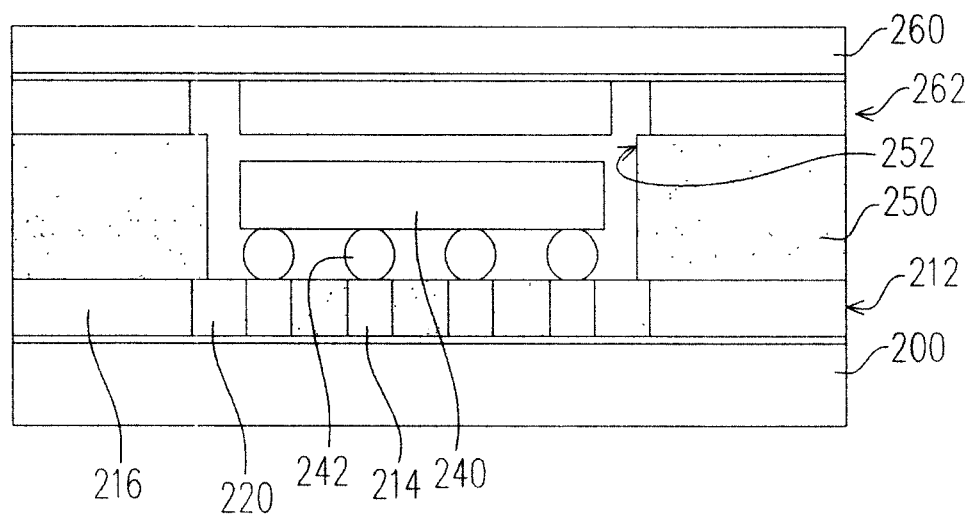


图 2F

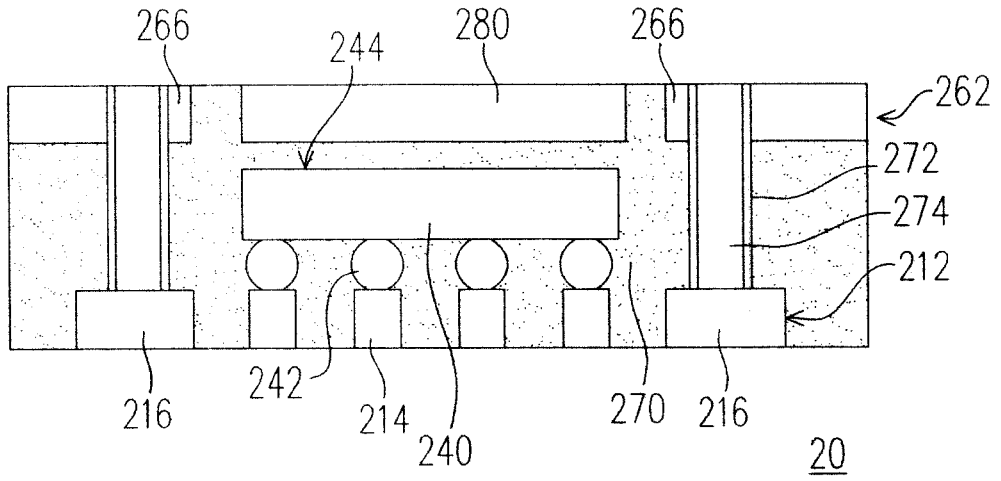


图 2G

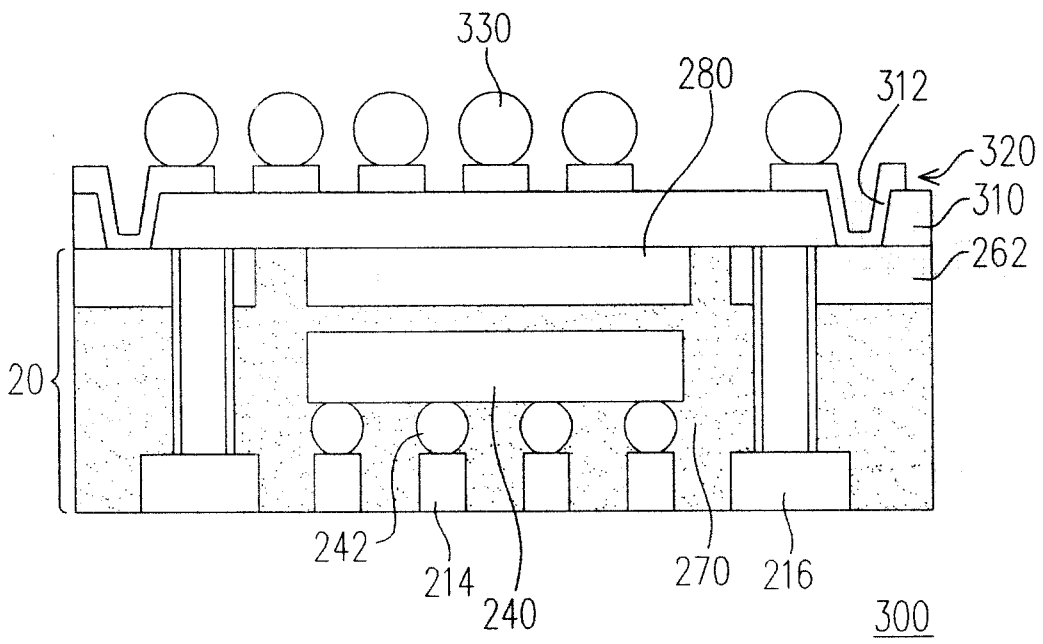


图 3