(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 694 34 755 T2** 2007.05.16

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 617 379 B1**
(21) Deutsches Aktenzeichen: **694 34 755.8**
(96) Europäisches Aktenzeichen: **94 103 724.4**
(96) Europäischer Anmeldetag: **10.03.1994**
(97) Erstveröffentlichung durch das EPA: **28.09.1994**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **07.06.2006**
(47) Veröffentlichungstag im Patentblatt: **16.05.2007**

(51) Int Cl.[8]: ***G06K 7/00*** (2006.01)

(30) Unionspriorität:
6507393 24.03.1993 JP

(84) Benannte Vertragsstaaten:
DE, FR, GB

(73) Patentinhaber:
Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa, JP

(74) Vertreter:
HOFFMANN & EITLE, 81925 München

(72) Erfinder:
Iijima, c/o Intellectual Property Div., Yasuo, Tokyo 105, JP

(54) Bezeichnung: **Datenübertragungssystem**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf ein Datenübertragungssystem, das zu der Kompatibilität der Anforderung nach der ISO-Standardisierung mit der Verwendung existierender Hardware fähig ist.

[0002] Vor kurzem wurden Datenübertragungssysteme, die eine IC-Karte als ein tragbares Datenspeichermedium verwenden, erwähnt. Diese IC-Karte ist allgemein auf Empfang von Leistung, Takten etc. von einer externen Einrichtung hin betriebsfähig. Hinsichtlich Signalen, die IC-Karten zugeführt werden, gibt es einen internationalen Standard, der insbesondere durch ISO/IEC7816-3 festgesetzt ist. Dieser Standard spezifiziert, dass auf Empfang der anfänglichen Antwortdaten (welche "Antwort auf Rücksetzung" ("Answer to Reset") genannt werden) von einer IC-Karte hin ein Takt von 3,5712 MHz der IC-Karte zugeführt werden sollte um zu veranlassen, dass die Antwort auf Rücksetzung bei einer Rate von 9600 bps übertragen wird. Danach sollten unterschiedliche Verhältnisse zwischen der Eingangsfrequenz und der Datenübertragungsrate je nach Notwendigkeit für anschließenden Datenaustausch selektiv verwendet werden. Eine Technik zum Schalten von Taktsignalen, die der IC-Karte zugeführt werden, wird in USP 5,099,141 offenbart. Der ISO-Standard erfordert eine Frequenz von 3,5712 MHz, um IC-Karten zurückzusetzen.

[0003] EP-A-0 347 894 beschreibt ein IC-Karten-Lesegerät/Schreibgerät mit einem Frequenzmodus-Identifikationsmittel zum Bestimmen, ob eine IC-Karte, die darin geladen ist, eine identifizierbare Frequenz hat oder nicht. Wenn der Frequenzmodus der IC-Karte identifizierbar ist, liest ein Taktfrequenz-Bestimmungsmittel Frequenzdaten, die eine Betriebstaktfrequenz darstellen, aus der IC-Karte aus, um die Betriebstaktfrequenz zu bestimmen, die für diese Karte besonders ist. Basierend auf der bestimmten Betriebstaktfrequenz der IC-Karte konvertiert ein Frequenzeinstellungsmittel in dem IC-Karten-Lesegerät/Schreibgerät Taktimpulse, die durch ein Bezugstakt-Generierungsmittel generiert werden, in Taktimpulse, die zu der Taktfrequenz der IC-Karte passen, und speist jene Taktimpulse in die Karte ein.

[0004] Ein Basistakt, der in der konventionellen Hardware für einen Datenaustausch in der Rate von 9600 bps verwendet wird, kann jedoch nicht einfach durch Frequenzteilung 2^n dieser Frequenz des ISO-Standards, 3,5712 MHz, erhalten werden. Falls eine externe Einrichtung versucht, Datenaustausch mit einer IC-Karte unter Verwendung eines UART oder dergleichen zu bewerkstelligen, sollte sie diese Frequenz irregulär teilen oder ein beliebiges anderes Verfahren einsetzen, um den Basistakt zu erzeugen. Dies macht die Hardware der externen Einrichtung komplex und redundant. Mehr noch ist es schwierig, einen Takt mit einer äußerst genauen Frequenz selbst durch diese irreguläre Frequenzteilung zu erzeugen. Ferner ist in der Vorrichtung, die in dem obigen USP 5,099,141 offenbart wird, der Takt, der zum Übertragen/Empfangen von Daten zwischen der Vorrichtung und der IC-Karte verwendet wird, nicht vorgesehen.

[0005] Es ist ein Ziel der vorliegenden Erfindung, ein Datenübertragungssystem vorzusehen, das zum Austauschen von Daten unter Verwendung existierender Hardware, wie etwa eines UART, fähig ist, während der IC-Karte ein neuer Takt zugeführt wird, dessen Frequenz nicht ein Vielfaches von 1200 bps ist, sogar durch eine Frequenzteilung von 2^n, als Reaktion auf eine Anforderung des ISO-Standards.

[0006] Gemäß der vorliegenden Erfindung wird ein Datenübertragungssystem vorgesehen, umfassend ein tragbares Medium und eine Verarbeitungsvorrichtung, wobei die Verarbeitungsvorrichtung eine serielle Schnittstelle für Signal- und Datenübertragung zwischen der Verarbeitungsvorrichtung und dem tragbaren Medium enthält, und die Verarbeitungsvorrichtung angepasst ist, ein Taktsignal zu dem tragbaren Medium zuzuführen, die Verarbeitungsvorrichtung ferner umfassend: einen ersten Oszillator zum Generieren eines ersten Taktsignals, das für Datenübertragung und Empfang über die serielle Schnittstelle erforderlich ist; einen zweiten Oszillator zum Generieren eines zweiten Taktsignals mit einer vorbestimmten Frequenz und verschieden von dem ersten Taktsignal; einen Frequenzteiler zum Teilen des ersten Taktsignals, das durch den ersten Oszillator generiert wird; und einen Frequenzselektor zum Auswählen des zweiten Taktsignals, wenn das tragbare Medium zurückgesetzt wird; das tragbare Medium umfassend ein Steuermittel, das mit dem Frequenzselektor und mit der seriellen Schnittstelle für die Datenübertragung und Empfang verbunden ist, gekennzeichnet dadurch, dass der Frequenzteiler angepasst ist, das erste Taktsignal durch 2^m zu teilen, unter Verwendung von m in Kaskade verbundenen Flip-Flops, wobei m eine natürliche Zahl ist; der Frequenzselektor angepasst ist, das erste Taktsignal auszuwählen, das durch den Frequenzteiler geteilt wird, wenn Daten zu/von dem tragbaren Medium übertragen werden, und das Steuermittel Daten überträgt/empfängt zu/von dem Verarbeitungsmittel in Übereinstimmung mit dem ersten Taktsignal, wie durch den Frequenzteiler geteilt und von dem Frequenzselektor ausgegeben.

[0007] In der vorliegenden Erfindung ist es möglich, einen ersten Takt mit einer ersten Frequenz, die Datenaustausch unter Verwendung existierender Hardware gestattet, und einen zweiten Takt mit einer zweiten Frequenz, die eine IC-Karte zurücksetzt, um betriebsfähig zu sein, wie durch den ISO-Standard ge-

fordert, zuzuführen. Es ist deshalb möglich, Datenaustausch unter Verwendung existierender Hardware, wie etwa eines UART, basierend auf dem ersten Takt mit der ersten Frequenz sicherzustellen, während der IC-Karte der zweite Takt mit der zweiten Frequenz zugeführt wird, welcher nicht ein Vielfaches von 1200 bps sogar durch eine Frequenzteilung von 2^n sein wird, wie erforderlich.

[0008] Diese Erfindung kann aus der folgenden detaillierten Beschreibung vollständiger verstanden werden, wenn sie in Verbindung mit den begleitenden Zeichnungen aufgenommen wird, in denen:

[0009] Fig. 1 ein Blockdiagramm ist, das den Systemaufbau einer Endgeräteinrichtung veranschaulicht, die gestaltet ist, eine IC-Karte zu handhaben, als ein Datenübertragungssystem der vorliegenden Erfindung;

[0010] Fig. 2 ein Blockdiagramm ist, das den Aufbau der IC-Karte schematisch zeigt;

[0011] Fig. 3 ein Diagramm ist, das die Verbindung zwischen einem Kartenlesegerät/Schreibgerät und einer IC-Karte zeigt;

[0012] Fig. 4 ein Blockdiagramm ist, das die Verbindung zwischen ersten und zweiten Oszillatoren in Fig. 3 zeigt; und

[0013] Fig. 5 ein Blockdiagramm ist, das den Aufbau eines Frequenzteilers in Fig. 4 beispielhaft darstellt.

[0014] Hierin nachstehend wird eine bevorzugte Ausführungsform der vorliegenden Erfindung mit Verweis auf die begleitenden Zeichnungen beschrieben.

[0015] Fig. 1 ist ein Blockdiagramm, das den Systemaufbau einer Endgeräteinrichtung als ein Datenübertragungssystem der vorliegenden Erfindung veranschaulicht, die gestaltet ist, eine IC-Karte zu handhaben. Diese Endgeräteinrichtung, die z.B. in einem Finanzsystem oder einem Einkaufsystem verwendet wird, gestattet, dass eine IC-Karte **1** über ein Kartenlesegerät/Schreibgerät **2** mit einer Steuervorrichtung **3** verbunden wird, die eine CPU oder dergleichen umfasst. Die Endgeräteinrichtung hat eine Tastatur **4**, eine CRT-Anzeige **5**, einen Drucker **6** und ein Diskettenlaufwerk **7**, die alle mit der Steuervorrichtung **3** verbunden sind. Die IC-Karte **1** befindet sich im Besitz eines Benutzers und wird verwendet, um die persönliche Identifikationsnummer, die nur der Benutzer kennt, mit einer eingegebenen persönlichen Identifikationsnummer zu der Zeit zuzuordnen, wenn der Benutzer z.B. beliebige Waren kauft oder notwendige Daten akkumuliert.

[0016] Fig. 2 ist ein Blockdiagramm, das den Aufbau der IC-Karte **1** schematisch zeigt. Um ihre verschiedenen Funktionen durchzuführen, umfasst die IC-Karte **1** eine Steuereinheit (Steuermittel) **11**, wie etwa eine CPU, die als eine Steuervorrichtung dient, einen Datenspeicher (Speichereinheit) **12**, einen Arbeitsspeicher **13**, einen Programmspeicher **14** und einen Kontaktabschnitt **15** zum Bereitstellen von elektrischem Kontakt mit dem zuvor erwähnten Kartenlesegerät/Schreibgerät **2**. Unter jenen Elementen sind die Steuereinheit **11**, der Datenspeicher **12**, der Arbeitsspeicher **13** und der Programmspeicher **14** in einem einzelnen IC-Chip oder einer Vielzahl von IC-Chips gebildet, und sind in dem Hauptkörper der IC-Karte vergraben. Der Datenspeicher **12** wird verwendet, um verschiedene Daten zu speichern und wird aus einem nicht-flüchtigen Speicher gebildet, wie etwa einem EEPROM, dessen Speicherinhalt löschbar ist. Dieser Datenspeicher **12** besteht aus einer gemeinsamen Datendatei, die für alle Anwendungsprogramme gemeinsam verwendet wird, und einer Vielzahl von Anwendungsdatendateien, die für die jeweiligen Anwendungsprogramme getrennt verwendet werden. Jede Datendatei hat Schlüsseldaten (persönliche Identifikationsnummer), die als viele Teile von Zertifizierung oder Identifikationsinformation gespeichert werden, und hat eine Vielzahl von Bereichen. Der Arbeitsspeicher **13**, der z.B. aus einem RAM gebildet ist, hält zeitweilig verarbeitete Daten, wenn die CPU eine beliebige Verarbeitung durchführt. Der Programmspeicher **14**, der z.B. aus einem maskierten ROM gebildet ist, enthält ein Steuerprogramm für die Steuereinheit **11** oder dergleichen. Das Steuerprogramm hat Subroutinen, um die zuvor erwähnten einzelnen Basisfunktionen zu bewerkstelligen.

[0017] Fig. 3 zeigt die Verbindung zwischen dem Kartenlesegerät/Schreibgerät (R/W) **2** und der IC-Karte **1**. Verbunden mit der IC-Karte **1** sind eine E/A-Leitung **21** und eine Taktleitung **22** und andere Signalleitungen (nicht gezeigt) von dem in Fig. 1 gezeigten Kartenlesegerät/Schreibgerät **2**. Die E/A-Leitung **21** wird für einen Datenaustausch mit der IC-Karte **1** verwendet. Die Taktleitung **22** ist vorgesehen, um Takte bereitzustellen, die notwendig sind, um die IC-Karte **1** zu betreiben. Die erwähnten anderen Signalleitungen werden verwendet, um Vcc, GND und Rücksetzsignale zuzuführen. Das Kartenlesegerät/Schreibgerät **2** enthält einen UART **23** als eine serielle Schnittstelle, die mit der E/A-Leitung **21** und der Steuervorrichtung **3** verbunden ist, einen ersten Oszillator (Oszillator A) **24** zum Generieren eines ersten Taktes mit einer ersten Frequenz, einen zweiten Oszillator (Oszillator B) **25** zum Generieren eines zweiten Taktes mit einer zweiten Frequenz, einen Frequenzteiler **26** zum Teilen der ersten Frequenz des ersten Taktes von dem ersten Oszillator **24** und einen Frequenzselektor **27** zum Auswählen einer der Frequenzen, die durch den zweiten Oszillator **25** und

den Frequenzteiler **26** bereitgestellt werden. Das Kartenlesegerät/Schreibgerät **2** führt einen Datenaustausch mit der IC-Karte **1** unter Verwendung des ersten Taktsignals von dem ersten Oszillator **24** durch. Der erste Oszillator **24** generiert einen ersten Takt mit einer Frequenz von z.B. 1200×2^n, sodass falls diese Frequenz durch 2^m ($m < n$) geteilt wird, ein Datenaustausch in der Übertragungsrate von z.B. 9600 bps durch die E/A-Leitung **21** möglich wird. Der zweite Oszillator **25** generiert ein zweites Taktsignal, um die IC-Karte **1** zu betreiben. Z.B. generiert der zweite Oszillator **25** einen zweiten Takt, dessen Frequenz nicht ein Vielfaches der Rate von 1200 bps sogar durch eine Frequenzteilung von 2^k ($k \leq n$) wird, wie etwa 3,5712 MHz, die als eine Rücksetzfrequenz nach dem ISO-Standard erforderlich ist. Der Datenaustausch mit der IC-Karte **1** wird durch Software bewerkstelligt, die in dem Programmspeicher **14** gespeichert ist. Datenübertragung und Empfang werden bei der Rate von 9600 bps unter Verwendung eines Software-Timers oder dergleichen unter der Annahme durchgeführt, dass ein Takt mit einer Frequenz außer 1200×2^n der IC-Karte **1** zugeführt wird.

[0018] Fig. 4 ist ein Blockdiagramm, das in einer Vergrößerung die Verbindung zwischen den ersten und zweiten Oszillatoren **24** und **25** zeigt, die in Fig. 3 gezeigt werden. Der erste Oszillator **24** hat seinen Ausgang mit dem UART **23** und dem Frequenzteiler **26** verbunden, und gibt einen ersten Takt einer ersten Frequenz f1 direkt zu dem UART **23** aus. Der Frequenzteiler **26** teilt die erste Frequenz f1 auf eine Art und Weise, die später beschrieben wird, und gibt den resultierenden Takt aus. Der zweite Oszillator **25** hat seinen Ausgang mit dem Frequenzselektor **27** verbunden, der z.B. einen Schaltkreis umfasst, und führt einen zweiten Takt mit einer zweiten Frequenz f2 dem Frequenzselektor **27** zu. Der Frequenzselektor **27** empfängt den Takt mit der geteilten Frequenz von dem Frequenzteiler **26**, und gibt selektiv entweder die zweite Frequenz oder die geteilte Frequenz zu der IC-Karte **1** in Übereinstimmung mit einer Instruktion von der Steuervorrichtung **3** aus.

[0019] Fig. 5 ist ein Blockdiagramm, das den Aufbau des in Fig. 4 gezeigten Frequenzteilers **26** beispielhaft zeigt. Der Frequenzteiler **26** umfasst z.B. eine Vielzahl von in Kaskade verbundenen Flip-Flops vom D-Typ (D-F/F) **30**. Der Takt, der von dem ersten Oszillator **24** ausgegeben wird, ist mit einer Takteingangssektion CP des Flip-Flops vom D-Typ **30-1** der ersten Stufe in dem Frequenzteiler **26** verbunden. Der Flip-Flop vom D-Typ **30-1** hat seinen Ausgang Q mit einem Eingang D verbunden. Der Ausgang Q ist mit einer Takteingangssektion CP des Flip-Flops vom D-Typ **30-2** der zweiten Stufe verbunden. Auf diese Art und Weise sind m Flip-Flops vom D-Typ in Kaskade verbunden. Wenn die Frequenz des Ausgangstaktes von dem ersten Oszillator **24** f1 ist, wird ein Takt einer Frequenz von $f1/2^m$ Hz in dem Ausgang Q des D-Flip-Flops 30-m der m-ten Stufe erscheinen. Somit kann der Frequenzselektor **27** eine der zweiten Frequenz f2 zum Rücksetzen, und der einzelnen Frequenzen $f1/2$, $f1/2^2$, ..., $f1/2^m$, die durch Teilen der ersten Frequenz f1 für eine normale Operation erhalten werden, auswählen. Um z.B. die Rate von 9600 bps mit der Frequenz f1 = 4,9152 MHz bereitzustellen, sollten neun Flip-Flops vom D-Typ verwendet werden.

[0020] Wie oben beschrieben, ist es gemäß der vorliegenden Erfindung möglich, einen Datenaustausch unter Verwendung existierender Hardware, wie etwa eines UART, der den konventionellen Takt verwendet, sicherzustellen, während ein neuer Takt, dessen Frequenz (zweite Frequenz) nicht ein Vielfaches der Rate von 1200 bps sogar durch Frequenzteilung von 2^n sein wird, zu der IC-Karte zugeführt wird.

Patentansprüche

1. Ein Datenübertragungssystem, umfassend ein tragbares Medium (**1**) und eine Verarbeitungsvorrichtung (**2**), wobei die Verarbeitungsvorrichtung eine serielle Schnittstelle (**23**) für Signal- und Datenübertragung zwischen der Verarbeitungsvorrichtung und dem tragbaren Medium enthält, und die Verarbeitungsvorrichtung angepasst ist, ein Taktsignal zu dem tragbaren Medium zuzuführen, die Verarbeitungsvorrichtung (**2**) ferner umfassend:
einen ersten Oszillator (**24**) zum Generieren eines ersten Taktsignals (f1), das für Datenübertragung und Empfang über die serielle Schnittstelle (**23**) erforderlich ist;
einen zweiten Oszillator (**25**) zum Generieren eines zweiten Taktsignals (f2) mit einer vorbestimmten Frequenz und verschieden von dem ersten Taktsignal;
einen Frequenzteiler (**26**) zum Teilen des ersten Taktsignals, das durch den ersten Oszillator (**24**) generiert wird; und
einen Frequenzselektor (**27**) zum Auswählen des zweiten Taktsignals, wenn das tragbare Medium zurückgesetzt wird;
das tragbare Medium (**1**) umfassend ein Steuermittel (**11**), das mit dem Frequenzselektor (**27**) und mit der seriellen Schnittstelle für die Datenübertragung und Empfang verbunden ist, gekennzeichnet dadurch, dass der Frequenzteiler (**26**) angepasst ist, das erste Taktsignal durch 2^m zu teilen, unter Verwendung von m in Kaskade verbundenen Flip-Flops, wobei m eine natürliche Zahl ist;
der Frequenzselektor (**27**) angepasst ist, das erste Taktsignal auszuwählen, das durch den Frequenzteiler (**26**) geteilt wird, wenn Daten zu/von dem tragbaren Medium übertragen werden,
und das Steuermittel Daten überträgt/empfängt zu/von dem Verarbeitungsmittel in Übereinstimmung mit dem ersten Taktsignal, wie durch den Frequenzteiler geteilt und von dem Frequenzselektor (**27**) ausgegeben.

2. Ein Datenübertragungssystem nach Anspruch 1, wobei das erste Taktsignal eine Frequenz von 1200×2^n Hz hat, wobei n eine natürliche Zahl ist und $m < n$ ist, und wobei der Frequenzselektor (**27**) angeordnet ist, das frequenzgeteilte erste Taktsignal der Frequenz $1200 \times 2^n \times 1/2^m$ Hz als Reaktion auf ein Antwort-zu-Rücksetz-Signal von dem tragbaren Medium (**1**) auszuwählen.

3. Ein Datenübertragungssystem nach Anspruch 1, wobei das erste Taktsignal eine Frequenz von 4,9152 MHz hat, und das zweite Taktsignal eine Frequenz von 3,5712 MHz hat.

Es folgen 2 Blatt Zeichnungen

Anhängende Zeichnungen

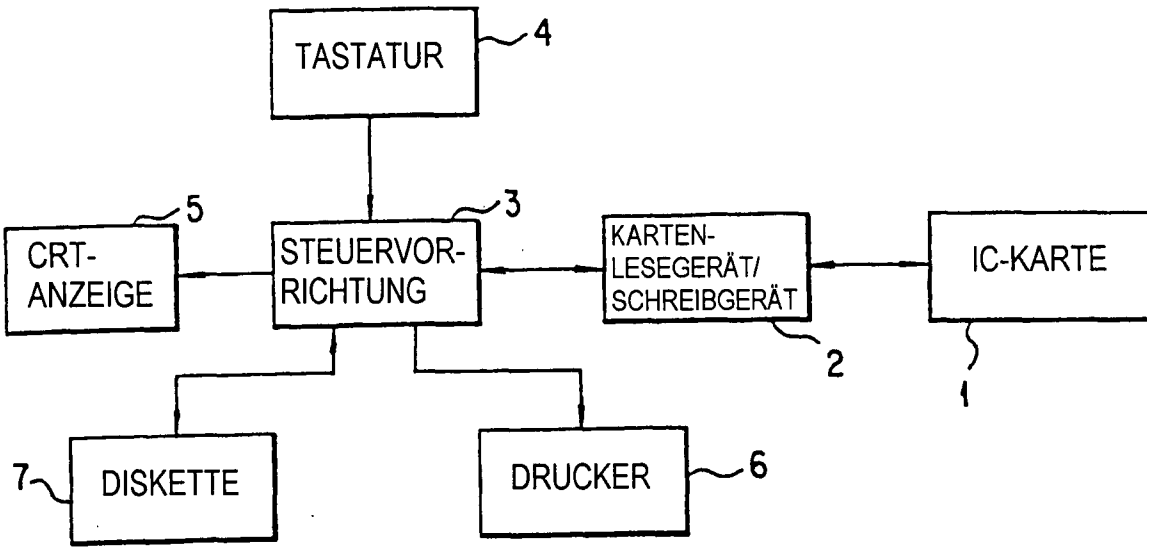


FIG. 1

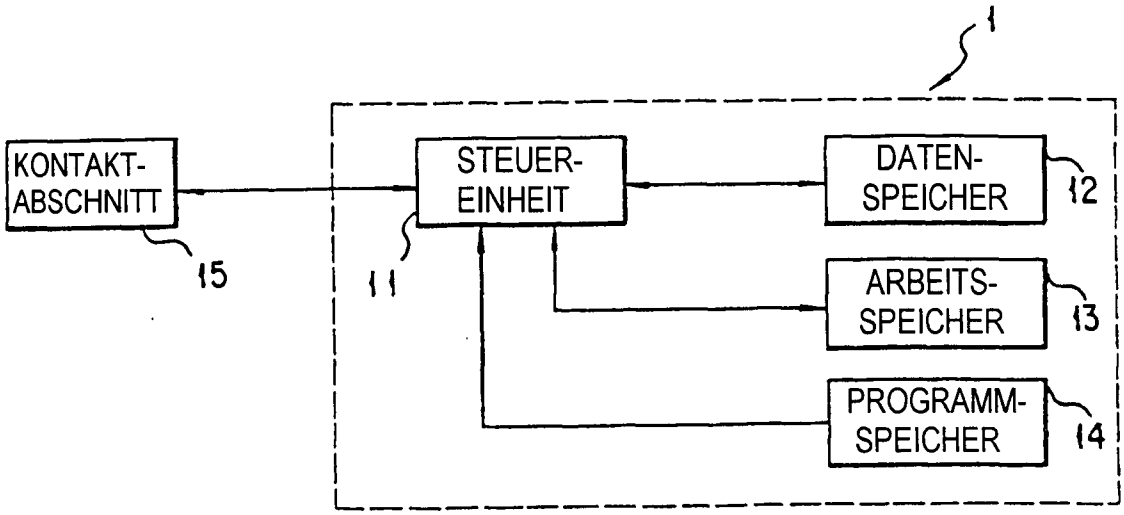


FIG. 2

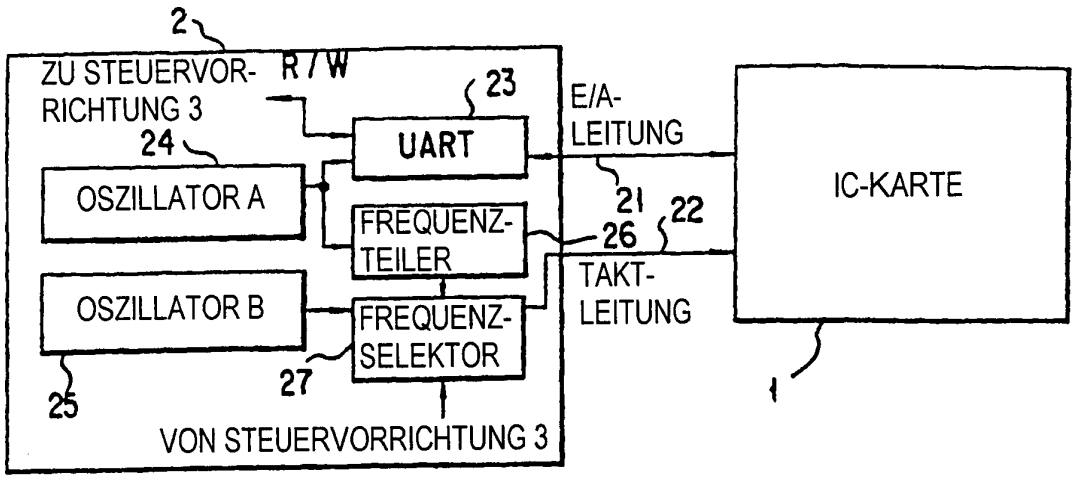


FIG. 3

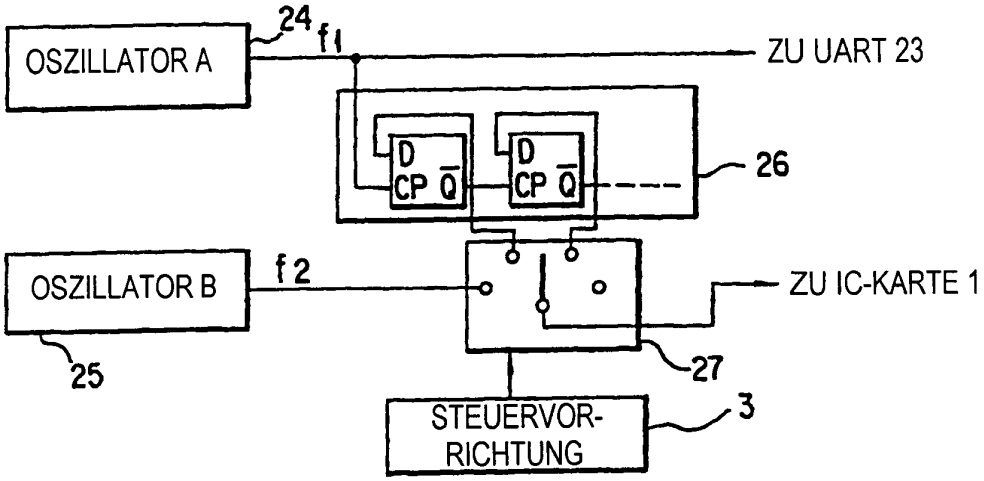


FIG. 4

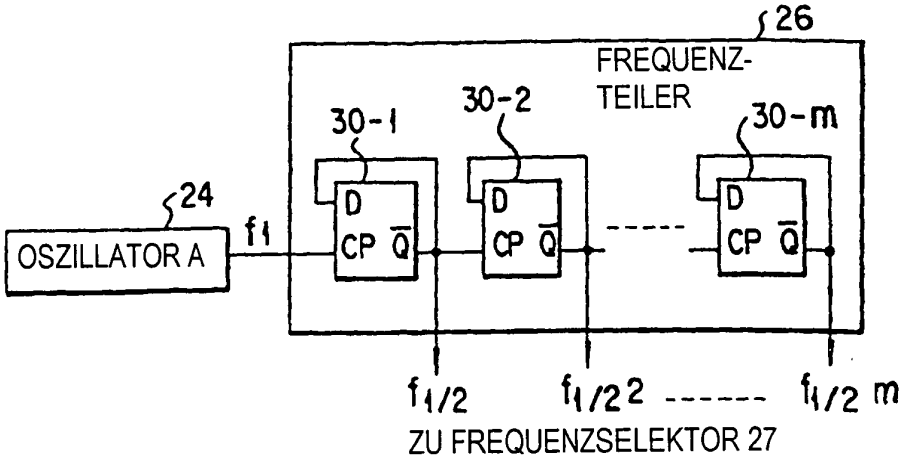


FIG. 5