

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4456154号
(P4456154)

(45) 発行日 平成22年4月28日(2010.4.28)

(24) 登録日 平成22年2月12日(2010.2.12)

(51) Int.Cl.

F I

G 0 6 F 12/08 (2006.01)

G 0 6 F 12/08 5 7 9

G 0 6 F 12/08 5 4 3 B

G 0 6 F 12/08 5 1 3

G 0 6 F 12/08 5 0 9 F

G 0 6 F 12/08 5 2 3 B

請求項の数 19 (全 17 頁)

(21) 出願番号 特願2007-534653 (P2007-534653)
 (86) (22) 出願日 平成17年9月21日(2005.9.21)
 (65) 公表番号 特表2008-515095 (P2008-515095A)
 (43) 公表日 平成20年5月8日(2008.5.8)
 (86) 国際出願番号 PCT/US2005/033671
 (87) 国際公開番号 W02006/039153
 (87) 国際公開日 平成18年4月13日(2006.4.13)
 審査請求日 平成20年9月17日(2008.9.17)
 (31) 優先権主張番号 10/956,560
 (32) 優先日 平成16年10月1日(2004.10.1)
 (33) 優先権主張国 米国(US)

(73) 特許権者 591016172
 アドバンスト・マイクロ・ディバイシズ・
 インコーポレイテッド
 ADVANCED MICRO DEVI
 CES INCORPORATED
 アメリカ合衆国、94088-3453
 カリフォルニア州、サニibel、ピー・
 オウ・ボックス・3453、ワン・エイ・
 エム・ディ・プレイス、メイル・ストップ
 ・68 (番地なし)
 (74) 代理人 100099324
 弁理士 鈴木 正剛
 (74) 代理人 100111615
 弁理士 佐野 良太

最終頁に続く

(54) 【発明の名称】 キャッシュメモリの動的再設定

(57) 【特許請求の範囲】

【請求項 1】

プロセッサのキャッシュメモリを設定する方法であって、
 前記キャッシュメモリの現在の利用率をモニタするステップと、
 前記現在の利用率が、所定の利用値より低いかを決定するステップと、
 前記現在の利用率が前記所定の利用値より低いという決定に応じて、前記キャッシュメモリの1以上の部分への供給電圧レベルを制御して、前記キャッシュメモリの1以上の部分を選択的に無効にするステップと、
 前記プロセッサの前記キャッシュメモリの現在の利用率が第2の所定の利用値を上回り、かつ、他のプロセッサの他のキャッシュメモリにおいて無効となっている部分が存在すれば、前記他のプロセッサの前記他のキャッシュメモリの無効となっていた前記部分に対するアクセスを許容するステップと、を含む、

方法。

【請求項 2】

前記所定の利用値を設定可能なストレージ内に格納するステップを更に含む、
 請求項1記載の方法。

【請求項 3】

前記現在の利用率が、前記所定の利用値より低いかを決定するステップが、前記所定の利用値と前記現在の利用率とを比較するステップを含む、

請求項1記載の方法。

【請求項 4】

前記キャッシュメモリにおいて使用されているエントリ数を決定するとともに、前記キャッシュメモリへのアクセス頻度を決定することにより、前記現在の利用率を決定するステップを更に含む、

請求項 1 記載の方法。

【請求項 5】

前記キャッシュメモリにおいて使用されているエントリ数の決定が、犠牲を発生させる前記キャッシュメモリへの書き込み数をモニタするステップを含む、

請求項 4 記載の方法。

【請求項 6】

前記キャッシュメモリへのアクセス頻度の決定が、カウンタを使用して、前記キャッシュメモリへのアクセス数をカウントするステップを含む、

請求項 4 記載の方法。

【請求項 7】

電力の除去又は電圧を低下させることで、前記キャッシュメモリの 1 以上の部分を無効にする、

請求項 1 記載の方法。

【請求項 8】

前記キャッシュメモリは、レベル 2 又はレベル 3 のキャッシュメモリである、

請求項 1 記載の方法。

【請求項 9】

各々がキャッシュメモリを有する複数のプロセッサコアを含む処理ノードを、動的に構成するための方法であって、

前記キャッシュメモリの各々に対応する現在の利用率を独立にモニタするステップと、

各々の前記現在の利用率が、所定の利用値より低いかを決定するステップと、

各々の前記現在の利用率が、前記所定の利用値より低いという決定に応じて、対応する前記キャッシュメモリの 1 以上の部分を選択的に無効にするステップと、

あるプロセッサコアのキャッシュメモリの現在の利用率が第 2 の所定の利用値を上回り、かつ、他のプロセッサコアの他のキャッシュメモリにおいて無効となっている部分が存在すれば、前記他のプロセッサコアの前記他のキャッシュメモリの無効となっていた前記部分に対する、前記あるプロセッサコアからのアクセスを許容するステップと、を含む、
方法。

【請求項 10】

前記所定の利用値を設定可能なストレージ内に格納するステップを更に含む、

請求項 9 記載の方法。

【請求項 11】

前記キャッシュメモリにおいて使用されているエントリ数を決定するとともに、前記キャッシュメモリへのアクセス頻度を決定することにより、前記現在の利用率を決定するステップを更に含む、

請求項 9 記載の方法。

【請求項 12】

電力の除去又は電圧を低下させることで、対応する前記キャッシュメモリの 1 以上の部分を無効にする、

請求項 9 記載の方法。

【請求項 13】

前記キャッシュメモリは、レベル 2 のキャッシュメモリである、

請求項 9 記載の方法。

【請求項 14】

複数のプロセッサコアにより共有されたキャッシュメモリの現在の利用率を独立にモニタするステップと、

10

20

30

40

50

前記現在の利用率が、所定の利用値より低いかを決定するステップと、

前記現在の利用率が、前記所定の利用値より低いという決定に応じて、共有された前記キャッシュメモリの1以上の部分を選択的に無効にするステップと、を更に含む、

請求項9記載の方法。

【請求項15】

キャッシュメモリと、

前記キャッシュメモリに結合され、前記キャッシュメモリの現在の利用率をモニタするとともに、前記現在の利用率が、所定の利用値より低いかを決定するように構成されたキャッシュモニタユニットと、

前記キャッシュモニタユニット及び前記キャッシュメモリに結合されたコンフィギュレーションユニットと、を備え、

前記コンフィギュレーションユニットは、前記現在の利用率が、前記所定の利用値より低いことを決定する前記キャッシュモニタユニットに応じて、前記キャッシュメモリの1以上の部分を選択的に無効にし、前記キャッシュメモリの現在の利用率が第2の所定の利用値を上回り、かつ、他のプロセッサの他のキャッシュメモリにおいて無効となっている部分が存在すれば、前記他のプロセッサの前記他のキャッシュメモリの無効となっていた前記部分に対するアクセスを許容するように構成される、

プロセッサ。

【請求項16】

複数のプロセッサコアを備える処理ノードであって、各プロセッサコアは、

キャッシュメモリと、

前記キャッシュメモリに結合されて、自身に結合された前記キャッシュメモリの現在の利用率を独立してモニタするとともに、前記現在の利用率が、所定の利用値より低いかを決定するように構成されたキャッシュモニタユニットと、

前記キャッシュモニタユニット及び前記キャッシュメモリに結合されたコンフィギュレーションユニットと、を備え、

前記コンフィギュレーションユニットは、前記現在の利用率が、前記所定の利用値より低いことを決定する前記キャッシュモニタユニットに回答して、前記コンフィギュレーションユニットが結合された、対応する前記キャッシュメモリの1以上の部分を選択的に無効にし、あるプロセッサコアのキャッシュメモリの現在の利用率が第2の所定の利用値を上回り、かつ、他のプロセッサコアの他のキャッシュメモリにおいて無効となっている部分が存在すれば、前記他のプロセッサコアの前記他のキャッシュメモリの無効となっていた前記部分に対する、前記あるプロセッサコアからのアクセスを許容するように構成される、

処理ノード。

【請求項17】

複数のプロセッサコアの各々によりアクセス可能な共有のキャッシュメモリを更に備える、

請求項16記載の処理ノード。

【請求項18】

それぞれ前記共有のキャッシュメモリに接続された、増設のキャッシュモニタユニット及び増設のコンフィギュレーションユニットを備えており、

前記増設のキャッシュモニタユニットは、前記共有のキャッシュメモリの現在の利用率をモニタして、前記共有のキャッシュメモリの現在の利用率が、所定の第3利用値よりも低いかを決定する、

請求項17記載の処理ノード。

【請求項19】

前記増設のコンフィギュレーションユニットは、前記共有のキャッシュメモリの現在の利用率が、前記所定の第3利用値よりも低いことが決定されると、前記共有のキャッシュメモリの1以上の部分を選択的に無効にするように構成される、

請求項 18 記載の処理ノード。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マイクロプロセッサ及びチップマルチプロセッサ（CMP：Chip MultiProcessor）の分野に関し、特に、プロセッサのキャッシュメモリの再設定（reconfiguration）に関する。

【背景技術】

【0002】

最新のマイクロプロセッサは、典型的に、オンチップキャッシュメモリを含む。多くの場合、マイクロプロセッサは、レベル1（L1）、レベル2（L2）、場合によってはレベル3（L3）のキャッシュメモリを含むこともある、オンチップの階層キャッシュ構造を含む。典型的なキャッシュ階層は、小容量で高速のL1、すなわち、最も頻繁に使用されるキャッシュラインを格納するために使用されるキャッシュを採用するものであってもよい。L2は、アクセスされたがL1に適合しないキャッシュラインを格納するための、より大容量で、場合によってはより低速のキャッシュであってもよい。L3キャッシュは、アクセスされたがL2キャッシュに適合しないキャッシュラインを格納するために使用するものであってもよい。上述したようなキャッシュ階層があると、プロセッサコアによるメモリアクセスに関連した待ち時間を短縮することで、プロセッサの性能が向上する場合がある。

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、場合によっては、このような性能の向上により損失を被ることもある。最新のマイクロプロセッサは、非常に多くの電力を消費し、高いサーマルバジェット（thermal budgets）を有する可能性があることがよく知られている。キャッシュメモリは、使用されていないときでも、静電気漏洩を介して電力を消費することもある。このように、キャッシュの容量が大きいほど、消費電力も大きくなる。

【0004】

効率を高めプロセッサを向上させようとすることを目的として、チップマルチプロセッサ（CMP）が、注目を集める新興技術になってきている。CMPには、同一の集積回路（IC）デバイス上に実装された2以上のプロセッサコアがある。注目を集める理由として、少なくとも部分的に、例えば、より複雑な単一のプロセッサより、CMPの方が、集積回路上に含まれてもよい数百万個のトランジスタをより効率的に使用することもあるという考えがある。例えば、プロセッサコア間で処理負荷を共有することにより、CMPが、いくつかの単一コアプロセッサによって要求されるよりも低い周波数で、いくつかのタスクを実行することができる。周波数が低くなると、場合によっては、省電力化及びサーマルバジェットの低減につながる。

【0005】

CMPは、複数のプロセッサコアを含むため、各コアに関連付けられた回路を含むことがある。例えば、CMPが、各プロセッサコアに対して、L1及びL2キャッシュメモリを含むことがある。したがって、上述した理由から、単一コアマイクロプロセッサに対して、CMPの電力消費量及びサーマルバジェットが高いままのこともある。そこで、プロセッサの性能を維持しながら、電力消費量を低減する方法を見い出すことが望まれる。

【課題を解決するための手段】

【0006】

キャッシュメモリの動的再設定（dynamic reconfiguration）の様々な実施形態が開示される。一実施形態において、プロセッサが、例えば、キャッシュモニタユニット及びコンフィギュレーションユニットに結合されたL2キャッシュ等のキャッシュメモリを含む。キャッシュモニタユニットは、キャッシュメモリの現在の利用率をモニタし、現在の利

10

20

30

40

50

用率が所定の利用値より低いかどうかを決定するように構成されてもよい。コンフィギュレーションユニットは、現在の利用率が所定の利用値より低いことを決定するキャッシュモニタユニットに応じて、キャッシュメモリの１以上の部分（portion）を選択的に無効にしてもよい。

【０００７】

別の実施形態において、処理ノードは、キャッシュモニタユニット及びコンフィギュレーションユニットに結合されたキャッシュメモリを各々が含む複数のプロセッサコアを含む。各キャッシュモニタユニットは、結合されたキャッシュメモリの現在の利用率を独立してモニタし、現在の利用率が所定の利用値より低いかどうかを決定するように構成されてもよい。コンフィギュレーションユニットは、所与の現在の利用率が所定の利用値より低いことを決定するキャッシュモニタユニットに応じて、キャッシュメモリの１以上の部分を選択的に無効にしてもよい。

【０００８】

本発明にはさまざまな修正及び別の形態の余地があるが、本発明の特定の実施形態が図面を用いて例示的に示されており、本願明細書において詳細に記載される。しかしながら、図面及び詳細な記載は、開示された特定の形態に本発明を制限するように意図されたものではなく、添付の特許請求の範囲によって規定されたような本発明の趣旨及び範囲内のすべての修正物、等価物、及び代替物に範囲が及ぶことが意図されていることを理解されたい。見出しは、体系的な目的でしかなく、本願明細書または特許請求の範囲を制限または解釈するために用いることを意図したものではないことを留意されたい。更に、「～してもよい、～の場合もある（may）」という用語は、義務の意味（すなわち、～しなければならない（must））ではなく、許容の意味（すなわち、～する可能性がある（having the potential to）、～することが可能である（being able to））で本願を通して使用されることに留意されたい。「～を含む（includ）」という用語及びその派生語は、「～を含むが、それに限定されるものではない（including, but not limited to）」を意味する。「接続される（connected）」という用語は、「直接的または間接的に接続される（directly or indirectly connected）」を意味し、「結合される（coupled）」という用語は、「直接的または間接的に結合される（directly or indirectly coupled）」を意味する。

【発明を実施するための最良の形態】

【０００９】

動的設定（dynamic configuration）可能なキャッシュを有するチップマルチプロセッサ

以下、図１に示されたコンピュータシステム１０の一実施形態のブロック図を参照して説明する。図示した実施形態において、コンピュータシステム１０は、メモリ１４及び周辺デバイス１３Ａ～１３Ｂに結合された処理ノード１２を含む。ノード１２は、ノードコントローラ２０に結合されたプロセッサコア１５Ａ～１５Ｂを含む。ノードコントローラ２０は、メモリコントローラ２２及び複数のハイパートランスポート（登録商標）（HT：HyperTransport）インタフェース回路２４Ａ～２４Ｃに更に結合される。プロセッサコア１５Ａ～１５Ｂは、また、Ｌ３キャッシュモニタ８５及びコンフィギュレーションユニット５０に結合される共有のレベル３（Ｌ３）キャッシュメモリ６０にも結合される。HT回路２４Ｃは、周辺デバイス１６Ａに結合され、この周辺デバイス１６Ａは、デジタイゼーション構成（この実施形態では、HTインタフェースを使用して）周辺デバイス１６Ｂに結合される。残りのHT回路２４Ａ～２４Ｂは、他のHTインタフェース（図示せず）を介して他の同様の処理ノード（図示せず）に接続されてもよい。メモリコントローラ２２はメモリ１４に結合される。一実施形態において、ノード１２は、図１に示す回路を備える単一の集積回路チップであってもよい。すなわち、ノード１２は、チップマルチプロセッサ（CMP）であってもよい。任意のレベルの組み込みや、個別部品（discrete components）が使用されてもよい。処理ノード１２は、簡潔に示すために省略した様々な他の回路を含んでもよい。

【００１０】

一実施形態において、ノードコントローラ20は、プロセッサコア15A及び15Bを、他のノード及びメモリに相互接続するための様々な相互接続回路(図示せず)を含んでもよい。ノードコントローラ20は、また、複数の値を表すように製造プロセス中に選択的に飛ばされてもよいヒューズセット(図示せず)を含んでもよい。いくつかの実施形態において、様々なノードの性質が、ヒューズによって選択されてもよい。これらの性質は、ノードの最大及び最小の動作周波数と、ノードの最大及び最小の電源電圧とを含む。更に、ヒューズは、プロセッサコア固有の性質を選択してもよい。

【0011】

ノードコントローラ20は、一般に、通信タイプ、通信のアドレス等に応じて、プロセッサコア15A~15B、メモリコントローラ22、及びHT回路24A~24Cの間で通信をルーティングするように構成することができる。一実施形態において、ノードコントローラ20は、受信した通信がノードコントローラ20によって書き込まれるシステムリクエストキュー(SRQ: System Request Queue)を含む。ノードコントローラ20は、プロセッサコア15A~15B、HT回路24A~24C、及びメモリコントローラ22の中の1以上の宛先にルーティングするためのSRQから通信をスケジューリングしてもよい。ノード12及びそのコンポーネントの動作については、以下に更に詳細に記述する。

【0012】

一般にプロセッサコア15A~15Bは、コンピュータシステム10の他のコンポーネント(例えば、周辺デバイス16A~16B、他のプロセッサコア(図示せず)、メモリコントローラ22等)と通信するために、ノードコントローラ20とのインタフェースを使用することができる。インタフェースは、任意の所望の方式でデザインされてもよい。キャッシュコヒーレント通信は、いくつかの実施形態において、インタフェース毎に規定されてもよい。一実施形態において、ノードコントローラ20とプロセッサコア15A~15Bとの間のインタフェースでの通信は、HTインタフェースで使用されているものに類似したパケットの形態であってもよい。他の実施形態において、任意の所望の通信が使用されてもよい(例えば、バスインタフェースのトランザクション、異なる形式のパケット等)。他の実施形態において、プロセッサコア15A~15Bは、ノードコントローラ20とのインタフェースを共有してもよい(例えば、共有バスインタフェース)。一般に、プロセッサコア15A~15Bからの通信は、読み取り動作(メモリ位置やプロセッサコア外部のレジスタを読み取る動作)及び書き込み動作(メモリ位置や外部レジスタに書き込む動作)、プローブ(probe)への応答(キャッシュコヒーレントの実施形態の場合)、割り込み通知、及びシステム管理メッセージ等のリクエストを含んでもよい。

【0013】

メモリ14は、任意の適切なメモリデバイスを含んでもよい。例えば、メモリ14は、1以上のRAMBUS DRAM(RDRAM)、同期DRAM(SDRAM)、ダブルデータレート(DDR)SDRAM、スタティックRAMなどを備えてもよい。メモリコントローラ22は、メモリ14とのインタフェースになるための制御回路を備えてもよい。更にメモリコントローラ22は、メモリリクエスト等をキューに入れるためのリクエストキューを含んでもよい。

【0014】

HT回路24A~24Cは、HTリンクからパケットを受信し、HTリンクにパケットを送信するための種々のバッファ及び制御回路を備えてもよい。HTインタフェースは、パケットを送信するための単方向リンクを備える。各HT回路24A~24Cは、2つのこのようなリンク(1つは送信用、もう1つは受信用)に結合されてもよい。所与のHTインタフェースが、キャッシュコヒーレント方式(例えば、処理ノード間)又は非コヒーレント方式(例えば、周辺デバイス16A~16Bへ/から)で動作されてもよい。図示した実施形態において、HT回路24A~24Bは、使用していない状態であり、HT回路24Cは、周辺デバイス16A~16Bへの非コヒーレントリンクを介して結合されている。

【 0 0 1 5 】

周辺デバイス 1 6 A ~ 1 6 B は、任意のタイプの周辺デバイスであってもよい。例えば、周辺デバイス 1 6 A ~ 1 6 B は、デバイスが結合されてもよい別のコンピュータシステムと通信するためのデバイスを含んでもよい（例えば、ネットワークインタフェースカード、コンピュータシステムのメイン回路基板に組み込まれたネットワークインタフェースに類似した回路又はモデム）。更に、周辺デバイス 1 6 A ~ 1 6 B は、ビデオアクセラレータ、オーディオカード、ハード又はフロッピーディスクドライブコントローラ、S C S I (Small Computer Systems Interface) アダプタ及びテレフォニーカード、サウンドカード、及び G P I B やフィールドバスインタフェースカードなどの種々のデータ収集カードを含んでもよい。「周辺デバイス」という用語は、入出力 (I / O) デバイスを包含するように意図されていることに留意されたい。

10

【 0 0 1 6 】

一般に、プロセッサコア 1 5 A ~ 1 5 B が、所与の命令セットアーキテクチャに規定された命令を実行するようにデザインされた回路を含んでもよい。すなわちプロセッサコア回路は、命令セットアーキテクチャに規定された命令の結果をフェッチし、デコードし、実行し、格納するように構成されてもよい。例えば、一実施形態において、プロセッサコア 1 5 A ~ 1 5 B は、x 8 6 アーキテクチャを実装してもよい。プロセッサコア 1 5 A ~ 1 5 B は、スーパーパイプライン、スーパースカラ、又はこれらの組み合わせを含む所望の設定を備えてもよい。他の設定は、スカラ、パイプライン、非パイプライン等を含んでもよい。さまざまな実施形態は、アウトオブオーダー投機的実行又はインオーダー実行を採用してもよい。プロセッサコアは、上記の構成の任意のものと組み合わせて、1 以上の命令又は他の機能をマイクロコーディング (microcoding) することを含んでもよい。さまざまな実施形態が、キャッシュ、変換索引バッファ (T L B) などの種々の他のデザイン特徴を組み込んでよい。

20

【 0 0 1 7 】

この実施形態では、ノード間及びノードと周辺デバイスとの間の通信用に H T インタフェースを使用しているが、他の実施形態で、いずれかの通信用に 1 以上の任意の所望のインタフェースを使用してもよいことに留意されたい。例えば、他のパケットベースのインタフェースが使用されてもよく、バスインタフェースが使用されてもよく、様々な標準周辺インタフェースが使用されてもよい（例えば、周辺機器相互接続 (P C I)、P C I エクスプレス等）。

30

【 0 0 1 8 】

設定可能なキャッシュ制御

図示した実施形態において、プロセッサコア 1 5 A は、L 2 キャッシュ 1 7 A を含む。同様に、プロセッサコア 1 5 B は、L 2 キャッシュ 1 7 B を含む。各 L 2 キャッシュは、マイクロプロセッサに見られる任意の L 2 キャッシュを表すものであってもよい。しかしながら、一実施形態において、L 2 キャッシュ 1 7 A ~ 1 7 B は、破線で示すように、多数の個別に制御可能なメモリブロックを使用して実装されてもよい。一実施例では、ブロックの各々が、個別に制御可能な電力網を含んでもよい。このように、メモリブロックの各々に供給された電力 (V D D) は、個別に除去されてもよく、また、場合によっては、個々の電力網によってブロックに供給された電圧が独立に低下されてもよい。

40

【 0 0 1 9 】

上述した L 2 キャッシュのように、図示した実施形態において、L 3 キャッシュ 6 0 もまた、破線で示すように、多数の独立して制御可能なメモリブロックを使用して実装されてもよく、これらのブロックの各々は、独立して制御可能な電力網を含んでもよい。このように、メモリブロックの各々に供給された電力 (V D D) は、独立して除去されてもよく、また、場合によっては、個々の電力網によってブロックに供給された V D D が独立して低下されてもよい。

【 0 0 2 0 】

図示した実施形態において、L 3 キャッシュと同様に、L 2 キャッシュメモリ 1 7 A ~

50

17Bの各々は、L2キャッシュモニタユニット18A~18Bに結合され、且つコンフィギュレーションユニット19A~19Bに結合される。一実施形態において、各キャッシュモニタユニット(例えば、18A、19A、85)は、このユニットに接続されたキャッシュメモリの各々の利用率をモニタするように構成されてもよい。例えば、L2キャッシュモニタユニット18Aは、L2キャッシュ17Aの利用率をモニタしてもよい。図示した実施形態において、各キャッシュモニタユニットは、現在のキャッシュ利用率を決定し、現在の利用率が所与の利用率の制限値内にあるかどうかを決定する回路(例えば、40A、40B、86)を含む。更に詳しく言えば、一例として、キャッシュモニタユニット18Aは、L2キャッシュ17Aの現在の利用率が、所定のしきい値より低いかを決定してもよい。低ければ、キャッシュモニタユニット18Aは、コンフィギュレーション

10

【0021】

一実施形態において、コンフィギュレーションユニット19Aは、プログラム可能なレジスタ等の参照番号42Aで示す1以上のストレージを含み、このストレージは、例えば、L2キャッシュ17Aの様々なコンフィギュレーションプリファレンス(configuration preferences)及び状態(state)に対応する値を格納してもよい。ストレージ42A内に格納された値に応じて、コンフィギュレーションユニット19Aは、L2キャッシュモニタ18Aからの通知に回答して、L2キャッシュ17Aの独立して制御可能なメモリブロックの1以上を選択的に有効又は無効にするようにプログラムされてもよい。更に、ストレージ42A内に格納された値は、所与のブロックに対する電力網が、オフにされてもよい

20

【0022】

コンフィギュレーションユニット50は、キャッシュ内に格納されたコンフィギュレーション値に応じて、プロセッサコア15Aがプロセッサコア15BのL2キャッシュ17Bを共有できるように、及びその逆も可能になるように更に構成されてもよい。例えば、L2キャッシュ17Aの現在の利用率が上限のしきい値を超えていることを決定するキャッシュモニタ40Aに応じて、コンフィギュレーションユニット42Aは、L2キャッシュ17Bへのアクセスをリクエストしてもよい。そのような場合、L2キャッシュ17Bが無効になり、したがって共有可能なブロックがあれば、コンフィギュレーションユニット42Bは、共有アクセスを許容してもよい。

30

【0023】

一実施形態において、コンフィギュレーションユニット19A、19B、及び50の各々のストレージ42A、42B、及び51は、デフォルトプリファレンス値を含んでもよい。他の形態として、プリファレンス値がストレージ内にプログラムされてもよい。これらのプリファレンス値は、対応するキャッシュモニタユニットからの通知の受信に応じてとりうるアクションを決定するために使用されてもよい。例えば、上述したように、コンフィギュレーションユニットは、電力を除去又は電圧を低下させることによって、対応するプロセッサコア内のL2キャッシュの部分及びL3キャッシュの部分が無効にするかを決定するために、これらの値を使用してもよい。更に、一実施形態において、コンフィギュレーションユニットは、L2又はL3キャッシュメモリの部分があれば、電源投入時にそれらが無効にすべきかを決定するために、これらの値を使用してもよい。

40

【0024】

一実施形態において、ストレージ42A、42B、及び51は、ソフトウェアを使用してプログラムされてもよい。例えば、ストレージ42A、42B、及び51にアクセスす

50

るために、特別な命令が使用されてもよい。別の実施形態において、ストレージ 4 2 A、4 2 B、及び 5 1 は、上述したように、ハードヒューズを使用してより恒久的にプログラムされてもよい。このような実施形態において、これらの値は、飛ばされたヒューズから読み取られてストレージ内に格納される。一実施形態において、ハードヒューズより、外部プログラミングが優先されてもよい。このような実施形態において、ストレージ 4 2 A、4 2 B、及び 5 1 は、コンフィギュレーションポート 4 4 A、4 4 B、及び 5 4 を各々介して、例えば、ジョイントテストアクショングループ (JTAG: Joint Test Action Group) ポートなどの外部ポートを介してプログラミングされてもよい。このようにしてハードヒューズコンフィギュレーションを優先させることを、ソフトヒューズを介したプログラミングとよぶこともある。

10

【0025】

一実施形態において、キャッシュモニタ 1 8 A、1 8 B、及び 8 5 は、各々のキャッシュで使用されているエントリ数及び各々のキャッシュへのアクセス頻度等のパラメータを用いて、現在の利用率を決定してもよい。一実施例において、使用されている所与のキャッシュのエントリ数は、キャッシュへの書き込みをカウントするためのカウンタ (明確に図示していないが、4 0 A、4 0 B、及び 8 6 の一部) を用いたプローブを使用することなく、書き込みが犠牲を発生したか否かをモニタすることによって決定されてもよい。犠牲が発生していなければ、書き込みは、新しいエントリをもたらしたことになる。犠牲が発生していれば、エントリ数は同じままである。このようにして、犠牲が発生していれば、書き込みはカウントされなくてもよい。更に、一実施例において、キャッシュがアクセスされる頻度は、例えば、飽和カウンタ (明確に図示していないが、回路 4 0 A の一部) を使用して測定されてもよい。一実施形態において、飽和カウンタは、キャッシュがアクセスされるたびにインクリメントされてもよい。カウンタは、所定のクロック間隔でデクリメントされてもよいが、ゼロを下回ることはない。カウント値がある所定の値を超えたままであれば、キャッシュアクセス頻度が高く、すなわち、高利用率を示しているとされてもよい。これらの 2 つのパラメータから、より低い所定の利用値及びより高い所定の利用値が算出されてもよい。他の実施形態において、必要に応じて、キャッシュ利用率を決定するために他の機構が採用されてもよいことに留意されたい。

20

【0026】

図 1 に示すコンピュータシステム 1 0 は、処理ノード 1 2 を 1 つ含んでいるが、他の実施形態が任意の数の処理ノードを実装してもよいことに留意されたい。同様に、様々な実施形態において、ノード 1 2 等の処理ノードが、任意の数のプロセッサコアを含んでもよい。コンピュータシステム 1 0 の様々な実施形態は、ノード 1 2 当たり異なる数の HT インタフェース及びノードに結合された異なる数の周辺デバイス 1 6 等を含んでもよい。

30

【0027】

コンピュータシステム 2 0 の別の実施形態のブロック図が図 2 に示されている。明確かつ簡潔に示すために、図 1 に示すものに対応するコンポーネントには同一の番号を付与している。図 1 のコンピュータシステム 1 0 と同様に、図 2 のコンピュータシステム 2 0 は、メモリ 1 4 及び周辺デバイス 1 3 A ~ 1 3 B に結合された処理ノード 2 2 を含む。処理ノード 2 2 は、図 1 のノード 1 2 と同様の機能を含む。したがって、ここでは簡略するために、ノード 1 2 に共通する機能については省略し、異なる機能について説明する。図 2 の処理ノード 1 2 は、簡潔に示すために省略した様々な他の回路を含んでもよいことに留意されたい。

40

【0028】

図 2 に示す実施形態において、処理ノード 1 2 のように、処理ノード 2 2 も、ノードコントローラ 2 0 に結合されたプロセッサコア 1 5 A ~ 1 5 B を含む。このノードコントローラ 2 0 は、メモリコントローラ 2 2 及び複数のハイパートランスポート (登録商標) (HT: HyperTransport) インタフェース回路 2 4 A ~ 2 4 C に更に結合される。更に、プロセッサコア 1 5 A ~ 1 5 B は、共有レベル 3 (L3) キャッシュメモリ 6 0 にも結合される。しかしながら、L3 キャッシュ 6 0 は、キャッシュモニタ 9 5 及びコンフィギュレ

50

ーションユニット65に結合される。一実施形態において、ノード22は、図2に示す回路を備える単一の集積回路チップであってもよい。すなわち、ノード22は、チップマルチプロセッサ(CMP)であってもよい。

【0029】

図示した実施形態において、図1の実施形態とは対照的に、L2キャッシュメモリ17A~17Bの各々は、キャッシュモニタユニット95及びコンフィギュレーションユニット65にも結合される。一実施形態において、キャッシュモニタユニット95は、図1の記載とともに上述したような機能を利用しており、キャッシュモニタユニット95に接続されたすべてのキャッシュメモリ(例えば、L2キャッシュ17A~17B及びL3キャッシュ60)の利用率をモニタするように構成されてもよい。

10

【0030】

一実施形態において、上記と同様に、コンフィギュレーションユニット65は、参照番号61で示したプログラム可能なレジスタ等の1以上のストレージを含み、これらのストレージは、例えば、L2キャッシュ17A~17B及びL3キャッシュ60の様々なコンフィギュレーションプリファレンス及び状態に対応する値を格納してもよい。ストレージ61内に格納された値に応じて、コンフィギュレーションユニット65は、キャッシュモニタユニット95からの通知に応答して、L2キャッシュ17A~17B及びL3キャッシュ60の独立して制御可能なメモリブロックの1以上を選択的に有効又は無効にするようにプログラミングされてもよい。同様に、ストレージ61内に格納された値は、所与のブロックに対する電力網がオフにされてもよいか又は電圧が低下されてもよいかを決定してもよい。ストレージ61が、上述したストレージ42A、42B、及び51と同様にプログラミングされてもよいことに留意されたい。

20

【0031】

更に、コンフィギュレーションユニット60は、キャッシュ内に格納されたコンフィギュレーション値に応じて、プロセッサコア15Aがプロセッサコア15BのL2キャッシュ17Bを共有できるように、及びその逆も可能になるように更に構成されてもよい。例えば、L2キャッシュ17Aの現在の利用率が上限のしきい値を超えていることを決定するキャッシュモニタ95に応答して、コンフィギュレーションユニット65は、プロセッサコア15AによるL2キャッシュ17Bへのアクセスを有効にしてもよい。このような場合、コンフィギュレーションユニット65は、L2キャッシュ17Bが無効にされてそのために共有可能にされたブロックを有すれば、共有アクセスを許容してもよい。

30

【0032】

図3は、処理ノード12の一実施形態の動作を表すフローチャートを示す。図1及び図3を併せて参照すると、一実施形態において、ノード12が最初に電源投入又はリセットから起動されると、コンフィギュレーションユニット42A内に格納されたコンフィギュレーション値は、L2キャッシュ17Aを設定するために読み取られて用いられてもよい。同様に、コンフィギュレーションユニット42B内に格納されたコンフィギュレーション値は、L2キャッシュ17Bを設定するために読み取られて用いられ、コンフィギュレーションユニット50内に格納されたコンフィギュレーション値は、L3キャッシュ60を設定するために読み取られて用いられてもよい。ノード12の動作中、キャッシュモニタユニット18A、18B、及び85は、各自のキャッシュメモリの現在の利用率をモニタするように構成される(ブロック300)。例えば、上述したように、キャッシュモニタユニット18A、18B、及び85は、各自のキャッシュの現在の利用率を決定するために、キャッシュアクセス頻度及びキャッシュエントリ使用をトラッキングしてもよい。

40

【0033】

ブロック305において、現在の利用率に基づき、キャッシュモニタユニット85は、各々の現在の利用率が所定の限度内にあるかを決定してもよい。一実施形態において、キャッシュモニタユニット85は、L3キャッシュ60の現在の利用率と、上限しきい値及び下限しきい値とを比較してもよい。

【0034】

50

現在の利用率が所定のしきい値内であれば、キャッシュモニタユニット 85 は、ブロック 300 において上述したように、L3 キャッシュ 60 の利用率のモニタを継続する。しかしながら、現在の利用率が所定のしきい値内になく、下限しきい値より低い場合に（ブロック 305）、キャッシュモニタユニット 85 は、コンフィギュレーションユニット 50 に通知を与えてもよい（ブロック 310）。コンフィギュレーションユニット 50 は、L3 キャッシュ 60 の 1 以上のブロックを選択的に無効にしてもよい（ブロック 315）。一実施形態において、コンフィギュレーションユニット 50 は、ストレージ 51 内に格納されたコンフィギュレーションプリファレンスに従って、通知に応じてブロックを無効にしてもよい。例えば、上述したように、選択されたブロックから電力が除去又はより低い電圧まで電力が低減されてもよい。更に、一実施形態において、最初に選択されたブロックは、これらのブロックが最長経路の遅延を表しうるため、プロセッサコア 15A ~ 15B から最も離れた位置のブロックであってもよい。選択されたブロックが無効にされると、キャッシュモニタ 85 は、ブロック 300 において上述したように、利用率のモニタを継続する。

10

【0035】

ブロック 305 を再度参照すると、現在の利用率が所定のしきい値内になく、上限しきい値を超える場合に、キャッシュモニタユニット 85 は、コンフィギュレーションユニット 50 に通知を与えてもよい（ブロック 320）。コンフィギュレーションユニット 50 は、無効にされたブロックがあれば、L3 キャッシュ 60 の 1 以上の無効ブロックを選択的に有効にしてもよい（ブロック 315）。一実施形態において、コンフィギュレーションユニット 50 は、ストレージ 51 に格納されたコンフィギュレーションプリファレンスに従ってブロックを有効にしてもよい。選択されたブロックが再度有効にされると、キャッシュモニタ 85 は、ブロック 300 において上述したように、利用率のモニタを継続する。

20

【0036】

ブロック 330 において、現在の利用率に基づいて、キャッシュモニタユニット 18A 及び 18B は、各々の現在の利用率が所定の限度内にあるかを決定してもよい。更に詳しく言えば、一実施形態において、キャッシュモニタユニット 18A、18B は、L2 キャッシュ 17A ~ 17B の現在の利用率と、上限しきい値及び下限しきい値とを比較してもよい。

30

【0037】

現在の利用率が所定のしきい値内にあれば、キャッシュモニタユニット 18A、18B は、ブロック 300 において上述したように、L2 キャッシュ 17A ~ 17B の利用率のモニタを継続する。しかしながら、いずれかのキャッシュの現在の利用率が所定のしきい値内になく、下限しきい値より低ければ（ブロック 330）、適切なキャッシュモニタユニット 18A ~ 18B が、コンフィギュレーションユニット 19A ~ 19B へ通知を与えてもよい（ブロック 335）。コンフィギュレーションユニット 19A ~ 19B は、対応する L2 キャッシュ 17A ~ 17B の 1 以上のブロックを選択的に無効にしてもよい（ブロック 340）。一実施形態において、コンフィギュレーションユニット 19A ~ 19B は、ストレージ 42A ~ 42b 内に各々格納されたコンフィギュレーションプリファレンスに従って、通知に回答してブロックを無効にしてもよい。例えば、上述したように、選択されたブロックから、電力が除去又はより低い電圧まで電力が低減されてもよい。更に、一実施形態において、最初に選択されたブロックは、これらのブロックが最長経路の遅延を表しうるため、プロセッサコア 15A ~ 15B の CPU 論理から最も離れた位置のブロックであってもよい。選択されたブロックが無効にされると、キャッシュモニタユニット 18A ~ 18B は、ブロック 300 において上述したように、利用率のモニタを継続する。

40

【0038】

ブロック 330 を再度参照すると、現在の利用率が所定のしきい値内になく、上限しきい値を超えていれば、キャッシュモニタユニット 18A ~ 18B は、コンフィギュレーシ

50

ョンユニット 19 A ~ 19 B へ通知を与えてもよい (ブロック 345)。影響を受けた L2 キャッシュにおいて任意の L2 ブロックが無効にされる場合 (ブロック 350)、コンフィギュレーションユニット 19 A ~ 19 B は、L2 キャッシュ 17 A ~ 17 B の 1 以上のブロックを選択的に有効にしてもよい (ブロック 355)。一実施形態において、コンフィギュレーションユニット 19 A ~ 19 B は、ストレージ 42 A ~ 42 B 内の各々に格納されたコンフィギュレーションプリファレンスに従って、通知にตอบสนองしてブロックを無効にしてもよい。例えば、上述したように、選択されたブロックから電力が除去又はより低い電圧まで電力が低減されてもよい。更に、一実施形態において、最初に選択されたブロックは、これらのブロックが最長経路の遅延を表しうるため、プロセッサコア 15 A ~ 15 B から最も離れた位置のブロックであってもよい。選択されたブロックが無効にされると、キャッシュモニタユニット 18 A ~ 18 B は、ブロック 300 において上述したように、利用率のモニタを継続する。

10

【0039】

しかしながら、影響を受けた L2 キャッシュにおいて無効にされたブロックがなければ (ブロック 350)、影響を受けた L2 キャッシュ (すなわち、過度に利用された L2 キャッシュ) のコンフィギュレーションユニットは、他のプロセッサコアのコンフィギュレーションユニットから、他のコアの L2 キャッシュを共有するためのアクセス許可をリクエストしてもよい。例えば、キャッシュモニタユニット 18 B が、L2 キャッシュ 17 B の現在の利用率が上限しきい値を超えていることを決定すると、コンフィギュレーションユニット 19 B は、コンフィギュレーションユニット 19 A から L2 キャッシュ 17 A へのアクセスをリクエストしてもよい。リクエストにตอบสนองして、コンフィギュレーションユニット 19 A は、L2 キャッシュ 17 A が共有するブロックを無効にしたかを決定してもよい (ブロック 360)。無効であれば、コンフィギュレーションユニット 19 A は、L2 キャッシュ 17 A の無効にされたブロックを共有するために、プロセッサコア 15 B へのアクセスを与えてもよい (ブロック 365)。無効にされたブロックは、再度有効にされてもよい。ブロック 300 において上述したような動作が進行する。

20

【0040】

以下、図 4 及び図 5 の記載により、単一プロセッサコアを含むマイクロプロセッサの状況下にある設定可能なキャッシュメモリの更なる実施形態が提供される。

【0041】

30

動的に設定可能なキャッシュを有する単一マイクロプロセッサ

図 4 を参照すると、単一プロセッサコア及び設定可能なキャッシュメモリを含むマイクロプロセッサの一実施形態のブロック図が示されている。マイクロプロセッサ 415 は、L1 キャッシュ 475、L2 キャッシュ 417、及び L3 キャッシュ 460 に結合されたプロセッサコア論理 450 を含む。マイクロプロセッサ 415 は、また、L2 キャッシュ 417 及び L3 キャッシュ 460 に結合されたキャッシュモニタユニット 418 を含む。更に、マイクロプロセッサ 415 は、キャッシュモニタ 418 及び L1 キャッシュ 475、L2 キャッシュ 417、及び L3 キャッシュ 460 の各々に結合されたコンフィギュレーションユニット 419 を含む。マイクロプロセッサ 415 は、簡潔に示すために省略したさまざまな他の回路を含んでもよい。

40

【0042】

図示した実施形態において、キャッシュモニタ 418 及びコンフィギュレーションユニット 419 の機能は、図 2 及び図 3 に関連して上述した L2 キャッシュモニタ 95 及びコンフィギュレーションユニット 65 の機能と同様である。したがって、簡略するためにここではこれらの記載を省略する。

【0043】

図 5 を参照すると、図 4 のマイクロプロセッサの一実施形態の動作について記載したフローチャートが図示されている。図 4 及び図 5 を併せて参照すると、一実施形態において、マイクロプロセッサ 415 が最初に電源投入或いはリセットから起動されると、コンフィギュレーションユニット 419 のストレージ 442 内に格納されたコンフィギュレーシ

50

ョン値は、L 2 キャッシュ 4 1 7 を設定するために読み取られて用いられてもよい。同様に、コンフィギュレーションユニット 4 1 9 内に格納されたコンフィギュレーション値は、L 3 キャッシュ 4 6 0 を設定するために読み取られて用いられてもよい。マイクロプロセッサ 4 1 5 の動作中、キャッシュモニタユニット 4 1 8 は、各キャッシュメモリの現在の利用率をモニタするように構成される（ブロック 5 0 0）。例えば、上述したように、キャッシュモニタユニット 4 1 8 は、各キャッシュの現在の利用率を決定するために、キャッシュアクセス頻度及びキャッシュエントリ使用をトラッキングしてもよい。

【 0 0 4 4 】

ブロック 5 0 5 において、現在の利用率に基づいて、キャッシュモニタユニット 4 1 8 は、各キャッシュの現在の利用率が所定の限度内にあるかを決定してもよい。一実施形態において、キャッシュモニタユニット 4 1 8 は、L 2 キャッシュ 4 1 7 の現在の利用率及び L 3 キャッシュ 4 6 0 の現在の利用率と、上限しきい値及び下限しきい値とを比較してもよい。

【 0 0 4 5 】

現在の利用率が所定のしきい値内であれば、キャッシュモニタユニット 4 1 8 は、ブロック 5 0 0 において上述したように、L 2 キャッシュ 4 1 7 及び L 3 キャッシュ 4 6 0 の利用率のモニタを継続する。しかしながら、現在の利用率が所定のしきい値内になく、下限しきい値より低ければ（ブロック 5 0 5）、キャッシュモニタユニット 4 1 8 は、コンフィギュレーションユニット 4 1 9 に通知を与えてもよい（ブロック 5 1 0）。コンフィギュレーションユニット 4 1 9 は、L 2 キャッシュ 4 1 7 及び L 3 キャッシュ 4 6 0 のいずれかの 1 以上のブロックを選択的に無効にしてもよい（ブロック 5 1 5）。一実施形態において、コンフィギュレーションユニット 4 1 9 は、通知に応答して、ストレージ 4 4 2 内に格納されたコンフィギュレーションプリファレンスに従い、ブロックを無効にしてもよい。例えば、上述したように、選択されたブロックから電力が除去又はより低い電圧まで電力が低減されてもよい。更に、一実施形態において、最初に選択されたブロックは、これらのブロックが最長経路の遅延を表しうるため、プロセッサコア論理 4 5 0 から最も離れた位置のブロックであってもよい。選択されたブロックが無効にされると、キャッシュモニタ 4 1 8 は、ブロック 5 0 0 において上述したように、利用率のモニタを継続する。

【 0 0 4 6 】

ブロック 5 0 5 を再度参照して、現在の利用率が所定のしきい値内になく、上限しきい値を超えれば、キャッシュモニタユニット 4 1 8 は、コンフィギュレーションユニット 4 1 9 に通知を与えてもよい（ブロック 3 2 0）。コンフィギュレーションユニット 4 1 9 は、無効にされたブロックがあれば、L 2 キャッシュ 4 1 7 及び L 3 キャッシュ 4 6 0 のいずれかの 1 以上の無効ブロックを選択的に有効にしてもよい（ブロック 5 2 5）。一実施形態において、コンフィギュレーションユニット 4 1 9 は、ストレージ 4 4 2 に格納されたコンフィギュレーションプリファレンスに従ってブロックを有効にしてもよい。選択されたブロックが再度有効にされると、キャッシュモニタ 4 1 8 は、ブロック 5 0 0 において上述したように、利用率のモニタを継続する。

【 0 0 4 7 】

上記と同様に、一実施形態において、ストレージ 4 4 0 及び 4 4 2 は、ソフトウェアを用いてプログラムされてもよい。例えば、ストレージ 4 4 0 及び 4 4 2 にアクセスするために、特別な命令が用いられてもよい。別の実施形態において、ストレージ 4 4 0 及び 4 4 2 は、上述したように、ハードヒューズを用いてより恒久的にプログラムされてもよい。このような実施形態において、これらの値は、飛ばされたヒューズから読み取られて、ストレージ内に格納される。一実施形態において、ハードヒューズより、外部プログラミングが優先されてもよい。このような実施形態において、ストレージ 4 4 0 及び 4 4 2 は、コンフィギュレーションポート 4 4 A を介して、例えば、ジョイントテストアクショングループ（JTAG: Joint Test Action Group）ポート等の外部ポートを介してプログラミングされてもよい。このようにしてハードヒューズコンフィギュレーションより優先

10

20

30

40

50

させることを、ソフトヒューズを介したプログラミングとよぶこともある。

【 0 0 4 8 】

上述した実施形態において、L3 キャッシュメモリが示されていることに留意されたい。しかしながら、他の実施形態が、L3 キャッシュを含まないことも意図されている。L3 キャッシュがない場合でも、L2 キャッシュのコンフィギュレーション可能性は低下しない。

【 0 0 4 9 】

いくつかの実施形態を詳細に上述してきたが、上記開示を完全に認識することで、当業者であれば多数の変形例及び修正例が明らかになるであろう。特許請求の範囲は、このよう

10

。

【産業上の利用可能性】

【 0 0 5 0 】

本発明は、一般に、マイクロプロセッサ及びチップマルチプロセッサに用いられるキャッシュメモリの再設定に応用可能でありうる。

【図面の簡単な説明】

【 0 0 5 1 】

【図1】マルチコア処理ノード及び設定可能なキャッシュメモリを含むコンピュータシステムの一実施形態のブロック図である。

【図2】マルチコア処理ノード及び設定可能なキャッシュメモリを含むコンピュータシステムの別の実施形態のブロック図である。

20

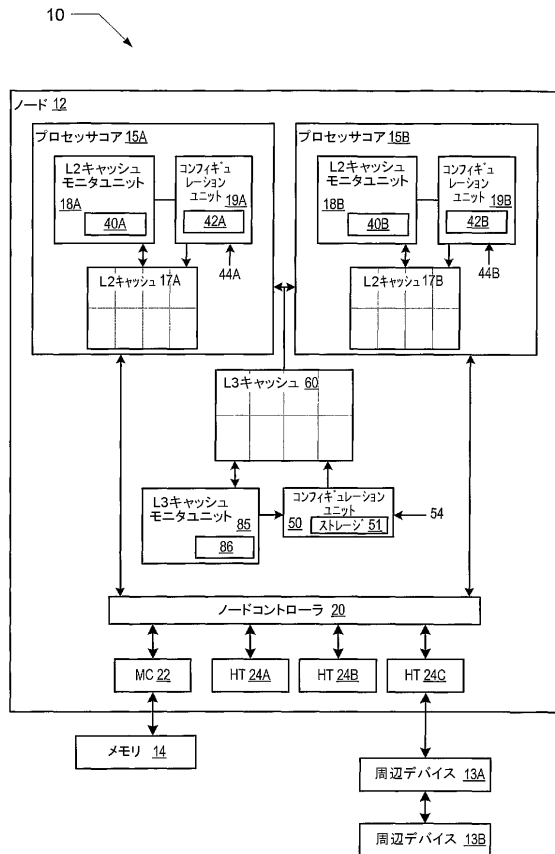
【図3】処理ノードの一実施形態の動作を記載したフローチャートである。

【図4】単一プロセッサコア及び設定可能なキャッシュメモリを含むマイクロプロセッサの一実施形態のブロック図である。

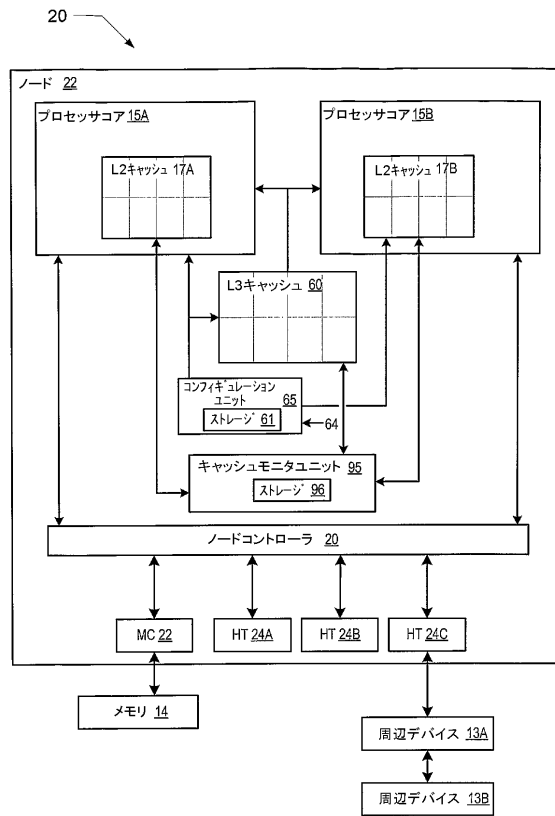
【図5】図4のマイクロプロセッサの一実施形態の動作を記載したフローチャートである。

。

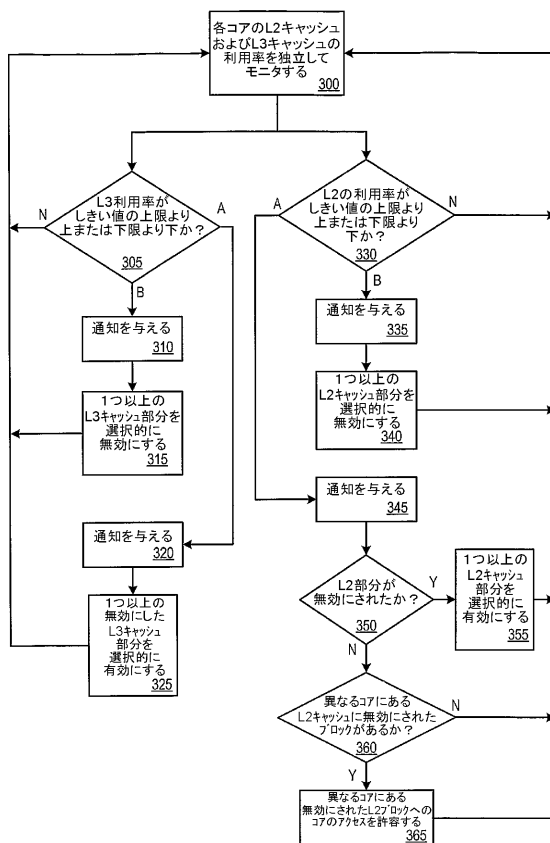
【図 1】



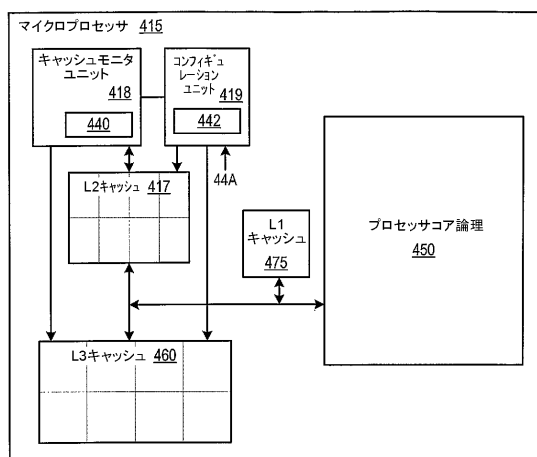
【図 2】



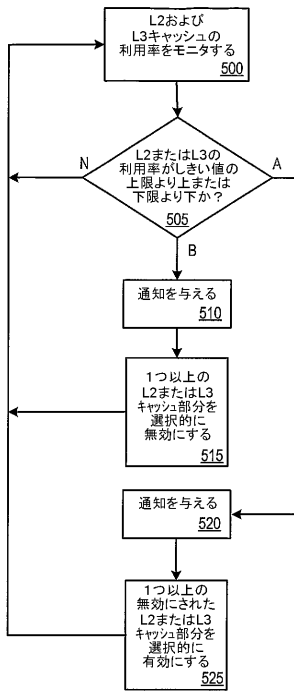
【図 3】



【図 4】



【図 5】



フロントページの続き

(74)代理人 100108604

弁理士 村松 義人

(72)発明者 マイケル エル . ゴールデン

アメリカ合衆国、カリフォルニア州 95051、サンタ クララ、ペラルミン コート 3297

(72)発明者 リチャード イー . クラス

アメリカ合衆国、カリフォルニア州 95118、サン ノゼ、タンピコ ウェイ 4716

審査官 清木 泰

(56)参考文献 特開平09-050401(JP,A)

特開平06-075857(JP,A)

特開2005-316842(JP,A)

特開2005-078264(JP,A)

特開2002-182980(JP,A)

特開2000-298618(JP,A)

特開平11-353230(JP,A)

特開平10-124203(JP,A)

特開平10-124202(JP,A)

特開平09-034787(JP,A)

特開平08-069414(JP,A)

特開平01-233537(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F12/08-12/12