

(12) 特許協力条約に基づいて公開された国際出願

7a

(19) 世界知的所有権機関  
国際事務局



(10) 国際公開番号

WO 2012/029876 A 1

(43) 国際公開日  
2012年3月8日(08.03.2012)

PCT

(51) 国際特許分類:

H03K 3/356 (2006.01)	G11C 19/00 (2006.01)
G02F 1/133 (2006.01)	G11C 19/28 (2006.01)
G09G 3/20 (2006.01)	H03K 17/687 (2006.01)
G09G 3/36 (2006.01)	H03K 19/0175 (2006.01)

(21) 国際出願番号:

PCT/JP20 11/069827

(22) 国際出願日:

2011年8月31日(31服 2011)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2010-197203 2010年9月2日(02.09.2010) JP

(71) 出願人 (米国を除く全ての指定国について):

シャープ株式会社 (SHARP KABUSHIKI KAISHA)  
[JP/JP]: 〒5458522 大阪府大阪市阿倍野区長池町  
2番22号 Osaka (JP).

( ) 発明者 ;および

( ) 発明者/出願人 (米国についてのみ):

佐々木 寧 (SASAKI, Yasushi), 村上 祐一郎 (MURAKAMI, Yuhichiroh), 山本 悦雄 (YAMAMOTO, Etsuo).

(74) 代理人 :特許業務法人原謙三国際特許事務所

(HARAKENZO WORLD PATENT & TRADE -

MARK); 〒5300041 大阪府大阪市北区天神橋2  
丁目北2番6号 大和南森町ビル Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保

護が可食): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保

護が可食): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

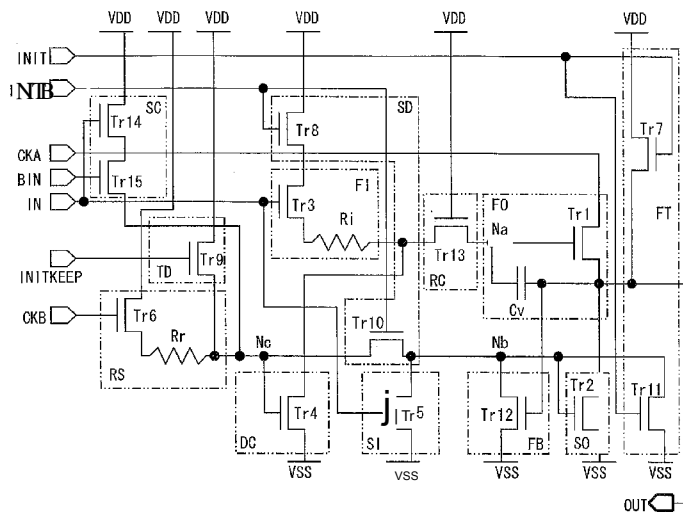
添付公開書類:

国際調査報告 (条約第21条(3))

(54) Title: FLIP FLOP, SHIFT REGISTER, DRIVER CIRCUIT, AND DISPLAY DEVICE

(54) 発明の名称 :フリップフロップ、シフトレジスタ、ドライバ回路、表示装置

[図1]



(57) Abstract: This flip flop is provided with: an input and an output terminal; a first and a second control signal terminal; a first output unit which includes a bootstrap capacitor and is connected to the first control signal terminal and the output terminal; a second output unit which is connected to the first output unit and the output terminal; a first input unit which is connected to the input terminal and which charges the bootstrap capacitor; a discharge unit which discharges the bootstrap capacitor; a second input unit which is connected to the input terminal and is connected to the second output unit; a reset unit which is connected to the second control signal terminal and which controls the discharge unit and the second output unit; a first initiation unit which controls the first output unit; a second initiation unit which controls the first input unit; and a third initiation unit which controls the discharge unit and the second output unit. Due to this configuration, it is possible to have a shift register which is capable of completely ON operation regardless of a clock signal.

(57) 要約:

[続葉有]

2012/029876 1



本フリップフロップは、入力および出力端子と、第1および第2制御信号端子と、ブートストラップ容量を含む、第1制御信号端子および出力端子に接続される第1出力部と、第1出力部におよび第2出力部に接続される第2出力部と、入力端子に接続され、ブートストラップ容量をチャージする第1入力部と、第1入力部におよび第2入力部に接続された第2入力部と、第2制御信号端子に接続され、第1出力部を制御する第1初期化部と、第1初期化部におよび第2出力部を制御する第3初期化部とを備える。このように、第1初期化部は、ブートストラップ容量をチャージする第1入力部を制御し、第2初期化部は、第2出力部を制御する。これにより、関係なく全ON動作が可能なシフトレジスタを実現することができも。

## 明 細 書

発明の名称 :

フリップフロップ、シフトレジスタ、ドライバ回路、表示装置

技術分野

[0001] 本発明は、例えば表示装置のドライバ回路に設けられるフリップフロップに関する。

背景技術

[0002] 特許文献 1 にはドライバ回路のシフトレジスタの各段に設けられるフリップフロップの構成 (図 19 参照) およびその駆動方法 (図 20) が開示されている。このフリップフロップでは、図 20 に示すように、シフトレジスタの各段の出力をアクティブとする (以下、これを全 ON 動作と称する) 期間  $t_a$  に、A ON 信号を High (アクティブ)、A ON B 信号を Low (アクティブ)、 $CK_1 \cdot CK_2$  を High とし、全 ON 動作終了後の期間  $t_b$  に、第 1 初期化信号 A ON 信号を Low (非アクティブ)、第 2 初期化信号 A ON B 信号を High (非アクティブ)、第 1 および第 2 クロック信号  $CK_1 \cdot CK_2$  を High とし、期間  $t_b$  に続く期間  $t_c$  では、A ON 信号を Low (非アクティブ)、A ON B 信号を High (非アクティブ)、 $CK_1 \cdot CK_2$  を Low として通常動作に移行する。

先行技術文献

特許文献

[0003] 特許文献 1 : 国際特許公報 WO 2009-34749 (国際公開日 2009 年 3 月 19 日)

発明の概要

発明が解決しようとする課題

[0004] しかしながら上記フリップフロップでは、期間  $t_a$  (全 ON 動作期間) および  $t_b$  (全 ON 動作直後の期間) において図 20 のように第 1 および第 2 クロック信号  $CK_1 \cdot CK_2$  を制御する必要があるという問題があった。

[0005] 本発明は、クロック信号に関係なく全ON動作が可能なシフトレジスタを実現するためのフリップフロップを提供する。

### 課題を解決するための手段

[0006] 本フリップフロップは、入力端子と、出力端子と、第1および第2制御信号端子と、プータストラップ容量を含み、第1制御信号端子および出力端子に接続される第1出力部と、第1電源（入力端子が非アクティブのときの電位に対応する電源）および出力端子に接続される第2出力部と、上記入力端子および第2電源（入力端子がアクティブのときの電位に対応する電源）に接続され、プータストラップ容量をチャージする第1入力部と、上記プータストラップ容量をディスチャージするディスチャージ部と、上記入力端子および第1電源に接続され、第2出力部に接続された第2入力部と、上記第2制御信号端子に接続され、上記ディスチャージ部および第2出力部を制御するリセット部とを備えたフリップフロップであって、上記第1出力部を制御する第1初期化部と、上記第1入力部を制御する第2初期化部と、ディスチャージ部および第2出力部を制御する第3初期化部とを備える（第1初期化部は出力端子の電位を制御するともいえる）。

[0007] 本フリップフロップによれば、全ON動作の間は、第1および第2初期化部によって出力端子をアクティブとし、全ON動作終了後は、第2および第3初期化部によって出力を非アクティブとすることができる。したがって、本フリップフロップを用いたシフトレジスタでは、第1および第2制御信号端子に入力される信号（例えば、クロック信号）に関係なく全ON動作が可能となる。

[0008] 本フリップフロップは、第1初期化部は、第1出力部と第2電源とを電氣的に接続あるいは切り離し、第2初期化部は、第1入力部と第2電源とを電氣的に接続あるいは切り離し、第3初期化部は、ディスチャージ部および第2出力部それぞれと第2電源とを電氣的に接続あるいは切り離す構成とすることもできる。

[0009] 本フリップフロップは、上記第2初期化部はさらに、第3初期化部、リセ

ット部およびディスチャージ部それぞれと第2出力部とを接続あるいは切り離す構成とすることもできる。

[001 0] 本フリップフロップは、第1初期化部はさらに、上記第2出力部を制御する構成とすることもできる。

[001 1] 本フリップフロップは、出力端子に接続され、第2出力部を制御する帰還部を備える構成とすることもできる。

[001 2] 本フリップフロップは、第1入力部と第1出力部とが中継部を介して接続されている構成とすることもできる。

[001 3] 本フリップフロップは、第1出力部に第1トランジスタを、第2出力部に第2トランジスタを、第1入力部に第3トランジスタを、ディスチャージ部に第4トランジスタを、第2入力部に第5トランジスタを、リセット部に第6トランジスタを、第1初期化部に第7トランジスタを、第2初期化部に第8トランジスタを、第3初期化部に第9トランジスタを備え、第1～第9トランジスタがすべて同一導電型である構成とすることもできる。

[0014] 本フリップフロップは、第1～第3初期化端子と第1～第3ノードとをさらに備え、第1トランジスタは、一方の導通電極が第1制御信号端子に接続され、かつ制御端子と他方の導通電極とが上記プー トストラップ容量を介して接続され、かつ上記他方の導通電極が、出力端子に接続されるとともに、第2トランジスタを介して第1電源に接続され、第3および第5トランジスタの制御端子が入力端子に接続され、第6トランジスタの制御端子が第2制御信号端子に接続され、第7トランジスタの制御端子が第1初期化端子に接続され、第8トランジスタの制御端子が第2初期化端子に接続され、第9トランジスタの制御端子が第3初期化端子に接続され、第1ノードが、第3トランジスタの一方の導通電極に、直接あるいは抵抗を介して接続され、かつ第4トランジスタを介して第1電源に接続され、

第3トランジスタの他方の導通電極が、第8トランジスタを介して第2電源に接続され、

第2ノードが第2トランジスタの制御端子に接続されるとともに、第5ト

ランジスタを介して第 1 電源に接続され、第 3 ノードが、第 4 トランジスタの制御端子に接続され、かつ第 9 トランジスタを介して第 2 電源に接続され、かつ上記抵抗とは別の抵抗および第 6 トランジスタを介して第 2 電源に接続されている構成とすることもできる。

[001 5] 本フリップフロップは、第 2 初期化部に、制御端子が第 2 初期化端子に接続された第 10 トランジスタを備え、上記第 2 ノードが、第 10 トランジスタを介して第 3 ノードに接続されている構成とすることもできる。

[001 6] 本フリップフロップは、第 1 初期化部に、制御端子が第 1 初期化端子に接続された第 11 トランジスタを備え、上記第 2 ノードが、第 11 トランジスタを介して第 1 電源に接続されている構成とすることもできる。

[001 7] 本フリップフロップは、制御端子が出力端子に接続された第 12 トランジスタを備え、上記第 2 ノードが、第 12 トランジスタを介して第 1 電源に接続されている構成とすることもできる。

[001 8] 本フリップフロップは、制御端子が第 2 電源に接続された第 13 トランジスタを備え、上記第 1 ノードが、第 13 トランジスタを介して第 1 トランジスタの制御端子に接続されている構成とすることもできる。

[001 9] 本フリップフロップは、上記各抵抗の構成材料が、各トランジスタのチャネル構成材料と同一である構成とすることもできる。

[0020] 本フリップフロップは、上記第 1 出力部に第 1 トランジスタを備え、上記プートストラップ容量は第 1 トランジスタの寄生容量である構成とすることもできる。

[0021 ] 本シフトレジスタは、上記フリップフロップを各段に備える。

[0022] 本シフトレジスタは、自段のフリップフロップの第 2 制御信号端子が、次段のフリップフロップの出力端子に接続されている構成とすることもできる。

[0023] 本ドライバ回路は、上記フリップフロップを各段に含むシフトレジスタを備え、シフトレジスタ各段のフリップフロップの第 1 および 2 制御信号端子に、互いにアクティブ期間が重ならないクロック信号が供給される。

- [0024] 本ドライバ回路は、上記フリップフロップを各段に含むシフトレジスタを備え、該シフトレジスタの各段のフリップフロップには、第1初期化端子に第1初期化信号が入力され、第2初期化端子に第2初期化信号が入力され、第3初期化端子に第3初期化信号が入力される。
- [0025] 本ドライバ回路は、上記第1初期化信号の反転信号が第2初期化信号であり、上記第3初期化信号は、上記第1初期化信号がアクティブから非アクティブとなるタイミングでアクティブとなっており、このタイミングの後に非アクティブとなる構成とすることもできる。
- [0026] 本ドライバ回路は、上記第3初期化信号は、シフト開始タイミングを規定するスタートパルスがアクティブとなるのに同期して非アクティブとなる構成とすることもできる。
- [0027] 本表示装置は、上記フリップフロップを備える。

### 発明の効果

- [0028] 以上のように、本発明によれば、クロック信号に関係なく全ON動作が可能なシフトレジスタを実現することができる。

### 図面の簡単な説明

- [0029] [図1] フリップフロップの構成を示す回路図である。
- [図2] 本液晶表示装置の構成を示すブロック図である。
- [図3] 本シフトレジスタの構成例を示す回路図である。
- [図4] 図3のシフトレジスタの動作を示すタイミングチャートである。
- [図5] 第1～第3初期化信号の説明図である。
- [図6] 本液晶表示装置のドライバに用いられるインバータ回路の回路図である。
- [図7] 本液晶表示装置のドライバに用いられる信号処理回路の回路図である。
- [図8] 図1のフリップフロップのレイアウト例である。
- [図9] 図1のフリップフロップのレイアウト例である。
- [図10] 図6のインバータ回路のレイアウト例である。
- [図11] 図1に示すフリップフロップの変形例である。

[図12] 図1に示すフリップフロップの別の變形例である。

[図13] 図12のフリップフロップに入力する第1～第3初期化信号のタイミングチャートである。

[図14] 図1に示すフリップフロップのさらに別の變形例である。

[図15] 図1に示すフリップフロップのさらに別の變形例である。

[図16] 図1に示すフリップフロップのさらに別の變形例である。

[図17] 図15のフリップフロップを備えたシフトレジスタ(双方向シフト)の構成例を示す回路図である。

[図18] 図16のシフトレジスタに用いられるシフト方向決定回路の一例である。

[図19] 従来のフリップフロップの構成である。

[図20] 図19に示す従来のシフトレジスタの動作を示すタイミングチャートである。

### 発明を実施するための形態

[0030] 本発明の実施の形態を図1～図18に基づいて説明すれば以下のとおりである。

[0031] 図2は本発明にかかるフリップフロップを備える液晶表示装置の一構成例である。図2の液晶表示装置は、表示コントローラと、ゲートドライバGDと、ソースドライバSDと、液晶パネルLCPと、バックライトBL(光透過型の場合)とを備える。表示コントローラは、ゲートドライバGDおよびソースドライバSDを制御し、例えばゲートドライバGDには、第1および第2クロック信号(○ベ1信号、CK2信号)、ゲートスタートパルス信号(GSP信号)、第1初期化信号(INIT信号)、第2初期化信号(INITB信号)、および第3初期化信号(INITKEEP信号)を供給する。ゲートドライバGDは液晶パネルLCPの走査信号線G1～Gnを駆動し、ソースドライバSDは液晶パネルLCPのデータ信号線S1～Snを駆動する。ゲートドライバGDおよびソースドライバSDは液晶パネルLCPとモノリシックに形成されていてもよい。



- [0032] ゲートドライバGDは図3に示すシフトレジスタを備える。図3のシフトレジスタは、縦接続された複数のフリップフロップを含み、各フリップフロップは、入力端子(IN端子)と、出力端子(OUT端子)と、第1および第2クロック信号端子(第1および第2制御信号端子)CKA'CKBと、第1初期化端子(INIT端子)と、第2初期化端子(INITB端子)と、第3初期化端子(INITKEEP端子)と、バックイン端子(BIN端子)とを備える。
- [0033] ここで、奇数段のフリップフロップ(FF1・FF3等)では、CKA端子にCK1信号が供給され、CKB端子にCK2信号が供給され、偶数段のフリップフロップ(FF2・FFn等)では、CKA端子にCK2信号が供給され、CKB端子にCK1信号が供給される。また、各段のフリップフロップ(FF1~FFn)に、INIT信号、INITB信号、およびINITKEEP信号が供給される。また、自段のIN端子が前段のOUT端子に接続されるとともに、自段のBIN端子が次段のOUT端子に接続される。なお、CK1信号およびCK2信号は、互いにアクティブ期間(High期間)が重ならないような2つのクロック信号である。
- [0034] 図3のシフトレジスタの各段には、本発明にかかるフリップフロップが用いられる。本フリップフロップの一構成例を図1に示す。図1のフリップフロップは、IN端子と、OUT端子と、CKA・CKB端子と、プルストラップ容量C<sub>v</sub>を含み、CKA端子およびOUT端子に接続される第1出力部F0と、第1電源VSS(低電位側電源)およびOUT端子に接続される第2出力部S0と、IN端子および第2電源VDD(高電位側電源)に接続され、プルストラップ容量C<sub>v</sub>をチャージする第1入力部F1と、プルストラップ容量C<sub>v</sub>をディスチャージするディスチャージ部DCと、IN端子および第1電源VSSに接続され、第2出力部に接続された第2入力部S1と、CKB端子に接続され、ディスチャージ部DCおよび第2出力部S0を制御するリセット部RSと、第1出力部F0を制御する第1初期化部FTと、第1入力部F1を制御する第2初期化部SDと、ディスチャージ部DC

および第2出力部S0を制御する第3初期化部TDと、0UT端子に接続され、第2出力部S0を制御する帰還部FBと、第1入力部FIと第1出力部F0とを中継する中継部RCと、通常動作時に自段と他段が同時にアクティブとなることを防ぐ誤動作防止部SCとを備える。

[0035] より具体的には、本フリップフロップは、第1出力部F0にトランジスタTr1（第1トランジスタ）およびブートストラップ容量Cvを、第2出力部S0に第2トランジスタTr2（第2トランジスタ）を、第1入力部FIにトランジスタTr3（第3トランジスタ）および抵抗Riを、デイスチャージ部DCにトランジスタTr4（第4トランジスタ）を、第2入力部SIにトランジスタTr5（第5トランジスタ）を、リセット部RSにトランジスタTr6（第6トランジスタ）および抵抗Rrを、第1初期化部FTにトランジスタTr7（第7トランジスタ）およびトランジスタTr11（第11トランジスタ）を、第2初期化部にトランジスタTr8（第8トランジスタ）およびトランジスタTr10（第10トランジスタ）を、第3初期化部にTr9（第9トランジスタ）を、帰還部FBにトランジスタTr12（第12トランジスタ）を、中継部RCにトランジスタTr13（第13トランジスタ）を、誤動作防止部SCにトランジスタTr14・15を含んでいる。なお、Tr1~15はすべて同一導電型（nチャンネル型）である。

[0036] さらに、Tr1は、ドレイン電極がCKA端子に接続され、かつゲート電極とソース電極とがブートストラップ容量Cvを介して接続され、かつ上記ソース電極が、0UT端子に接続されるとともに、丁「2を介してソ33に接続されている。

[0037] また、Tr3、Tr5およびTr14のゲート端子がIN端子に接続され、Tr6のゲート端子がCKB端子に接続され、Tr7およびTr11のゲート端子がINIT端子に接続され、Tr8およびTr10のゲート端子がINITB端子に接続され、Tr9のゲート端子がINITKEEP端子に接続され、Tr13のゲート端子がVDDに接続され、Tr15のゲート端子がBIN端子に接続されている。

- [0038] さらに、 $T r 1$ のゲートに接続する第1ノード $N a$ が、 $T r 13$ を介して抵抗 $R i$ の一端に接続されるとともに、 $T r 4$ を介して $V S S$ に接続されている。抵抗 $R i$ の他端は、 $T r 3$ および $T r 8$ を介して $V D D$ に接続されている(ただし、 $T r 3$ は抵抗 $R i$ 側で $T r 8$ は $V D D$ 側)。
- [0039] さらに、 $T r 2$ のゲート端子に接続する第2ノード $N b$ が、 $T r 5$ を介して $V S S$ に接続され、かつ $T r 11$ を介して $V S S$ に接続されるとともに、 $T r 12$ を介して $V S S$ に接続されている。また、 $T r 4$ のゲート端子に接続する第3ノード $N c$ が、 $T r 9$ を介して $V D D$ に接続され、かつ抵抗 $R r$ および $T r 6$ を介して $V D D$ に接続され(ただし、抵抗 $R r$ は第3ノード $N c$ 側で $T r 6$ は $V D D$ 側)、第2ノード $N b$ および第3ノード $N c$ が、 $T r 10$ を介して接続されている。また、第3ノード $N c$ が、 $T r 15 \cdot 14$ を介して $V D D$ に接続されている(ただし、 $T r 15$ が第3ノード $N c$ 側で $T r 14$ は $V D D$ 側)。
- [0040] 本シフトレジスタの動作を図4に示す。全ON期間には、 $I N I T$ 信号がアクティブ(High)、 $I N I T B$ 信号がアクティブ(Low)、 $I N I T K E E P$ 信号がアクティブ(High)となるので、プートストラップ容量 $C v$ はデイスチャージ部 $D C$ によってデイスチャージされて( $T r 9$ 、 $T r 4$ がON、 $T r 1$ がOFFするため)第1出力部 $F 0$ が非アクティブとなるとともに、第2出力部 $S 0$ も非アクティブとなる( $T r 11$ がON、 $T r 2$ がOFFするため)。したがって、第1初期化部 $F T$ によって第1出力部 $F 0$ の $T r 1$ のソース電極が $V D D$ に接続され、 $O U T$ 端子には、 $C K 1 \cdot C K 2$ 信号に関係なく確実に $V D D$ 電位(High)が出力される。なお、本構成では全ON期間中に第2ノードが $V S S$ 、第3ノードが $V D D$ となるので、 $I N I T B$ 信号によって $T r 10$ をOFFすることで、両ノードを遮断している。一方、全ON期間終了から $G S P$ 信号がアクティブになるまでは、 $I N I T$ 信号が非アクティブ(Low)、 $I N I T B$ 信号がアクティブ非(High)、 $I N I T K E E P$ 信号がアクティブ(High)となるので、 $T r 10$ がONして、第2出力部 $S 0$ がアクティブになる( $T r 2$ がON)

Nする)。したがって、CK1'CK2信号に関係なく、OUT端子に確実にVSS電位(Low)が出力される。

[0041] 通常駆動時の動作は以下のとおりである。通常駆動時には、INIT信号が非アクティブ(Low)、INITB信号が非アクティブ(High)、INITKEEP信号が非アクティブ(Low)となる。なお、INITKEEP信号は、GSP信号のアクティブ化に同期して非アクティブ(Low)となる(Tr8'Tr10はON、Tr7'Tr9はOFF)。

[0042] 例えば1段目のフリップフロップFF1(図3参照)では、IN端子がアクティブになる(GSP信号がアクティブとなる)と、プルストラップ容量Cvがチャージされて第1ノードNaの電位がVDD電位\_Vth程度(Vthはトランジスタの閾値電圧)までプリチャージされる。このとき、CK2がHigh(CKB端子がアクティブ)であるため、Tr5およびTr6がともにONするが、抵抗Rrの電流制限によって、Tr6の駆動能力よりもTr5のそれが高くなるため、第2ノードNbはVSS電位となる。これは、GSP信号が非アクティブになっても維持される(Tr2、Tr12、Tr4はOFFのままであるため)。

[0043] ここで、CK1信号が立ち上がると、プルストラップ効果によって、第1ノードNaの電位がVDD電位以上に突き上がる。これにより、CK1信号(High)が電位降下(いわゆる閾値落ち)することなくOUT端子(GO1)から出力される。OUT端子がHighになると、帰還部FBのTr12がONして、第2ノードNbは確実にVSS電位となる。なお、CK1が立ち下がると、プルストラップ効果が切れて第1ノードNaの電位はVDD電位\_Vthに戻る。次いで、CK2が立ち上がると、デイスチャージ部DCTr4がONしてプルストラップ容量Cvがデイスチャージされるとともに、Tr2がONしてOUT端子(GO1)からVSS(Low)が出力され、フリップフロップFF1のリセット(自己リセット)が完了する。

[0044] また、図1の構成では、誤動作防止部SCが設けられているため、通常動

作中に、前段（自段の1つ前の段）および次段（自段の1つ後ろの段）の出力がともにアクティブとなったような場合には、 $Tr14 \cdot Tr15$  がともにONして $Tr2$  がONとなり、OUT端子を強制的にVSS電位（Low）にすることができる。また、図1の構成では、中継回路RC（ $Tr13$ ）が設けられているため、プートストラップ効果によって第1ノードNaの電位が一定以上となると $Tr13$  がOFFする。これにより、デイスチャージ部DCの $Tr4$  を高電圧から保護することができる。

[0045] INIT信号の反転信号であるINITB信号およびINITKEEP信号は、INIT信号から生成される。すなわち、図5に示すように、インバータ回路INVはINIT信号からINTB信号を出力し、信号処理回路SPCは、INIT信号を用いてINITKEEP信号を生成する。ここで、INITB信号は、INIT信号の反転信号であり、INITKEEP信号は、INIT信号がアクティブ（High）から非アクティブ（Low）となるタイミングでアクティブ（High）となっており、このタイミングの後に（例えば、図4のようにGSP信号のアクティブ化に同期して）非アクティブ（Low）となる。

[0046] 図6は、インバータ回路INVの構成を示す回路図である。同図に示されるように、インバータ回路INVは、 $n$ チャンネルのトランジスタ $Tr21 \sim Tr24$  と、抵抗 $Ra \cdot Rw$  と、プートストラップ容量 $CV$  と、IN端子と、OUT端子とを備える。

[0047]  $Tr21$  は、ゲート電極およびソース電極がプートストラップ容量 $CV$  を介して接続され、かつドレイン電極がVDDに接続されるとともに、ソース電極がOUT端子に接続され、 $Tr22 \cdot 23$  のゲート電極はIN端子に接続され、 $Tr24$  のゲート電極はVDDに接続され、 $Tr21$  のゲート電極に接続するノードNAが $Tr24$  を介してノードNBに接続され、ノードNBが抵抗 $Ra$  を介してVDDに接続されるとともに、 $Tr23$  を介してVSSに接続され、OUT端子が抵抗 $Rw$  を介してVDDに接続されるとともに、 $Tr22$  を介してVSSに接続される。

[0048] 図6のインバータ回路INVでは、IN端子がアクティブ(High)になると、ノードNAおよびNBがVSS電位(Low)となってTr21はOFFし、また、Tr22はONするため、OUT端子にはVSS電位(Low)が出力される。この状態からIN端子が非アクティブ(Low)になると、VDDから抵抗Raを介してプルストラップ容量CVがチャージされ(これによりTr24はOFF)、Tr21に電流が流れる。これにより、プルストラップ容量CVを介してノードNAが突き上げられ、OUT端子からは、VDD電位(High)が電位降下(閾値落ち)することなくから出力される。なお、図6のインバータ回路INVでは、OUT端子が抵抗Rwを介してVDDに接続されているため、プルストラップ効果が切れた後も、VDD電位(閾値落ちのない電源電位)をOUT端子から出力し続けることができる。さらに、図6の構成では、Tr24が設けられ、プルストラップ効果によってノードNAが高電位になるときはTr24がOFFしているため、ノードNAに生じる高電位によってTr23が劣化・破損することを回避することができる。

[0049] 信号処理回路SPCの一構成例を図7に示す。図7の信号処理回路SPCは、IN1端子(第1入力端子)およびIN2(第2入力端子)と、OUT端子(出力端子)と、ノードna(第1ノード)およびノードnb(第2ノード)と、VDD(第1電源)およびOUT端子に接続され、プルストラップ容量cvを含む第1信号生成部FSと、ノードnb、VSS(第2電源)およびOUT端子に接続される第2信号生成部SSとを備え、IN1端子がアクティブになるとノードnaがアクティブ(High)となり、IN2がアクティブになるとnbがアクティブ(High)となり、OUT端子が抵抗Ryを介してVSSに接続されている。

[0050] 具体的には、信号処理回路SPCは、第1信号生成部FSに設けられるトランジスタTr31と、第2信号生成部SSに設けられるトランジスタTr32と、トランジスタTr33~39とを備える。ここで、Tr31は、ドレイン電極がVDDに接続され、かつソース電極とゲート電極とがプルス

トラップ容量  $c_v$  を介して接続されるとともに、ソース電極が OUT 端子に接続され、Tr31のソース電極は、抵抗  $R_y$  を介して VSS に接続されるとともに、Tr32を介して VSS に接続されている。また、Tr32および Tr35のゲート電極はノード nb に接続され、Tr34のゲート電極はノード na に接続され、Tr36および Tr37のゲート電極は IN1 端子に接続され、Tr38および Tr39のゲート電極は IN2 端子に接続されている。また、Tr31のゲート電極に接続されるノード n。が、Tr33を介してノード na に接続され、ノード na と VSS とが Tr35 を介して接続されるとともに、ノード nc と Tr33 とが Tr34 を介して接続され、ノード na と VDD とが Tr36 を介して接続され、ノード na と VSS とが Tr39 を介して接続され、ノード nb と VDD とが Tr38 を介して接続され、ノード nb と VSS とが Tr37 を介して接続されている。

[0051] 図7の信号処理回路 SPC では、IN2 端子が非アクティブ (Low) で IN1 端子がアクティブ (High) になると、ノード na がアクティブ (High)、ノード nb が非アクティブ (Low) になって (Tr36・37が0N)、プートストラップ容量  $c_v$  がチャージされ、Tr31に電流が流れる。これにより、プートストラップ容量  $c_v$  を介してノード nc が突き上げられ、OUT 端子からは、VDD 電位 (High) が電位降下 (閾値落ち) することなくから出力される。次いで、IN1 端子が非アクティブ (Low) になると (IN2 端子は非アクティブのまま)、ノード nc・nb はフローティングとなるため、OUT 端子からは、引き続き VDD 電位 (High) が出力される。次いで、IN2 端子がアクティブ (High) になると、ノード nb がアクティブ (High)、ノード na が非アクティブ (Low) になって (Tr38・39・32が0N)、OUT 端子からは、VSS 電位 (Low) が出力される。したがって、図5の場合には、IN1 端子に INIT 信号を、IN2 端子に GSP 信号を入力することで、OUT 端子に、図5に示すような INITKEEP 信号を得ることができる。

[0052] ここで、抵抗  $R_y$  の抵抗値を 0.5 ~ 5.5 メガオームの高抵抗値として

おくことで、抵抗  $R_y$  によって OUT 端子の初期値 (IN 1 端子がアクティブになるまでの  $T_{r31}$  のソース電位) を決めることができる。これにより、IN 1 端子がアクティブ (High) になったときに、第 1 信号生成部 FS のプータストラップ回路が正常に機能する。

[0053] 図 8・9 は、図 1 のレイアウト例である。本フリップフロップには、基板側から順に、各トランジスタのチャネルを構成する層、ゲート絶縁層、各トランジスタのゲート電極を構成する層、層間絶縁層、信号配線 (電源配線含む) が設けられている。ここで、リセット部 RS の抵抗  $R_r$  を各トランジスタのチャネルを構成する材料で形成したり (図 8 参照)、第 1 入力部 F1 の抵抗  $R_i$  を各トランジスタのチャネルを構成する材料で形成したりする (図 9 (a) 参照) こともでき、こうすれば、コンタクトホールの削減やレイアウト面積の縮小が可能となる。また、第 1 出力部 F0 のプータストラップ容量  $C_v$  を、各トランジスタのチャネルを構成する材料で形成された電極 (コンタクトホールを介して  $T_{r1}$  のソース電極に接続されたもの) と、トランジスタ  $T_{r1}$  のゲート電極と、ゲート絶縁膜との重畳部で形成することもでき、さらに該重畳部を、VH (VDD) 配線に重なることもできる (図 9 (b) 参照)。この場合も、レイアウト面積を縮小することができる。

[0054] 図 10 は、図 6 のレイアウト例である。インバータ回路 INV には、基板側から順に、各トランジスタのチャネルを構成する層、ゲート絶縁層、各トランジスタのゲート電極を構成する層、層間絶縁層、信号配線 (電源配線含む) が設けられている。ここで、図 10 に示すように、抵抗  $R_a$  および抵抗  $R_w$  を各トランジスタのチャネルを構成する材料で形成することができ、こうすれば、コンタクトホールの削減やレイアウト面積の縮小が可能となる。また、プータストラップ容量  $C_v$  を、各トランジスタのチャネルを構成する材料で形成された電極 (コンタクトホールを介して  $T_{r21}$  のソース電極に接続されたもの) と、トランジスタ  $T_{r21}$  のゲート電極と、ゲート絶縁膜との重畳部で形成することもでき、この場合も、コンタクトホールの削減やレイアウト面積の縮小が可能となる。



[0055] 本フリップフロップは、図1の構成から中継回路RCおよび誤動作防止部SCを除き (Tr13~Tr15を除き)、さらに第1初期化回路FTのTr11を除いて図11のように構成することもできる。図11のフリップフロップの全ON動作を以下に説明する。

[0056] 全ON期間には、INIT信号がアクティブ (High)、INITB信号がアクティブ (Low)、INITKEEP信号がアクティブ (High) となるので、ブートストラップ容量Cvはデイスチャージ部DCによってデイスチャージされて (Tr9、丁「4」が0へ、Tr1がOFFするため) 第1出力部F0が非アクティブとなるとともに、第2出力部SOがフローティングとなるもの (Tr10がOFFするため)、第1初期化部FTによって第1出力部F0のTr1のソース電極 (OUT端子) がVDDに接続され、OUT端子には、CK1・CK2信号に関係なく確実にVDD電位 (High) が出力されると同時に、Tr12よりNbが非アクティブ (Low) となり、第2出力部SOはOFFとなる。一方、全ON期間終了からGSP信号がアクティブになるまでは、INIT信号が非アクティブ (Low)、INITB信号がアクティブ非 (High)、INITKEEP信号がアクティブ (High) となるので、Tr8・Tr10がONして、第2出力部SOがアクティブになる (Tr2がONする)。したがって、CK1・CK2信号に関係なく、OUT端子に確実にVSS電位 (Low) が出力される。

[0057] 本フリップフロップは、図1の構成から中継回路RC、帰還部FBおよび誤動作防止部SCを除き (Tr12~Tr15を除き)、さらに第1初期化回路FTのTr11および第2初期化回路FTのTr10を除いて図12のように構成し、図13に示すINIT信号、INITB信号およびINITKEEP信号を入力することもできる。図12・13の場合の全ON動作を以下に説明する。

[0058] 全ON期間には、INIT信号がアクティブ (High)、INITB信号がアクティブ (Low)、INITKEEP信号が非アクティブ (Low)

) となるので、プートストラップ容量  $C_v$  はデイスチャージ部 DC によってデイスチャージされて ( $T_{r4}$  が ON、 $T_{r1} \cdot T_{r8}$  が OFF するため) 第 1 出力部 FO が非アクティブとなるとともに、第 2 出力部 SO はフローティングとなる ( $T_{r5} \cdot T_{r9}$  が OFF のため)。したがって、第 1 初期化部 FT によって第 1 出力部 FO の  $T_{r1}$  のソース電極 (OUT 端子) が VDD に接続され、OUT 端子には、CK1・CK2 信号に関係なく確実に VDD 電位 (High) が出力されると同時に他段の OUT が IN に接続されているので IN がアクティブ (High) となり  $T_{r5}$  が ON となるため第 2 出力部 SO は OFF となる。一方、全 ON 期間終了から GSP 信号がアクティブになるまでは、INIT 信号が非アクティブ (Low)、INITB 信号がアクティブ非 (High)、INITKEEP 信号がアクティブ (High) となるので、 $T_{r9}$  が ON して、第 2 出力部 SO がアクティブになる ( $T_{r2}$  が ON する)。したがって、CK1・CK2 信号に関係なく、OUT 端子に確実に VSS 電位 (Low) が出力される。

[0059] 図 1 にフリップフロップでは、リセット回路 RS で、第 3 ノード Nc が、抵抗  $R_r$  および  $T_{r6}$  を介して VDD に接続されているが (ただし、 $T_{r6}$  は抵抗  $R_r$  側で  $T_{r6}$  はソ D D 側)、これに限定されない。図 14 に示すように、第 3 ノード Nc を、 $T_{r6}$  および抵抗  $R_r$  を介して VDD に接続してもよい (ただし、 $T_{r6}$  は第 3 ノード側で、 $R_r$  は VDD 側)。

[0060] 図 1 にフリップフロップでは、リセット回路 RS に抵抗  $R_r$  を設けているがこれに限定されない。抵抗  $R_r$  をダイオード接続されたトランジスタ TD に置き換え、図 15 のように構成することもできる。

[0061] また、図 1 の構成から誤動作防止部のみを除き、図 16 のように構成することもできる。また、本フリップフロップ (例えば、図 16 のもの) を用いて、図 17 のような双方向にシフト可能なシフトレジスタを構成することもできる。この場合、隣接する 2 つの段の間にシフト方向決定回路 SEL を配置し、UD 信号および LDB 信号を入力する。順方向 (下方向) シフトの場合、例えば SEL2 は、FF1 の OUT 端子を FF2 の IN 端子に接続する

。一方、逆方向（上方向）シフトの場合、例えばSEL1は、ド「2の0」L<sub>1</sub>T端子をFF1のIN端子に接続する。なお、シフト方向決定回路SELは、図18に示すように、2つのNチャンネルトランジスタを含み、その一方については、ゲート端子がUD端子に接続されるとともに、ソース電極およびドレイン電極がIX端子および0端子に接続され、他方については、ゲート端子がUDB端子に接続されるとともに、ソース電極およびドレイン電極がIY端子および0端子に接続される。

[0062] 本発明は上記の実施の形態に限定されるものではなく、上記実施の形態を公知技術や技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施の形態に含まれる。また、各実施の形態で記載した作用効果等もほんの例示に過ぎない。

#### 産業上の利用可能性

[0063] 本発明のフリップフロップは、特に液晶表示装置のドライバ回路に好適である。

#### 符号の説明

[0064]   INIT   第1初期化信号  
          INITB   第2初期化信号  
          INITKEEP   第3初期化信号  
          Na ~ Nc   第1〜第3ノード  
          VDD   高電位側電源  
          VSS   低電位側電源  
          Tr1 ~ Tr13   第1〜第13トランジスタ

## 請求の範囲

- [請求項1] 入力端子と、出力端子と、第1および第2制御信号端子と、プータストラップ容量を含み、第1制御信号端子および出力端子に接続される第1出力部と、第1電源および出力端子に接続される第2出力部と、上記入力端子および第2電源に接続され、プータストラップ容量をチャージする第1入力部と、上記プータストラップ容量をディスチャージするディスチャージ部と、上記入力端子および第1電源に接続され、第2出力部に接続された第2入力部と、上記第2制御信号端子に接続され、上記ディスチャージ部および第2出力部を制御するリセット部と、上記第1出力部を制御する第1初期化部と、上記第1入力部を制御する第2初期化部と、ディスチャージ部および第2出力部を制御する第3初期化部とを備えるフリップフロップ。
- [請求項2] 上記第1初期化部は、第1出力部と第2電源とを電氣的に接続あるいは切り離し、第2初期化部は、第1入力部と第2電源とを電氣的に接続あるいは切り離し、第3初期化部は、ディスチャージ部および第2出力部それぞれと第2電源とを電氣的に接続あるいは切り離す請求項1記載のフリップフロップ。
- [請求項3] 上記第2初期化部はさらに、第3初期化部、リセット部およびディスチャージ部それぞれと第2出力部とを接続あるいは切り離す請求項1記載のフリップフロップ。
- [請求項4] 上記第1初期化部はさらに、第2出力部を制御する請求項1記載のフリップフロップ。
- [請求項5] 出力端子に接続され、第2出力部を制御する帰還部を備える請求項1記載のフリップフロップ。
- [請求項6] 第1入力部と第1出力部とが中継部を介して接続されている請求項1記載のフリップフロップ。
- [請求項7] 第1出力部に第1トランジスタを、第2出力部に第2トランジスタを、第1入力部に第3トランジスタを、ディスチャージ部に第4トラ

ンジスタを、第2入力部に第5トランジスタを、リセット部に第6トランジスタを、第1初期化部に第7トランジスタを、第2初期化部に第8トランジスタを、第3初期化部に第9トランジスタを備え、

第1～第9トランジスタがすべて同一導電型である請求項1記載のフリップフロップ。

[請求項8]

第1～第3初期化端子と第1～第3ノードとをさらに備え、

第1トランジスタは、一方の導通電極が第1制御信号端子に接続され、かつ制御端子と他方の導通電極とが上記プー トストラップ容量を介して接続され、かつ上記他方の導通電極が、出力端子に接続されるとともに、第2トランジスタを介して第1電源に接続され、

第3および第5トランジスタの制御端子が入力端子に接続され、第6トランジスタの制御端子が第2制御信号端子に接続され、第7トランジスタの制御端子が第1初期化端子に接続され、第8トランジスタの制御端子が第2初期化端子に接続され、第9トランジスタの制御端子が第3初期化端子に接続され、

第1ノードが、第3トランジスタの一方の導通電極に、直接あるいは抵抗を介して接続され、かつ第4トランジスタを介して第1電源に接続され、

第3トランジスタの他方の導通電極が、第8トランジスタを介して第2電源に接続され、

第2ノードが第2トランジスタの制御端子に接続されるとともに、第5トランジスタを介して第1電源に接続され、

第3ノードが、第4トランジスタの制御端子に接続され、かつ第9トランジスタを介して第2電源に接続され、かつ上記抵抗とは別の抵抗および第6トランジスタを介して第2電源に接続されている請求項7記載のフリップフロップ。

[請求項9]

第2初期化部に、制御端子が第2初期化端子に接続された第10トランジスタを備え、

上記第 2 ノードが、第 10 トランジスタを介して第 3 ノードに接続されている請求項 8 記載のフリップフロップ。

[請求項10] 第 1 初期化部に、制御端子が第 1 初期化端子に接続された第 11 トランジスタを備え、

上記第 2 ノードが、第 11 トランジスタを介して第 1 電源に接続されている請求項 8 記載のフリップフロップ。

[請求項11] 制御端子が出力端子に接続された第 12 トランジスタを備え、

上記第 2 ノードが、第 12 トランジスタを介して第 1 電源に接続されている請求項 8 記載のフリップフロップ。

[請求項12] 制御端子が第 2 電源に接続された第 13 トランジスタを備え、

上記第 1 ノードが、第 13 トランジスタを介して第 1 トランジスタの制御端子に接続されている請求項 8 記載のフリップフロップ。

[請求項13] 上記各抵抗の構成材料が、各 トランジスタのチャネル構成材料と同一である請求項 8 記載のフリップフロップ。

[請求項14] 上記第 1 出力部に第 1 トランジスタを備え、上記プータストラップ容量は第 1 トランジスタの寄生容量である請求項 1 記載のフリップフロップ。

[請求項15] 請求項 1 ~ 13 記載のいずれか 1 項に記載のフリップフロップを各段に備えるシフトレジスタ。

[請求項16] 自段のフリップフロップの第 2 制御信号端子が、次段のフリップフロップの出力端子に接続されている請求項 15 記載のシフトレジスタ。

[請求項17] 請求項 1 ~ 13 記載のいずれか 1 項に記載のフリップフロップを各段に含むシフトレジスタを備え、

シフトレジスタ各段のフリップフロップの第 1 および 2 制御信号端子に、互いにアクティブ期間が重ならないクロック信号が供給されるドライバ回路。

[請求項18] 請求項 8 記載のフリップフロップを各段に含むシフトレジスタを備

ん、

該シフトレジスタの各段のフリップフロップには、第1初期化端子に第1初期化信号が入力され、第2初期化端子に第2初期化信号が入力され、第3初期化端子に第3初期化信号が入力されるドライバ回路。

[請求項19]

上記第1初期化信号の反転信号が第2初期化信号であり、

上記第3初期化信号は、上記第1初期化信号がアクティブから非アクティブとなるタイミングでアクティブとなっており、このタイミングの後に非アクティブとなる請求項18記載のドライバ回路。

[請求項20]

上記第3初期化信号は、シフト開始タイミングを規定するスタートパルスがアクティブとなるのに同期して非アクティブとなる請求項19記載のドライバ回路。

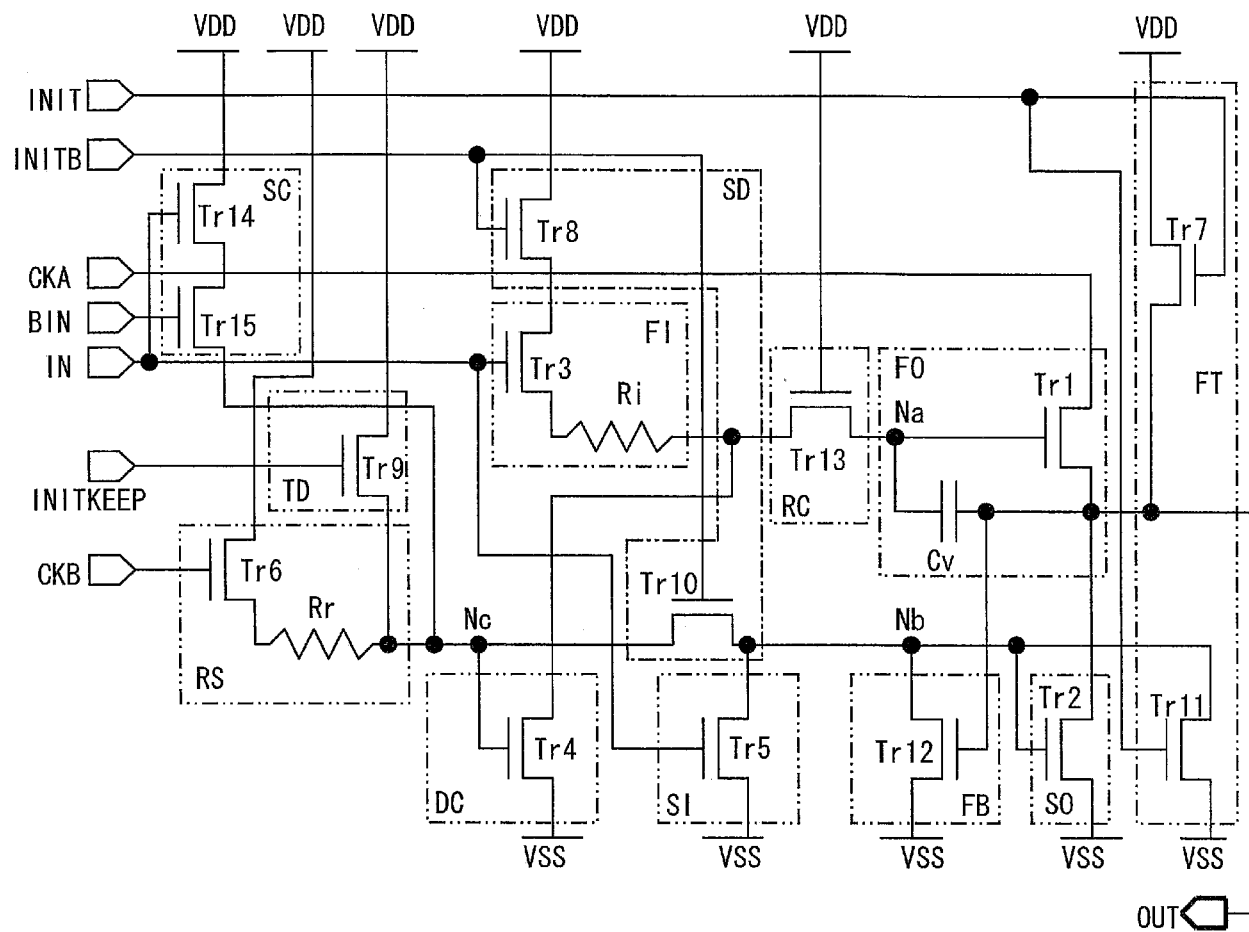
[請求項21]

請求項1～14記載のいずれか1項に記載のフリップフロップを備えるドライバ回路。

[請求項22]

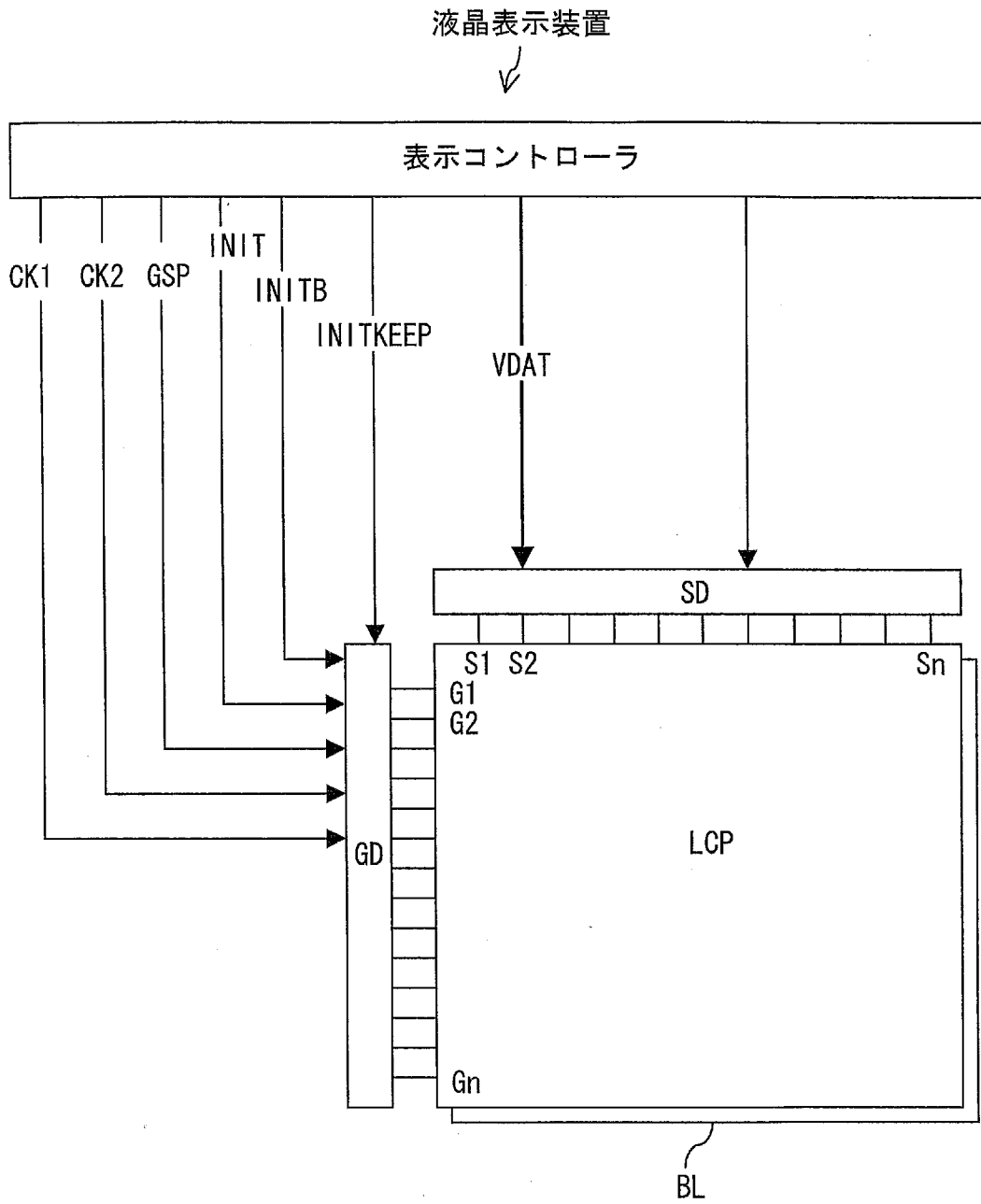
請求項1～14記載のいずれか1項に記載のフリップフロップを備える表示装置。

[図1]

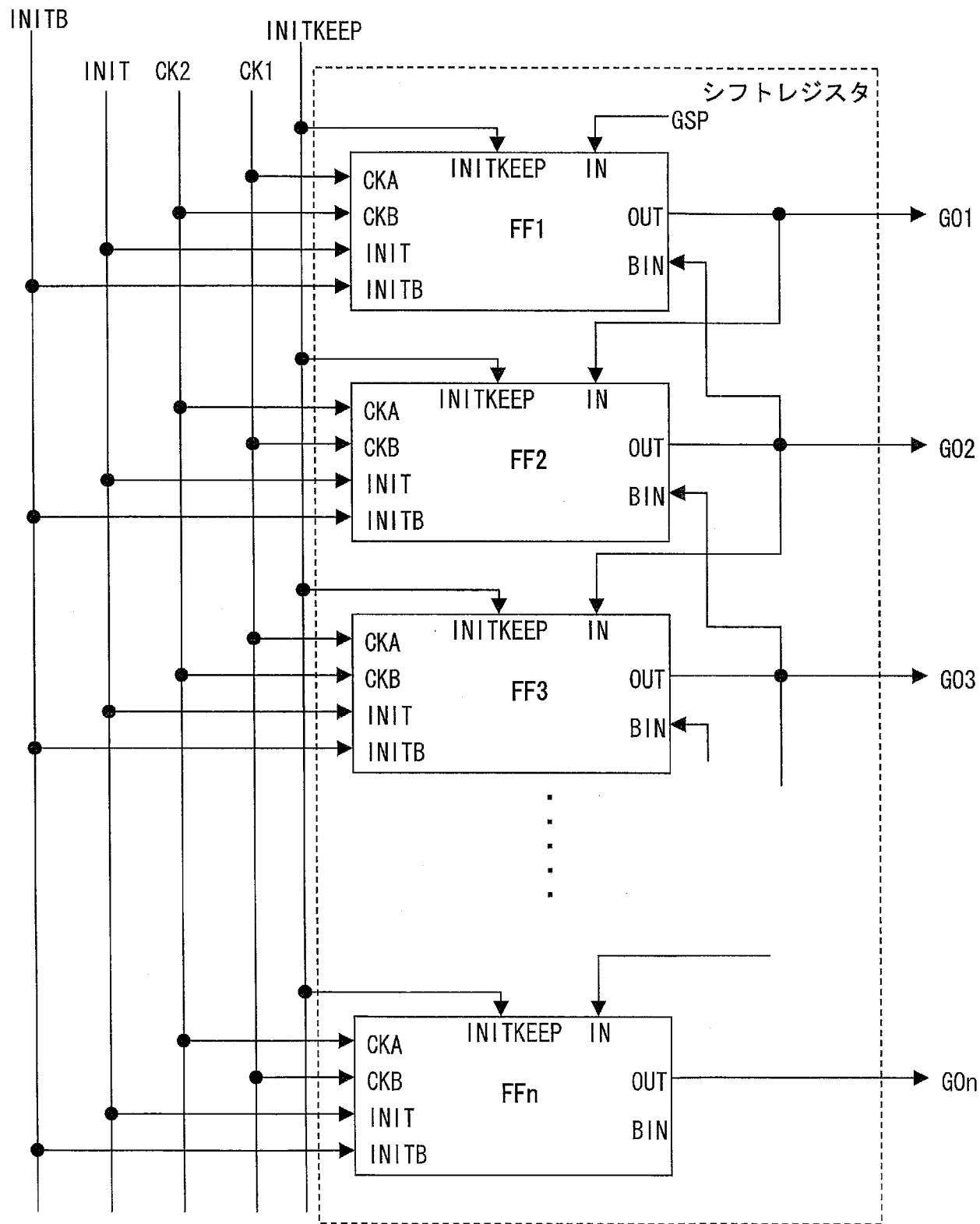




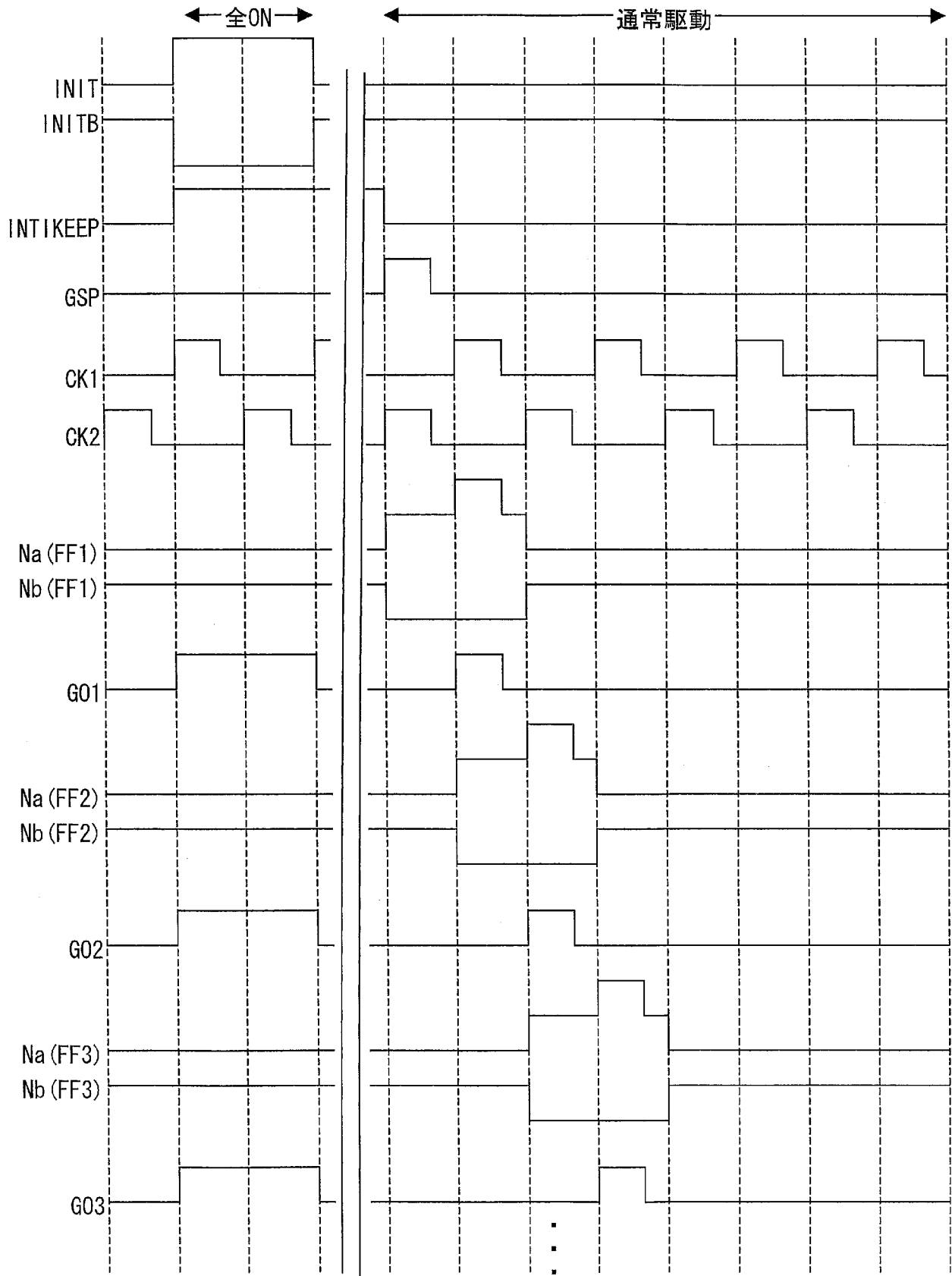
[図2]



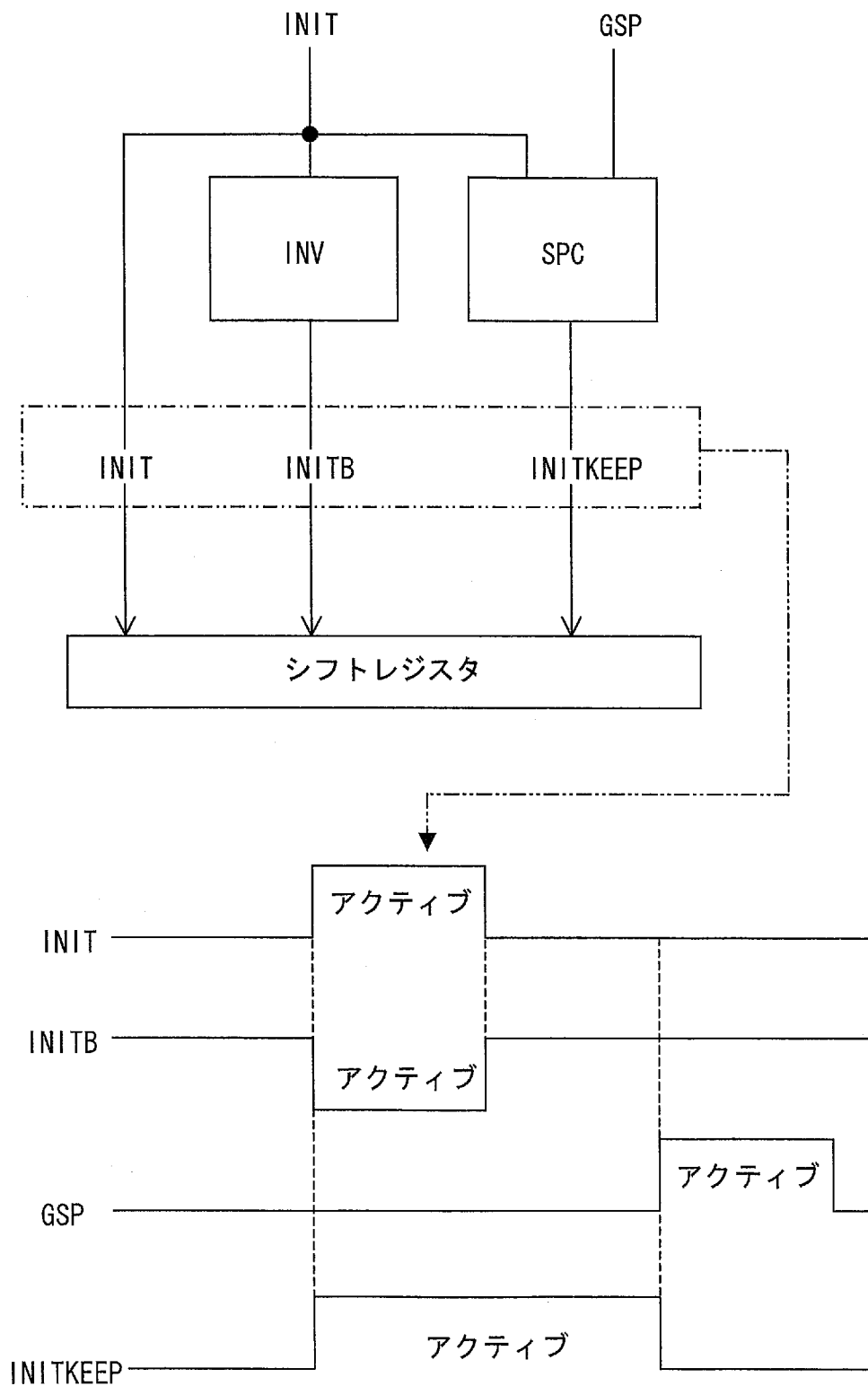
[図3]



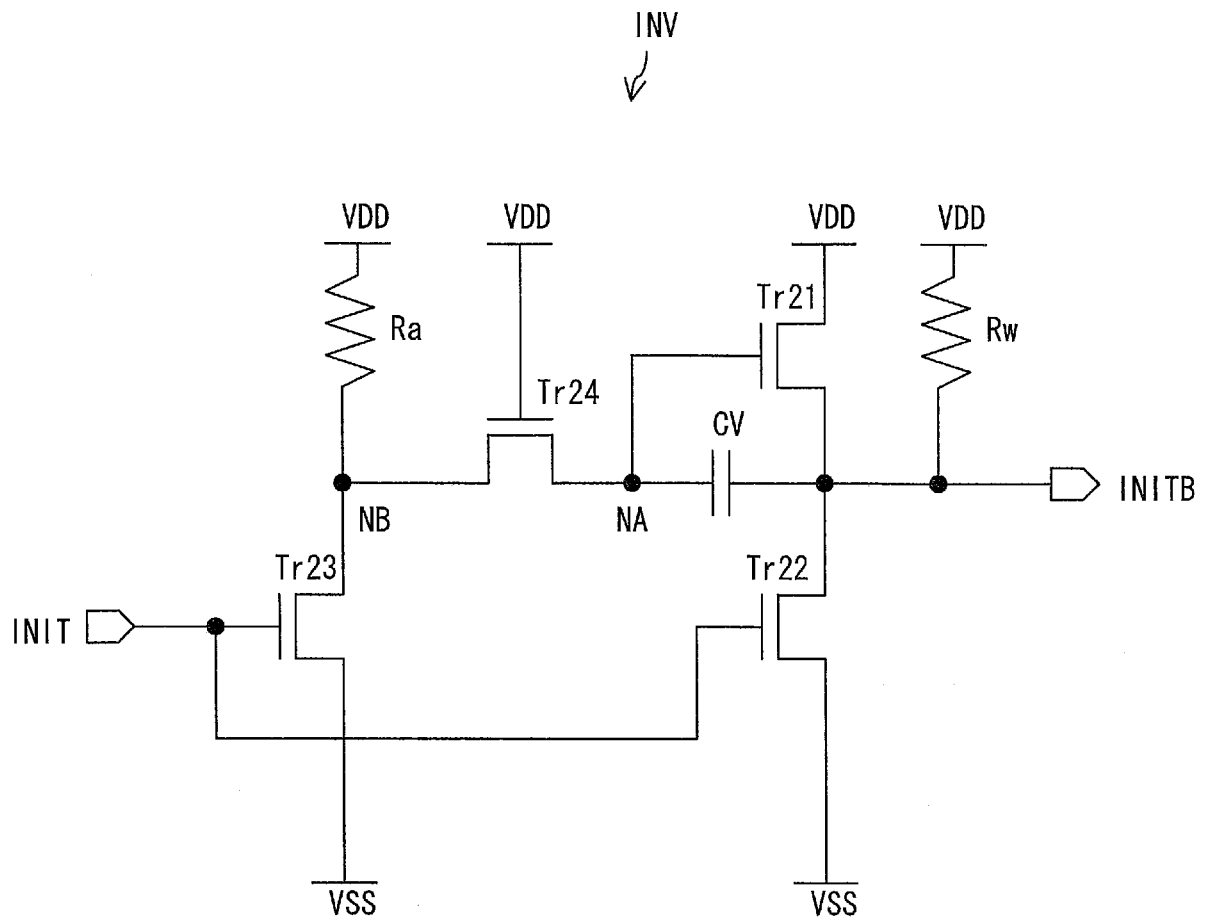
[図4]



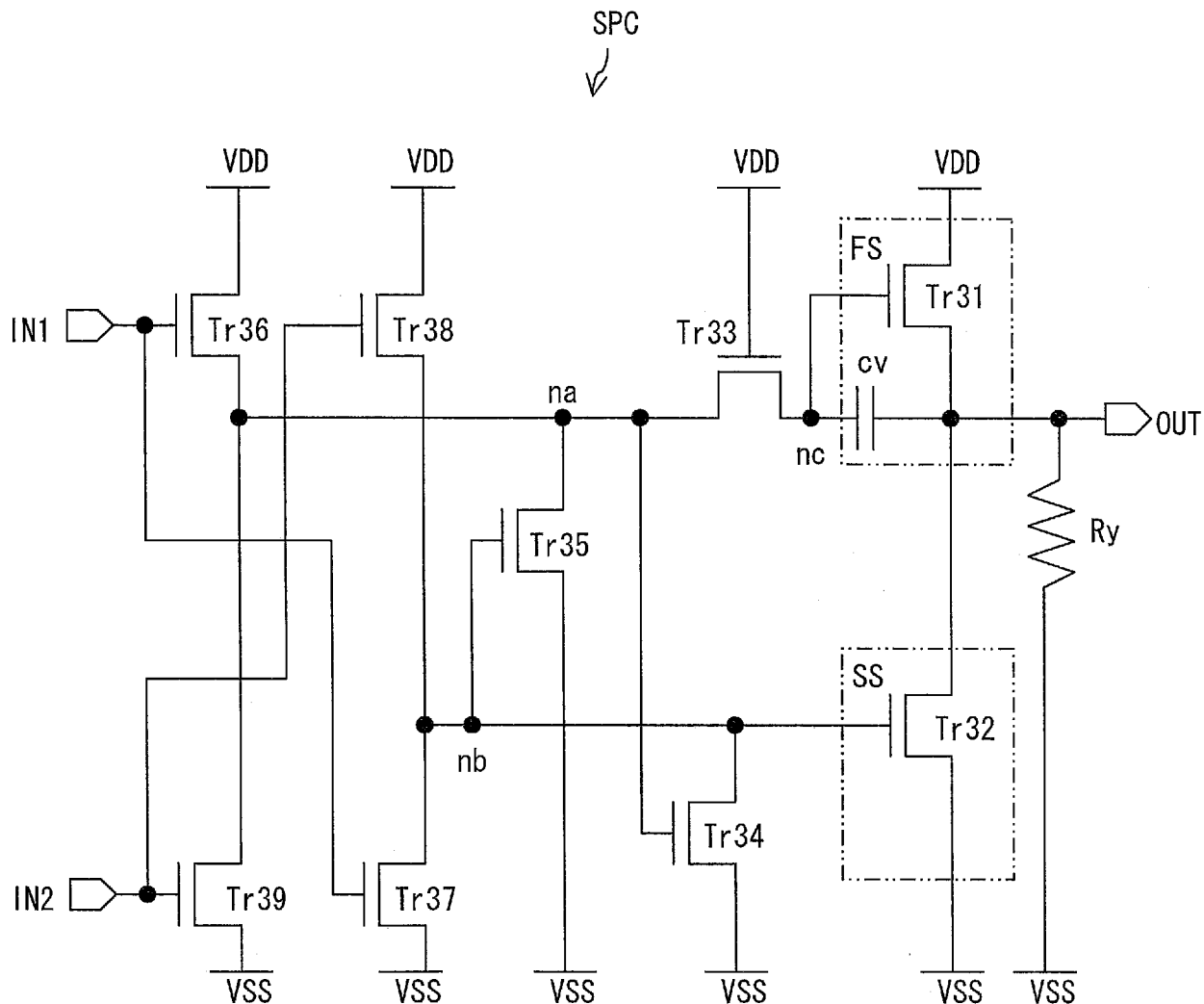
[図5]



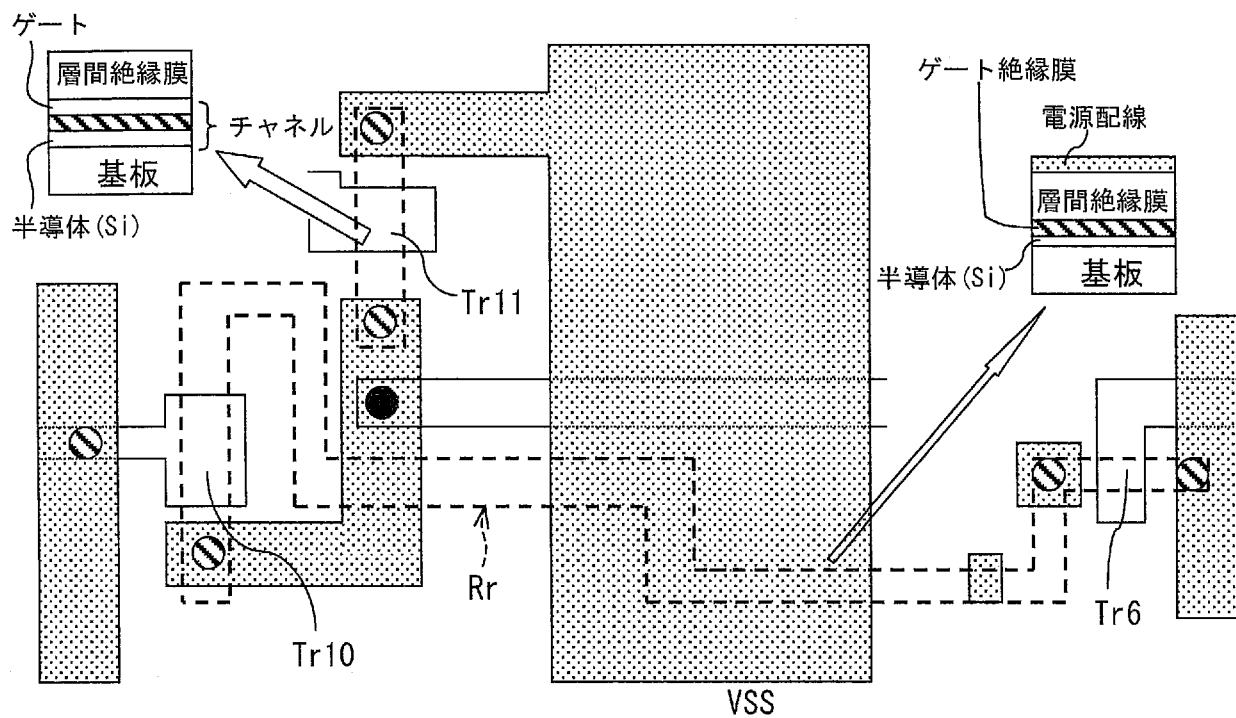
[図6]



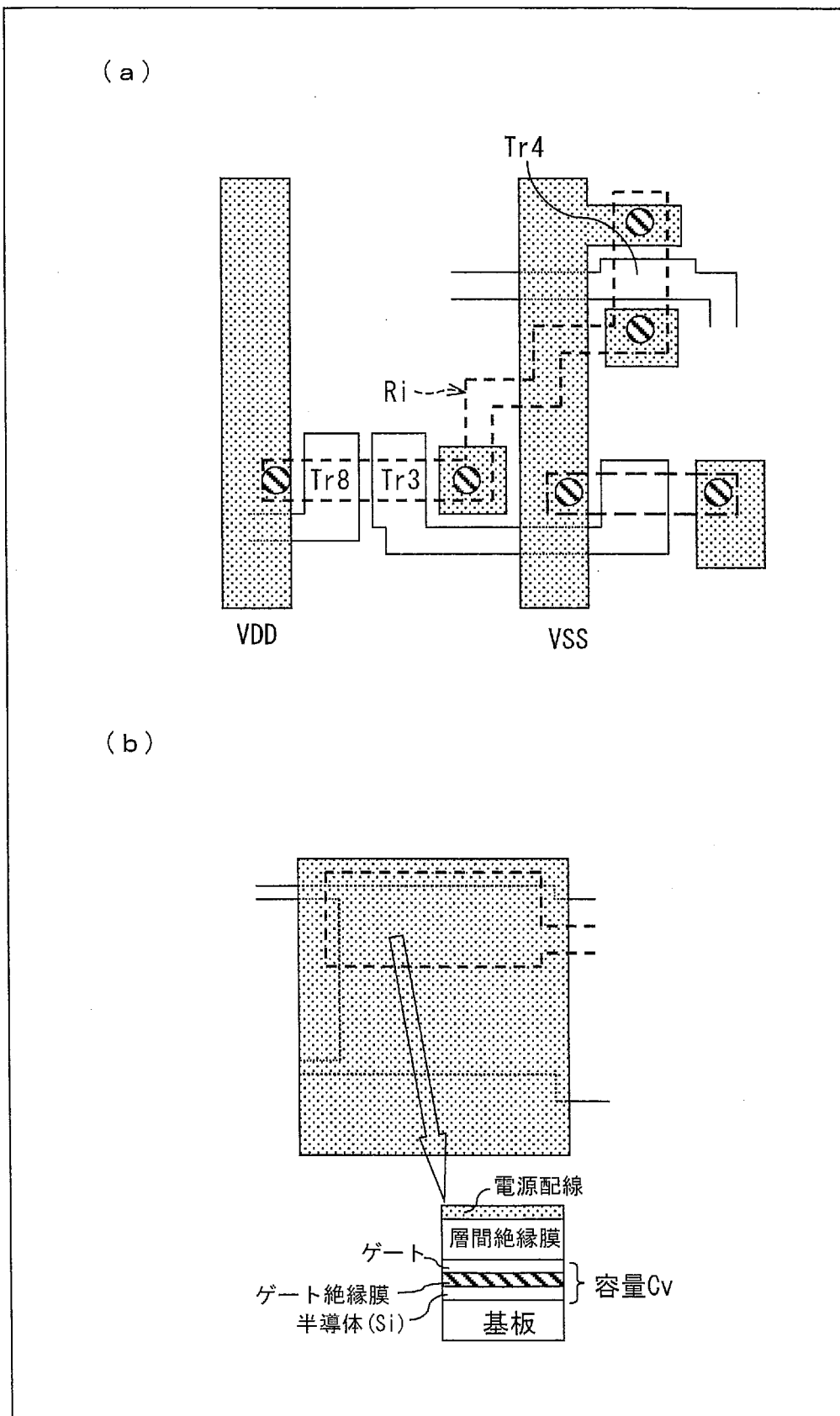
[図7]



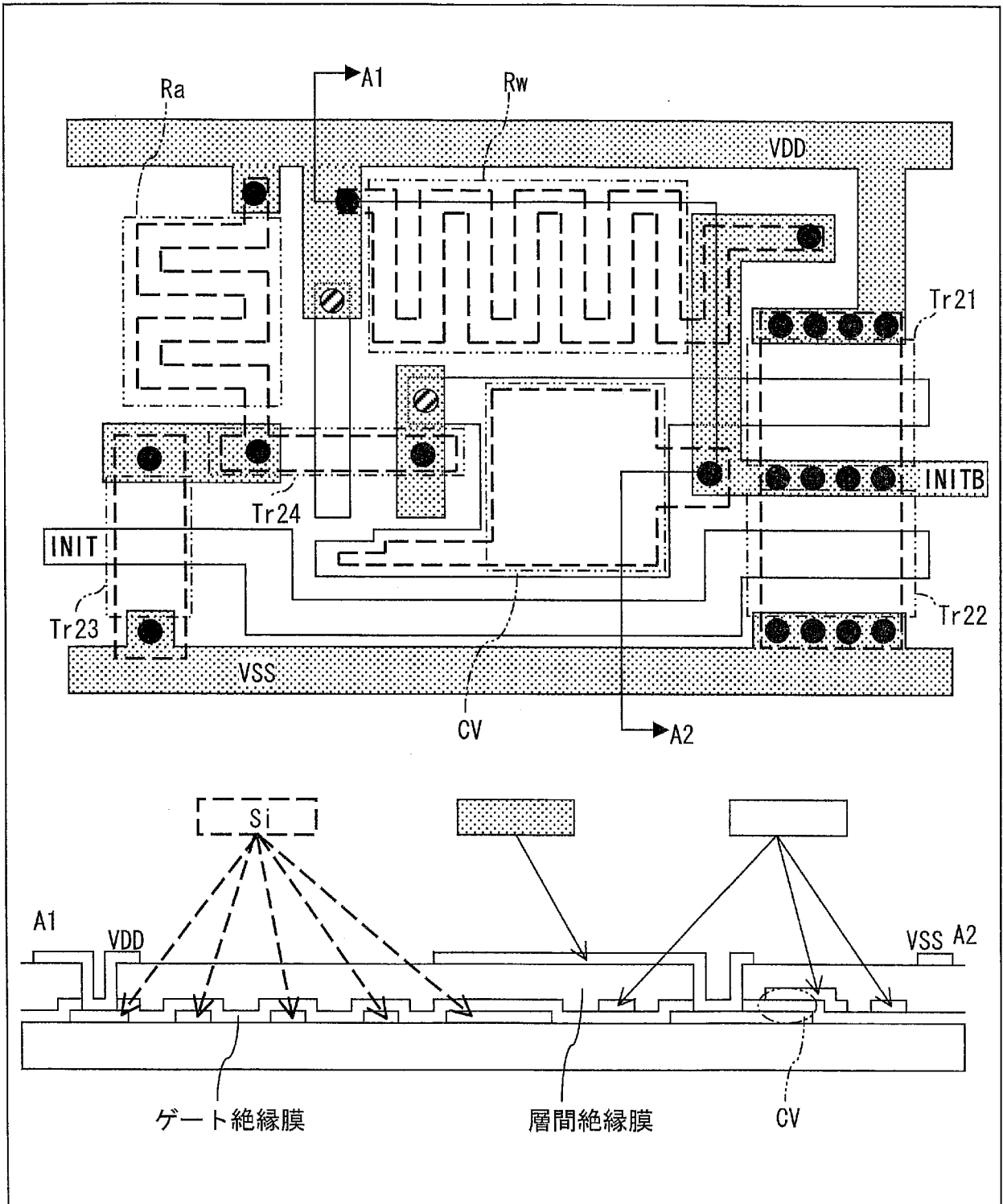
[図8]



[図9]

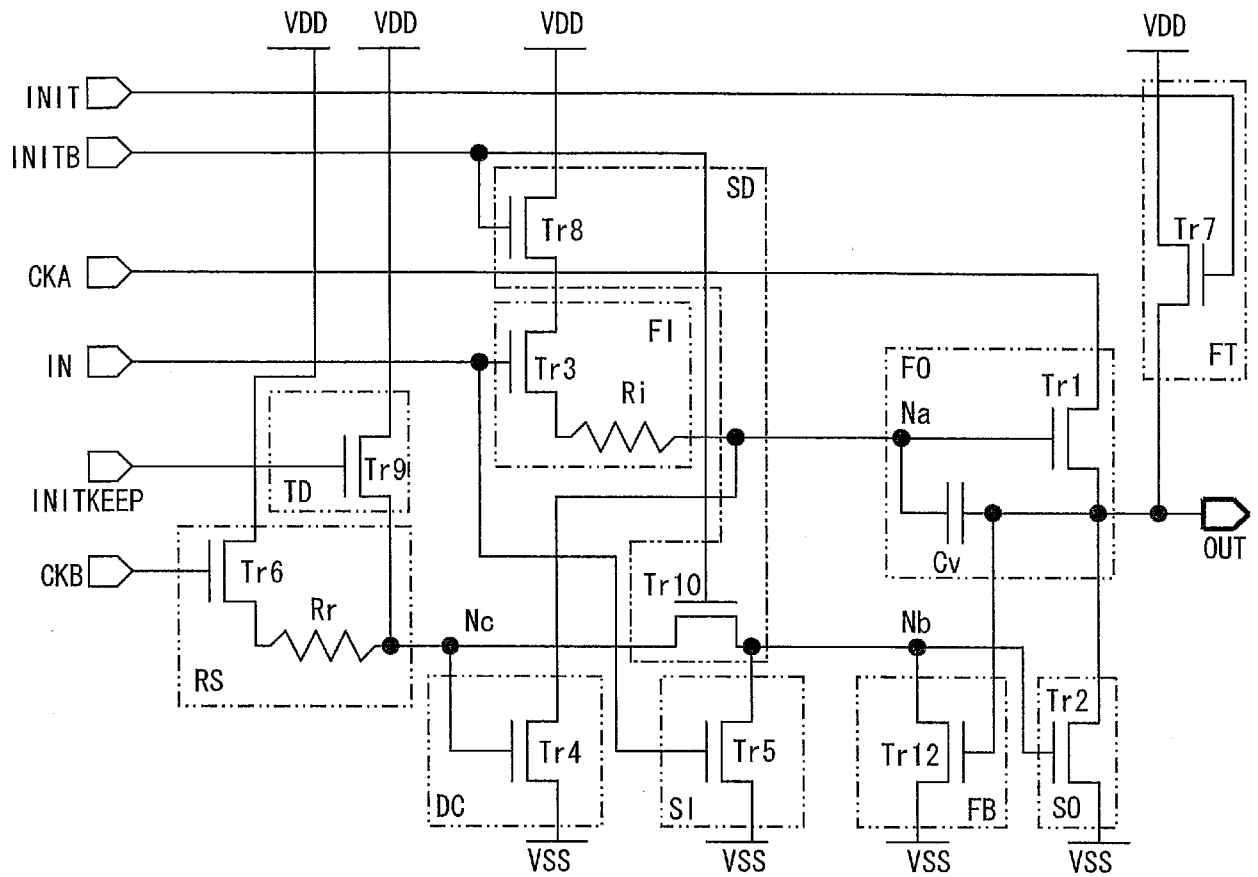


[図10]

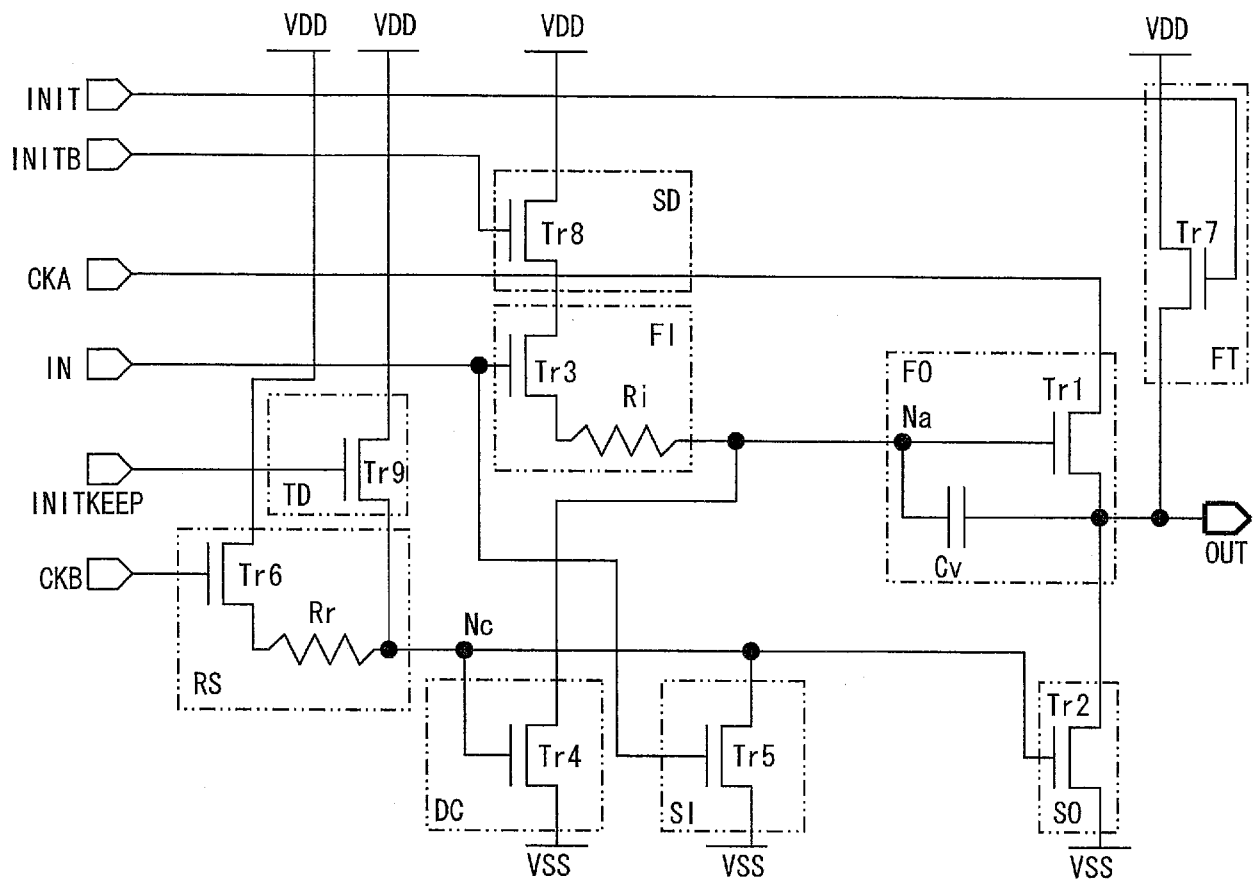




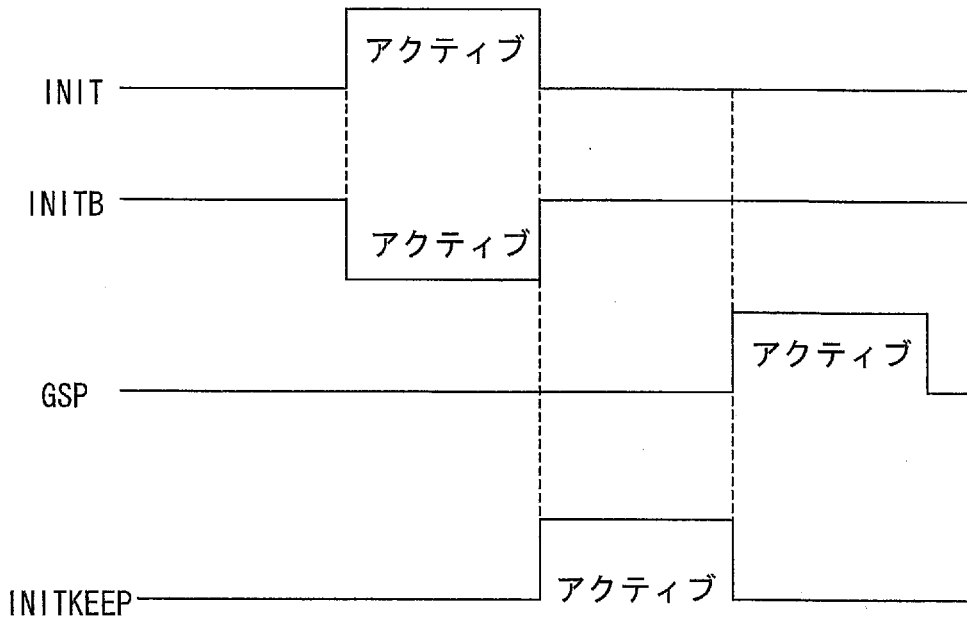
[圖11]



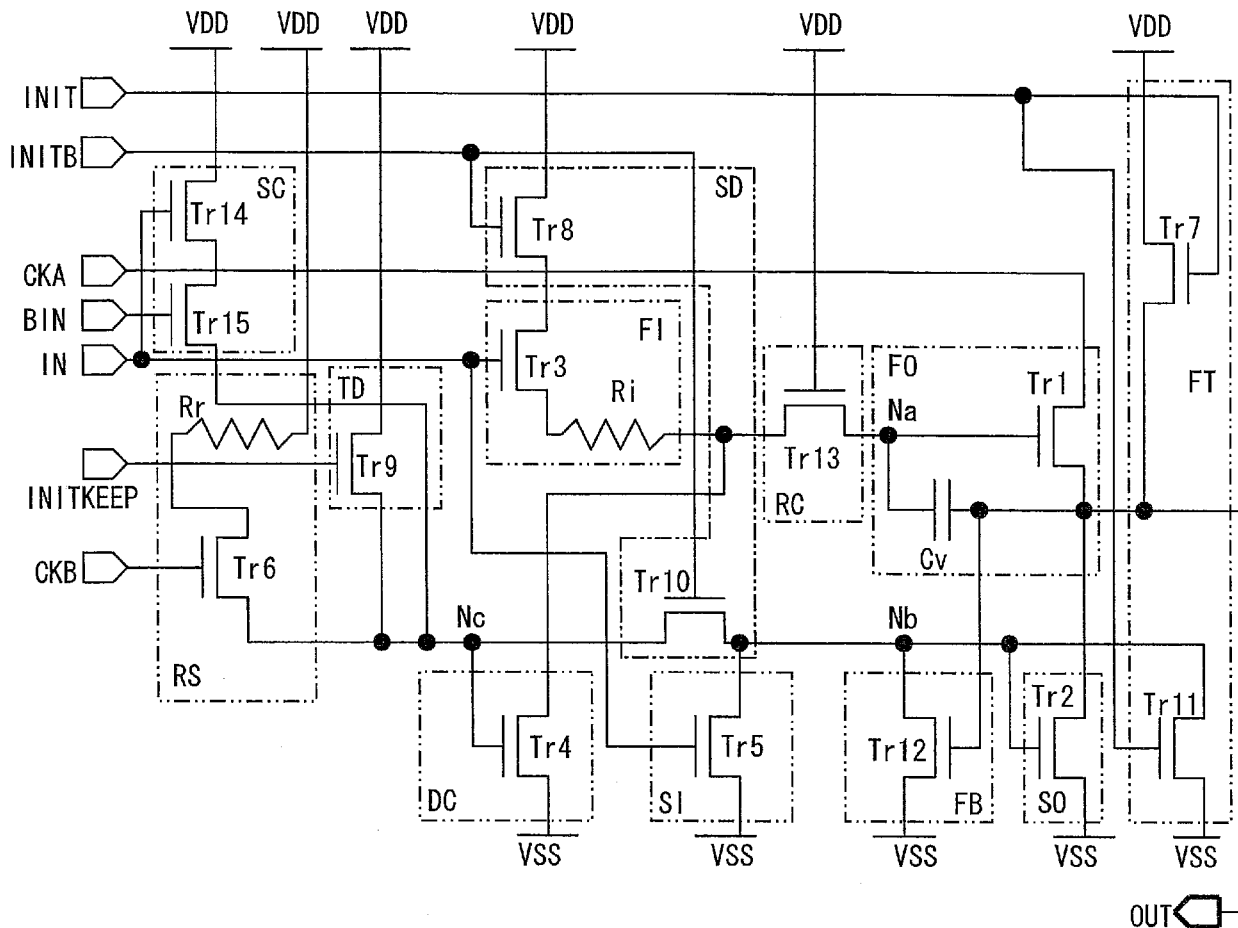
[圖12]



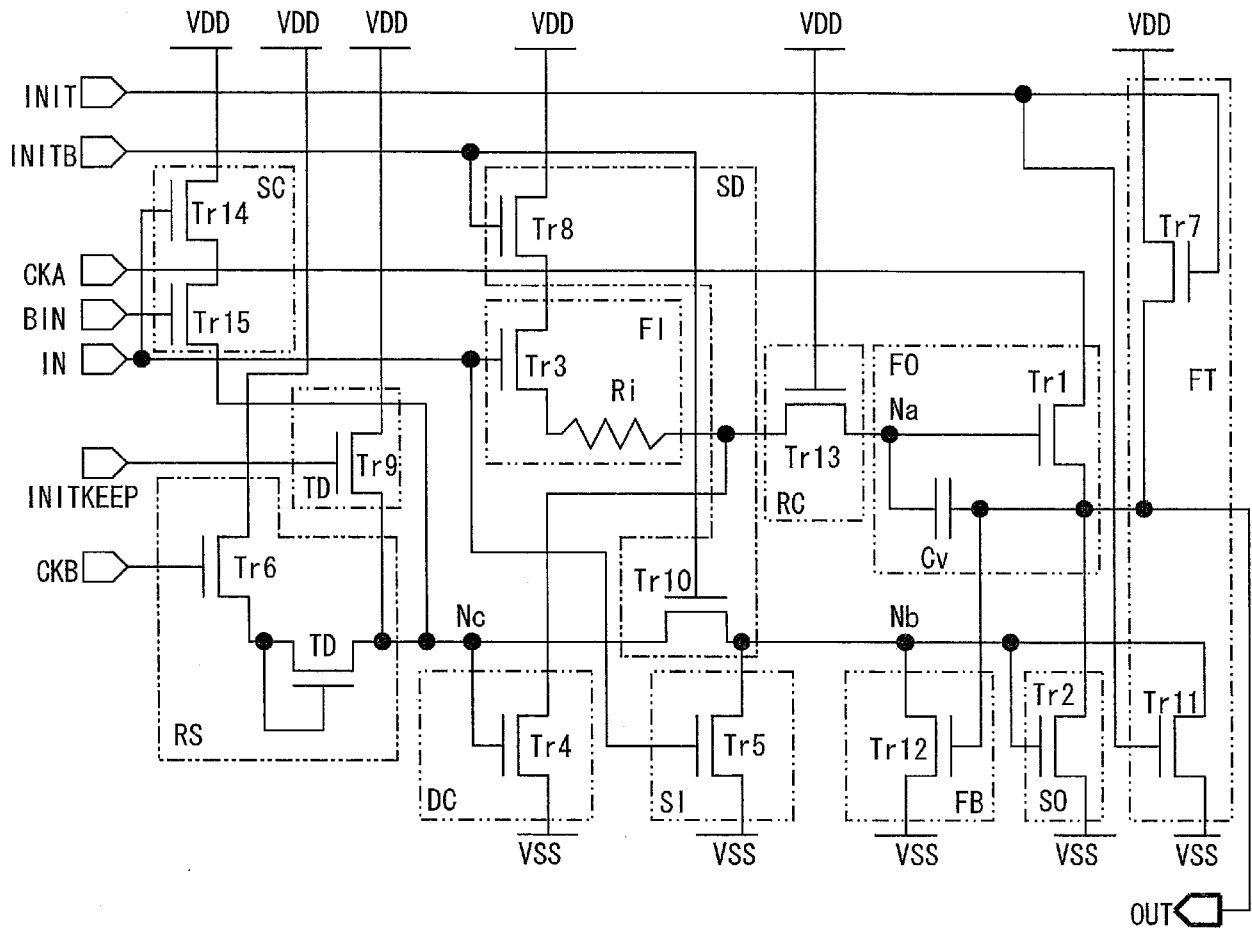
[図13]



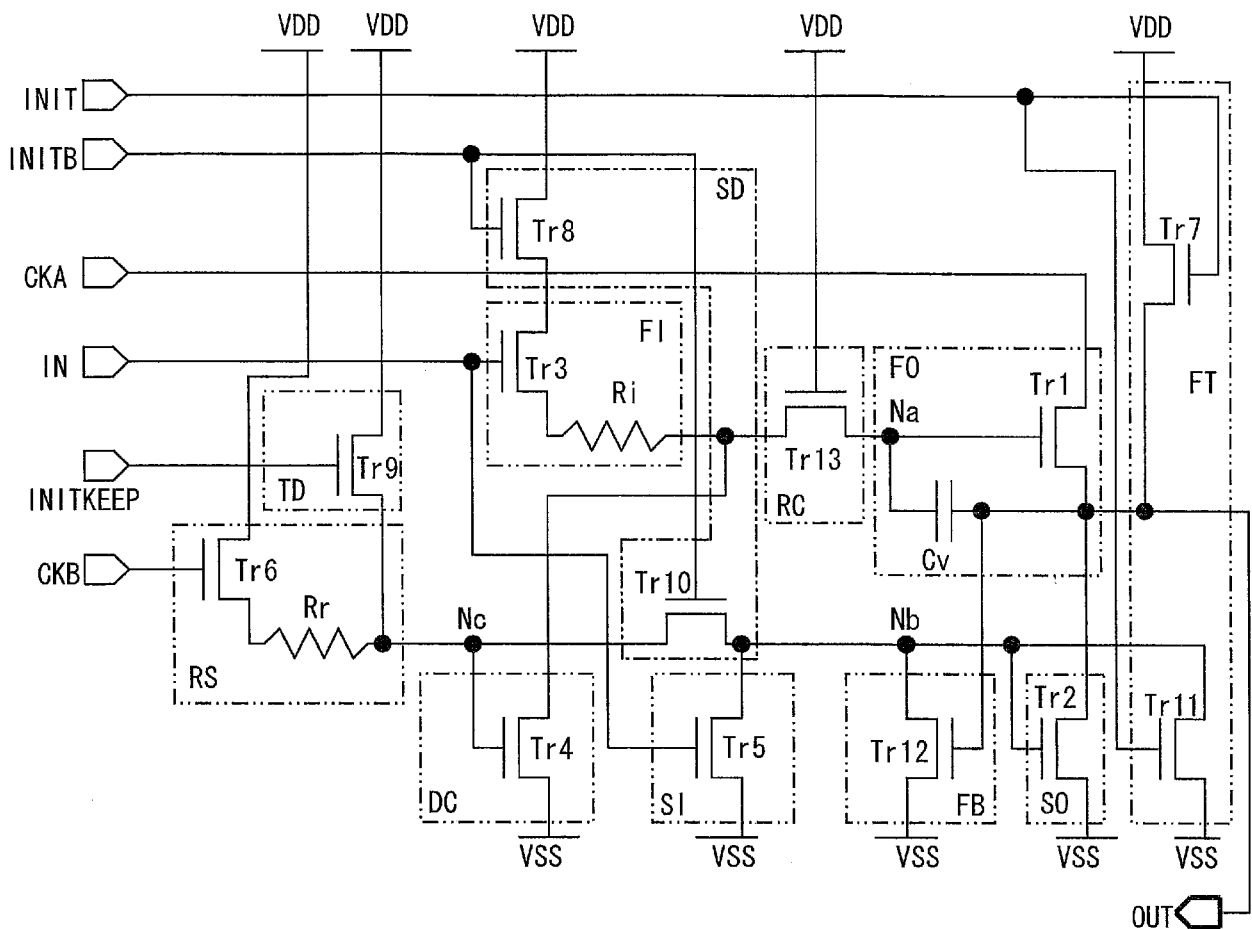
[図14]



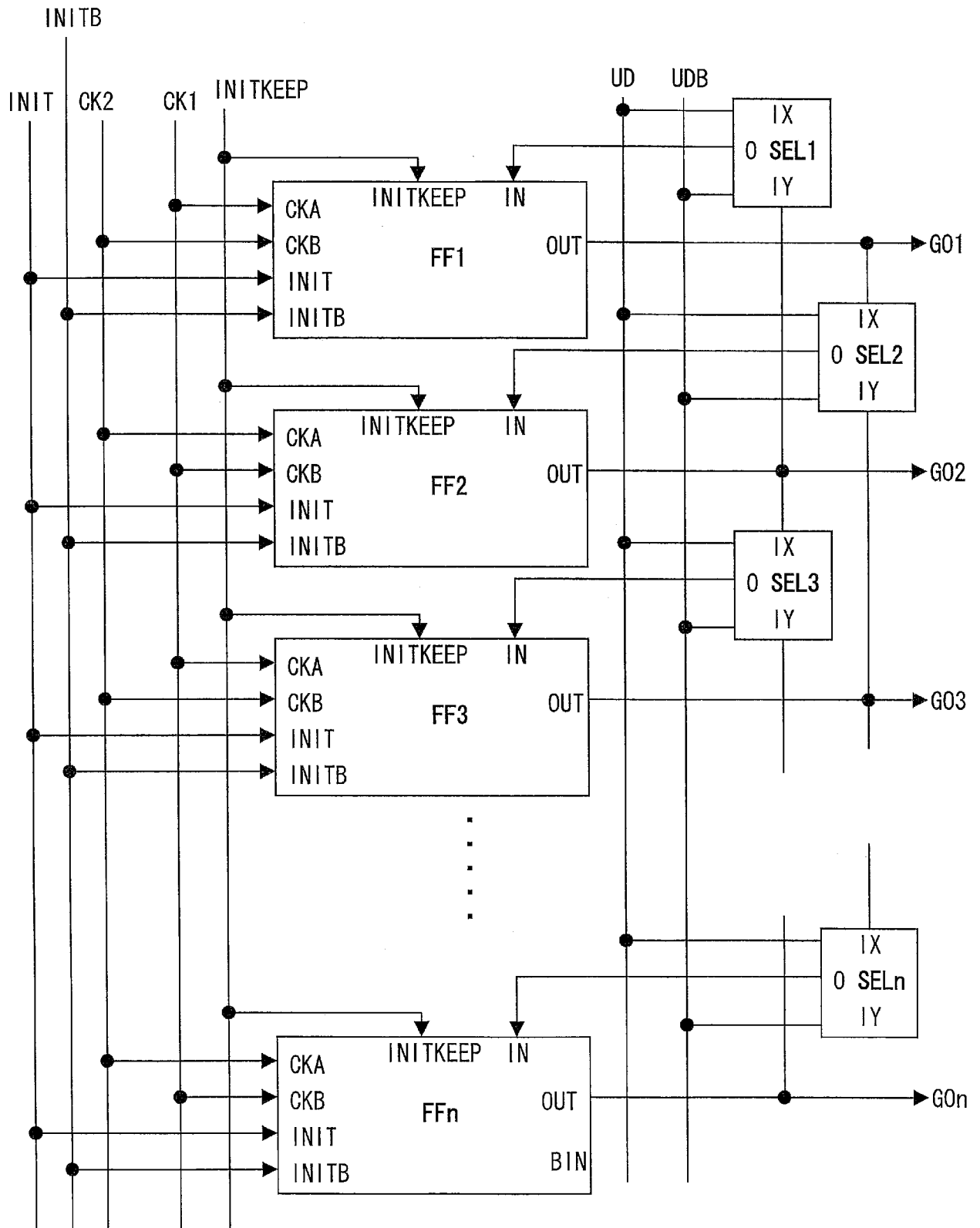
[図15]



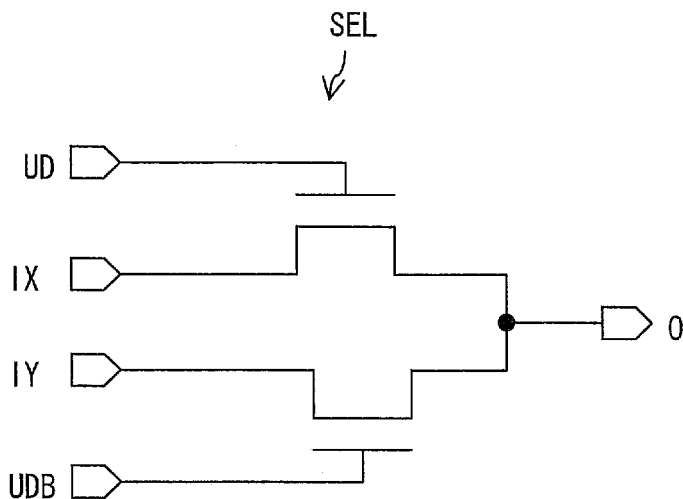
[図16]



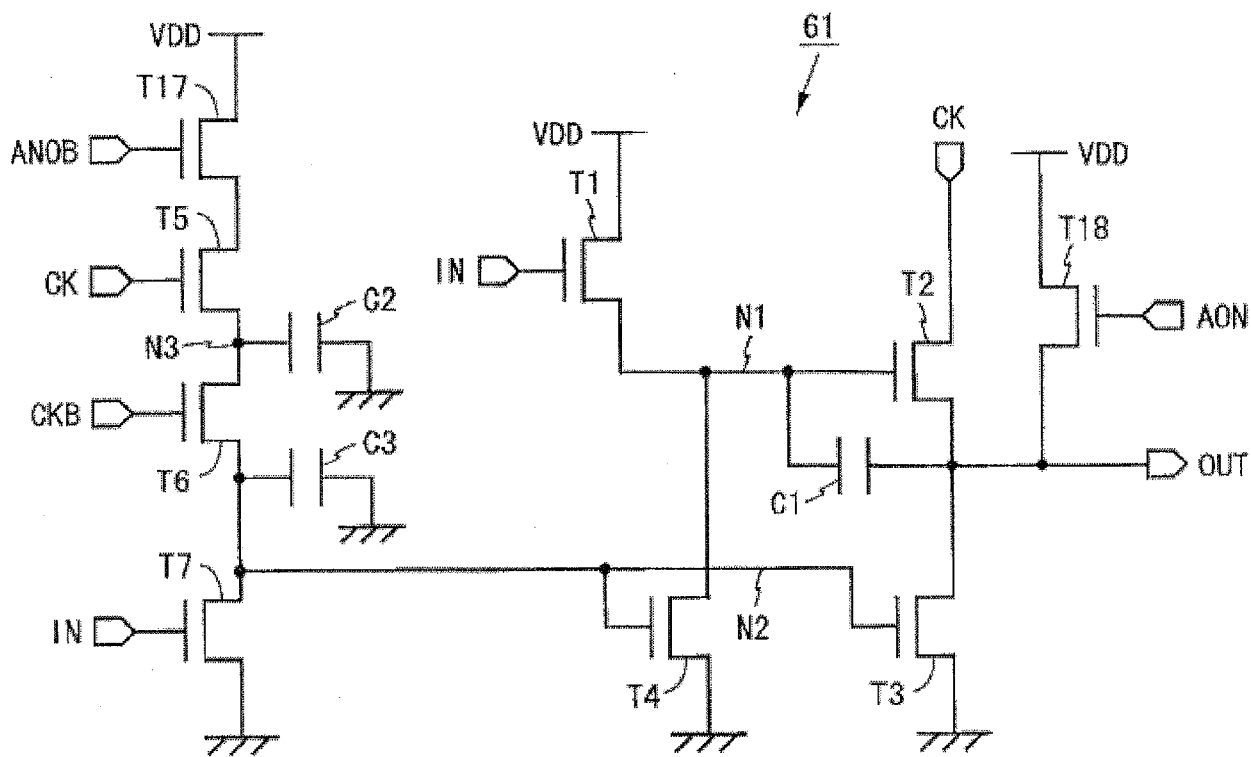
[図17]



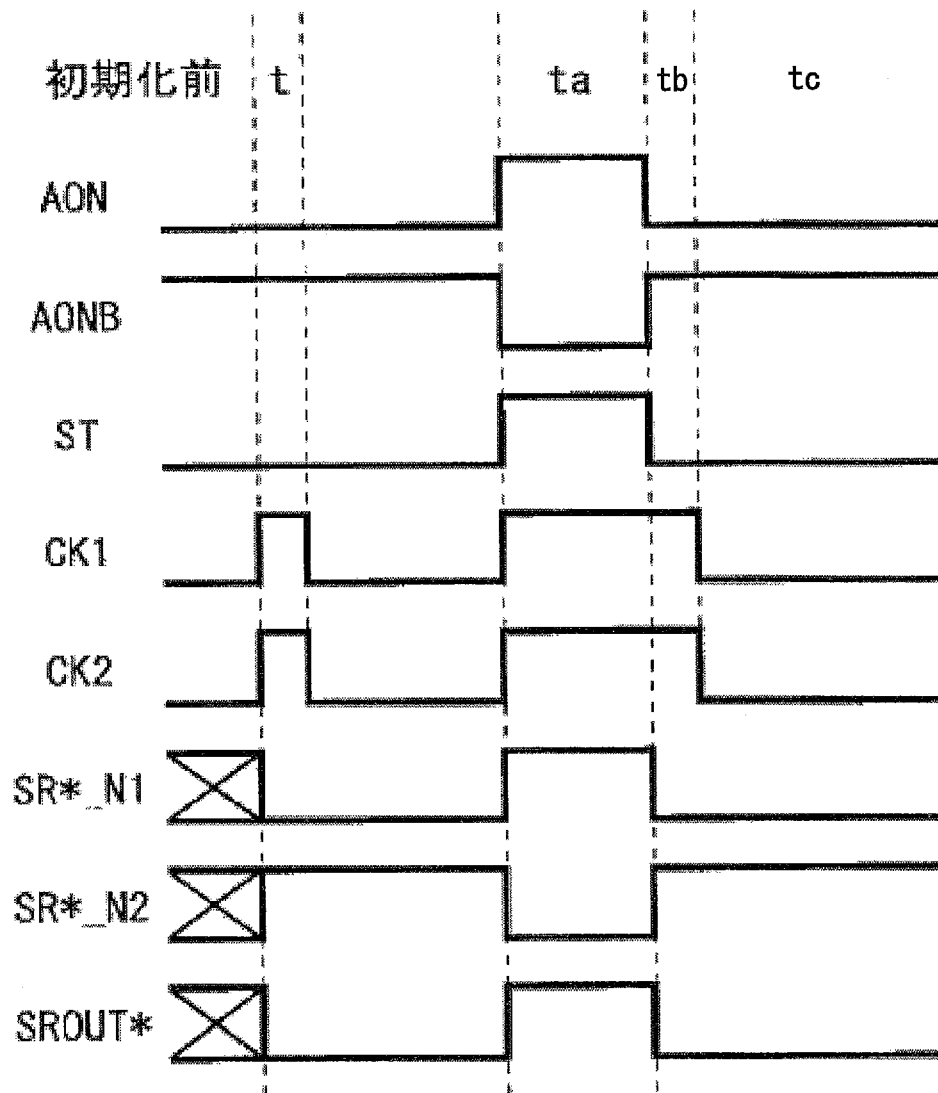
[圖18]



[圖19]



[図20]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 011 / 069827

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> H03K3/356 (2006.01) i, G02F1/133 (2006.01) ± f, G09G3/20 (2006.01) i, G09G3/36 (2006.01) i, G11C19/00 (2006.01) i, G11C19/28 (2006.01) i, H03K1/768 7 (2006.01) i, H03K1/901 75 (2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H 03K3 / 356, G 02 F 1 / 133, G 0 9G3 / 20, G 0 9G3 / 36, G 11 C 19 / 00, G 11 C 19 / 28, H 03K1 7 / 687, H 03K1 9 / 0175 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1 996 Jitsuyo Shinan Toroku Koho 1996-2011 Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994 - 2011 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/034749 A1 (Sharp Corp.), 19 March 2009 (19.03.2009), entire text; fig. 17 & US 2010/0141641 A1 & EP 002189987 A1	1 - 22
A	JP 2001-273785 A (Casio Computer Co., Ltd.), 05 October 2001 (05.10.2001), entire text; all drawings (Family: none)	1 - 22
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 03 October, 2011 (03.10.11)		Date of mailing of the international search report 11 October, 2011 (11.10.11)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer  Telephone No.
Facsimile No.		Telephone No.

<p>A. 発明の属する分野の分類 (国際特許分類 (IPC))</p> <p>IntCl. H03K3/356 (2006. 01) i, G02F1/133 (2006. 01) i, G09G3/20 (2006. 01) i, G09G3/36 (2006. 01) i, GI1C19/00 (2006. 01) i, G11C19/28 (2006. 01) i, H03K17/687 (2006. 01) i, H03K19/0175 (2006. 01) i</p>											
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料 (国際特許分類 (IPC))</p> <p>IntCl. H03K3/356, G02F1/133, G09G3/20, G09G3/36, G11C19/00, G11C19/28, H03K17/687, H03K19/0175</p>											
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <p>≧本 国 実 用 新 案 公 報 1922-1996                  日 本 国 公 開 実 用 新 案 公 報 1971-2011                  日 本 国 実 用 新 案 登 録 公 報 1996-2011                  日 本 国 登 録 実 用 新 案 公 報 1994-2011</p>											
<p>国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)</p> <p style="text-align: center;">年</p>											
<p>C. 関連すると認められる文献</p> <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width:10%;">引用文献の カテゴリー*</th> <th style="width:70%;">引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th style="width:20%;">関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">A</td> <td>WO 2009/034749 A1 (シャープ株式会社) 2009. 03. 19、全文、<input type="checkbox"/>17 &amp; US 2010/0141641 A1 &amp; EP 002189987 A1</td> <td style="text-align: center;">1- 22</td> </tr> <tr> <td style="text-align: center;">A</td> <td>JP 2001-273785 A (カシオ計算機株式会社) 2001. 10. 05、全文、全図 (ファミリーなし)</td> <td style="text-align: center;">1- 22</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	WO 2009/034749 A1 (シャープ株式会社) 2009. 03. 19、全文、 <input type="checkbox"/> 17 & US 2010/0141641 A1 & EP 002189987 A1	1- 22	A	JP 2001-273785 A (カシオ計算機株式会社) 2001. 10. 05、全文、全図 (ファミリーなし)	1- 22
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	WO 2009/034749 A1 (シャープ株式会社) 2009. 03. 19、全文、 <input type="checkbox"/> 17 & US 2010/0141641 A1 & EP 002189987 A1	1- 22									
A	JP 2001-273785 A (カシオ計算機株式会社) 2001. 10. 05、全文、全図 (ファミリーなし)	1- 22									
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。</p>											
<p>* 引用文献のカテゴリー</p> <p>IA」特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>IE」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>I」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>Iθ」口頭による開示、使用、展示等に言及する文献</p> <p>IP」国際出願日前で、かつ優先権の主張の基礎となる出願</p> <p>の日の後に公表された文献</p> <p>け」国際出願日又は優先日後に公表された文献であつて出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>X」特に関連のある文献であつて、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>Y」特に関連のある文献であつて、当該文献と他の1以上の文献との、当業者にとって自明である組合せによつて進歩性がないと考えられるもの</p> <p>&amp;」同一パテントファミリー文献</p>											
<p>国際調査を完了した日</p> <p style="text-align: center;">03. 10. 2011</p>	<p>国際調査報告の発送日</p> <p style="text-align: center;">11. 10. 2011</p>										
<p>国際調査機関の名称及びあて先</p> <p style="text-align: center;">日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号</p>	<p>特許庁審査官 (権限のある職員)</p> <p style="text-align: center;">石田 勝</p> <p>電話番号 03-3581-1101 内線 3596</p>	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:20%;">5X</td> <td style="width:80%;">3572</td> </tr> </table>	5X	3572							
5X	3572										