



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 96121880.0

[43] 授权公告日 2003 年 2 月 5 日

[11] 授权公告号 CN 1101081C

[22] 申请日 1996. 12. 5 [21] 申请号 96121880.0

[30] 优先权

[32] 1996. 5. 24 [33] JP [31] 129921/1996

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 山冈茂 池田丰

审查员 段成云

[74] 专利代理机构 中国专利代理(香港)有限公司

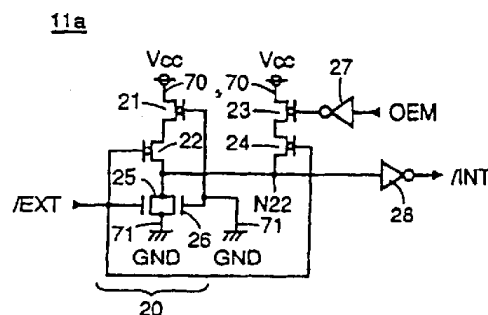
代理人 姜郭厚 叶恺东

权利要求书 2 页 说明书 11 页 附图 4 页

[54] 发明名称 半导体存储装置的输入电路

[57] 摘要

即使在数据输出期间也能提供稳定运行的半导体存储装置的输入电路。P 沟道 MOS 晶体管 24 和 23 串联连接在输入缓冲器 11a 的“或非”门 20 的输出结点 N22 和电源线 70 之间。MOS 晶体管 24 的栅极接收外部信号/EXT, MOS 晶体管 23 的栅极接收允许输出信号的反相信号。在数据输出期间, 信号 OEM 成为“H”电平, MOS 晶体管 23 导通, 因此, 在数据输出期间, 即使电源电位 V_{cc} 低下, 也可以对结点 N22 充分充电, 可以稳定地产生内部信号/INT。



1. 一种半导体存储装置的输入电路,它按照在某一时刻由第一逻辑电位变化到第二逻辑电位的外部信号而产生内部信号,并把这个内部信号提供给内部电路,其特征在于,本发明所述的半导体存储装置的输入电路包括:

连接在第一电源电位线(70)和输出结点(N22)之间,其输入电极接收上述外部信号,相应于上述外部信号从上述第一逻辑电位变化到上述第二逻辑电位而导通的第一通导型的第一晶体管(22);

- 10 连接在与上述第一电位线(70)相异的第二电源电位线(71)和上述输出结点(N22)之间,其输入电极接收上述外部信号,相应于上述外部信号从上述第一逻辑电位变化到上述第二逻辑电位而成为非导通的第二通导型的第二晶体管(25);

在其输入电极接收上述外部信号的第一通导型的第三晶体管(24); 以及

- 15 在上述半导体存储装置的数据输出期间,把上述第三晶体管连接在上述第一电源电位线(70)和上述输出结点(N22)之间的连接装置(23, 27)。

2. 一种半导体存储装置的输入电路,它按照在某一时间由第一逻辑电位变化到第二逻辑电位的外部信号产生内部信号,并把这个内部信号提供给内部电路,其特征在于,本发明所述的半导体存储装置的输入电路包括:

在上述半导体存储装置的数据输出期间启动的第一倒相电路(31),它具有在上述第一逻辑电位和上述第二逻辑电位之间的第一阈值电位,并输出上述外部信号的反相信号,

- 25 在上述半导体存储装置的数据输出期间之外的期间启动的第二倒相电路(32),它具有在上述第一阈值电位和上述第二逻辑电位之间的第二阈值电位,并输出上述外部信号的反相信号, 以及

由上述第一及第二倒相电路中至少一种电路产生与上述第一逻辑电位的输出相应的上述内部信号的逻辑电路(33, 35, 36)。

3. 一种半导体存储装置的输入电路,它按照在某一时刻由第一逻辑电位变化到第二逻辑电位的外部信号产生内部信号,并把这个内部信号提供给内部电路,

其特征在于,它包括:

具有上述第一逻辑电位和上述第二逻辑电位之间的第一阈值电位，输出上述外部信号的反相信号的第一倒相电路（41）；

具有上述第一阈值电位和上述第二逻辑电位之间的第二阈值电位，输出上述外部信号的反相信号的第二倒相电路（42）；

- 5 相应于由上述第一及第二倒相电路中至少一种输出的上述第一逻辑电位，而产生上述内部信号的第一逻辑电路（43，45，46）

相应于由上述第一及第二倒相电路两者输出的上述第一逻辑电位，而产生上述内部信号的第二逻辑电路（43，45，46）；以及

- 10 转换装置（50，51），其功能为：在上述半导体存储装置的数据输出期间，使上述内部电路与上述第一逻辑电路结合，而在其它期间，使上述内部电路与上述第二逻辑电路结合。

4.一种半导体存储装置的输入电路，它按照在某一时间从第一逻辑电位变化到第二逻辑电位的外部信号，产生内部信号，并把这个内部信号提供给内部电路；

- 15 其特征在于，它包括：

串联连接的第一和第二倒相电路（61，66）；用于按照上述外部信号产生上述内部信号，

连接在规定的电位线和上述第二倒相电路输入结点之间，其输入电极接到上述第二倒相电路的输入结点上，相应于上述第二倒相电路的输出从上述第一逻辑电位变化为上述第二逻辑电位而导通，并把上述第二倒相电路的输出固定在上述第二逻辑电位的第一晶体管（65）；

其输入电极接到上述第二倒相电路的输出结点上并具有与上述第一晶体管相同通导形式的第二晶体管（66）；

- 25 相应于从上述半导体存储装置开始输出数据，而输出具有规定脉冲宽度的脉冲信号的脉冲发生装置（62，63），以及

只在由上述脉冲装置输出上述脉冲信号期间，把上述第二晶体管连接在上述电源电位线和上述第二倒相电路的输入结点之间的连接装置（67）。

半导体存储装置的输入电路

发明所属的技术领域

- 5 本发明涉及半导体存储装置的输入电路，尤其是涉及相应于在某一时间从第一逻辑电位变化为第二逻辑电位的外部信号产生内部信号，并把这个内部信号提供给内部电路的半导体存储装置的输入电路。

现有技术

- 10 根据传统的技术，在动态随机存取存储器（以下简称 DRAM）的各控制信号输入端上，安置了输入缓冲器，用于把外部给予的控制信号/EXT 变换为内部控制信号/INT，并把它提供给内部电路。

图 8 是表示现有的 DRAM 输入缓冲器 80 结构的电路图。

- 参照图 8，这个输入缓冲器 80 包含“或非”门 81，反相器 82，P 通道 MOS 晶体管 83。“或非”门 81 的一个输入结点 81a 接收外部信号/EXT，另一个输入结点 81b 与接地电位 GND 的线（以下称为接地线）15 71 相连。

- 如图 9 所示，“或非”门 81 包含串联在电源线 70 和输出结点 N81 之间的 P 沟道 MOS 晶体管 91，92，和并联在输出结点 N81 和接地线 71 之间的 N 沟道 MOS 晶体管 93，94。MOS 晶体管 92 和 93 的栅极 20 接到一个输入结点 81a，而 MOS 晶体管 91 和 94 的栅极接到另一个输入结点 81b。因为“或非”门 81 的另一个输入结点 81b 接地，所以“或非”门 81 对外部信号/EXT 是作为由 MOS 晶体管 92，93 构成的反相器运行的。

- 反相器 82 接收“或非”门 81 的输出，而输出内部信号/INT。P 25 沟道 MOS 晶体管 83 连接在电源电位线 Vcc（以下称为电源线）70 和反相器 82 的输入结点之间，其栅极接收反相器 82 的输出。反相器 82 和 P 沟道 MOS 晶体管 83 构成半个锁存电路。

- 当外部信号/EXT 从非激活电平的“H”电平降落到激活电平的“L”电平时，反相器 82 的输出，即内部信号/INT，由“H”电平降落到“L”电平，P 沟道 MOS 晶体管 83 导通，内部信号/INT 锁定在 30 “L”电平。当外部信号/EXT 由激活电平的“L”电平上升到非激活

电平的 H 电平时, 则内部信号/INT 由“L”电平上升到“H”电平, P 沟道 MOS 晶体管 83 不导通, 半锁存解除。

发明解决的课题

因为现有的输入缓冲器 80 由以上所述的结构构成, 当开始从
5 DRAM 输出数据, 而电源电位 V_{cc} 暂时下降时, 在外部信号/EXT 处在激活电平的“L”电平期间, “或非”门 81 的输出结点 N81 的电位降低, 反相器 82 的输出, 即内部信号/INT 的电平, 稍有上升。结果, 存在由内部信号/INT 控制的内部电路发生误动作的问题。

因此, 本发明的主要目的是提供一种即使在数据输出期间也稳定运
10 行的半导体存储装置的输入电路。

解决上述课题采用的方法

根据权利要求 1 有关的发明, 是相应于在某一时间由第一逻辑电位变化到第二逻辑电位的外部信号, 产生内部信号, 并把这个内部信号提供给内部电路的半导体存储装置的输入电路; 此半导体存储装置的输入
15 电路配备有:

连接在第一电源电位线和输出结点之间, 其输入电极接受外部信号, 相应于外部信号从第一逻辑电位变化为第二逻辑电位而导通的第一通导型的第一晶体管;

连接在与第一电源电位不同的第二电源电位线和输出结点之间, 其
20 输入电极接受外部信号, 相应于外部信号从第一逻辑电位变化为第二逻辑电位而成为非导通的第二通导型第二晶体管;

其输入电极接受外部信号的第一通导型的第三晶体管及

在半导体存储装置的数据输出期间把第三晶体管连接在第一电源电位线和输出结点之间的连接装置。

根据权利要求 2 有关的发明, 是相应于在某一时间从第一逻辑电位变化为第二逻辑电位的外部信号, 而产生内部信号, 并把这个内部信号提供给内部电路的半导体存储装置的输入电路, 此半导体存储装置的输入
25 电路配备有:

在半导体存储装置的数据输出期间启动, 具有第一逻辑电位和第二
30 逻辑电位之间的阈值电位, 输出外部信号的反相信号的第一倒相电路; 在半导体存储装置的数据输出期间以外的时间启动, 具有第一阈值电位和第二逻辑电位之间的第二阈值电位, 输出外部信号的反相信号的第二

倒相电路；以及

相应于从第一及第二倒相电路中至少一种输出第一逻辑电位，而产生内部信号的逻辑电路；

- 5 此外，根据权利要求3有关的发明，是相应于在某一时间从第一逻辑电位变化为第二逻辑电位的外部信号，而产生内部信号，并把这个内部信号提供给内部电路的半导体存储装置的输入电路，它配备有：

具有第一逻辑电位和第二逻辑电位之间的第一阈值电位，输出外部信号的反相信号的第一倒相电路；

- 10 具有第一阈值电位和第二逻辑电位之间的第二阈值电位，输出外部信号的反相信号的第二倒相电路；

相应于从第一及第二倒相电路中至少一种输出第一逻辑电位，而产生内部信号的第一逻辑电路；

- 15 相应于从第一及第二倒相电路两者输出第一逻辑电位，而产生内部信号的第二逻辑电路；以及在半导体存储装置的数据输出期间使第一逻辑电路与内部电路相结合，而在其它时间使第二逻辑电路与内部电路相结合的转换装置。

此外，根据权利要求4有关的发明，是相应于在某一时间从第一逻辑电位变化为第二逻辑电位的外部信号，而产生内部信号，并把这个内部信号提供给内部电路的半导体存储装置的输入电路，它配备有：

- 20 用以按照外部信号产生内部信号的串联连接的第一及第二倒相电路；

- 25 连接在电源电位线和第二倒相电路的输入结点之间，其输入电极接在第二倒相电路的输出结点上，相应于第二倒相电路的输出从第一逻辑电位变化为第二逻辑电位而导通，并把第二倒相电路的输出固定在第二逻辑电位的第一晶体管；

与其输入电极连接在第二倒相电路的输出结点上的第一晶体管具有相同通导形式的第二晶体管；

- 30 相应于由半导体存储装置开始的数据的输出，而输出规定脉冲宽度的脉冲信号的脉冲发生装置；以及只在由脉冲发生装置输出脉冲信号期间，把第二晶体管接到电源电位线和第二倒相电路输入结点之间的连接装置。

附图的简单说明

图 1 说明本发明原理的方框图。

图 2 表示本发明实施例 1 的 DRAM 结构的方框图。

图 3 表示图 2 所示的 DRAM 的输入缓冲器结构的电路图。

图 4 表示本发明实施例 2 的 DRAM 的输入缓冲器结构的电路图。

5 图 5 表示本发明实施例 3 的 DRAM 的输入缓冲器结构的电路图。

图 6 表示本发明实施例 4 的 DRAM 的输入缓冲器结构的电路方块图。

图 7 说明图 6 所示的输入缓冲器运行的时间图。

图 8 表示现有的 DRAM 输入缓冲器结构的电路图。

10 图 9 表示图 8 所示的“或非”门结构的电路图。

符号说明

1 ~ 4: 控制信号输入端子, 5: 行地址信号输入端子群, 6: 列地址信号输入端子群, 7: 数据输入端子, 8: 数据输出端子, 10: 内部电路, 11: 输入缓冲器群, 11a,30,40,60,80: 输入缓冲器, 12: 控制电路, 12a: OEM 发生电路, 13: 存储单元阵列, 14: 行地址缓冲器群, 15: 行译码器, 16: 列地址缓冲器群, 17: 列译码器, 18: 读出放大器 + 输入/输出控制电路, 19: 输入/输出电路, 19a: 输出缓冲器, 20, 31, 32, 41 ~ 43, 61, 81: “或非”门, 21 ~ 24, 38, 39, 48, 49, 65 ~ 67, 83, 91, 92: P 沟道 MOS 晶体管, 25, 26, 93, 94: N 沟道 MOS 晶体管, 27, 28, 34 ~ 37, 45 ~ 47, 64, 82: 反相器, 33, 34, 62: “与非”门, 50, 51: 传输门, 63: 延迟电路。

发明的实施形式

25 在说明实施例之前, 首先说明本发明的原理。图 1 表示读出操作时的 DRAM 结构方框图。

参照图 1, 输入缓冲器 11a 根据外部信号/EXT 而产生内部信号/INT, 并提供给内部电路 10。内部电路 10 根据内部信号/INT, 将由存储单元阵列读出的数据, 经总信号输入/输出线对 GIO 提供给输出缓冲器 19a。包含在内部电路 10 内的 OEM 发生电路 12a 把允许输出信号 OEM 在规定的时间内提供给输出缓冲器 19a。输出缓冲器 19a, 响应允许输出信号 OEM, 放大由内部电路 10 提供的数据, 并向外部输出。

在此数据输出期间, 发生电源噪声, 输入缓冲器 11a 易发生误动作

(V_{IL} 故障)。因此,本发明把允许输出信号 OEM 提供给输入缓冲器 11a, 为的是在输入缓冲器 11a 的初级反相器的充电电流与放电电流之比随允许输出信号 OEM 而增大, 或半锁存电路的锁存能力响应允许输出信号 OEM 而增大, 从而防止了数据输出期间输入缓冲器 11a 的误动作

以下用图详细说明本发明。

实施形式 1

图 2 表示本发明实施例 1 的 DRAM 结构方框图。参照图 1, 这个 DRAM 装备有: 控制信号输入端子 1 ~ 4, 行地址信号输入端子群 5, 列地址信号输入端子群 6, 数据输入端子 7 及数据输出端子 8。此外, 这个 DRAM 还装备有: 输入缓冲器群 11, 控制电路 12, 存储单元阵列 13, 行地址缓冲器群 14, 行译码器 15, 列地址缓冲器群 16, 列译码器 17, 读出放大器 + 输入/输出控制电路 18 和输入/输出电路 19。

输入缓冲器群 11 包含有与各控制信号输入端子 1 ~ 4 对应设置的输入缓冲器 11a, 通过控制信号输入端子 1 ~ 4 把外部提供的控制信号 ext/RAS, ext/CAS, ext/WE, ext/OE 分别变换为内部信号, 提供给控制电路 12。控制电路 12 基于由输入缓冲器群 11 提供的内部信号, 选择规定的工作模式, 控制 DRAM 整体。

存储单元阵列 13 包含多个存储单元, 各存储 1 比特 (bit) 数据。各存储单元配置在由行和列地址决定的规定地址上。

行地址缓冲器群 14 通过行地址信号输入端子群 5, 把外部提供的行地址信号变换为内部行地址信号, 并提供给行译码器 15。行译码器 15, 响应由行地址缓冲器群 14 提供的内部行地址信号, 指定存储单元阵列 13 的行地址。

列地址缓冲器群 16, 通过列地址信号输入端子群 6, 把外部提供的列地址信号变换为内部列地址信号并提供给列译码器 17。列译码器 17, 响应由列地址缓冲器群 16 提供的内部列地址信号, 指定存储单元阵列 13 的列地址。

读出放大器 + 输入/输出控制电路 18 把由行译码器 15 和列译码器 17 指定的地址的存储单元连接到总信号输入/输出线对 GIO 的一端。

总信号输入/输出线对 GIO 的另一端连接到输入/输出电路 19 上。输入/输出电路 19 在写入操作时, 把从数据输入端子 7 输入的数据通过

总信号输入/输出线对 GIO，提供给所选择的存储单元，而在读出操作时，由所选择的存储单元来的读出数据，在数据输出端子 8 上输出。

顺便指出，图 1 的输入缓冲器 11a 是包含在图 2 的输入缓冲器群 11 内的电路。图 1 的 OEM 发生电路 12a 是包含在图 2 的控制电路 12 内的电路，图 1 的输出缓冲器 19a 是包含在图 2 的输入/输出电路 19 内的电路，而图 1 的内部电路 10 表示除图 2 的电路中的输入缓冲器群 11 及输入/输出电路 19 以外的一切电路。

图 3 是表示输入缓冲器 11a 结构的电路图。参照图 3，此输入缓冲器 11a 包含有 P 沟道 MOS 晶体管 21 ~ 24，N 沟道 MOS 晶体管 25，26，以及反相器 27，28；而 P 沟道 MOS 晶体管 21，22 以及 N 沟道 MOS 晶体管 25，26 构成“或非”门 20。

P 沟道 MOS 晶体管 21 和 22 串联连接在电源线 70 和结点 N22 之间，N 沟道 MOS 晶体管 25 和 26 并联连接在结点 N22 和接地线 71 之间。MOS 晶体管 22 和 25 的栅极两者接收外部信号/EXT（ext/RAS，ext/CAS，ext/WE 或 ext/OE）。MOS 晶体管 21 和 26 的栅极两者都接地。

P 沟道 MOS 晶体管 23 和 24 串联连接在电源线 70 和结点 N22 之间。允许输出信号 OEM 通过反相器 27 输入到 P 沟道 MOS 晶体管 23 的栅极上。P 沟道 MOS 晶体管 24 的栅极接到 MOS 晶体管 22，25 的栅极上。反相器 28 的输入结点接到结点 N22 上，其输出成为内部信号/INT。

以下说明图 3 所示的输入缓冲器 11a 的工作。允许输出信号 OEM 处在非激活电压的“L”电平，在输出缓冲器 19a 并不输出数据期间，P 沟道 MOS 晶体管 23 非导通。因此，当外部信号处于“H”电平时，结点 N22 的电荷通过 N 沟道 MOS 晶体管 25 流到接地线 71，结点 N22 放电到“L”电平，内部信号/INT 成为“H”电平。此外，当外部信号/EXT 处于“L”电平时，电荷由电源线 70 通过 P 沟道 MOS 晶体管 21，22 流入结点 N22，结点 N22 充电到“H”电平，内部信号/INT 成为“L”电平。

此外，当允许输出信号 OEM 成为活性化电平的“H”电平，在由输出缓冲器 19a 输出数据期间，P 沟道 MOS 晶体管 23 导通。因此，在外部信号/EXT 处于“H”电平时，结点 N22 的电荷通过 N 沟道 MOS

晶体管 25 流到接地线 71，结点 N22 放电到“L”电平，内部信号/INT 成为“H”电平。此外，当外部信号/EXT 到达“L”电平时，电荷由电源线 70 通过 P 沟道 MOS 晶体管 21，22，流入结点 N22 的同时，通过 P 沟道 MOS 晶体管 23，24，电荷流入结点 N22，结点 N22 充电到“H”电平，内部信号/INT 成为“L”电平。

在本实施例中，因为在数据输出期间用于结点 N22 充电的晶体管由通常的一个（P 沟道 MOS 晶体管 22）增加到二个（P 沟道 MOS 晶体管 22 和 24），充电能力增加，因此，即使在数据输出期间，电源电位 Vcc 暂时降低，结点 N22 也可以充分充电。于是，即使在数据输出期间，也可以促使内部信号/INT 稳定地产生，能防止内部电路 10 的误动作。

实施例 2

图 4 是表示本发明实施例 2 的 DRAM 的输入缓冲器 30 的结构电路图。

参照图 4，该输入缓冲器 30 包含“或非”门 31，32，“与非”门 33，反相器 34 ~ 37 以及 P 沟道 MOS 晶体管 38，39。“或非”门 31 的充电电流和放电电流之比设定为比“或非”门 32 的大。具体而言，“或非”门 31 充电用的 P 沟道 MOS 晶体管（见图 3 的 P 沟道 MOS 晶体管 21，22）的驱动能力也设定为比“或非”门 32 的大。换言之，“或非”门 31 对外部信号/EXT 的阈值（ V_{IL} 电平）也设定为比“或非”门 32 的阈值高。“或非”门 31 的阈值，在数据输出期间，设定为最佳值，而“或非”门 32 的阈值，在上述时间之外的期间，设定为最佳值。

外部信号/EXT 输入到“或非”门 31，32 一个输入结点。在允许输出信号 OEM 通过反相器 34 输入到“或非”门 31 的另一个输入结点的同时，直接输入到“或非”门 32 的另一个输入结点。“或非”门 31 的输出，通过反相器 35，输入到“与非”门 33 的一个输入结点。P 沟道 MOS 晶体管 38 接在电源线 70 和反相器 35 的输入结点之间，其栅极接收反相器 35 的输出。反相器 35 和 P 沟道 MOS 晶体管 38 构成半锁存电路。“或非”门 32 的输出通过反相器 36 输入到“与非”门 33 的另一个输入结点。P 沟道 MOS 晶体管 39 接在电源线 70 和反相器 36 的输入结点之间，其栅极接收反相器 36 的输出。反相器 36 和 P 沟道 MOS 晶体管 39 构成半锁存电路。“与非”门 33 的输出，输入到反相器 37 上。反相器 37 的输出构成内部信号/INT。

以下说明图 4 所示输入缓冲器 30 的工作。允许输出信号 OEM 处在“L”电平，在输出缓冲器 19 未输出数据期间，“或非”门 31 的输出固定在“L”电平，“与非”门 33，相对反相器 36 的输出，作为反相器运行。而“或非”门 32，相对外部信号/EXT，作为反相器运行。因此，
5 当外部信号/EXT 处于“H”电平时，“或非”门 32 的输出结点 N32 放电到“L”电平，内部信号/INT 成为“H”电平。当外部信号/EXT 成为“L”电平时，“或非”门 32 的输出结点 N32 充电到“H”电平，而内部信号/INT 到达“L”电平。

在允许输出信号 OEM 处于“H”电平，输出缓冲器 19a 输出数据
10 期间，“或非”门 32 的输出固定在“L”电平，“与非”门 33 相对反相器 35 的输出，作为反相器运行，而“或非”门 31 相对外部信号/EXT，作为反相器运行。因此，当外部信号/EXT 处在“H”电平时，“或非”门 31 的输出结点 N31 放电到“L”电平，内部信号/INT 到达“H”电平。此外，当外部信号/EXT 到达“L”电平时，“或非”门 31 的输出
15 结点 N31 充电到“H”电平，内部信号/INT 到达“L”电平。

在本实施例中，在数据输出期间，使用大比值的“或非”门 31，在其它时间，使用小比值的“或非”门 32，所以，在各个期间，内部信号/INT 能稳定地产生，防止了内部电路 10 的误动作。

实施例 3

20 图 5 是表示本发明实施例 3 的 DRAM 输入缓冲器 40 结构的电路图。

参照图 5，这个输入缓冲器 40 包含有“或非”门 41 ~ 43，“与非”门 44，反相器 45 ~ 47，P 沟道 MOS 晶体管 48，49 以及传输门 50，51。设定“或非”门 41 的充电电流与放电电流的比率也比“或非”
25 门 42 的大。

“或非”门 41，42 各自的一个输入结点都接收外部信号/EXT，各自的另一个输入结点都接地。“或非”门 41 的输出通过反相器 45，输入到“或非”门 43 和“与非”门 44 的一个输入结点。“或非”门 42 的输出通过反相器 46，输入到“或非”门 43 以及“与非”门 44 的另
30 一个输入结点。P 沟道 MOS 晶体管 48 接在电源线 70 和反相器 45 的输入结点之间，其栅极接收反相器 45 的输出。P 沟道 MOS 晶体管 49 接在电源线 70 和反相器 46 的输入结点之间，其栅极接收反相器 46 的输

出。

传输门 50 接在“或非”门 43 的输出结点和反相器 47 的输入结点之间，它在 P 沟道 MOS 晶体管一侧栅极 50a 接收信号 OEM，而它在 N 沟道 MOS 晶体管一侧的栅极 50b 接收信号 OEM 的反相信号/OEM。

- 5 传输门 51 接在“与非”门 44 的输出结点和反相器 47 的输入结点之间，它在 P 沟道 MOS 晶体管一侧的栅极 51a 接收信号 OEM 的反相信号/OEM，而它在 N 沟道 MOS 晶体管一侧的栅极 51b 接收信号 OEM。反相器 47 的输出成为内部信号/INT。

- 10 以下说明图 5 所示的缓冲器 40 的运行。允许输出信号 OEM 处在“L”电平，在输出缓冲器 19a 未输出数据期间，传输门 50 导通，而传输门 51 不导通。因此，外部信号/EXT 到达“L”电平，“或非”门 41，42 的输出都成为“H”电平时，内部信号/INT 成为“L”电平。

- 此外，在允许输出信号 OEM 处在“H”电平，输出缓冲器 19a 输出数据期间，传输门 51 导通，传输门 50 非导通。因此，外部信号/EXT 15 成为“L”电平，“或非”门 41，42 的输出中至少有一个成为“H”电平时，内部信号/INT 成为“L”电平。

在本实施例中，除了可以获得与实施例 2 相同效果外，在数据输出期间可以迅速地把内部信号/INT 提供给内部电路 10，而在其它时间，可以把内部信号可靠地提供给内部电路 10。

20 实施例 4

图 6 是表示本发明实施例 4 的 DRAM 的输入缓冲器 60 结构的电路方框图。

- 参照图 6，这个输入缓冲器 60 包含“或非”门 61，“与非”门 62，延迟电路 63，反相器 64 以及 P 沟道 MOS 晶体管 65 ~ 67。“或非” 25 门 61 的一个输入结点接收外部信号/EXT，而另一个输入结点接地，其输出，输入到反相器 64 上。反相器 64 的输出成为内部信号/INT。

- P 沟道 MOS 晶体管 65 接在电源线 70 和反相器 60 的输入结点 N61 之间，其栅极接收反相器 64 的输出。P 沟道 MOS 晶体管 67，66 串联连接在电源线 70 和反相器 64 的输入结点 N61 之间，P 沟道 MOS 晶体 30 管 66 的栅极接收反相器 64 的输出。

信号 OEM，通过延迟电路 63，输入到“与非”门 62 的一个输入结点上，同时，直接输入到“与非”门 62 的另一个输入结点上。“与

非”门 62 的输出 $\phi 62$ 输入到 P 沟道 MOS 晶体管 67 的栅极上。

延迟电路 63 包含串联连接的奇数个反相器，其延迟时间为 5ns。

“与非”门 62 和延迟电路 63 构成脉冲发生电路，相应于信号 OEM 由“L”电平上升到“H”电平（如图 7 所示），输出脉冲宽度为 5ns

5 的负脉冲。

以下说明这个输入缓冲器 60 的运行。允许输出信号 OEM 处于“L”电平，在输出缓冲器 19a 未输出数据期间，“与非”门 62 的输出 $\phi 62$ 达到“H”电平，P 沟道 MOS 晶体管 63 成为非导通。这时，输入缓冲器 60 成为与图 8 所示的现有输入缓冲器 80 相同的结构。

10 其次，当允许输出信号 OEM 由“L”电平上升到“H”电平，输出缓冲器 19a 开始输出数据时，“与非”门 62 输出负脉冲，在 5ns 时间，P 沟道 MOS 晶体管导通。所以在这 5ns 期间，外部信号/EXT 由“H”电平下降到“L”电平时，反相器 64 的输入结点 N61 通过 P 沟道 MOS 晶体管 65 和 P 沟道 MOS 晶体管 66，67 两个通道充电。在经过 15 5ns 之后，P 沟道 MOS 晶体管 67 成为非导通，反相器 64 的输入结点 N61 的充电只经过 P 沟道 MOS 晶体管 65 进行。

采用本实施例，由数据输出开始，在 5ns 时间内，为反相器 64 的输入结点 N61 充电用的晶体管由一般一只（P 沟道 MOS 晶体管 65）增加到二只（P 沟道 MOS 晶体管 65 和 66），充电能力增加，因此，20 即使在此期间，电源电位 Vcc 下降，也可以对反相器 64 的输入结点 N61 充分充电。因此，内部信号/IND 可以稳定地产生，防止了内部电路的误动作。

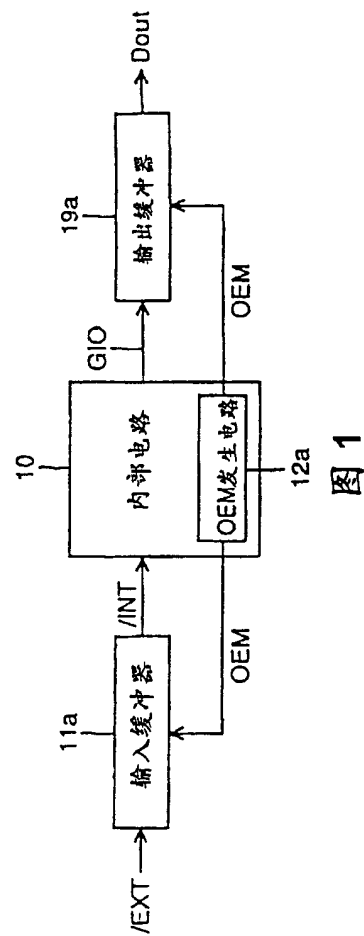
如上所述，在权利要求 1 所涉及的发明中，设置充电用的第一和第三晶体管及放电用的第二晶体管，通常只使用第一和第二晶体管，在数据输出期间使用第一～第三晶体管。因此，即使在数据输出期间电源电位暂时下降，也能对输出结点充分充电。从而能稳定地产生内部信号，能防止内部电路的误动作。

此外，在与权利要求 2 有关的发明中，设置有：在数据输出期间被激活的输出容易反相的第一反相电路以及在其它时间被激活的输出难以反相的第二反相电路，相应于第一及第二反相电路中至少一种电路的输出反相，而产生内部信号。所以，即使在输出数据期间电源电位暂时下降，也可以按照第一倒相电路的输出稳定地产生内部信号，能防止内 30

部电路的误动作。

- 在权利要求3所涉及的发明中，设置有输出容易倒相的第一倒相电路和输出难以倒相的第二倒相电路，在数据输出期间，对应于第一和第二倒相电路的输出中至少一个输出倒相而产生内部信号在其他期间对应于第一和第二倒相电路两者的输出都倒相而产生内部信号。因此，即使5 在数据输出期间电源电位暂时下降，也能按照第一倒相电路的输出稳定地产生内部信号，能防止内部电路误动作。

- 在权利要求4所涉及的发明中，设置有用以使半锁存电路的输入结点充电的第一和第二晶体管，在开始输入数据中输出脉冲信号的脉冲发生装置，在脉冲发生装置输出脉冲期间使用第一和第二晶体管，在其它10 期间只使用第一晶体管。因此即使在数据输出开始时电源电位暂时下降，半锁存电路的输入结点也能充分充电。因而能稳定地产生内部信号，能防止内部电路的误动作。



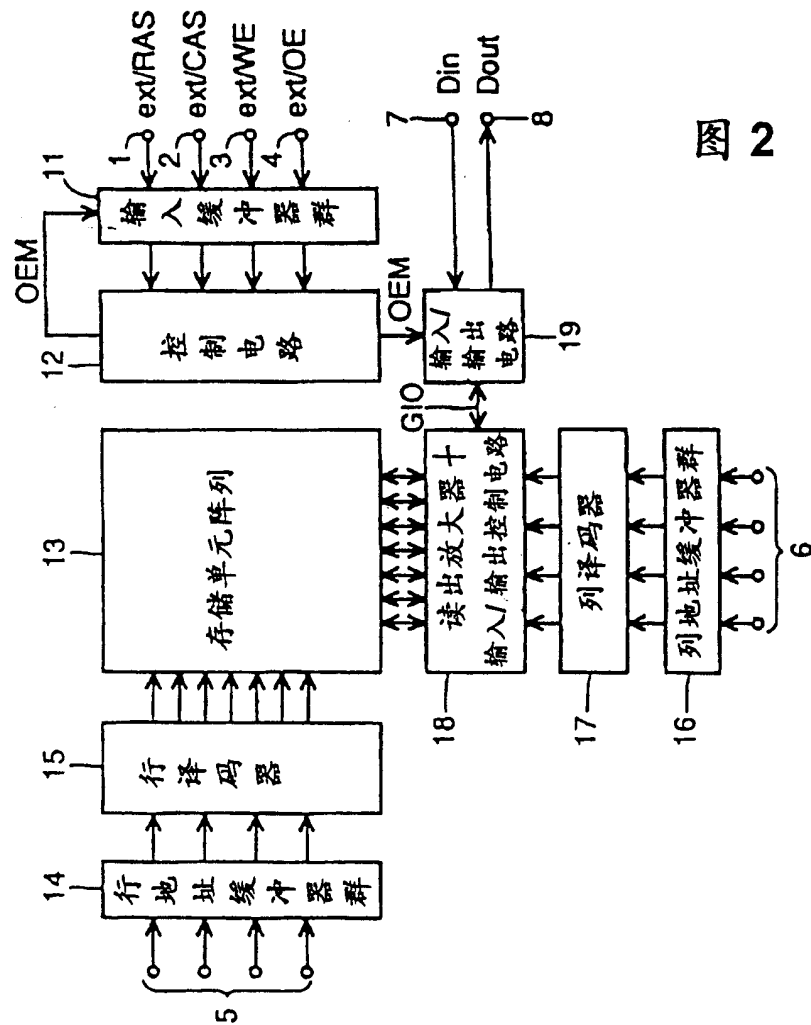
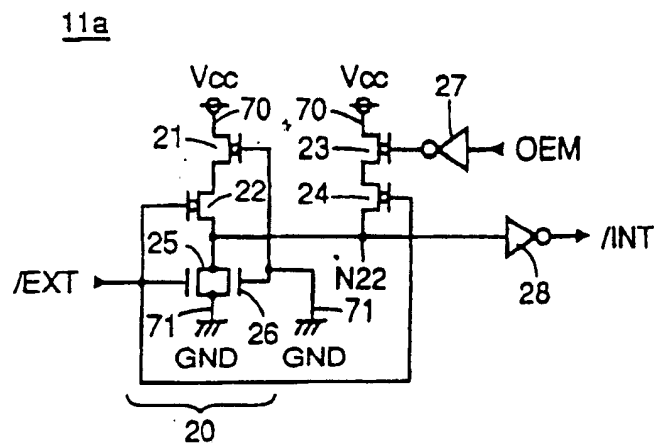


图 2

图 3



30

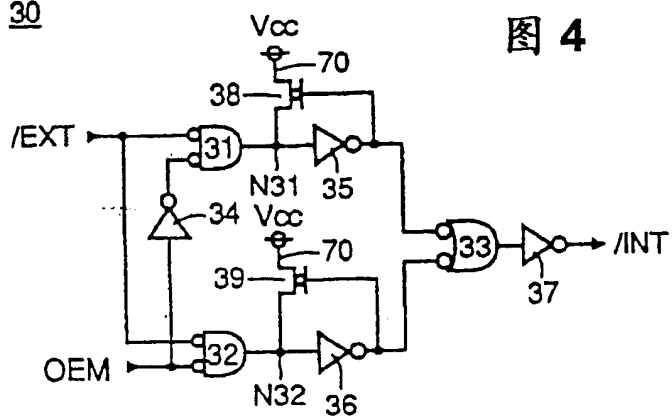


图 4

40

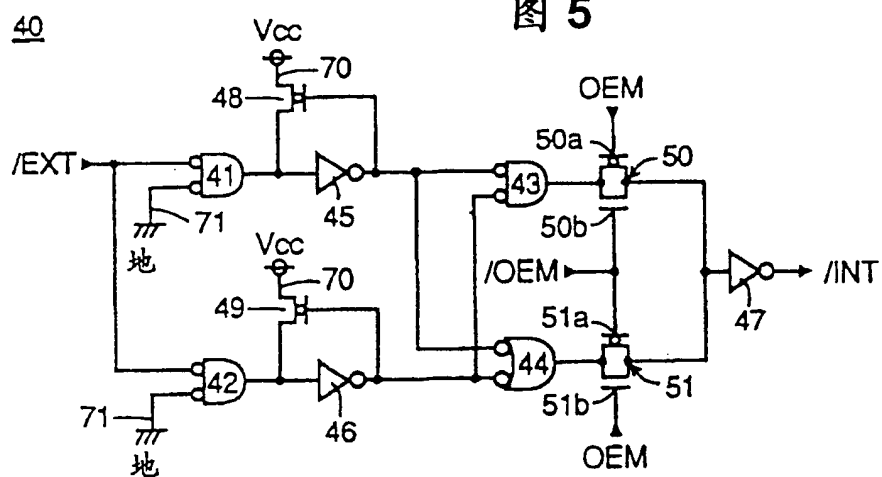


图 5

60

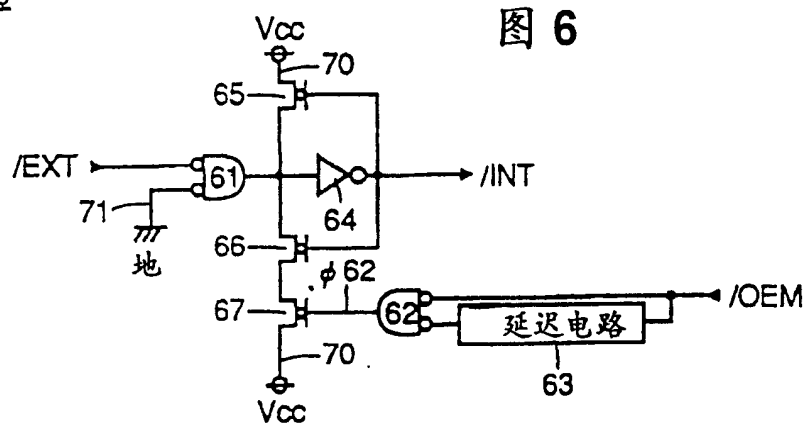


图 6

图 7

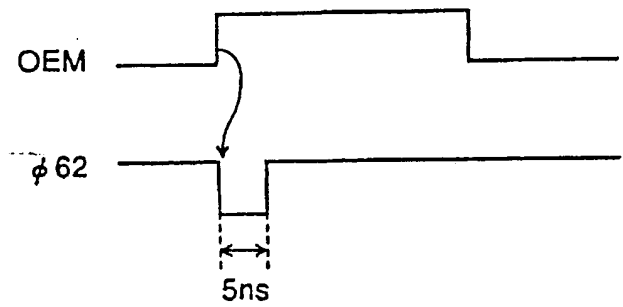


图 8

现有技术

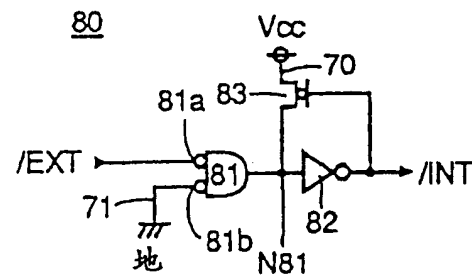


图 9

现有技术

