

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 29 年 7 月 27 日 (2017.7.27)

【公表番号】特表 2015-513216 (P2015-513216A)
 【公表日】平成 27 年 4 月 30 日 (2015.4.30)
 【年通号数】公開・登録公報 2015-029
 【出願番号】特願 2014-557836 (P2014-557836)
 【国際特許分類】

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

G 1 1 C 11/405 (2006.01)

【F I】

H 0 1 L 27/10 3 2 1

G 1 1 C 11/34 3 5 2 B

【誤訳訂正書】
 【提出日】平成 29 年 6 月 12 日 (2017.6.12)
 【誤訳訂正 1】
 【訂正対象書類名】特許請求の範囲
 【訂正対象項目名】全文
 【訂正方法】変更
 【訂正の内容】
 【特許請求の範囲】
 【請求項 1】

半導体メモリセルであって、前記半導体メモリセルは、
双安定フローティングボディトランジスタであって、前記双安定フローティングボディ
トランジスタは、バックバイアス領域を備え、前記バックバイアス領域は、前記メモリセ
ルが第 1 の状態および第 2 の状態のうちの一方にあるときに衝突電離を発生させるように
構成され、前記バックバイアス領域は、前記メモリセルが前記第 1 の状態および第 2 の状
態のうちの他方にあるときに衝突電離を発生させないように構成され、フローティングボ
ディ領域がゲート領域の下方に位置する、双安定フローティングボディトランジスタと、
アクセス装置と
を備え、
前記双安定フローティングボディトランジスタおよび前記アクセス装置は、電氣的に直
列に接続される、半導体メモリセル。

【請求項 2】

前記アクセス装置は、金属酸化物半導体トランジスタを備える、請求項 1 に記載の半導
体メモリセル。

【請求項 3】

前記アクセス装置は、バイポーラトランジスタを備える、請求項 1 に記載の半導体メモ
リセル。

【請求項 4】

前記アクセストランジスタは、前記双安定フローティングボディトランジスタと同一の
導電型である、請求項 2 に記載の半導体メモリセル。

【請求項 5】

前記アクセストランジスタは、前記双安定フローティングボディトランジスタの導電型
と異なる導電型を有する、請求項 2 に記載の半導体メモリセル。

【請求項 6】

前記双安定フローティングボディトランジスタは、埋設ウェル領域を備える、請求項 1

に記載の半導体メモリセル。

【請求項 7】

前記双安定フローティングボディトランジスタは、マルチポートフローティングボディトランジスタを備え、前記アクセス装置は、複数のアクセストランジスタを備える、請求項 1 に記載の半導体メモリセル。

【請求項 8】

前記双安定フローティングボディトランジスタは、二重ポートフローティングボディトランジスタを備え、前記アクセス装置は、2 つのアクセストランジスタを備える、請求項 7 に記載の半導体メモリセル。

【請求項 9】

半導体メモリセルであって、前記半導体メモリセルは、
第 1 のボディを有する第 1 のトランジスタと、
第 2 のボディを有する第 2 のトランジスタと、
前記第 1 のボディおよび第 2 のボディの両方の基礎となる基板と、
前記基板と前記第 1 のボディおよび第 2 のボディのうちの少なくとも 1 つとの間に介在される埋設層と、
前記第 1 のボディに接触する第 1 のソース領域と、
前記第 1 のソース線領域から分離され、前記第 1 のボディに接触する第 1 のドレイン領域と、
前記第 1 のボディから絶縁される第 1 のゲートと、
前記第 2 のボディから前記第 1 のボディを絶縁する絶縁部材と、
前記第 2 のボディに接触する第 2 のソース領域と、
前記第 2 のソース領域から分離され、前記第 2 のボディに接触する第 2 のドレイン領域と、
前記第 2 のボディから絶縁される第 2 のゲートと
を備え、前記第 1 のドレイン領域は、前記第 2 のソース領域に電氣的に接続され、
前記埋設層は、前記メモリセルが第 1 の状態および第 2 の状態のうちの一方にあるときに衝突電離を発生させるように構成され、
前記埋設層は、前記メモリセルが前記第 1 の状態および第 2 の状態のうちの他方にあるときに衝突電離を発生させないように構成される、
半導体メモリセル。

【請求項 10】

前記第 1 のゲートは、前記第 1 のソース領域と前記第 1 のドレイン領域との間に位置付けられ、前記第 2 のゲートは、前記第 2 のソース領域と前記第 2 のドレイン領域との間に位置付けられる、請求項 9 に記載の半導体メモリセル。

【請求項 11】

前記第 1 のトランジスタは、フローティングボディトランジスタであり、前記第 2 のトランジスタは、アクセストランジスタである、請求項 9 に記載の半導体メモリセル。

【請求項 12】

前記第 1 のボディは、フローティングボディであり、前記第 2 のボディは、前記基板に電氣的に接続されるウェル領域である、請求項 9 に記載の半導体メモリセル。

【請求項 13】

前記第 1 のドレイン領域は、前記第 2 のソース領域に電氣的に接続される、請求項 9 に記載の半導体メモリセル。

【請求項 14】

前記第 1 のボディは、p 型導電型および n 型導電型から選択される第 1 の導電型を有し、前記第 2 のボディは、前記第 1 の導電型を有し、前記第 1 および第 2 のソース領域ならびに第 1 および第 2 のドレイン領域はそれぞれ、前記 p 型導電型および n 型導電型から選択される第 2 の導電型を有し、前記第 1 の導電型は、前記第 2 の導電型と異なる、請求項 9 に記載の半導体メモリセル。

【請求項 15】

前記第1のボディは、フローティングボディであり、前記第2のボディは、前記埋設層に電氣的に接続されるウェル領域であり、前記第1のボディは、p型導電型およびn型導電型から選択される第1の導電型を有し、前記第2のボディは、前記p型導電型およびn型導電型から選択される第2の導電型を有し、前記第1の導電型は、前記第2の導電型と異なる、請求項9に記載の半導体メモリセル。

【請求項 16】

前記半導体メモリセルは、基準セルを備え、前記基準セルはさらに、前記第1のソース領域および前記第1のドレイン領域から離間され、前記第1のボディに接触するセンス線領域を備え、前記第1のボディは、p型導電型およびn型導電型から選択される第1の導電型を有し、前記センス線領域は、前記第1の導電型を有する、請求項9に記載の半導体メモリセル。

【請求項 17】

前記第1のドレイン領域は、前記第2のゲートに電氣的に接続される、請求項9に記載の半導体メモリセル。

【請求項 18】

前記第1のトランジスタは、フローティングボディトランジスタであり、前記第2のトランジスタは、フローティングボディトランジスタである、請求項9に記載の半導体メモリセル。

【請求項 19】

前記第1および第2のフローティングボディトランジスタは、相補的電荷を貯蔵するように構成される、請求項9に記載の半導体メモリセル。

【請求項 20】

前記第1および第2のボディのうちの少なくとも1つは、双安定フローティングボディである、請求項9に記載の半導体メモリセル。

【請求項 21】

半導体メモリセルであって、前記半導体メモリセルは、フローティングボディを有する第1のトランジスタと、前記フローティングボディの下方の埋設層であって、前記埋設層への電圧の印加は、前記メモリセルの状態を維持する、埋設層と、第2のトランジスタとを備え、前記フローティングボディを有する第1のトランジスタは、バックバイアス領域を備え、前記バックバイアス領域は、前記メモリセルが第1の状態および第2の状態のうち的一方にあるときに衝突電離を発生させるように構成され、前記バックバイアス領域は、前記メモリセルが前記第1の状態および第2の状態のうち他方にあるときに衝突電離を発生させないように構成され、前記第1および第2のトランジスタは、直列に接続される、半導体メモリセル。

【請求項 22】

半導体メモリセルであって、前記半導体メモリセルは、双安定フローティングボディトランジスタであって、前記双安定フローティングボディトランジスタは、バックバイアス領域を備え、前記バックバイアス領域は、前記メモリセルが第1の状態および第2の状態のうち一方にあるときに衝突電離を発生させるように構成され、前記バックバイアス領域は、前記メモリセルが前記第1の状態および第2の状態のうち他方にあるときに衝突電離を発生させないように構成される、双安定フローティングボディトランジスタと、フローティングゲートトランジスタとを備える、半導体メモリセル。

【請求項 23】

半導体メモリセルであって、前記半導体メモリセルは、
第1の双安定フローティングボディトランジスタと、
第2の双安定フローティングボディトランジスタと
を備え、前記第1および第2のフローティングボディトランジスタは、相補的電荷を貯蔵するように構成され、

前記第1の双安定フローティングボディトランジスタおよび前記第2の双安定フローティングボディトランジスタの両方は、バックバイアス領域を備え、前記バックバイアス領域は、前記メモリセルが第1の状態および第2の状態のうちの一方にあるときに衝突電離を発生させるように構成され、前記バックバイアス領域は、前記メモリセルが前記第1の状態および第2の状態のうちの他方にあるときに衝突電離を発生させないように構成される、半導体メモリセル。

【請求項24】

双安定フローティングボディトランジスタと、アクセストランジスタとを有する半導体メモリセルを動作させる方法であって、

前記アクセストランジスタをオンにするように、電圧を前記アクセストランジスタに印加することと、

前記アクセストランジスタを起動することによって、動作のための前記メモリセルの選択を支援することと

を含み、

前記双安定フローティングボディトランジスタは、バックバイアス領域を備え、前記バックバイアス領域は、前記メモリセルが第1の状態および第2の状態のうちの一方にあるときに衝突電離を発生させるように構成され、前記バックバイアス領域は、前記メモリセルが前記第1の状態および第2の状態のうちの他方にあるときに衝突電離を発生させないように構成される、方法。

【請求項25】

前記動作は、前記フローティングボディトランジスタの状態を感知するように前記メモリセルを通る電流を監視することを含む読取動作である、請求項24に記載の方法。

【請求項26】

前記動作は、論理1書込動作であり、前記アクセストランジスタに印加される前記電圧は、前記アクセストランジスタのビット線端子に印加される正のバイアスであり、前記アクセストランジスタは、前記正のバイアスを前記フローティングボディトランジスタのドレイン領域に渡す、請求項24に記載の方法。

【請求項27】

衝突電離機構を通じて正孔生成を最大限にするように、前記フローティングボディトランジスタにさらにバイアスをかけることをさらに含む、請求項26に記載の方法。

【請求項28】

前記アクセストランジスタに印加される前記電圧は、前記アクセストランジスタのソース領域を浮遊させるようにバイアスをかけられ、前記方法は、容量結合によって前記フローティングボディトランジスタのフローティングボディの電位を増加させることをさらに含む、請求項26に記載の方法。

【請求項29】

前記動作は、論理0書込動作であり、前記アクセストランジスタに印加される前記電圧は、負のバイアスであり、前記アクセストランジスタは、前記負のバイアスを前記フローティングボディトランジスタのドレイン領域に渡す、請求項24に記載の方法。

【請求項30】

前記動作は、アクティブロー読取動作である、請求項24に記載の方法。

【請求項31】

前記動作は、アクティブロー論理1書込動作である、請求項24に記載の方法。

【請求項32】

前記動作は、前記フローティングボディトランジスタの状態を感知するように前記メモ

リセルを通る電流を監視することを含む読取動作であり、前記アクセストランジスタをオンにするように印加される前記電圧は、ゼロ電圧である、請求項 2 4 に記載の方法。

【請求項 3 3】

前記動作は、論理 1 書込動作であり、前記アクセストランジスタに印加される前記電圧は、ゼロ電圧を前記アクセストランジスタのワード線端子に印加することを含み、前記論理 1 書込動作は、バンド間トンネリング機構によって行われる、請求項 2 4 に記載の方法。

【請求項 3 4】

前記動作は、論理 1 書込動作であり、前記アクセストランジスタに印加される前記電圧は、ゼロ電圧を前記アクセストランジスタのワード線端子に印加することを含み、前記論理 1 書込動作は、衝突電離機構を通じて行われる、請求項 2 4 に記載の方法。

【請求項 3 5】

前記動作は、論理 1 書込動作であり、前記アクセストランジスタに印加される前記電圧は、前記アクセストランジスタのソース領域を浮遊させるようにバイアスをかけられる正電圧であり、前記方法は、容量結合によって前記フローティングボディトランジスタのフローティングボディの電位を増加させることをさらに含む、請求項 2 4 に記載の方法。

【請求項 3 6】

前記動作は、論理 0 書込動作であり、前記アクセストランジスタに印加される前記電圧は、前記アクセストランジスタのワード線端子に印加される正のバイアスである、請求項 2 4 に記載の方法。

【請求項 3 7】

前記動作は、論理 0 書込動作であり、前記アクセストランジスタのワード線端子に印加される前記電圧は、前記フローティングボディトランジスタのドレイン領域に印加される負のバイアスよりも負である、負のバイアスである、請求項 2 4 に記載の方法。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【発明の詳細な説明】

【発明の名称】第 1 および第 2 のトランジスタを備えるメモリセルおよび動作の方法

【技術分野】

【0001】

(発明の分野)

本発明は、半導体メモリ技術に関する。より具体的には、本発明は、電氣的フローティングボディトランジスタと、アクセストランジスタとを備える半導体メモリ装置に関する。

【背景技術】

【0002】

(発明の背景)

半導体メモリ装置は、データを記憶するために広範囲に使用される。メモリ装置は、2つの一般タイプ(すなわち、揮発性および不揮発性)に従って特徴付けられることができる。スタティックランダムアクセスメモリ(SRAM)およびダイナミックランダムアクセスメモリ(DRAM)等の揮発性メモリ装置は、電力がそこに連続的に供給されないときに、その中に記憶されているデータを失う。

【0003】

電氣的フローティングボディ効果に基づくDRAMが、提案されている(例えば、“A Capacitor-less 1T-DRAM Cell”, S. Okhonin et al., pp. 85-87, IEEE Electron Device Letters, vol. 23, no. 2, February 2002

、および“Memory Design Using One-Transistor Gain Cell on SOI”, T. Ohsawa et al., pp. 152-153, Tech. Digest, 2002 IEEE International Solid-State Circuits Conference, February 2002を参照)。そのようなメモリは、従来の1T/1Cメモリセルで使用されるコンデンサを排除し、したがって、より小さい特徴サイズに縮小することがより容易である。加えて、そのようなメモリは、従来の1T/1Cメモリセルと比較して、より小さいセルサイズを可能にする。

【0004】

WidjajaおよびOr-Bachは、(例えば、Widjajaらによる米国特許出願公開第2010/00246284号(発明の名称「Semiconductor Memory Having Floating Body Transistor and Method of Operating」)、および米国特許出願公開第2010/0034041号(「Method of Operating Semiconductor Memory Device with Floating Body Transistor Using Silicon Controlled Rectifier Principle」)(両方とも参照によってこれらの全体が本明細書に組み込まれる)で説明されるような)1つより多くの安定状態が各メモリセルに存在する、フローティングボディトランジスタを組み込む双安定SRAMセルを説明する。この双安定性は、印加されたバックバイアスにより達成され、印加されたバックバイアスは、衝突電離を引き起こすことにより、電荷リーク電流および再結合を補償するように正孔を生成する。

【0005】

メモリセルの行および列を備えるメモリアレイでは、メモリセルに対して操作を行うことは、その周辺メモリセルの変化(しばしば、ディスターブと称される条件)をトリガし得る。メモリセルにおけるディスターブ耐性を向上させる継続的必要性が存在する。例えば、“Capacitorless Twin-Transistor Random Access Memory (TTRAM) on SOI”, F. Morishita et al., Custom Integrated Circuits Conference, 2005, pp. 435-438、“A configurable enhanced TTRAM macro for system-level power management unified memory”, F. Morishita et al., Solid-State Circuits, IEEE Journal of, vol. 42 no. 4 (2007), pp. 853-861、“A high-density scalable twin transistor RAM (TTRAM) with verify control for SOI platform memory IPs”, K. Arimoto et al., Solid-State Circuits, IEEE Journal of, vol. 42, no. 11 (2007), pp. 2611-2619、および“A Scalable ET2RAM (SETRAM) with Verify Control for SoC Platform Memory IP on SOI”, K. Arimoto et al., pp. 429-432, Custom Integrated Circuits Conference, 2006(これらの全体が本明細書に組み込まれる)で説明されるような、2トランジスタメモリセルは、メモリセルのディスターブ耐性を向上させ得る。

【発明の概要】

【課題を解決するための手段】

【0006】

本発明は、アクセストランジスタを組み込むことによりメモリセル動作中のディスターブ耐性の向上を提供することによって、ディスターブ耐性を向上させるための継続的必要

性に対処する。

【0007】

本発明の一側面では、半導体メモリセルは、双安定フローティングボディトランジスタと、アクセス装置とを含み、双安定フローティングボディトランジスタおよび該アクセス装置は、電氣的に直列に接続される。

【0008】

少なくとも1つの実施形態では、アクセス装置は、金属酸化物半導体トランジスタを備える。

【0009】

少なくとも1つの実施形態では、アクセス装置は、バイポーラトランジスタを備える。

【0010】

少なくとも1つの実施形態では、アクセストランジスタは、双安定フローティングボディトランジスタと同一の導電型である。

【0011】

少なくとも1つの実施形態では、アクセストランジスタは、双安定フローティングボディトランジスタの導電型と異なる導電型を有する。

【0012】

少なくとも1つの実施形態では、双安定フローティングボディトランジスタは、埋設ウェル領域を備える。

【0013】

少なくとも1つの実施形態では、双安定フローティングボディトランジスタは、マルチポートフローティングボディトランジスタを備え、アクセス装置は、複数のアクセストランジスタを備える。

【0014】

少なくとも1つの実施形態では、双安定フローティングボディトランジスタは、二重ポートフローティングボディトランジスタを備え、アクセス装置は、2つのアクセストランジスタを備える。

【0015】

本発明の別の側面では、半導体メモリセルは、第1のボディを有する第1のトランジスタと、第2のボディを有する第2のトランジスタと、第1のボディおよび第2のボディの両方の基礎となる基板と、基板と第1および第2のボディのうちの少なくとも1つとの間に介在される埋設層と、第1のボディに接触する第1のソース領域と、第1のソース線領域から分離され、第1のボディに接触する第1のドレイン領域と、第1のボディから絶縁される第1のゲートと、第2のボディから第1のボディを絶縁する絶縁部材と、第2のボディに接触する第2のソース領域と、第2のソース領域から分離され、第2のボディに接触する第2のドレイン領域と、第2のボディから絶縁される第2のゲートとを含む。

【0016】

少なくとも1つの実施形態では、第1のゲートは、第1のソース領域と第1のドレイン領域との間に位置付けられ、第2のゲートは、第2のソース領域と第2のドレイン領域との間に位置付けられる。

【0017】

少なくとも1つの実施形態では、第1のトランジスタは、フローティングボディトランジスタであり、第2のトランジスタは、アクセストランジスタである。

【0018】

少なくとも1つの実施形態では、第1のボディは、フローティングボディであり、第2のボディは、基板に電氣的に接続されるウェル領域である。

【0019】

少なくとも1つの実施形態では、第1のドレイン領域は、第2のソース領域に電氣的に接続される。

【0020】

少なくとも1つの実施形態では、第1のボディは、p型導電型およびn型導電型から選択される第1の導電型を有し、第2のボディは、第1の導電型を有し、第1および第2のソース領域ならびに第1および第2のドレイン領域はそれぞれ、p型導電型およびn型導電型から選択される第2の導電型を有し、第1の導電型は、第2の導電型と異なる。

【0021】

少なくとも1つの実施形態では、第1のボディは、フローティングボディであり、第2のボディは、埋設層に電氣的に接続されるウェル領域であり、第1のボディは、p型導電型およびn型導電型から選択される第1の導電型を有し、第2のボディは、p型導電型およびn型導電型から選択される第2の導電型を有し、第1の導電型は、第2の導電型と異なる。

【0022】

少なくとも1つの実施形態では、半導体メモリセルは、基準セルを備え、基準セルはさらに、第1のソース領域および第1のドレイン領域から離間され、かつ、第1のボディに接触する、センス線領域を備え、第1のボディは、p型導電型およびn型導電型から選択される第1の導電型を有し、センス線領域は、第1の導電型を有する。

【0023】

少なくとも1つの実施形態では、第1のドレイン領域は、第2のゲートに電氣的に接続される。

【0024】

少なくとも1つの実施形態では、第1のトランジスタは、フローティングボディトランジスタであり、第2のトランジスタは、フローティングボディトランジスタである。

【0025】

少なくとも1つの実施形態では、第1および第2のフローティングボディトランジスタは、相補的電荷を貯蔵するように構成される。

【0026】

少なくとも1つの実施形態では、第1および第2のボディのうちの少なくとも1つは、双安定フローティングボディである。

【0027】

本発明の別の側面では、半導体メモリセルは、フローティングボディを有する第1のトランジスタと、フローティングボディの下方の埋設層であって、埋設層への電圧の印加は、メモリセルの状態を維持する、埋設層と、第2のトランジスタとを含み、第1および第2のトランジスタは、直列に接続される。

【0028】

本発明の別の側面では、半導体メモリセルは、双安定フローティングボディトランジスタと、フローティングゲートトランジスタとを含む。

【0029】

本発明の別の側面では、半導体メモリセルは、第1の双安定フローティングボディトランジスタと、第2の双安定フローティングボディトランジスタとを含み、第1および第2のフローティングボディトランジスタは、相補的電荷を貯蔵するように構成される。

【0030】

本発明の別の側面では、双安定フローティングボディトランジスタと、アクセストランジスタとを有する半導体メモリセルを動作させる方法は、アクセストランジスタをオンするように、電圧をアクセストランジスタに印加することと、アクセストランジスタを起動することによって、動作のためのメモリセルの選択を支援することを含む。

【0031】

少なくとも1つの実施形態では、動作は、フローティングボディトランジスタの状態を感知するようにメモリセルを通る電流を監視することを含む読取動作である。

【0032】

少なくとも1つの実施形態では、動作は、論理1書込動作であり、アクセストランジスタに印加される電圧は、アクセストランジスタのビット線端子に印加される正のバイアス

であり、アクセストランジスタは、正のバイアスをフローティングボディトランジスタのドレイン領域に渡す。

【 0 0 3 3 】

少なくとも 1 つの実施形態では、本方法は、衝突電離機構を通じて正孔生成を最大限にするように、フローティングボディトランジスタにさらにバイアスをかけることをさらに含む。

【 0 0 3 4 】

少なくとも 1 つの実施形態では、アクセストランジスタに印加される電圧は、アクセストランジスタのソース領域を浮遊させるようにバイアスをかけられ、本方法は、容量結合によってフローティングボディトランジスタのフローティングボディの電位を増加させることをさらに含む。

【 0 0 3 5 】

少なくとも 1 つの実施形態では、動作は、論理 0 書込動作であり、アクセストランジスタに印加される電圧は、負のバイアスであり、アクセストランジスタは、負のバイアスをフローティングボディトランジスタのドレイン領域に渡す。

【 0 0 3 6 】

少なくとも 1 つの実施形態では、動作は、アクティブロー読取動作である。

【 0 0 3 7 】

少なくとも 1 つの実施形態では、動作は、アクティブロー論理 1 書込動作である。

【 0 0 3 8 】

少なくとも 1 つの実施形態では、動作は、フローティングボディトランジスタの状態を感知するようにメモリセルを通る電流を監視することを含む読取動作であり、アクセストランジスタをオンにするように印加される電圧は、ゼロ電圧である。

【 0 0 3 9 】

少なくとも 1 つの実施形態では、動作は、論理 1 書込動作であり、アクセストランジスタに印加される電圧は、ゼロ電圧をアクセストランジスタのワード線端子に印加することを含み、論理 1 書込動作は、バンド間トンネリング機構によって行われる。

【 0 0 4 0 】

少なくとも 1 つの実施形態では、動作は、論理 1 書込動作であり、アクセストランジスタに印加される電圧は、ゼロ電圧をアクセストランジスタのワード線端子に印加することを含み、論理 1 書込動作は、衝突電離機構を通じて行われる。

【 0 0 4 1 】

少なくとも 1 つの実施形態では、動作は、論理 1 書込動作であり、アクセストランジスタに印加される電圧は、アクセストランジスタのソース領域を浮遊させるようにバイアスをかけられる正電圧であり、本方法は、容量結合によってフローティングボディトランジスタのフローティングボディの電位を増加させることをさらに含む。

【 0 0 4 2 】

少なくとも 1 つの実施形態では、動作は、論理 0 書込動作であり、アクセストランジスタに印加される電圧は、アクセストランジスタのワード線端子に印加される正のバイアスである。

【 0 0 4 3 】

少なくとも 1 つの実施形態では、動作は、論理 0 書込動作であり、アクセストランジスタのワード線端子に印加される電圧は、フローティングボディトランジスタのドレイン領域に印加される負のバイアスよりも負である、負のバイアスである。

【 0 0 4 4 】

本発明のこれらおよび他の特徴は、以下でさらに十分に説明されるようなメモリ装置および方法の詳細を読むことにより、当業者に明白となるであろう。

【 0 0 4 5 】

本発明は、例えば、以下の項目を提供する。

(項目 1)

双安定フローティングボディトランジスタと、
アクセス装置と
を備え、

前記双安定フローティングボディトランジスタおよび前記アクセス装置は、電氣的に直列に接続される、半導体メモリセル。

(項目2)

前記アクセス装置は、金属酸化物半導体トランジスタを備える、項目1に記載の半導体メモリセル。

(項目3)

前記アクセス装置は、バイポーラトランジスタを備える、項目1に記載の半導体メモリセル。

(項目4)

前記アクセストランジスタは、前記双安定フローティングボディトランジスタと同一の導電型である、項目2に記載の半導体メモリセル。

(項目5)

前記アクセストランジスタは、前記双安定フローティングボディトランジスタの導電型と異なる導電型を有する、項目2に記載の半導体メモリセル。

(項目6)

前記双安定フローティングボディトランジスタは、埋設ウェル領域を備える、項目1に記載の半導体メモリセル。

(項目7)

前記双安定フローティングボディトランジスタは、マルチポートフローティングボディトランジスタを備え、前記アクセス装置は、複数のアクセストランジスタを備える、項目1に記載の半導体メモリセル。

(項目8)

前記双安定フローティングボディトランジスタは、二重ポートフローティングボディトランジスタを備え、前記アクセス装置は、2つのアクセストランジスタを備える、項目7に記載の半導体メモリセル。

(項目9)

第1のボディを有する第1のトランジスタと、
第2のボディを有する第2のトランジスタと、

前記第1のボディおよび第2のボディの両方の基礎となる基板と、

前記基板と前記第1のボディおよび第2のボディのうちの少なくとも1つとの間に介在される埋設層と、

前記第1のボディに接触する第1のソース領域と、

前記第1のソース線領域から分離され、前記第1のボディに接触する第1のドレイン領域と、

前記第1のボディから絶縁される第1のゲートと、

前記第2のボディから前記第1のボディを絶縁する絶縁部材と、

前記第2のボディに接触する第2のソース領域と、

前記第2のソース領域から分離され、前記第2のボディに接触する第2のドレイン領域と、

前記第2のボディから絶縁される第2のゲートと

を備える、半導体メモリセル。

(項目10)

前記第1のゲートは、前記第1のソース領域と前記第1のドレイン領域との間に位置付けられ、前記第2のゲートは、前記第2のソース領域と前記第2のドレイン領域との間に位置付けられる、項目9に記載の半導体メモリセル。

(項目11)

前記第1のトランジスタは、フローティングボディトランジスタであり、前記第2のト

ランジスタは、アクセストランジスタである、項目 9 に記載の半導体メモリセル。

(項目 1 2)

前記第 1 のボディは、フローティングボディであり、前記第 2 のボディは、前記基板に電氣的に接続されるウェル領域である、項目 9 に記載の半導体メモリセル。

(項目 1 3)

前記第 1 のドレイン領域は、前記第 2 のソース領域に電氣的に接続される、項目 9 に記載の半導体メモリセル。

(項目 1 4)

前記第 1 のボディは、p 型導電型および n 型導電型から選択される第 1 の導電型を有し、前記第 2 のボディは、前記第 1 の導電型を有し、前記第 1 および第 2 のソース領域ならびに第 1 および第 2 のドレイン領域はそれぞれ、前記 p 型導電型および n 型導電型から選択される第 2 の導電型を有し、前記第 1 の導電型は、前記第 2 の導電型と異なる、項目 9 に記載の半導体メモリセル。

(項目 1 5)

前記第 1 のボディは、フローティングボディであり、前記第 2 のボディは、前記埋設層に電氣的に接続されるウェル領域であり、前記第 1 のボディは、p 型導電型および n 型導電型から選択される第 1 の導電型を有し、前記第 2 のボディは、前記 p 型導電型および n 型導電型から選択される第 2 の導電型を有し、前記第 1 の導電型は、前記第 2 の導電型と異なる、項目 9 に記載の半導体メモリセル。

(項目 1 6)

前記半導体メモリセルは、基準セルを備え、前記基準セルはさらに、前記第 1 のソース領域および前記第 1 のドレイン領域から離間され、前記第 1 のボディに接触するセンス線領域を備え、前記第 1 のボディは、p 型導電型および n 型導電型から選択される第 1 の導電型を有し、前記センス線領域は、前記第 1 の導電型を有する、項目 9 に記載の半導体メモリセル。

(項目 1 7)

前記第 1 のドレイン領域は、前記第 2 のゲートに電氣的に接続される、項目 9 に記載の半導体メモリセル。

(項目 1 8)

前記第 1 のトランジスタは、フローティングボディトランジスタであり、前記第 2 のトランジスタは、フローティングボディトランジスタである、項目 9 に記載の半導体メモリセル。

(項目 1 9)

前記第 1 および第 2 のフローティングボディトランジスタは、相補的電荷を貯蔵するように構成される、項目 9 に記載の半導体メモリセル。

(項目 2 0)

前記第 1 および第 2 のボディのうちの少なくとも 1 つは、双安定フローティングボディである、項目 9 に記載の半導体メモリセル。

(項目 2 1)

半導体メモリセルであって、フローティングボディを有する第 1 のトランジスタと、前記フローティングボディの下方の埋設層であって、前記埋設層への電圧の印加は、前記メモリセルの状態を維持する、埋設層と、第 2 のトランジスタとを備え、前記第 1 および第 2 のトランジスタは、直列に接続される、半導体メモリセル。

(項目 2 2)

双安定フローティングボディトランジスタと、フローティングゲートトランジスタと

を備える、半導体メモリセル。

(項目 2 3)

第 1 の双安定フローティングボディトランジスタと、

第 2 の双安定フローティングボディトランジスタと

を備え、前記第 1 および第 2 のフローティングボディトランジスタは、相補的電荷を貯蔵するように構成される、半導体メモリセル。

(項目 2 4)

双安定フローティングボディトランジスタと、アクセストランジスタとを有する半導体メモリセルを動作させる方法であって、

前記アクセストランジスタをオンにするように、電圧を前記アクセストランジスタに印加することと、

前記アクセストランジスタを起動することによって、動作のための前記メモリセルの選択を支援することと

を含む、方法。

(項目 2 5)

前記動作は、前記フローティングボディトランジスタの状態を感知するように前記メモリセルを通る電流を監視することを含む読取動作である、項目 2 4 に記載の方法。

(項目 2 6)

前記動作は、論理 1 書込動作であり、前記アクセストランジスタに印加される前記電圧は、前記アクセストランジスタのビット線端子に印加される正のバイアスであり、前記アクセストランジスタは、前記正のバイアスを前記フローティングボディトランジスタのドレイン領域に渡す、項目 2 4 に記載の方法。

(項目 2 7)

衝突電離機構を通じて正孔生成を最大限にするように、前記フローティングボディトランジスタにさらにバイアスをかけることをさらに含む、項目 2 6 に記載の方法。

(項目 2 8)

前記アクセストランジスタに印加される前記電圧は、前記アクセストランジスタのソース領域を浮遊させるようにバイアスをかけられ、前記方法は、容量結合によって前記フローティングボディトランジスタのフローティングボディの電位を増加させることをさらに含む、項目 2 6 に記載の方法。

(項目 2 9)

前記動作は、論理 0 書込動作であり、前記アクセストランジスタに印加される前記電圧は、負のバイアスであり、前記アクセストランジスタは、前記負のバイアスを前記フローティングボディトランジスタのドレイン領域に渡す、項目 2 4 に記載の方法。

(項目 3 0)

前記動作は、アクティブロー読取動作である、項目 2 4 に記載の方法。

(項目 3 1)

前記動作は、アクティブロー論理 1 書込動作である、項目 2 4 に記載の方法。

(項目 3 2)

前記動作は、前記フローティングボディトランジスタの状態を感知するように前記メモリセルを通る電流を監視するステップを含む読取動作であり、前記アクセストランジスタをオンにするように印加される前記電圧は、ゼロ電圧である、項目 2 4 に記載の方法。

(項目 3 3)

前記動作は、論理 1 書込動作であり、前記アクセストランジスタに印加される前記電圧は、ゼロ電圧を前記アクセストランジスタのワード線端子に印加することを含み、前記論理 1 書込動作は、バンド間トンネリング機構によって行われる、項目 2 4 に記載の方法。

(項目 3 4)

前記動作は、論理 1 書込動作であり、前記アクセストランジスタに印加される前記電圧は、ゼロ電圧を前記アクセストランジスタのワード線端子に印加することを含み、前記論理 1 書込動作は、衝突電離機構を通じて行われる、項目 2 4 に記載の方法。

(項目 3 5)

前記動作は、論理 1 書込動作であり、前記アクセストランジスタに印加される前記電圧は、前記アクセストランジスタのソース領域を浮遊させるようにバイアスをかけられる正電圧であり、前記方法は、容量結合によって前記フローティングボディトランジスタのフローティングボディの電位を増加させることをさらに含む、項目 2 4 に記載の方法。

(項目 3 6)

前記動作は、論理 0 書込動作であり、前記アクセストランジスタに印加される前記電圧は、前記アクセストランジスタのワード線端子に印加される正のバイアスである、項目 2 4 に記載の方法。

(項目 3 7)

前記動作は、論理 0 書込動作であり、前記アクセストランジスタのワード線端子に印加される前記電圧は、前記フローティングボディトランジスタのドレイン領域に印加される負のバイアスよりも負である、負のバイアスである、項目 2 4 に記載の方法。

【図面の簡単な説明】【 0 0 4 6 】

【図 1 A】図 1 A は、本発明の一般的実施形態による、直列に接続されるメモリ装置およびアクセス装置を備えるメモリセルを概略的に図示する。

【図 1 B】図 1 B は、図 1 A のメモリセルの同等回路表現を概略的に図示し、ここで、メモリ装置は、本発明の実施形態による、双安定フローティングボディ装置である。

【図 2 A】図 2 A は、本発明による、メモリセルの概略図である。

【図 2 B】図 2 B は、本発明の別の実施形態による、フローティングボディトランジスタのドレイン領域およびアクセストランジスタのソース領域が別個の伝導性要素を通して接続される、メモリセルの概略図である。

【図 2 C】図 2 C は、本発明の実施形態による、メモリセルの概略図である。

【図 3 A】図 3 A は、本発明の実施形態による、図 2 A または図 2 B のメモリセルの一部の同等回路表現である。

【図 3 B】図 3 B は、本発明の実施形態による、ソース線領域、フローティングボディ領域、およびドレイン領域によって形成される、図 2 A または図 2 B のフローティングボディトランジスタのバイポーラ装置の同等回路表現である。

【図 4 A】図 4 A は、本発明の別の実施形態による、メモリセルを概略的に図示する。

【図 4 B】図 4 B は、本発明の実施形態による、アクセス装置が図 4 A に関して説明されるタイプのバイポーラトランジスタである、メモリセルの断面図を概略的に図示する。

【図 5】図 5 は、本発明の実施形態による、メモリアレイを作製するように継合された図 3 A ~ 3 B に示されるタイプの複数のセルを概略的に図示する。

【図 6】図 6 は、本発明の別の実施形態による、メモリアレイを作製するように継合された図 3 A - 3 B に示されるタイプの複数のセルを概略的に図示する。

【図 7】図 7 は、本発明の実施形態による、メモリアレイにおいて行われる保持動作を概略的に図示する。

【図 8】図 8 は、図 7 のアレイのメモリセルの端子に印加される例示的なバイアス条件を図示する。

【図 9 A】図 9 A は、本発明の実施形態による、フローティングボディ領域が正電荷を帯び、正のバイアスがメモリセルの埋設ウェル領域に印加されるとき固有バイポーラ装置を特徴付けるエネルギーバンド図を示す。

【図 9 B】図 9 B は、本発明の実施形態による、フローティングボディ領域が中性電荷を帯び、正のバイアスがメモリセルの埋設ウェル領域に印加されるとき固有バイポーラ装置のエネルギーバンド図を示す。

【図 9 C】図 9 C は、本発明の実施形態による、フローティングボディの電位 V の関数として、フローティングボディ領域に流入するまたはフローティングボディ領域から流出する正味電流 I のグラフを示す。

【図 9 D】図 9 D は、本発明の実施形態による、メモリセルのポテンシャルエネルギー表

面 (P E S) の概略曲線を示す。

【図 9 E】図 9 E は、本発明の実施形態による、B W 端子に接続された埋設ウェル領域に印加される電位の関数として、メモリセルのフローティングボディ領域に貯蔵された電荷を図示する。

【図 1 0】図 1 0 は、本発明の実施形態による、メモリアレイにおいて行われる代替的保持動作を概略的に図示する。

【図 1 1】図 1 1 は、図 1 0 のアレイのメモリセルの端子に印加される例示的なバイアス条件を図示する。

【図 1 2】図 1 2 は、本発明の実施形態による、メモリアレイにおいて行われる読取動作を概略的に図示する。

【図 1 3】図 1 3 は、読取動作を行うようにメモリセルの端子に印加されるバイアス条件を図示する。

【図 1 4】図 1 4 は、本発明の実施形態による、メモリアレイにおいて行われる論理 1 書込動作を概略的に図示する。

【図 1 5】図 1 5 は、論理 1 書込動作を行うようにメモリセルの端子に印加されるバイアス条件を図示する。

【図 1 6】図 1 6 は、本発明の実施形態による、メモリアレイにおいて行われる代替的論理 1 書込動作を概略的に図示する。

【図 1 7】図 1 7 は、代替的論理 1 書込動作を行うようにメモリセルの端子に印加されるバイアス条件を図示する。

【図 1 8】図 1 8 は、本発明の実施形態による、メモリアレイにおいて行われる容量結合を通した代替的論理 1 書込動作を概略的に図示する。

【図 1 9】図 1 9 は、容量結合を通した代替的論理 1 書込動作を行うようにメモリセルの端子に印加されるバイアス条件を図示する。

【図 2 0】図 2 0 は、本発明の実施形態による、メモリアレイにおいて行われる論理 0 書込動作を概略的に図示する。

【図 2 1】図 2 1 は、論理 0 書込動作を行うようにメモリセルの端子に印加されるバイアス条件を図示する。

【図 2 2】図 2 2 は、本発明の実施形態による、メモリアレイにおいて行われる代替的論理 0 書込動作を概略的に図示する。

【図 2 3】図 2 3 は、代替的論理 0 書込動作を行うようにメモリセルの端子に印加されるバイアス条件を図示する。

【図 2 4】図 2 4 は、本発明の実施形態による、メモリアレイにおいて行われるアクティブロー読取動作を概略的に図示する。

【図 2 5】図 2 5 は、本発明の実施形態による、メモリアレイにおいて行われるアクティブロー論理 1 書込動作を概略的に図示する。

【図 2 6】図 2 6 および図 2 7 は、本発明の実施形態による、フィン型メモリセル装置の断面概略図を概略的に図示する。

【図 2 7】図 2 6 および図 2 7 は、本発明の実施形態による、フィン型メモリセル装置の断面概略図を概略的に図示する。

【図 2 8】図 2 8 は、本発明の別の実施形態による、メモリセルの概略図である。

【図 2 9】図 2 9 A および図 2 9 B は、本発明の別の実施形態による、メモリセルの概略断面図である。

【図 3 0】図 3 0 は、図 2 9 A ~ 図 2 9 B に示されるメモリセルの同等回路表現を概略的に図示する。

【図 3 1】図 3 1 は、図 2 9 A ~ 図 2 9 B のメモリ装置に特有のバイポーラ装置を概略的に図示する。

【図 3 2】図 3 2 は、メモリアレイを作製するように継合された図 2 9 A ~ 図 2 9 B に示されるタイプの複数のセルを概略的に図示する。

【図 3 3】図 3 3 は、本発明の実施形態による、メモリアレイにおいて行われる保持動作

を概略的に図示する。

【図 3 4】図 3 4 は、本発明の実施形態による、メモリアレイにおいて行われる代替的保持動作を概略的に図示する。

【図 3 5】図 3 5 は、本発明の実施形態による、メモリアレイにおいて行われる読取動作を概略的に図示する。

【図 3 6】図 3 6 は、本発明の実施形態による、メモリアレイにおいて行われるバンド間トンネリング機構を使用する論理 1 書込動作を概略的に図示する。

【図 3 7】図 3 7 は、本発明の実施形態による、メモリアレイにおいて行われる衝突電離機構を使用する論理 1 書込動作を概略的に図示する。

【図 3 8】図 3 8 は、本発明の実施形態による、メモリアレイにおいて行われる容量結合を通した論理 1 書込動作を概略的に図示する。

【図 3 9】図 3 9 は、本発明の実施形態による、メモリアレイにおいて行われる論理 0 書込動作を概略的に図示する。

【図 4 0】図 4 0 は、本発明の実施形態による、メモリアレイにおいて行われる代替的論理 0 書込動作を概略的に図示する。

【図 4 1】図 4 1 は、本発明の実施形態による、フローティングボディメモリセルの状態を感知する際に基準セルとして使用されることができメモリセルの概略断面図である。

【図 4 2】図 4 2 は、図 2 A ~ 図 2 C に示されるタイプの複数のセルと、図 4 1 に示されるタイプの基準セルとを備えるメモリアレイを概略的に図示する。

【図 4 3 A】図 4 3 A は、本発明の別の実施形態による、基準セルの平面図の概略図である。

【図 4 3 B】図 4 3 B および図 4 3 C は、それぞれ、I - I' 切断線および II - II' 切断線に沿って得られた図 4 3 A のセルの概略断面図である。

【図 4 3 C】図 4 3 B および図 4 3 C は、それぞれ、I - I' 切断線および II - II' 切断線に沿って得られた図 4 3 A のセルの概略断面図である。

【図 4 4】図 4 4 は、図 2 A ~ 図 2 C に示されるタイプの複数のセルと、図 4 3 A ~ 図 4 3 C に示されるタイプの基準セルとを備えるメモリアレイを概略的に図示する。

【図 4 5】図 4 5 は、本発明の実施形態による、メモリセルの概略断面図である。

【図 4 6】図 4 6 は、図 4 5 に示されるタイプの複数のセルを備えるメモリアレイを概略的に図示する。

【図 4 7】図 4 7 は、本発明の実施形態による、メモリアレイにおいて行われる読取動作を概略的に図示する。

【図 4 8】図 4 8 は、本発明の実施形態による、メモリアレイにおいて行われるバンド間トンネリング機構を使用する論理 1 書込動作を概略的に図示する。

【図 4 9】図 4 9 は、本発明の実施形態による、メモリアレイにおいて行われる論理 0 書込動作を概略的に図示する。

【図 5 0】図 5 0 は、本発明の実施形態による、メモリセルの概略断面図である。

【図 5 1】図 5 1 は、図 5 0 に示されるタイプの複数のセルを備えるメモリアレイを概略的に図示する。

【図 5 2】図 5 2 は、図 5 0 に示されるタイプのメモリセルの概略平面図である。

【図 5 3】図 5 3 は、本発明の別の実施形態による、二重ポートフローティングボディトランジスタが 2 つのアクセストランジスタに直列に接続される、二重ポートメモリセルの概略図である。

【発明を実施するための形態】

【0047】

(発明の詳細な説明)

本メモリ装置および方法が説明される前に、本発明は、説明される特定の実施形態に限定されず、したがって、当然ながら変動し得ることを理解されたい。また、本発明の範囲は、添付の特許請求の範囲によってのみ限定されるため、本明細書で使用される専門用語は、特定の実施形態を説明する目的のためだけのものであって、限定を意図するものでは

ないことを理解されたい。

【 0 0 4 8 】

値の範囲が提供される場合、文脈によって別途明示的に示されない限り、下限の単位の 1 0 分の 1 まで、その範囲の上限と下限との間の各介在値もまた明確に開示されていることを理解されたい。その規定範囲内の任意の規定値または介在値と規定範囲内の任意の他の規定または介在値との間の各小範囲が、本発明の範囲内に含まれる。これらの小範囲の上限および下限は、独立して、その小範囲内に含まれてもよく、または除外されてもよく、限界のいずれかまたは両方が小範囲内に含まれるまたはいずれも小範囲内に含まれない各範囲もまた、本発明の範囲内に包含され、規定範囲内のあらゆる具体的に除外される限界の対象となる。規定範囲が、限界の一方または両方を含む場合、これらの含まれる限界のいずれか一方または両方を除外する範囲もまた、本発明に含まれる。

【 0 0 4 9 】

別様に定義されない限り、本明細書で使用される全ての技術および科学用語は、本発明が属する技術分野の当業者によって一般的に理解されるものと同一の意味を有する。本明細書に説明されるものに類似する、または同等である、任意の方法および材料が、本発明の実践もしくは試験で使用されることができ、好ましい方法および材料がここで説明される。本明細書において言及される刊行物はすべて、刊行物が引用される方法および/または材料を開示ならびに説明するように参照することによって本明細書に組み込まれる。

。

【 0 0 5 0 】

本明細書および添付の特許請求の範囲で使用される場合、「1つの (a , a n) 」および「前記 (t h e) 」という単数形は、文脈が明確に別様に決定付けない限り、複数の指示対象を含むことが留意されなければならない。したがって、例えば、「セル」の言及は、複数のそのようなセルを含み、「端子」の言及は、1つまたは複数の端子、および当業者に公知であるそれらの均等物等への言及を含む。

【 0 0 5 1 】

本明細書に論議される刊行物は、単純に出願日前のその開示のために提供される。本発明が、先行発明を理由として、そのような刊行物に先行する権限がないものの承認として解釈されるべきものは、本明細書には存在しない。さらに、提供される刊行物の日付は、実際の公開日と異なる場合があり、個別に確認される必要があり得る。

【 0 0 5 2 】

図 1 A は、直列に接続されるメモリ装置 5 0 M およびアクセス装置 5 0 A を備える、本発明の実施形態によるメモリセル 5 0 を概略的に図示する。メモリセル 5 0 は、説明されるように、メモリ装置と、アクセス装置とを備える、メモリセルの一般表現であり、概して、1 0 0、1 0 0 B、1 0 2、1 0 4、1 0 0 R 1、1 0 0 R 2、2 0 0、3 0 0、および 5 0 0 等の本明細書に説明されるより具体的な実施形態を表す。メモリ装置 5 0 M は、メモリセル 5 0 の状態を格納するように機能し、アクセス装置 5 0 A を通してアクセスされる。アクセス装置 5 0 A は、端子、例えば、図 1 A に示されるようなワード線端子 7 2 およびビット線端子 7 6 に接続され、ワード線端子 7 2 およびビット線端子 7 6 は、メモリセル 5 0 の複数の行および列を備えるメモリアレイにおいてメモリセル 5 0 を選択するために使用される。例えばメモリ装置 5 0 M およびアクセス装置 5 0 A における直列接続では、同一の電流が、装置のそれぞれを通して流れる。したがって、アクセス装置 5 0 A は、読取または書込動作中に未選択メモリセル 5 0 をオフにする、もしくは選択解除するために使用されることができ。

【 0 0 5 3 】

図 1 B は、例えば、「Semiconductor Memory Having Floating Body Transistor and Method of Operating」と題された、Widjaja らの米国特許出願公開第 2 0 1 0 / 0 0 2 4 6 2 8 4 号 (「Widjaja - 1」)、米国特許出願公開第 2 0 1 0 / 0 0 3 4 0 4 1 号「Method of Operating Semiconductor Mem

ory Device with Floating Body Transistor Using Silicon Controlled Rectifier Principle」(「Widjaja - 2」)、米国特許出願公開第2012/0217549号「Asymmetric Semiconductor Memory Device Having Electrically Floating Body Transistor」(「Widjaja - 3」)、および米国特許出願第13/746,523号「Memory Device Having Electrically Floating Body」(「Widjaja - 4」)(これらはすべて参照によってこれらの全体が本明細書に全て組み込まれる)で説明されるように、メモリ装置50Mが双安定フローティングボディ装置であり、アクセス装置50Aが金属酸化物半導体(MOS)トランジスタである、本発明の実施形態によるメモリセル50を図示する。

【0054】

本発明の実施形態による、メモリ装置100の概略断面図が図2Aに示されている。メモリ装置100は、2つのトランジスタ、すなわち、電氣的フローティングボディ24を有するトランジスタ40と、アクセストランジスタ42とを備える。メモリセル100は、例えば、p型等の第1の導電型の基板10を含む。基板10は、典型的には、シリコンで作製されるが、例えば、ゲルマニウム、シリコンゲルマニウム、ヒ化ガリウム、カーボンナノチューブ、または他の半導体材料も含み得る。本発明のいくつかの実施形態では、基板10は、半導体ウエハのバルク材料であり得る。他の実施形態では、基板10は、設計選択として、第2の導電型のウェル、または代替として、例えばn型等の第2の導電型の半導体ウエハのバルク(図に示されていない)のいずれかに組み込まれる、第1の導電型のウェルであり得る。説明を単純化するために、基板10は、通常、図2Aのように、半導体バルク材料として描かれる。

【0055】

フローティングボディトランジスタ40はまた、例えばn型等の第2の導電型の埋設層領域30と、例えばp型等の第1の導電型のフローティングボディ領域24と、例えばn型等の第2の導電型のソース/ドレイン領域16および18とを備える。

【0056】

埋設層30は、基板10の材料上にイオン注入プロセスによって形成されてもよい。代替として、埋設層30は、基板10の上でエピタキシャルに成長させられることができる。

【0057】

第1の導電型のフローティングボディ領域24は、表面14、ソース線領域16、ドレイン領域18、および絶縁層62によって上部で、絶縁層26によって側面で、ならびに埋設層30によって底部で境界される。フローティングボディ24は、埋設層30が埋め込まれる場合、埋設層30の上方の元の基板10の部分であってもよい。代替として、フローティングボディ24は、エピタキシャルに成長させられてもよい。どのようにして埋設層30およびフローティングボディ24が形成されるかに応じて、フローティングボディ24は、いくつかの実施形態では基板10と同一のドーピングを有し得、または他の実施形態で所望される場合には異なるドーピングを有し得る。

【0058】

ゲート60が、フローティングボディ領域24の上方で、ソース線領域16とドレイン領域18との間に位置付けられる。ゲート60は、絶縁層62によってフローティングボディ領域24から絶縁される。絶縁層62は、酸化ケイ素、および/または他の誘電体材料(限定されないが、過酸化タンタル、酸化チタン、酸化ジルコニウム、酸化ハフニウム、および/または酸化アルミニウム等のhigh-K誘電体材料を含む)で作製されてもよい。ゲート60は、例えば、ポリシリコン材料、またはタングステン、タンタル、チタン、およびそれらの窒化物等の金属ゲート電極で作製されてもよい。

【0059】

(例えば、シャロートレンチアイソレーション(STI)のような)絶縁層26は、例

えば、酸化ケイ素で作製されてもよいが、他の絶縁材料が使用されてもよい。絶縁層 2 6 は、隣接するフローティングボディトランジスタ 4 0 および隣接するアクセストランジスタ 4 2 からフローティングボディトランジスタ 4 0 を絶縁する。絶縁層 2 6 の底部は、埋設領域 3 0 の内側に存在してもよく、埋設領域 3 0 が図 2 A に示されるように連続的となることを可能にする。代替として、絶縁層 2 6 の底部は、図 2 C に示されるように、埋設領域 3 0 の下方に存在してもよい。これは、フローティングボディ領域 2 4 を絶縁するが、埋設層 3 0 が図 2 C に示される断面図の垂直方向に連続的となることを可能にする、より浅い絶縁層 2 8 を必要とする。簡単にするために、全ての方向に連続埋設領域 3 0 を伴うメモリセル 1 0 0 のみが、この後に示される。

【 0 0 6 0 】

アクセストランジスタ 4 2 は、p 型等の第 1 の導電型のウェル領域 1 2 と、n 型等の第 2 の導電型のソース領域 2 0 およびビット線領域 2 2 とを備える。第 1 の導電型のウェル領域 1 2 は、基板領域 1 0 に電氣的に接続され、したがって、浮遊していない。ゲート 6 4 が、ソース領域 2 0 とビット線領域 2 2 との間に位置付けられる。ゲート 6 4 は、絶縁層 6 6 によってウェル領域 1 2 から絶縁される。絶縁層 6 6 は、酸化ケイ素、および / または他の誘電体材料 (限定されないが、過酸化タンタル、酸化チタン、酸化ジルコニウム、酸化ハフニウム、および / または酸化アルミニウム等の h i g h - K 誘電体材料を含む) で作製されてもよい。ゲート 6 4 は、例えば、ポリシリコン材料、またはタンゲステン、タンタル、チタン、およびそれらの窒化物等の金属ゲート電極で作製されてもよい。

【 0 0 6 1 】

フローティングボディトランジスタ 4 0 のドレイン領域 1 8 は、伝導性要素 9 4 を通じてアクセストランジスタ 4 2 のソース領域 2 0 に接続される。伝導性要素 9 0 が、(同義的にメモリ装置 1 0 0 のソース線領域 1 6 と称され得る) フローティングボディトランジスタ 4 0 のソース線領域 1 6 をソース線 (S L) 端子 7 4 に接続する一方で、伝導性要素 9 2 は、(同義的にメモリ装置 1 0 0 のビット線領域 2 2 と称され得る) アクセストランジスタのビット線領域 2 2 をビット線 (B L) 端子 7 6 4 に接続する。伝導性要素 9 0 、9 2、および 9 4 は、タンゲステンまたはケイ化シリコンで形成されてもよいが、それらに限定されない。

【 0 0 6 2 】

S L 端子 7 4 および B L 端子 7 6 に加えて、メモリセル 1 0 0 はまた、フローティングボディトランジスタ 4 0 のゲート 6 0 に電氣的に接続されるワード線 1 (W L 1) 端子 7 0 と、アクセストランジスタ 4 2 のゲート 6 4 に電氣的に接続されるワード線 2 (W L 2) 端子 7 2 と、フローティングボディトランジスタ 4 0 の埋設ウェル領域 3 0 に電氣的に接続される埋設ウェル (B W) 端子 7 8 と、基板領域 1 0 に接続される基板 (S U B) 端子 8 0 とを含む。

【 0 0 6 3 】

図 2 B に図示される代替実施形態では、フローティングボディトランジスタ 4 0 のドレイン領域 1 8 およびアクセストランジスタのソース領域 2 0 は、別個の伝導性要素 9 4 a および 9 4 b を通じて接続されてもよく、それらは次いで、アルミニウムまたは銅金属等の別の導電材料 (図 2 B に示されていない) を使用して接続されてもよい。

【 0 0 6 4 】

図 3 A は、ソース線領域 1 6、ドレイン領域 1 8、およびゲート 6 0 によって形成されるフローティングボディトランジスタ 4 0 と、直列に接続されたソース領域 2 0、ビット線領域 2 2、およびゲート 6 4 によって形成されるアクセストランジスタ 4 2 とを示す、メモリ装置 1 0 0 の同等回路表現を図示する。フローティングボディトランジスタ 4 0 において、埋設ウェル領域 3 0、フローティングボディ領域 2 4、およびソース線領域 1 6 によって形成されるパイポラ装置 4 4、ならびに埋設ウェル領域 3 0、フローティングボディ領域 2 4、およびドレイン領域 1 8 によって形成されるパイポラ装置 4 6 が固有である。

【 0 0 6 5 】

また、フローティングボディトランジスタ40において、ソース線領域16、フローティングボディ領域24、およびドレイン領域18によって形成されるバイポーラ装置48も固有である。図面を明確にするために、バイポーラ装置48は、図3Bに別個に示されている。

【0066】

図4Aは、メモリ装置50Mが双安定フローティングボディ装置であり、アクセス装置50Aがバイポーラトランジスタである、本発明の別の実施形態によるメモリセル50を図示する。

【0067】

図4Bは、図4Aに説明されるメモリセル50の例示的実装である、メモリセル100Bの概略断面図を図示する。例示的メモリセル100Bでは、メモリセル100Bの状態は、(図4Aのメモリ装置50Mに対応する)フローティングボディトランジスタ40に格納され、バイポーラトランジスタ42Bは、(図4Aのアクセス装置50Aに対応する)アクセス装置として機能する。ソース領域20、ウェル領域12、およびドレイン領域22によって形成されるバイポーラトランジスタ42B(図4Aのトランジスタ50A、より一般的に、図1Aのアクセストランジスタ50Aの一般表現の具体的実施形態)は、メモリセル100Bのアクセス装置としての機能を果たす。(WL2端子72に接続される)ゲート電極64は、ウェル領域12から絶縁されず、バイポーラトランジスタ42Bのベース端子としての機能を果たす。

【0068】

メモリセル動作とともに、(図1Aに示されるメモリセル50の例示的実装として)図3A-3Bに図示されるような複数のメモリセル100を備えるメモリアレイが説明される。簡単にするために、以下に続く説明の殆どは、アクセス装置50Aの実施例としてMOSTランジスタを使用する。しかしながら、アクセス装置としてバイポーラトランジスタを使用するメモリセル50の動作が、同一の原理に従うことを理解されたい。

【0069】

図5は、行および列に配列される、(100a、100b、100c、および100dとして標識されているメモリセル100の4つの例示的事例を含む)メモリセル100の例示的メモリアレイ120を示す。例示的アレイ120が出現する、図の全てではないが、多くでは、説明されている動作が1つ(またはいくつかの実施形態では複数)の選択されたメモリセル100を有するときに、代表的メモリセル100aが、「選択された」メモリセル100を表す。そのような図では、代表的メモリセル100bは、選択された代表的メモリセル100aと同一の行を共有する未選択メモリセル100を表し、代表的メモリセル100cは、選択された代表的メモリセル100aと同一の列を共有する未選択メモリセル100を表し、代表的メモリセル100dは、選択された代表的メモリセル100aと行も列も共有しない未選択メモリセル100を表す。

【0070】

図5には、WL1端子70a~70n、WL2端子72a~72n、SL端子74a~74n、BW端子78a~78n、SUB端子80a~80n、およびBL端子76a~76pが存在する。WL1端子、WL2端子、SL端子、およびBW端子のそれぞれは、メモリセル100の単一の行と関連付けられ、BL端子76のそれぞれは、メモリセル100の単一の列と関連付けられる。当業者は、メモリアレイ120の多くの他の組織化およびレイアウトが可能であり、例えば、1つだけの共通SUB端子80が、メモリアレイ120の一区画の全体を通して、または、メモリアレイ120全体を通して存在することを理解する。同様に、他の端子が分割または緩衝されてもよい一方で、ワードデコーダ、列デコーダ、セグメンテーション装置、センス増幅器、書込増幅器等の制御回路が、アレイ120の周囲に配列され、もしくはアレイ120のサブアレイの間に挿入されてもよい。したがって、説明される例示的実施形態、特徴、設計オプション等は、いかにしても限定的ではない。

【0071】

図 6 は、本発明の実施形態による、代替的アレイ 1 2 2 を示し、代替的アレイ 1 2 2 において、メモリセル 1 0 0 が左右対称構成でレイアウトされ、1 つのメモリセル 1 0 0 の（S L 端子 7 4 に接続される）ソース線領域 1 6 が隣接するセル 1 0 0 のソース線領域 1 6 に隣接し、（B L 端子 7 6 に接続される）ビット線領域 2 2 が別の隣接するセル 1 0 0 のビット線領域 2 2 に隣接する。

【 0 0 7 2 】

保持動作、読み取り動作、論理 1 書込動作、および論理 0 書込動作等のいくつかの動作が、メモリセル 1 0 0 において行われることができる。

【 0 0 7 3 】

図 7 および図 8 は、それぞれ、メモリアレイ 1 2 0 および選択されたメモリセル 1 0 0 において行われている保持動作を図示する。保持動作は、正のバックバイアスを B W 端子 7 8 に印加し、フローティングボディトランジスタ 4 0 およびアクセストランジスタ 4 2 のチャンネル領域をオフにするようにゼロまたは低い負のバイアスを W L 1 端子 7 0 および W L 2 に印加し、ゼロバイアスを S L 端子 7 4、S U B 端子 8 0、および B L 端子 7 6 に印加することによって、行われる。B W 端子 7 8 に接続された埋設層領域 3 0 に印加される、正のバックバイアスは、対応するフローティングボディトランジスタ 4 0 のフローティングボディ領域 2 4 中に貯蔵された電荷を維持することによって、接続されるメモリセル 1 0 0 の状態を維持する。

【 0 0 7 4 】

一実施形態では、メモリセル 1 0 0 の保持動作のためのバイアス条件は、0 . 0 ボルトが、W L 1 端子 7 0、W L 2 端子 7 2、S L 端子 7 4、B L 端子 7 6、および S U B 端子 7 8 に印加され、例えば、+ 1 . 2 ボルトのような正電圧が B W 端子 7 8 に印加されることである。他の実施形態では、異なる電圧が、設計選択としてメモリセル 1 0 0 の種々の端子に印加されてもよく、説明される例示的電圧は、いかにようにも限定的ではない。

【 0 0 7 5 】

図 3 に示されるメモリセル 1 0 0 の同等回路表現から、メモリセル 1 0 0 のフローティングボディトランジスタ 4 0 において、バイポーラ装置 4 4 および 4 6 が固有であり、バイポーラ装置 4 4 のバンド図が、図 9 A および図 9 B に示される。

【 0 0 7 6 】

図 9 A は、フローティングボディ領域 2 4 が正電荷を帯び、正のバイアスが埋設領域 3 0 に印加されるときバイポーラ装置 4 4 のバンド図を示す。バイポーラ装置 4 6 のエネルギーバンド図は、ドレイン領域 1 8 がソース線領域 1 6 に取って代わった、図 9 A に示されるものに類似する。鎖線は、バイポーラ装置 4 4 の種々の領域中のフェルミレベルを示す。フェルミレベルは、当該技術分野で周知であるように、価電子帯の上部（バンドギャップの底部）を示す実線 2 7 と、伝導帯の底部（バンドギャップの上部）を示す実線 2 9 との間のバンドギャップの中に位置する。フローティングボディ 2 4 が正電荷を帯びる、すなわち、論理 1 に対応する状態である場合、フローティングボディ領域中の正電荷が、ベース領域の中への電子流のエネルギー障壁を低下させると、バイポーラトランジスタ 4 4 および 4 6 がオンにされる。いったんフローティングボディ領域 2 4 に注入されると、電子は、埋設ウェル領域 3 0 に印加される正のバイアスにより、（B W 端子 7 8 に接続される）埋設ウェル領域 3 0 の中へ掃引される。正のバイアスの結果として、電子は、加速され、衝突電離機構を通して付加的ホットキャリア（ホット正孔およびホット電子ペア）を生成する。結果として生じるホット電子が、B W 端子 7 8 に流入する一方で、結果として生じるホット正孔は、後に、フローティングボディ領域 2 4 に流入する。以下の条件、すなわち、

【 0 0 7 7 】

【 数 1 】

$$\beta \times (M - 1) \approx 1$$

【 0 0 7 8 】

(ここで、 α がバイポーラトランジスタ 44 または 46 の順方向共通エミッタ電流利得であり、 M が衝突電離係数である) が満たされるときに、フローティングボディ領域 24 に注入される正孔の量は、フローティングボディ領域 24 とソース線領域 16 またはビット線領域 18 との間の $p-n$ 接合点順方向バイアス電流により、および正孔再結合により失われる電荷を補償する。正フィードバック機構の結果として、本プロセスは、正のバイアスが BW 端子 78 を通して埋設ウェル領域 22 に印加される限り、 $n-p-n$ バイポーラトランジスタ 44 および 46 をオンに保つ、フローティングボディ領域 24 中に貯蔵された電荷 (すなわち、正孔) を維持する。

【0079】

積 $\times (M-1)$ が 1 に接近し、バイポーラトランジスタのベース領域の中へ移動する正孔電流によって特徴付けられる領域は、ある時には、逆ベース電流領域と称され、例えば、“A New Static Memory Cell Based on the Reverse Base Current Effect of Bipolar Transistors”, K. Sakui et al., 44-47, International Electron Devices Meeting, 1988 (“Sakui-1”), “A New Static Memory Cell Based on the Reverse Base Current Effect of Bipolar Transistors”, K. Sakui et al., pp. 1215-1217, IEEE Transactions on Electron Devices, vol. 36, no. 6, June 1989 (“Sakui-2”), “On Bistable Behavior and Open-Base Breakdown of Bipolar Transistors in the Avalanche Regime-Modeling and Applications”, M. Reisch, pp. 1398-1409, IEEE Transactions on Electron Devices, vol. 39, no. 6, June 1992 (“Reisch”) (参照によってそれらの全体が本明細書に組み込まれる) に説明されている。

【0080】

逆ベース電流領域に基づくラッチング挙動はまた、例えば、“Bistable resistor (Biristor) - Gateless Silicon Nanowire Memory”, J.-W. Han and Y.-K. Choi, pp. 171-172, 2010 Symposium on VLSI Technology, Digest of Technical Papers, 2010” (“J.-W. Han”) (参照によってその全体が本明細書に組み込まれる) におけるプリスタ (すなわち、双安定抵抗器) で説明されている。2 端子プリスタ装置では、リフレッシュ動作が依然として必要とされる。J.-W. Han は、シリコンナノワイヤプリスタメモリのための 200 ms データ保持を説明する。メモリセル 100 では、メモリセルの状態が、垂直バイポーラトランジスタ 44 および 46 により維持される一方で、残りのセル動作 (すなわち、読取動作および書込動作) は、側方バイポーラトランジスタ 48 および MOS トランジスタ 40 によって統制される。したがって、保持動作は、メモリセル 100 アクセスへのいかなる割り込みも必要としない。

【0081】

フローティングボディ 24 が中性電荷を帯びる (フローティングボディ 24 上の電圧が接地ソース線領域 16 上の電圧に等しい)、すなわち、論理 0 に対応する状態である場合、いかなる電流もバイポーラトランジスタ 44 および 46 を通って流れない。バイポーラ装置 44 および 46 は、オフのままとなり、いかなる衝突電離も起こらない。その結果として、論理 0 状態におけるメモリセルは、論理 0 状態のままである。

【0082】

図 9B は、フローティングボディ領域 24 が中性電荷を帯び、バイアス電圧が埋設ウェル領域 30 に印加されるとき固有バイポーラ装置 44 のエネルギーバンド図を示す。本

状態では、実線 27A および 29A によって境界されるバンドギャップのエネルギーレベルは、バイポーラ装置 44 の種々の領域中で異なる。フローティングボディ領域 24 およびソース線領域 16 の電位が等しいため、フェルミレベルは一定であり、ソース線領域 16 とフローティングボディ領域 24 との間にエネルギー障壁をもたらす。実線 23 は、参照目的で、ソース線領域 16 とフローティングボディ領域 24 との間のエネルギー障壁を示す。エネルギー障壁は、(SL 端子 74 に接続される) ソース線領域 16 からフローティングボディ領域 24 までの電子流を防止する。したがって、バイポーラ装置 44 は、オフのままである。

【0083】

メモリセル状態を最初に読み取る必要がない、フローティングボディメモリの自律リフレッシュは、例えば、“Autonomous Refresh of Floating Body Cell (FBC)”, Ohsawa et al., pp. 801-804, International Electron Device Meeting, 2008 (「Ohsawa」)、第US7,170,807号“Data Storage Device and Refreshing Method for Use with Such Device”, Fazan et al. (「Fazan」) (参照によってそれらの全体が本明細書に組み込まれる) で説明されている。Ohsawa および Fazan は、リフレッシュされているメモリセルへのアクセスを遮断する、周期的ゲートならびにドレイン電圧パルスを印加することによる、自律リフレッシュ方法を教示する。メモリセル 100 では、垂直バイポーラトランジスタ 44 および 46 により、1 つより多くの安定状態が達成される。メモリセル 100 の読取動作および書込動作は、側方バイポーラトランジスタ 48 および MOS トランジスタ 40 によって統制される。したがって、保持動作は、メモリセル 100 アクセスへのいかなる割り込みも必要としない。

【0084】

図 7 に説明される保持動作では、個別に選択されたメモリセルがない。むしろ、セルは、埋設ウェル端子 78a ~ 78n によって行で選択され、個々の行として、複数の行として、またはアレイ 120 を備える行の全てとして選択されてもよい。

【0085】

図 9C は、(一定の縮尺で描かれていない) フローティングボディ 24 の電位 V の関数として、フローティングボディ領域 24 に流入または流出する正味電流 I のグラフを示す。負電流が、フローティングボディ領域 24 に流入する正味電流を示す一方で、正電流は、フローティングボディ領域 24 から流出する正味電流を示す。図 9C に示される $0V \sim V_{FB0}$ の低いフローティングボディ 24 電位において、正味電流は、逆バイアスをかけられているフローティングボディ領域 24 および埋設ウェル領域 30 によって形成される p-n ダイオードの結果として、フローティングボディ領域 24 に流入している。フローティングボディ 24 電位の値は、 $V_{FB0} \sim V_{TS}$ であり、電流は、方向を切り替え、正味電流がフローティングボディ領域 24 から流出することをもたらす。これは、フローティングボディ領域 24 がますます正になるにつれて順方向バイアスをかけられている、フローティングボディ領域 24 および埋設ウェル領域 30 によって形成される、p-n ダイオードによるものである。結果として、フローティングボディ領域 24 の電位が V_{TS} 未満である場合には、定常状態において、フローティングボディ領域 24 が V_{FB0} に達する。フローティングボディ領域 24 の電位が V_{TS} より高い場合、電流は方向を切り替え、正味電流がフローティングボディ領域 24 に流入することをもたらす。これは、p-n ダイオード漏出電流より大きい、フローティングボディ領域 24 に流入するベース電流の結果である。フローティングボディ 24 電位が V_{FB1} より高いとき、正味電流は、フローティングボディ領域 24 から流出する。これは、p-n ダイオード漏出電流が再びバイポーラ装置 44 および 46 のベース電流より大きくなるためである。

【0086】

保持動作は、2 つの安定状態、すなわち、それぞれ V_{FB0} 、 V_{FB1} 、および V_{TS}

によって表されるエネルギー障壁によって分離される論理 0 状態と論理 1 状態とを有するフローティングボディメモリセルをもたらす。図 9 D は、バックバイアスを（埋設ウェル領域 3 0 に接続される）B W 端子 7 8 に印加することによって起因する 2 つの安定状態の別の表現を示す、メモリセル 1 0 0 のポテンシャルエネルギー表面（P E S）の概略曲線を示す。

【 0 0 8 7 】

電流が方向を変化させるフローティングボディ 2 4 電位の値、すなわち、 $V_{F B 0}$ 、 $V_{F B 1}$ 、および $V_{T S}$ は、B W 端子 7 8 に印加される電位によって変調されることができる。これらの値はまた、温度依存性でもある。

【 0 0 8 8 】

保持 / スタンバイ動作はまた、フローティングボディ 2 4 に貯蔵されることができる電荷の量を増加させることによって、より大きいメモリウィンドウをもたらす。保持 / スタンバイ動作がないと、フローティングボディ 2 4 に貯蔵されることができる最大電位は、領域 1 6 および 1 8 への接合点漏出電流が $V_{F B}$ より大きいフローティングボディ電位において指数関数的に増加するため、フラットバンド電圧 $V_{F B}$ に限定される。しかしながら、正電圧を B W 端子 7 8 に印加することによって、バイポーラ作用は、正孔電流をフローティングボディ 2 4 に流入させ、フローティングボディ 2 4 と領域 1 6 および 1 8 との間の接合点漏出電流を補償する。結果として、フローティングボディ 2 4 に貯蔵される最大電荷 $V_{M C}$ は、図 9 E に示されるように正のバイアスを B W 端子 7 8 に印加することによって、増加させられることができる。フローティングボディ 2 4 に貯蔵される最大電荷の増加は、より大きいメモリウィンドウをもたらす。

【 0 0 8 9 】

R a n i c a - 1、R a n i c a - 2、V i l l a r e t、および P u l i c a n i で説明されるフローティングボディ D R A M セルは、多くの場合、論理 0 状態として割り当てられる、1 つの安定状態のみを呈する。V i l l a r e t は、フローティングボディ領域に貯蔵された正孔と別様に再結合する電子を引き込むことによって、固有バイポーラトランジスタが論理 1 状態のデータ保持を増進することを説明している。しかしながら、電荷漏出および再結合を補償するためのフローティングボディ領域への正孔注入がないため、1 つだけの安定状態が観察される。

【 0 0 9 0 】

図 1 0 および図 1 1 は、それぞれ、メモリアレイ 1 2 0 および選択されたメモリセル 1 0 0 に行われる代替的保持動作を図示する。保持動作は、正バックバイアスを S U B 端子 8 0 に印加し、フローティングボディトランジスタ 4 0 およびアクセストランジスタ 4 2 のチャンネルをオフにするようにゼロまたは小さい負のバイアスを W L 1 端子 7 0 ならびに W L 2 端子 7 2 に印加し、ゼロバイアスを S L 端子 7 4、B L 端子 7 6 に印加する一方で、B W 端子 7 8 を浮遊したままにすることによって、行われる。これらの条件下で、メモリセル 1 0 0 が、フローティングボディ領域 2 4 に貯蔵された正電荷を有する論理 1 状態にある場合、基板 1 0、埋設ウェル領域 3 0、フローティングボディ領域 2 4、およびソース線領域 1 6 またはドレイン領域 1 8 によって形成される、メモリセル 1 0 0 の固有シリコン制御整流器（S C R）がオンにされ、それによって、フローティングボディ領域 2 4 上の正電荷を維持する。論理 0 状態におけるメモリセルは、フローティングボディ領域 2 4 の電圧が実質的に正ではなく、したがって、フローティングボディ 2 4 が S C R 装置をオンにしないため、遮断モードにとどまる。したがって、電流は、S C R 装置を通して流れず、メモリセル 1 0 0 は、論理 0 状態を維持する。本保持動作では、同一の S U B 端子に共通に接続される全てのメモリセル 1 0 0 は、それらのデータ状態を正確に保持するように維持される。

【 0 0 9 1 】

一実施形態では、以下のバイアス条件が、代替的保持動作のために適用され、すなわち、0 . 0 ボルトが、W L 1 端子 7 0、W L 2 端子 7 2、S L 端子 7 4、B L 端子 7 6 に印加され、例えば、+ 1 . 2 ボルトのような正電圧が、S U B 端子 8 0 に印加される一方で

、BW端子78は、浮遊したままにされる。他の実施形態では、異なる電圧が、設計選択としてメモリセル100の種々の端子に印加されてもよく、説明される例示的電圧は、いかようにも限定的ではない。代替として、BW端子78は、埋設ウェル領域30を浮遊したままにして、アレイ120から排除されてもよい。

【0092】

図7および図8に示されるようにBW端子78を通すか、または図10および図11に示されるようにSUB端子80へのいずれかである、バックバイアスの印加は、(例えば、Widjaja-1、Widjaja-2、Widjaja-3、ならびにWidjaja-4で説明されるように)2つの安定フローティングボディ24状態をもたらす。バイポーラトランジスタの双安定挙動はまた、例えば、“Bistable Behavior and Open-Base Breakdown of Bipolar Transistors”, M. Reisch, pp. 1398-1409, IEEE Transactions on Electron Devices, vol. 39, no. 6, June 1992(「Reisch」)(参照によってその全体が本明細書に説明される)で説明されている。ReischおよびSakuは両方とも、1つのバイポーラトランジスタおよび1つのMOSトランジスタを採用する、二重ポリBiCMOS SRAMセルを説明している。これは、(例えば、“A Capacitor-less 1T-DRAM Cell”, S. Okhonin et al., pp. 85-87, IEEE Electron Device Letters, vol. 23, no. 2, February 2002(「Okhonin-1」)、“Memory Design Using One-Transistor Gain Cell on SOI”, T. Ohsawa et al., pp. 152-153, Tech. Digest, 2002 IEEE International Solid-State Circuits Conference, February 2002(「Ohsawa-1」)、“Further Insight Into the Physics and Modeling of Floating-Body Capacitorless DRAMs”, A. Villaret et al., pp. 2447-2454, IEEE Transactions on Electron Devices, vol. 52, no. 11, November 2005(「Villaret」)、“Scaled 1T-Bulk Devices Built with CMOS 90nm Technology for Low-cost eDRAM Applications”, R. Ranica, et al., pp. 38-41, Tech. Digest, Symposium on VLSI Technology, 2005(「Ranica」)および“Simulation of Intrinsic Bipolar Transistor Mechanisms for future capacitor-less eDRAM on bulk substrate”, R. Pulicani et al., pp. 966-969, 2010 17th IEEE International Conference on Electronics, Circuits, and Systems, December 2010(「Pulicani」)(参照によってそれらの全体が本明細書に組み込まれる)で説明されるように)メモリセルの中に1つだけの安定フローティングボディ24状態を伴って、フローティングボディトランジスタがキャパシタレスDRAMとして動作する場合と対照的である。

【0093】

メモリセル100およびアレイ120の読取動作は、図12ならびに図13と併せて説明される。当技術分野で公知である任意の感知方式が、メモリセル100とともに使用されることができる。フローティングボディ24に貯蔵される電荷の量は、メモリセル100のセル電流を監視することによって感知されることができる。メモリセル100が、フローティングボディ領域24に正孔を有する論理1状態にある場合には、メモリセルは、

セル 1 0 0 がフローティングボディ領域 2 4 に正孔を有していない論理 0 状態にある場合と比較して、より高いセル電流（例えば、B L 端子 7 6 から S L 端子 7 4 まで流れる電流）を有する。典型的には B L 端子 7 6 に接続されるセンス回路が、メモリセルのデータ状態を決定するために使用されることができる。

【 0 0 9 4 】

読取動作は、例えば、以下のバイアス条件を適用することによって、メモリセル 1 0 0 において行われることができる。正電圧が、W L 2 端子 7 2 に印加され、アクセストランジスタ 4 2 をオンにし、正電圧が、B L 端子 7 6 に印加され、ゼロ電圧が、S L 端子 7 4 に印加され、ゼロまたは正電圧が、B W 端子 7 8 に印加され、ゼロ電圧が、S U B 端子 8 0 に印加される。正電圧はまた、B L 端子 7 6 から S L 端子 7 4 までメモリセル 1 0 0 を通って流れる電流をさらに増進するように、W L 1 端子 7 0 に印加されてもよい。メモリセル 1 0 0 がフローティングボディ領域 2 4 に正孔を有する論理 1 状態にある場合には、メモリセル 1 0 0 がフローティングボディ領域 2 4 に正孔を有していない論理 0 状態にある場合と比較して、より高い電流が、B L 端子 7 6 から選択されたメモリセル 1 0 0 の S L 端子 7 4 まで流れる。1 つの特定の実施形態では、+ 1 . 2 ボルトが、W L 1 端子 7 0 、W L 2 端子 7 2 、B L 端子 7 6 、B W 端子 7 8 に印加され、0 . 0 ボルトが、S L 端子 7 4 および S U B 端子 8 0 に印加される。他の実施形態では、異なる電圧が、設計選択としてメモリセル 1 0 0 の種々の端子に印加されてもよく、説明される例示的電圧は、いかようにも限定的ではない。

【 0 0 9 5 】

アクセストランジスタ 4 2 は、読取動作中にメモリセル 1 0 0 の選択を支援するために使用される。異なる行の中の未選択メモリセル（例えば、メモリセル 1 0 0 c および 1 0 0 d ）のアクセストランジスタ 4 2 がオフにされるため、アクセストランジスタ 4 2 は、B L 端子 7 6 に印加される正電圧をフローティングボディトランジスタ 4 0 のドレイン領域 1 8 に渡さない。結果として、いかなる電流も、異なる行の中の未選択メモリセルのフローティングボディトランジスタ 4 0 を通って流れない。

【 0 0 9 6 】

異なる列の中の未選択メモリセル（例えば、メモリセル 1 0 0 b および 1 0 0 d ）は、ゼロバイアスが B L 端子 7 6 および S L 端子 7 4 の両方に印加されるため、電流を伝導しない。

【 0 0 9 7 】

図 1 4 および図 1 5 は、バンド間トンネリング機構を使用する例示的論理 1 書込動作を図示し、ここで、以下のバイアス条件が適用される、すなわち、正のバイアスが、W L 2 端子 7 2 に印加され、選択されたメモリセル 1 0 0 のアクセストランジスタ 4 2 をオンにし、負のバイアスが、W L 1 端子 7 0 に印加され、正のバイアスが、B L 端子 7 6 に印加され、ゼロバイアスが、S L 端子 7 4 に印加され、ゼロまたは正のバイアスが、B W 端子 7 8 6 に印加され、ゼロバイアスが、S U B 端子 8 0 に印加される。

【 0 0 9 8 】

1 つの特定の非限定的実施形態では、約 + 1 . 2 ボルトが、選択された W L 2 端子 7 2 に印加され、約 - 1 . 2 ボルトが、選択された W L 1 端子 7 0 に印加され、約 + 1 . 2 ボルトが、選択された B L 端子 7 6 に印加され、約 + 1 . 2 ボルトが、選択された B W 端子 7 8 に印加され、約 0 . 0 ボルトが、S U B 端子 8 0 に印加される。

【 0 0 9 9 】

W L 2 端子 7 2 に印加される正のバイアスは、アクセストランジスタ 4 2 をオンにし、B L 端子 7 6 に印加される正のバイアスをフローティングボディトランジスタ 4 0 のドレイン領域 1 8 に渡す。（ゲート 6 0 に接続される）W L 1 端子 7 0 に印加される負電圧とともに、フローティングボディトランジスタ 4 0 のドレイン領域 1 8 上に現在存在している正のバイアスは、ゲート 6 0 に近接するドレイン領域 1 8 の接合点領域の周囲に強い電場を生成する。強い電場は、ゲート 6 0 およびドレイン領域 1 8 接合点重複領域の付近で急に上向きにエネルギーバンドを屈曲させ、フローティングボディ領域 2 4 の価電子帯が

らドレイン領域 18 の伝導帯まで電子を進ませ、フローティングボディ領域 24 の価電子帯に正孔を残す。エネルギーバンドを横断して進む電子が、ドレイン領域 18 漏出電流になる一方で、正孔は、フローティングボディ領域 24 に注入され、論理 1 状態を生成する正孔電荷になる。

【0100】

図 16 および図 17 は、それぞれ、メモリアレイ 120 および選択されたメモリセル 100 において行われる、衝突電離機構を通した論理 1 書込動作のための例示的バイアス条件を図示し、ここで、以下のバイアス条件が適用される、すなわち、正電圧が、選択された WL2 端子 72 に印加され、正電圧が、選択された WL1 端子 70 に印加され、正電圧が、選択された BL 端子 76 に印加され、ゼロ電圧が、SL 端子 74 に印加され、ゼロまたは正電圧が、BW 端子 78 に印加され、ゼロ電圧が、SUB 端子 80 に印加される。WL1 端子 70 および BL 端子 76 に印加される正電圧は、衝突電離プロセスを通した正孔生成を最大限にするように構成され、フローティングボディトランジスタ 40 のドレイン領域 18 上の電圧は、典型的には、フローティングボディトランジスタ 40 の (WL1 端子 70 に接続される) ゲート 60 に印加される電圧より大きい。

【0101】

1 つの特定の非限定的実施形態では、約 +1.2 ボルトが、選択された WL2 端子 72 に印加され、約 +0.5 ボルトが、選択された WL1 端子 70 に印加され、約 +1.2 ボルトが、選択された BL 端子 76 に印加され、約 +1.2 ボルトが、選択された BW 端子 78 に印加され、約 0.0 ボルトが、SUB 端子 80 に印加される。これらの電圧レベルは、例示的にすぎず、実施形態によって異なり得る。したがって、説明される例示的实施形態、特徴、バイアスレベル等は、限定的ではない。

【0102】

図 18 および図 19 は、フローティングボディトランジスタ 40 のゲート 60 からフローティングボディ領域 24 までの容量結合を通した例示的論理 1 書込動作のための例示的バイアス条件を図示し、ここで、以下のバイアス条件が適用される、すなわち、ゼロまたは低い正電圧が、選択された WL2 端子 72 に印加され、正のバイアスが、選択された BL 端子 76 に印加され、正電圧が、SL 端子 74 に印加され、正電圧が、BW 端子 78 に印加され、ゼロ電圧が、SUB 端子 80 に印加される。WL1 端子は、最初に接地され、次いで、その電位は、正電圧まで増加させられる。選択されたメモリセルのアクセストランジスタ 42 は、例えば、BL 端子 76 に印加されるバイアスを、ゲート 64 に印加されるバイアスとアクセストランジスタ 42 の閾値電圧との間の差より大きくさせることによって、アクセストランジスタ 42 のソース領域 20 が浮遊しているようにバイアスをかけられる。フローティングボディトランジスタ 40 のチャネル領域が現在浮遊しているため、(WL1 端子 70 に接続される) ゲート領域 60 の電位がゼロ (または負電圧) から正電圧まで増加させられるとき、フローティングボディ領域 24 の電位は、容量結合により増加する。次いで、(BW 端子 78 を通して) 埋設ウェル領域 30 に印加される正のバイアスは、フローティングボディ領域 24 の正電荷を維持する衝突電離プロセスを通して、正孔を生成する。

【0103】

1 つの特定の非限定的実施形態では、約 0.0 ボルトが、WL2 端子 72 に印加され、WL1 端子に印加される電圧が、0.0 ボルトから約 +1.2 まで増加させられ、約 +1.2 ボルトが、SL 端子 74 に印加され、約 +1.2 ボルトが、BL 端子 76 に印加され、約 +1.2 ボルトが、BW 端子 78 に印加され、約 0.0 ボルトが、SUB 端子 80 に印加される。これらの電圧レベルは、例示的にすぎず、実施形態によって異なり得る。したがって、説明される例示的实施形態、特徴、バイアスレベル等は、限定的ではない。

【0104】

(ゲート電極 60 に接続される) WL1 端子 70 に印加される正のバイアスのランブ速度は、ゲート 60 からフローティングボディ領域 24 までの結合比を増加させるように最適化されてもよい。例えば、"Substrate Response of a Fl

oating Gate n-channel MOS Memory Cell Subject to a Positive Linear Ramp Voltage", H. - S. Lee and D. S. Lowrie, Solid-State Electronics 24, no. 3, pp. 267 - 273, 1981 (参照によってその全体が本明細書に組み込まれる)に説明されるように、ゲート60からフローティングボディ領域24までのより高い結合が、より高いランブ速度で達成されることができる。ゲート60に適用されるランブ速度はまた、論理1書込動作時間をさらに向上させるように、読取動作等の他の動作よりも論理1書込動作で高くあり得る。

【0105】

図20および図21は、以下のバイアス条件(すなわち、負電圧が、SL端子74に印加され、ゼロ電圧が、WL1端子70、WL2端子72、BL端子76、およびSUB端子80に印加され、正のバイアスが、BW端子78に印加される)を適用することによる、本発明の実施形態による、論理0書込動作のための例示的バイアス条件を図示する。これらの条件下で、フローティングボディ24とソース線領域16との間のp-n接合点は、順方向バイアスをかけられ、フローティングボディ24から正孔を排出する。同一のSL端子74を共有する全てのメモリセルが、同時に書き込まれる。恣意的なバイナリデータを異なるメモリセル100に書き込むために、論理0書込動作が、最初に、書き込まれるべき全てのメモリセルに行われ、その後、論理1に書き込まなければならないメモリセルへの1つまたは複数の論理1書込動作が続く。

【0106】

1つの特定の非限定的実施形態では、約-1.2ボルトが、選択されたSL端子74に印加され、約0.0ボルトが、WL1端子70、WL2端子72、BL端子76、およびSUB端子80に印加され、約+1.2ボルトが、BW端子78に印加される。これらの電圧レベルは、例示的にすぎず、実施形態によって異なり得る。したがって、説明される例示の実施形態、特徴、バイアスレベル等は、限定的ではない。

【0107】

図22および図23は、以下のバイアス条件(すなわち、正のバイアスが、WL2端子72に印加され、正のバイアスが、WL1端子70に印加され、負のバイアスが、BL端子76に印加され、ゼロ電圧が、SL端子74に印加され、正のバイアスが、BW端子78に印加され、ゼロ電圧が、SUB端子80に印加される)を適用することによる、本発明の別の実施形態による、論理0書込動作のための例示的バイアス条件を図示する。これらの条件下で、アクセストランジスタ42は、BL端子76に印加される負電圧をフローティングボディトランジスタ40のドレイン領域18に渡し、フローティングボディ24とドレイン領域18との間のp-n接合点に順方向バイアスをかける。正のバイアスはまた、(WL1端子70に接続される)フローティングボディトランジスタ40のゲート60に適用されることができ、これは、容量結合を通してフローティングボディ24の電位を増加させ、そして、フローティングボディ24とドレイン領域18との間のp-n接合点を横断する電場を増加させる。BL端子76に印加される負のバイアスおよびWL2端子に印加されるバイアスは、異なる行の中の未選択セル100(例えば、メモリセル100cおよび100d)のアクセストランジスタが、負のバイアスをフローティングボディトランジスタ40のドレイン領域18に渡さないように構成される。

【0108】

1つの特定の非限定的実施形態では、約+1.2ボルトが、WL2端子72に印加され、約+1.2ボルトが、WL1端子70に印加され、約0.0ボルトが、SL端子74に印加され、約-1.2ボルトが、BL端子76に印加され、約+1.2ボルトが、BW端子78に印加され、約0.0ボルトが、SUB端子80に印加される。これらの電圧レベルは、例示的にすぎず、実施形態によって異なり得る。したがって、説明される例示の実施形態、特徴、バイアスレベル等は、限定的ではない。

【0109】

選択された B L 端子 7 4 が、低い電圧、例えば、ゼロ電圧においてバイアスをかけられる、アクティブロースキームもまた、メモリセル 1 0 0 およびメモリアレイ 1 2 0 に行われることができる。

【 0 1 1 0 】

本発明の実施形態による、アクティブロー読取動作のための例示的バイアス条件が、図 2 4 に図示され、以下のバイアス条件が、選択されたメモリセル 1 0 0 a に適用され、すなわち、正電圧が、W L 2 端子 7 2 a に印加され、正電圧が、W L 1 端子 7 0 a に印加され、ゼロ電圧が、B L 端子 7 6 a に印加され、正電圧が、S L 端子 7 4 a に印加され、ゼロまたは正電圧が、B W 端子 7 8 a に印加され、ゼロ電圧が、S U B 端子 8 0 a に印加される。以下のバイアス条件が、未選択端子に印加され、すなわち、ゼロ電圧が、W L 1 端子 7 0、W L 2 端子 7 2、S L 端子 7 4 に印加され、正電圧が、B L 端子 7 6 に印加され、ゼロまたは正電圧が、B W 端子 7 8 に印加され、ゼロ電圧が、S U B 端子 8 0 に印加される。

【 0 1 1 1 】

1 つの特定の非限定的実施形態では、以下の条件が、選択された端子に適用され、すなわち、約 + 1 . 2 ボルトが、W L 2 端子 7 2 に印加され、約 + 1 . 2 ボルトが、W L 1 端子 7 0 に印加され、約 + 1 . 2 ボルトが、S L 端子 7 4 に印加され、約 0 . 0 ボルトが、B L 端子 7 6 に印加され、約 0 . 0 ボルトが、B W 端子 7 8 に印加され、約 0 . 0 ボルトが、S U B 端子 8 0 に印加される一方で、以下のバイアス条件が、未選択端子に適用され、すなわち、約 0 . 0 ボルトが、W L 1 端子 7 0、W L 2 端子 7 2 に印加され、約 0 . 0 ボルトが、S L 端子 7 4 に印加され、約 + 1 . 2 ボルトが、B L 端子 7 6 に印加され、約 + 1 . 2 ボルトが、B W 端子 7 8 に印加され、約 0 . 0 ボルトが、S U B 端子 8 0 に印加される。これらの電圧レベルは、例示的にすぎず、実施形態によって異なり得る。したがって、説明される例示の実施形態、特徴、バイアスレベル等は、限定的ではない。

【 0 1 1 2 】

図 2 5 は、本発明の実施形態による、アクティブロー論理 1 書込動作のためにメモリアレイ 1 2 0 の選択された端子に適用される、例示的バイアス条件を図示し、すなわち、正電圧が、W L 2 端子 7 2 a に印加され、正電圧が、W L 1 端子 7 0 a に印加され、ゼロ電圧が、B L 端子 7 6 a に印加され、W L 1 端子 7 0 a に印加される正電圧より高い正電圧が、S L 端子 7 4 a に印加され、ゼロまたは正電圧が、B W 端子 7 8 a に印加され、ゼロ電圧が、S U B 端子 8 0 a に印加される。以下のバイアス条件が、未選択端子に適用され、すなわち、ゼロ電圧が、W L 1 端子 7 0、W L 2 端子 7 2、S L 端子 7 4 に印加され、正電圧が、B L 端子 7 6 に印加され、ゼロまたは正電圧が、B W 端子 7 8 に印加され、ゼロ電圧が、S U B 端子 8 0 に印加される。

【 0 1 1 3 】

1 つの特定の非限定的実施形態では、以下の条件が、選択された端子に適用され、すなわち、約 + 1 . 2 ボルトが、W L 2 端子 7 2 に印加され、約 + 0 . 5 ボルトが、W L 1 端子 7 0 に印加され、約 + 1 . 2 ボルトが、S L 端子 7 4 に印加され、約 0 . 0 ボルトが、B L 端子 7 6 に印加され、約 0 . 0 ボルトが、B W 端子 7 8 に印加され、約 0 . 0 ボルトが、S U B 端子 8 0 に印加される一方で、以下のバイアス条件が、未選択端子に適用され、すなわち、約 0 . 0 ボルトが、W L 1 端子 7 0、W L 2 端子 7 2 に印加され、約 0 . 0 ボルトが、S L 端子 7 4 に印加され、約 + 1 . 2 ボルトが、B L 端子 7 6 に印加され、約 + 1 . 2 ボルトが、B W 端子 7 8 に印加され、約 0 . 0 ボルトが、S U B 端子 8 0 に印加される。これらの電圧レベルは、例示的にすぎず、実施形態によって異なり得る。したがって、説明される例示の実施形態、特徴、バイアスレベル等は、限定的ではない。

【 0 1 1 4 】

図 2 6 および図 2 7 は、3 次元メモリセル構造を備える、メモリセル 1 0 2 および 1 0 4 の代替的实施形態を示す。これらの実施形態では、メモリセル 1 0 2 および 1 0 4 は、基板 1 0 の頂面と実質的に垂直に、かつ基板 1 0 の頂面の上方に延在するフィン構造 5 2 を有する。フィン構造 5 2 は、伝導性であり、埋設ウェル層 3 0 またはウェル領域 1 2 上

に構築されてもよい。メモリセル 102 および 104 は両方とも、フローティングボディトランジスタ 40 と、アクセストランジスタ 42 とを備える。フローティングボディトランジスタ 40 では、フローティングボディ領域 24 は、埋設ウェル領域 30、ソース線領域 16、ドレイン領域 18、絶縁層 62、および絶縁層 26 によって絶縁される。アクセストランジスタ 42 では、ウェル領域 12 は、基板 10 と同一の導電性を有する。フローティングボディトランジスタ 40 のドレイン領域 18 は、伝導性要素 44 を通してアクセストランジスタ 42 のソース領域 20 に接続される。図面を簡単にするために、伝導性要素 44 は、図 26 および 27 に示されていない。

【0115】

メモリセル 102 は、フローティングボディトランジスタ 40 のフローティング基板領域 24 の 2 つの両側のゲート 60 と、アクセストランジスタ 42 のウェル領域 12 の 2 つの両側のゲート 64 とを含む（図 26 参照）。代替として、ゲート 60 およびゲート 64 は、図 27 に図示されるように、メモリセル 104 において、それぞれ、フローティングボディ領域 24 およびウェル領域 12 の 3 つの側面を包囲してもよい。

【0116】

メモリセル 102 および 104 は、ソース線領域 16 に接続されるソース線（SL）端子 74 と、ビット線領域 22 に接続されるビット線（BL）端子 76 と、フローティングボディトランジスタ 40 のゲート 60 に電氣的に接続されるワード線 1（WL1）端子 70 と、アクセストランジスタ 42 のゲート 64 に電氣的に接続されるワード線 2（WL2）端子 72 と、フローティングボディトランジスタ 40 の埋設ウェル領域 30 に電氣的に接続される埋設ウェル（BW）端子 78 と、基板領域 10 に接続される基板（SUB）端子 80 とを備える。

【0117】

メモリセル 100、102、および 104 はそれぞれ、同一の導電性を有する 2 つのトランジスタを直列に有する（2 つの n チャネルトランジスタ 40 および 42 が実施例で使用される）。図 28 は、メモリトランジスタ 40 およびアクセストランジスタ 42' が、異なる導電性を有するトランジスタから成る、メモリセル 200 の別の実施形態を図示する。メモリセル 200 の本例示的实施形態では、フローティングボディトランジスタ 40 は、メモリセル 100 のものに類似する。しかしながら、アクセストランジスタ 42' は、メモリセル 100 のアクセストランジスタ 42 と異なる導電性を有し、付加的アクセストランジスタ基板端子 80' を備えてもよい。

【0118】

図 29A は、本発明の実施形態による、メモリセル 200 を図示する。アクセストランジスタ 42' は、n 型等の第 2 の導電型のウェル領域 12' と、p 型等の第 1 の導電型のソース領域 20' およびビット線領域 22' とを備える。第 2 の導電型のウェル領域 12' は、埋設ウェル領域 30 に電氣的に接続され、したがって、浮遊していない。ゲート 64 が、ソース領域 20' とビット線領域 22' との間に位置付けられる。ゲート 64 は、絶縁層 66 によってウェル領域 12' から絶縁される。絶縁層 66 は、酸化ケイ素、および / または他の誘電体材料（過酸化タンタル、酸化チタン、酸化ジルコニウム、酸化ハフニウム、および / または酸化アルミニウム等の high-K 誘電体材料を含むがこれらに限定されない）で作製されてもよい。ゲート 64 は、例えば、ポリシリコン材料、または金属ゲート電極（タングステン、タンタル、チタン、およびそれらの窒化物等）で作製されてもよい。絶縁層 26 の底部は、図 29B に示されるように埋設領域 30 の下方に存在してもよい。これは、フローティングボディ領域 24 を絶縁するが、埋設層 30 が図 29B に示される断面図の垂直方向に連続的となることを可能にする、より浅い絶縁層 28 を必要とする。図 29A および図 29B に示されるメモリセル 200 では、アクセストランジスタ 42' のウェル領域 12' は、埋設ウェル領域 30 に接続される。したがって、本実施形態では、BW 端子 78 はまた、図 28 に示されるメモリセル 200 の同等回路表現に示されるアクセストランジスタ基板端子 80' としての役割も果たす。

【0119】

図 3 0 および図 3 1 は、直列に接続される、ソース線領域 1 6、ドレイン領域 1 8、およびゲート 6 0 によって形成されるフローティングボディトランジスタ 4 0 と、ソース領域 2 0'、ビット線領域 2 2'、およびゲート 6 4 によって形成されるアクセストランジスタ 4 2' とを示すメモリ装置 2 0 0 の同等回路表現を図示する。フローティングボディトランジスタ 4 0 において、埋設ウェル領域 3 0、フローティングボディ領域 2 4、およびソース線領域 1 6 によって形成されるバイポーラ装置 4 4、ならびに埋設ウェル領域 3 0、フローティングボディ領域 2 4、およびドレイン領域 1 8 によって形成されるバイポーラ装置 4 6 が固有である。

【 0 1 2 0 】

また、フローティングボディトランジスタ 4 0 において、ソース線領域 1 6、フローティングボディ領域 2 4、およびドレイン領域 1 8 によって形成されるバイポーラ装置 4 8 も固有である。図面を明確にするために、バイポーラ装置 4 8 は、図 3 1 に別個に示されている。

【 0 1 2 1 】

図 3 2 は、行および列に配列される、(示されるように 2 0 0 a、2 0 0 b、2 0 0 c、および 2 0 0 d として標識されているメモリセル 2 0 0 の 4 つの例示的事例を含む)メモリセル 2 0 0 の例示的メモリアレイ 2 2 0 を示す。例示的アレイ 2 2 0 が出現する、図の全てではないが多くでは、説明されている動作が 1 つ(またはいくつかの実施形態では複数)の選択されたメモリセル 2 0 0 を有するときに、代表的メモリセル 2 0 0 a が、「選択された」メモリセル 2 0 0 を表す。そのような図では、代表的メモリセル 2 0 0 b は、選択された代表的メモリセル 2 0 0 a と同一の行を共有する未選択メモリセル 2 0 0 を表し、代表的メモリセル 2 0 0 c は、選択された代表的メモリセル 2 0 0 a と同一の列を共有する未選択メモリセル 2 0 0 を表し、代表的メモリセル 2 0 0 d は、選択された代表的メモリセル 2 0 0 a と行も列も共有しない未選択メモリセル 2 0 0 を表す。

【 0 1 2 2 】

保持動作、読取動作、論理 1 書込動作、および論理 0 書込動作等のいくつかの動作が、メモリセル 2 0 0 に行われることができる。

【 0 1 2 3 】

図 3 3 は、メモリアレイ 1 2 0 と同一の機構に従う本発明の実施形態による、メモリアレイ 2 2 0 において行われる保持動作を示す。保持動作は、正バックバイアスを B W 端子 7 8 に印加し、ゼロバイアスを W L 1 端子 7 0、W L 2 端子 7 2、S L 端子 7 4、S U B 端子 8 0、および B L 端子 7 6 に印加することによって行われる。B W 端子 7 8 に接続される埋設層領域 3 0 に印加される正バックバイアスは、対応するフローティングボディトランジスタ 4 0 のフローティングボディ領域 2 4 に貯蔵された電荷を維持することによって、接続されるメモリセル 2 0 0 の状態を維持する。

【 0 1 2 4 】

一実施形態では、メモリセル 2 0 0 の保持動作のためのバイアス条件は、0 . 0 ボルトが、W L 1 端子 7 0、W L 2 端子 7 2、S L 端子 7 4、B L 端子 7 6、および S U B 端子 7 8 に印加され、例えば、+ 1 . 2 ボルトのような正電圧が、B W 端子 7 8 に印加されることである。他の実施形態では、異なる電圧が、設計選択としてメモリセル 2 0 0 の種々の端子に印加されてもよく、説明される例示的電圧は、いかようにも限定的ではない。

【 0 1 2 5 】

図 3 4 は、本発明の実施形態による、メモリアレイ 2 2 0 において行われる代替的保持動作を図示する。保持動作は、正バックバイアスを S U B 端子 8 0 に、ゼロバイアスを W L 1 端子 7 0、W L 2 端子 7 2、S L 端子 7 4、B L 端子 7 6 に印加する一方で、B W 端子 7 8 を浮遊したままにすることによって、行われる。これらの条件下で、メモリセル 2 0 0 が、フローティングボディ領域 2 4 に貯蔵された正電荷を有する論理 1 状態にある場合、基板 1 0、埋設ウェル領域 3 0、フローティングボディ領域 2 4、およびソース線領域 1 6 またはドレイン領域 1 8 によって形成される、メモリセル 2 0 0 の固有シリコン制御整流器 (S C R) がオンにされ、それによって、フローティングボディ領域 2 4 上の正

電荷を維持する。フローティングボディ領域 24 の電圧が実質的に正ではなく、したがって、フローティングボディ 24 が S C R 装置をオンにしないため、論理 0 状態におけるメモリセルは、遮断モードにとどまる。したがって、電流は、S C R 装置を通して流れず、メモリセル 200 は、論理 0 状態を維持する。本保持動作では、同一の S U B 端子に一般的に接続される全てのメモリセル 200 は、それらのデータ状態を正確に保持するように維持される。

【0126】

一実施形態では、以下のバイアス条件が、代替的保持動作のために適用され、すなわち、0 . 0 ボルトが、W L 1 端子 70、W L 2 端子 72、S L 端子 74、B L 端子 76 に印加され、例えば、+ 1 . 2 ボルトのような正電圧が、S U B 端子 80 に印加される一方で、B W 端子 78 は、浮遊したままにされる。他の実施形態では、異なる電圧が、設計選択としてメモリセル 200 の種々の端子に印加されてもよく、説明される例示的電圧は、いかようにも限定的ではない。代替として、B W 端子 78 は、埋設ウェル領域 30 を浮遊したままにして、アレイ 220 から排除されてもよい。

【0127】

図 35 は、本発明の実施形態による、メモリアレイ 220 において行われる読取動作を図示する。当技術分野で公知である任意の感知方式が、メモリセル 200 とともに使用されることができる。フローティングボディ 24 に貯蔵される電荷の量は、メモリセル 200 のセル電流を監視することによって感知されることができる。メモリセル 200 が、フローティングボディ領域 24 に正孔を有する論理 1 状態にある場合には、メモリセルは、セル 200 がフローティングボディ領域 24 に正孔を有していない論理 0 状態にある場合と比較して、より高いセル電流（例えば、B L 端子 76 から S L 端子 74 まで流れる電流）を有する。典型的には B L 端子 76 に接続されるセンス回路が、メモリセルのデータ状態を決定するために使用されることができる。

【0128】

読取動作は、例えば、以下のバイアス条件を適用することによって、メモリセル 200 において行われることができ、すなわち、ゼロ電圧が、W L 2 端子 72 に印加され、これは、アクセストランジスタ 42 をオンにし、正電圧が、B L 端子 76 に印加され、ゼロ電圧が、S L 端子 74 に印加され、ゼロまたは正電圧が、B W 端子 78 に印加され、ゼロ電圧が、S U B 端子 80 に印加される。正電圧はまた、B L 端子 76 から S L 端子 74 までメモリセル 200 を通って流れる電流をさらに増進するように、W L 1 端子 70 に印加されてもよい。メモリセル 200 がフローティングボディ領域 24 に正孔を有する論理 1 状態にある場合には、メモリセル 200 がフローティングボディ領域 24 に正孔を有していない論理 0 状態にある場合と比較して、より高い電流が、選択されたメモリセル 200 の B L 端子 76 から S L 端子 74 まで流れる。1 つの特定の実施形態では、+ 1 . 2 ボルトが、W L 1 端子 70、B L 端子 76、B W 端子 78 に印加され、0 . 0 ボルトが、W L 2 端子 72、S L 端子 74、および S U B 端子 80 に印加される。他の実施形態では、異なる電圧が、設計選択としてメモリセル 200 の種々の端子に印加されてもよく、説明される例示的電圧は、いかようにも限定的ではない。

【0129】

アクセストランジスタ 42 は、読取動作中にメモリセル 200 の選択を支援するために使用される。異なる行の中の未選択メモリセル（例えば、メモリセル 200 c および 200 d）のアクセストランジスタ 42 が（W L 2 端子 72 に印加される正電圧の印加を通して）オフにされるため、アクセストランジスタ 42 は、B L 端子 76 に印加される正電圧をフローティングボディトランジスタ 40 のドレイン領域 18 に渡さない。結果として、いかなる電流も、異なる行の中の未選択メモリセルのフローティングボディトランジスタ 40 を通って流れない。

【0130】

異なる列の中の未選択メモリセル（例えば、メモリセル 200 b および 200 d）は、ゼロバイアスが B L 端子 76 および S L 端子 74 の両方に印加されるため、電流を伝導し

ない。

【 0 1 3 1 】

図 3 6 は、本発明の実施形態による、バンド間トンネリング機構を使用する論理 1 書込動作を図示し、ここで、以下のバイアス条件が印加される、すなわち、ゼロ電圧が、W L 2 端子 7 2 に印加され、選択されたメモリセル 2 0 0 のアクセストランジスタ 4 2 をオンにし、負のバイアスが、W L 1 端子 7 0 に印加され、正のバイアスが、B L 端子 7 6 に印加され、ゼロバイアスが、S L 端子 7 4 に印加され、ゼロまたは正のバイアスが、B W 端子 7 8 に印加され、ゼロバイアスが、S U B 端子 8 0 に印加される。

【 0 1 3 2 】

1 つの特定の非限定的実施形態では、約 0 . 0 ボルトが、W L 2 端子 7 2 に印加され、約 - 1 . 2 ボルトが、選択された W L 1 端子 7 0 に印加され、約 + 1 . 2 ボルトが、選択された B L 端子 7 6 に印加され、約 + 1 . 2 ボルトが、選択された B W 端子 7 8 に印加され、約 0 . 0 ボルトが、S U B 端子 8 0 に印加される。

【 0 1 3 3 】

W L 2 端子 7 2 に印加されるゼロ電圧は、p 型アクセストランジスタ 4 2 をオンにし、B L 端子 7 6 に印加される正のバイアスをフローティングボディトランジスタ 4 0 のドレイン領域 1 8 に渡す。(ゲート 6 0 に接続される) W L 1 端子 7 0 に印加される負電圧とともに、フローティングボディトランジスタ 4 0 のドレイン領域 1 8 上に現在存在している正のバイアスは、ゲート 6 0 に近接するドレイン領域 1 8 の接合点領域の周囲に強い電場を生成する。強い電場は、ゲートおよびビット線接合点重複領域の付近で鋭く上向きにエネルギーバンドを屈曲させ、価電子帯から伝導帯まで電子を進ませ、価電子帯に正孔を残す。エネルギーバンドを横断して進む電子が、ドレイン漏出電流になる一方で、正孔は、フローティングボディ領域 2 4 に注入され、論理 1 状態を生成する正孔電荷になる。

【 0 1 3 4 】

図 3 7 は、本発明の実施形態による、メモリアレイ 2 2 0 において行われる衝突電離機構を通した論理 1 書込動作のための例示的バイアス条件を図示し、ここで、以下のバイアス条件が適用される、すなわち、ゼロ電圧が、選択された W L 2 端子 7 2 に印加され、正電圧が、選択された W L 1 端子 7 0 に印加され、正電圧が、選択された B L 端子 7 6 に印加され、ゼロ電圧が、S L 端子 7 4 に印加され、ゼロまたは正電圧が、B W 端子 7 8 に印加され、ゼロ電圧が、S U B 端子 8 0 に印加される。W L 1 端子 7 0 および B L 端子 7 6 に印加される正電圧は、衝突電離プロセスを通した正孔生成を最大限にするように構成され、フローティングボディトランジスタ 4 0 のドレイン領域 1 8 上の電圧は、典型的には、フローティングボディトランジスタ 4 0 の (W L 1 端子 7 0 に接続される) ゲート 6 0 に印加される電圧より大きい。

【 0 1 3 5 】

1 つの特定の非限定的実施形態では、約 0 . 0 ボルトが、選択された W L 2 端子 7 2 に印加され、約 + 0 . 5 ボルトが、選択された W L 1 端子 7 0 に印加され、約 + 1 . 2 ボルトが、選択された B L 端子 7 6 に印加され、約 + 1 . 2 ボルトが、選択された B W 端子 7 8 に印加され、約 0 . 0 ボルトが、S U B 端子 8 0 に印加される。これらの電圧レベルは、例示的にすぎず、実施形態によって異なり得る。したがって、説明される例示的实施形態、特徴、バイアスレベル等は、限定的ではない。

【 0 1 3 6 】

図 3 8 は、本発明の実施形態による、フローティングボディトランジスタ 4 0 のゲート 6 0 からフローティングボディ領域 2 4 までの容量結合を通した論理 1 書込動作のための例示的バイアス条件を図示し、ここで、以下のバイアス条件が適用される、すなわち、正電圧が、選択された W L 2 端子 7 2 に印加され、正のバイアスが、選択された B L 端子 7 6 に印加され、正電圧が、S L 端子 7 4 に印加され、正電圧が、B W 端子 7 8 に印加され、ゼロ電圧が、S U B 端子 8 0 に印加される。W L 1 端子 7 0 は、最初に接地され、次いで、その電位は、正電圧まで増加させられる。選択されたメモリセルのアクセストランジスタ 4 2 は、例えば、B L 端子 7 6 に印加されるバイアスを、ゲート 6 4 に印加されるバ

イアスとアクセストランジスタ42の閾値電圧との間の差より大きくさせることによって、アクセストランジスタ42のソース領域20が浮遊しているようにバイアスをかけられる。フローティングボディトランジスタ40のチャネル領域が現在浮遊しているため、(WL1端子70に接続される)ゲート領域60の電位がゼロ(または負電圧)から正電圧まで増加させられるとき、フローティングボディ領域24の電位は、容量結合により増加する。次いで、(BW端子78を通して)埋設ウェル領域30に印加される正のバイアスは、フローティングボディ領域24の正電荷を維持する衝突電離プロセスを通して、正孔を生成する。

【0137】

1つの特定の非限定的実施形態では、約+1.2ボルトが、WL2端子72に印加され、WL1端子に印加される電圧が、0.0ボルトから約+1.2まで増加させられ、約+1.2ボルトが、SL端子74に印加され、約+1.2ボルトが、BL端子76に印加され、約+1.2ボルトが、BW端子78に印加され、約0.0ボルトが、SUB端子80に印加される。これらの電圧レベルは、例示的にすぎず、実施形態によって異なり得る。したがって、説明される例示的实施形態、特徴、バイアスレベル等は、限定的ではない。

【0138】

図39は、以下のバイアス条件(すなわち、負電圧が、SL端子74に印加され、ゼロ電圧が、WL1端子70、BL端子76、およびSUB端子80に印加され、ゼロまたは正電圧が、WL2端子72に印加され、正のバイアスが、BW端子78に印加される)を適用することによる、本発明の実施形態による、論理0書込動作のための例示的バイアス条件を図示する。これらの条件下で、フローティングボディ24とソース線領域16との間のp-n接合点は、順方向バイアスをかけられ、フローティングボディ24から正孔を排出する。同一のSL端子74を共有する全てのメモリセルが、同時に書き込まれる。恣意的なバイナリデータを異なるメモリセル200に書き込むために、論理0書込動作が、最初に、書き込まれる全てのメモリセルにおいて行われ、その後、論理1に書き込まなければならないメモリセルへの1つまたは複数の論理1書込動作が続く。

【0139】

1つの特定の非限定的実施形態では、約-1.2ボルトが、選択されたSL端子74に印加され、約0.0ボルトが、WL1端子70、BL端子76、およびSUB端子80に印加され、約+1.2ボルトが、WL2端子72に印加され、約+1.2ボルトが、BW端子78に印加される。これらの電圧レベルは、例示的にすぎず、実施形態によって異なり得る。したがって、説明される例示的实施形態、特徴、バイアスレベル等は、限定的ではない。

【0140】

図40は、以下のバイアス条件(すなわち、BL端子76に印加される電圧より負である負電圧が、WL2端子72に印加され、正のバイアスが、WL1端子70に印加され、負のバイアスが、BL端子76に印加され、ゼロ電圧が、SL端子74に印加され、正のバイアスが、BW端子78に印加され、ゼロ電圧が、SUB端子80に印加される)を適用することによる、本発明の別の実施形態による、論理0書込動作のための例示的バイアス条件を図示する。これらの条件下で、アクセストランジスタ42は、BL端子76に印加される負電圧をフローティングボディトランジスタ40のドレイン領域18に渡し、フローティングボディ24とドレイン領域18との間のp-n接合点に順方向バイアスをかける。正のバイアスはまた、(WL1端子70に接続される)フローティングボディトランジスタ40のゲート60に印加されることもでき、これは、容量結合を通してフローティングボディ24の電位を増加させ、そして、フローティングボディ24とドレイン領域18との間のp-n接合点を横断する電場を増加させる。BL端子76に印加される負のバイアスおよびWL2端子に印加されるバイアスは、異なる行の中の未選択セル200(例えば、メモリセル200cおよび200d)のアクセストランジスタが、負のバイアスをフローティングボディトランジスタ40のドレイン領域18に渡さないように構成される。

【 0 1 4 1 】

1つの特定の非限定的実施形態では、約 - 1 . 2 ボルトが、W L 2 端子 7 2 に印加され、約 + 1 . 2 ボルトが、W L 1 端子 7 0 に印加され、約 0 . 0 ボルトが、S L 端子 7 4 に印加され、約 - 1 . 2 ボルトが、B L 端子 7 6 に印加され、約 + 1 . 2 ボルトが、B W 端子 7 8 に印加され、約 0 . 0 ボルトが、S U B 端子 8 0 に印加される。これらの電圧レベルは、例示的にすぎず、実施形態によって異なり得る。したがって、説明される例示の実施形態、特徴、バイアスレベル等は、限定的ではない。

【 0 1 4 2 】

基準セルが、上記で説明されるメモリセル 1 0 0 および 2 0 0 の感知動作で使用されてもよい。基準セルの性質（例えば、セル電流）は、その論理状態を決定するように、感知されているメモリセルの性質を比較するために使用されることができる。図 4 1 は、基準セル 1 0 0 R 1 の概略断面図を図示する。メモリセル 2 0 0 のための対応する基準セルは、フローティングボディトランジスタと異なる導電型を有するアクセストランジスタ（示されず）を有することによって、構築されることができる。

【 0 1 4 3 】

基準セル 1 0 0 R 1 は、フローティングボディトランジスタ 4 0 のフローティングボディ領域 2 4 への電気接続を可能にする、フローティングボディ領域 2 4 と同一の導電型を有する、センス線領域 3 2 を備える。センス線領域 3 2 は、フローティングボディトランジスタ 4 0 およびアクセストランジスタ 4 2 のソースおよびドレイン領域 1 6、1 8、2 0、および 2 2 と同一面内に位置する。センス線領域 3 2 は、基準セル 1 0 0 R 1 がメモリセル 1 0 0 の行に隣接する行の中に位置して示される図 4 2 に示されるように、線端子 8 2 を感知するように接続されることができる。

【 0 1 4 4 】

図 4 3 A - 4 3 C は、本発明の別の実施形態による、基準セル 1 0 0 R 2 を図示する。図 4 3 A が、基準セル 1 0 0 R 2 の概略平面図を図示する一方で、図 4 3 B および図 4 3 C は、図 4 3 A の I - I ' 切断線および I I - I I ' 切断線に沿った概略断面図を図示する。本実施形態におけるセンス領域 3 2 は、ソースおよびドレイン領域 1 6、1 8、2 0、および 2 2 が沿って位置する面と異なる面内でメモリセル 1 0 0 のフローティングボディトランジスタ 4 0 に隣接して位置する。センス領域 3 2 は、フローティングボディ領域 2 4 と同一の導電型を有し、フローティングボディ領域 2 4 への抵抗接点を可能にする。

【 0 1 4 5 】

図 4 4 は、メモリセル 1 0 0 の列に隣接する列の中に位置する、基準セル 1 0 0 R 2 を含むメモリアレイ 1 2 0 を図示する。

【 0 1 4 6 】

図 4 5 は、本発明の別の実施形態による、メモリセル 3 0 0 を図示する。メモリセル 3 0 0 は、フローティングボディトランジスタ 3 4 0 と、アクセストランジスタ 3 4 2 とを備える。メモリセル 3 0 0 は、例えば、p 型等の第 1 の導電型の基板 3 1 0 を含む。基板 3 1 0 は、典型的には、シリコンで作製されるが、例えば、ゲルマニウム、シリコンゲルマニウム、ヒ化ガリウム、カーボンナノチューブ、または他の半導体材料も含み得る。本発明のいくつかの実施形態では、基板 3 1 0 は、半導体ウエハのバルク材料であり得る。他の実施形態では、基板 3 1 0 は、第 2 の導電型のウェル、または代替として、例えば、設計選択として n 型等の第 2 の導電型の半導体ウエハのバルク（図に示されていない）のいずれかに組み込まれる、第 1 の導電型のウェルであり得る。説明を単純化するために、基板 3 1 0 は、通常、図 4 5 のように、半導体バルク材料として描かれる。

【 0 1 4 7 】

フローティングボディトランジスタ 3 4 0 はまた、例えば、n 型等の第 2 の導電型の埋設層領域 3 3 0 と、例えば、p 型等の第 1 の導電型のフローティングボディ領域 3 2 4 と、例えば、n 型等の第 2 の導電型のソースまたはドレイン領域 3 1 6 と、例えば、p 型等の第 1 の導電型（フローティングボディ領域 3 2 4 と同一の導電型）のセンス線領域 3 1

8 とを備える。

【0148】

埋設層 330 は、イオン注入プロセスによって基板 310 の材料上に形成されてもよい。代替として、埋設層 330 は、基板 310 の上にエピタキシャルに成長させられることができる。

【0149】

第 1 の伝導度のフローティングボディ領域 324 は、表面 314、ソース線領域 316、センス線領域 318 によって上部で境界され、絶縁層 326 によって側面で境界され、ならびに埋設層 330 によって底部で境界される。フローティングボディ 324 は、埋設層 330 が埋め込まれる場合に、埋設層 330 の上方の元の基板 310 の部分であってもよい。代替として、フローティングボディ 324 は、エピタキシャルに成長させられてもよい。どのようにして埋設層 330 およびフローティングボディ 324 が形成されるかに応じて、フローティングボディ 324 は、いくつかの実施形態では基板 310 と同一のドーピング、または他の実施形態で所望される場合には異なるドーピングを有してもよい。

【0150】

ゲート 360 が、フローティングボディ領域 324 の上方で、ソース線領域 316 とドレイン領域 318 との間に位置付けられる。ゲート 360 は、絶縁層 362 によってフローティングボディ領域 24 から絶縁される。絶縁層 362 は、酸化ケイ素、および / または他の誘電体材料（過酸化タンタル、酸化チタン、酸化ジルコニウム、酸化ハフニウム、および / または酸化アルミニウム等の *high-K* 誘電体材料を含む、がこれらに限定されない）で作製されてもよい。ゲート 360 は、例えば、ポリシリコン材料、またはタングステン、タンタル、チタン、およびそれらの窒化物等の金属ゲート電極で作製されてもよい。

【0151】

（例えば、シャロートレンチアイソレーション（STI）のような）絶縁層 326 は、例えば、酸化ケイ素で作製されてもよいが、他の絶縁材料が使用されてもよい。絶縁層 326 は、隣接するフローティングボディトランジスタ 340 および隣接アクセストランジスタ 342 からフローティングボディトランジスタ 340 を絶縁する。絶縁層 326 の底部は、埋設領域 330 の内側に存在してもよく、埋設領域 330 が図 45 に示されるように連続的となることを可能にする。代替として、絶縁層 326 の底部は、埋設領域 330 の下方に存在してもよい（絶縁層 26 が、図 2 に示されるように、どのようにしてメモリセル 100 の埋設領域 330 の下方に存在し得るかに類似する）。これは、フローティングボディ領域 324 を絶縁するが、埋設層 330 が図 45 に示される断面図の垂直方向に連続的となることを可能にする、（図 2 の 28 のような）より浅い絶縁層を必要とする。簡単にするために、すべての方向に連続埋設領域 330 を伴うメモリセル 300 のみが、この後に示される。

【0152】

アクセストランジスタ 342 は、*p* 型等の第 1 の導電型のウェル領域 312 と、*n* 型等の第 2 の導電型のソース領域 320 およびビット線領域 322 とを備える。第 1 の導電型のウェル領域 312 は、基板領域 310 に電氣的に接続され、したがって、浮遊していない。フローティングゲート 364 が、ソース領域 320 とビット線領域 322 との間に位置付けられる。フローティングゲート 364 は、絶縁層 366 によってウェル領域 312 から絶縁され、いかなる端子にも接続されない。フローティングゲート 364 は、センス線領域 318 に接続され、そしてこれは、フローティングボディ領域 324 に接続される。

【0153】

絶縁層 366 は、酸化ケイ素、および / または他の誘電体材料（過酸化タンタル、酸化チタン、酸化ジルコニウム、酸化ハフニウム、および / または酸化アルミニウム等の *high-K* 誘電体材料を含む、がこれらに限定されない）で作製されてもよい。ゲート 364 は、例えば、ポリシリコン材料、またはタングステン、タンタル、チタン、およびそれ

らの窒化物等の金属ゲート電極で作製されてもよい。

【0154】

フローティングボディトランジスタ340のセンス線領域318は、伝導性要素98を通してアクセストランジスタ342のフローティングゲート364に接続される。伝導性要素90が、(同義的にメモリ装置300のソース/ドレイン領域316と称され得る)フローティングボディトランジスタ340のソース/ドレイン領域316をビット線1(BL1)端子374に接続し、伝導性要素92が、(同義的にメモリ装置300のビット線領域322と称され得る)アクセストランジスタのビット線領域322をビット線2(BL2)端子376に接続する一方で、伝導性要素94は、アクセストランジスタ342のソース領域320をソース線(SL)端子に接続する。伝導性要素90、92、94、および98は、タングステンまたはケイ化シリコンで形成されてもよいが、それらに限定されない。

【0155】

SL端子372、BL1端子374、およびBL2端子376に加えて、メモリセル300はまた、フローティングボディトランジスタ340のゲート360に電氣的に接続されるワード線1(WL1)端子370と、フローティングボディトランジスタ340の埋設ウェル領域330に電氣的に接続される埋設ウェル(BW)端子378と、基板領域310に接続される基板(SUB)端子380とを含む。

【0156】

図46は、行および列に配列される、(300a、300b、300c、および300dとして標識されているメモリセル300の4つの例示的事例を含む)本発明の実施形態による、メモリセル300の例示的メモリアレイ320を示す。例示的アレイ320が出現する、図の全てではないが多くでは、代表的メモリセル300aは、説明されている動作が1つ(またはいくつかの実施形態では複数)の選択されたメモリセル300を有するときに、「選択された」メモリセル300を表す。そのような図では、代表的メモリセル300bは、選択された代表的メモリセル300aと同一の行を共有する、未選択メモリセル300を表し、代表的メモリセル300cは、選択された代表的メモリセル300aと同一の列を共有する、未選択メモリセル300を表し、代表的メモリセル300dは、選択された代表的メモリセル300aと行も列も共有しない、未選択メモリセル300を表す。

【0157】

図46には、WL端子370a~370n、SL端子372a~372n、BL1端子374a~374p、BL2端子376a~376p、BW端子378a~378n、SUB端子380a~380nが存在する。WL端子、SL端子、およびBW端子のそれぞれは、メモリセル300の単一の行と関連付けられ、BL1およびBL2端子のそれぞれは、メモリセル300の単一の列と関連付けられる。当業者は、メモリアレイ320の多くの他の組織化およびレイアウトが可能であり、例えば、1つだけの共通SUB端子380が、メモリアレイ320の一区画の全体を通して、またはメモリアレイ320の全体を通して存在することを理解する。同様に、他の端子が分割または緩衝されてもよい一方で、ワードデコーダ、列デコーダ、セグメンテーション装置、センス増幅器、書込増幅器等の制御回路は、アレイ320の周囲に配列され、もしくはアレイ320のサブアレイの間に挿入されてもよい。したがって、説明される例示の実施形態、特徴、設計オプション等は、いかようにも限定的ではない。

【0158】

Luらは、“A Novel Two-Transistor Floating-Body/Gate Cell for Low-Power Nanoscale Embedded DRAM”, Z. Lu et al., pp. 1511-1518, IEEE Transactions on Electron Devices, vol. 55, no. 6, June 2008(「Lu-1」)、および“A Simplified Superior Floating-Body/Gate

DRAM Cell", Z. Lu et al., pp. 282 - 284, IEEE Electron Device Letters, vol. 30, no. 3, March 2009 (「Lu - 2」) (これらは、参照によってそれらの全体が本明細書に組み込まれる)において、2トランジスタフローティングボディゲートDRAMセルを説明する。

【0159】

Lu - 1およびLu - 2で説明される2トランジスタメモリセルは、電荷貯蔵領域としてフローティングボディ領域を利用し、Okhonin - 1およびOhsawa - 1で説明されるようなキャパシタレスDRAMと同様に動作する。結果として、Lu - 1およびLu - 2によって説明される2トランジスタメモリセルは、限定されたデータ保持時間を有し、リフレッシュ動作を必要とする。

【0160】

メモリセル300の中のフローティングボディトランジスタ340は、2つの安定状態が、メモリセル100および200の原理に類似する原理に従って、(端子378に接続される)バックバイアス領域330への正のバイアスの印加を通して得られる、双安定メモリセルである。フローティングボディトランジスタ340の状態は、アクセストランジスタ342の性質、例えば、BL2端子376からアクセストランジスタ342の端子372まで流れるセル電流を通して、感知されることができる。正電荷を帯びたフローティングボディ領域324(すなわち、論理1状態)は、アクセストランジスタ342をオンにし、結果として、アクセストランジスタ342は、フローティングボディ領域324が中性(または低正電荷)状態(すなわち、論理0状態)である場合と比較して、より高い電流を伝導する。

【0161】

図47は、本発明の実施形態による、メモリアレイ320の中の選択されたメモリセル300aにおいて行われる読取動作のための例示的バイアス条件を図示し、すなわち、ゼロ電圧が、WL端子370aに印加され、ゼロ電圧が、BL1端子374aに印加され、正電圧が、BL2端子376aに印加され、ゼロ電圧が、SL端子372aに印加され、ゼロまたは正電圧が、BW端子378に印加され、ゼロ電圧が、SUB端子380aに印加される一方で、以下のバイアス条件が、未選択端子に適用され、すなわち、ゼロ電圧が、WL端子370に印加され、ゼロ電圧が、BL1端子374に印加され、ゼロ電圧が、BL2端子376に印加され、選択されたBL2端子376aに印加される正電圧と等しい正電圧が、SL端子372に印加され(代替として、未選択SL端子372が浮遊したままにされ)、ゼロまたは正電圧が、BW端子378に印加され、ゼロ電圧が、SUB端子380に印加される。

【0162】

1つの特定の非限定的実施形態では、以下のバイアス条件が、選択された端子に適用され、すなわち、約0.0ボルトが、WL端子370に印加され、約0.0ボルトが、SL端子372に印加され、約0.0ボルトが、BL1端子374に印加され、約+0.4ボルトが、BL2端子376に印加され、約+1.2ボルトが、BW端子378に印加され、約0.0ボルトが、SUB端子380に印加される一方で、以下のバイアス条件が、未選択端子に適用され、すなわち、約0.0ボルトが、WL端子370に印加され、約+0.4ボルトが、SL端子372に印加され、約0.0ボルトが、BL1端子374に印加され、約0.0ボルトが、BL2端子376に印加され、約+1.2ボルトが、BW端子378に印加され、約0.0ボルトが、SUB端子380に印加される。これらの電圧レベルは、例示的にすぎず、実施形態によって異なり得る。したがって、説明される例示の実施形態、特徴、バイアスレベル等は、限定的ではない。

【0163】

フローティングボディトランジスタ340の書込動作は、例えば、米国出願第12/897,516号「A Semiconductor Memory Device Having an Electrically Floating Body Trans

istor」、および米国出願第12/897,538号「A Semiconductor Memory Device Having an Electrically Floating Body Transistor」(これらは、参照によってそれらの全体が本明細書に組み込まれる)において、Y. WidjajaおよびZ. Or-Bachによって説明される「半トランジスタメモリセル」の動作に類似する。

【0164】

図48は、本発明の実施形態による、メモリアレイ320の中の選択されたメモリセル300aにおいて行われる、バンド間トンネリングを使用する論理1書込動作のための例示的バイアス条件を図示し、すなわち、負電圧が、WL端子370aに印加され、正電圧が、BL1端子374aに印加され、ゼロ電圧が、BL2端子376aに印加され、ゼロ電圧が、SL端子372aに印加され、ゼロまたは正電圧が、BW端子378に印加され、ゼロ電圧が、SUB端子380aに印加される一方で、以下のバイアス条件が、未選択端子に適用され、すなわち、ゼロ電圧が、WL端子370に印加され、ゼロ電圧が、BL1端子374に印加され、ゼロ電圧が、BL2端子376に印加され、ゼロ電圧が、SL端子374に印加され、ゼロまたは正電圧が、BW端子378に印加され、ゼロ電圧が、SUB端子380に印加される。

【0165】

1つの特定の非限定的実施形態では、以下のバイアス条件が、選択された端子に適用され、すなわち、約-1.2ボルトが、WL端子370に印加され、約0.0ボルトが、SL端子372に印加され、約+1.2ボルトが、BL1端子374に印加され、約0.0ボルトが、BL2端子376に印加され、約+1.2ボルトが、BW端子378に印加され、約0.0ボルトが、SUB端子380に印加される一方で、以下のバイアス条件が、未選択端子に適用され、すなわち、約0.0ボルトが、WL端子370に印加され、約0.0ボルトが、SL端子372に印加され、約0.0ボルトが、BL1端子374に印加され、約0.0ボルトが、BL2端子376に印加され、約+1.2ボルトが、BW端子378に印加され、約0.0ボルトが、SUB端子380に印加される。これらの電圧レベルは、例示的にすぎず、実施形態によって異なり得る。したがって、説明される例示の実施形態、特徴、バイアスレベル等は、限定的ではない。

【0166】

図49は、本発明の実施形態による、メモリアレイ320の中の選択されたメモリセル300aにおいて行われる論理0書込動作のための例示的バイアス条件を図示し、すなわち、正電圧が、WL端子370aに印加され、負電圧が、BL1端子374aに印加され、ゼロ電圧が、BL2端子376aに印加され、ゼロ電圧が、SL端子372aに印加され、ゼロまたは正電圧が、BW端子378に印加され、ゼロ電圧が、SUB端子380aに印加される一方で、以下のバイアス条件が、未選択端子に適用され、すなわち、ゼロ電圧が、WL端子370に印加され、ゼロ電圧が、BL1端子374に印加され、ゼロ電圧が、BL2端子376に印加され、ゼロ電圧が、SL端子374に印加され、ゼロまたは正電圧が、BW端子378に印加され、ゼロ電圧が、SUB端子380に印加される。

【0167】

1つの特定の非限定的実施形態では、以下のバイアス条件が、選択された端子に適用され、すなわち、約+1.2ボルトが、WL端子370に印加され、約0.0ボルトが、SL端子372に印加され、約-0.2ボルトが、BL1端子374に印加され、約0.0ボルトが、BL2端子376に印加され、約+1.2ボルトが、BW端子378に印加され、約0.0ボルトが、SUB端子380に印加される一方で、以下のバイアス条件が、未選択端子に適用され、すなわち、約0.0ボルトが、WL端子370に印加され、約0.0ボルトが、SL端子372に印加され、約0.0ボルトが、BL1端子374に印加され、約0.0ボルトが、BL2端子376に印加され、約+1.2ボルトが、BW端子378に印加され、約0.0ボルトが、SUB端子380に印加される。これらの電圧レベルは、例示的にすぎず、実施形態によって異なり得る。したがって、説明される例示の実施形態、特徴、バイアスレベル等は、限定的ではない。

【 0 1 6 8 】

図 5 0 は、本発明の別の実施形態による、メモリセル 4 0 0 を図示する。メモリセル 4 0 0 は、対応するフローティングボディ領域 4 2 4 および 4 2 4 ' 上に相補的電荷を貯蔵する、2つの双安定フローティングボディトランジスタ 4 4 0 および 4 4 0 ' を備える。したがって、フローティングボディトランジスタ 4 4 0 が論理 0 状態にある場合、フローティングボディトランジスタ 4 4 0 ' は、論理 1 状態にあり、その逆も同様である。相補的フローティングボディ電荷は、B L 端子 4 7 および

【 0 1 6 9 】

【 化 1 】

BL

【 0 1 7 0 】

端子 4 7 4 ' の相補的状态をもたらす。次いで、B L 端子および

【 0 1 7 1 】

【 化 2 】

BL

【 0 1 7 2 】

端子のペアは、メモリセル 4 0 0 の状態を決定するために使用されることができる。フローティングボディトランジスタ 4 4 0 および 4 4 0 ' は両方とも、メモリセル 1 0 0 および 2 0 0 と同一の原理に従う、(B W 端子 4 7 8 に接続される)埋設ウェル領域 4 3 0 への正バックバイアスの印加を通した双安定フローティングボディトランジスタである。

【 0 1 7 3 】

図 5 1 は、本発明の実施形態による、メモリセル 4 0 0 を備える、例示的メモリアレイ 4 2 0 を図示する。図 5 1 には、ゲート領域 6 0 に接続される W L 端子 4 7 0 a ~ 4 7 0 n、ゲート領域 6 4 に接続される W L 端子 4 7 2 a ~ 4 7 2 n、フローティングボディトランジスタ 4 4 0 および 4 4 0 ' のソース線領域 1 8 および 1 8 ' の両方に接続される S L 端子 4 7 6 a ~ 4 7 6 n、フローティングボディトランジスタ 4 4 0 のドレイン領域 1 6 に接続される B L 端子 4 7 4 a ~ 4 7 4 p、フローティングボディトランジスタ 4 4 0 ' のドレイン領域 1 6 ' に接続される

【 0 1 7 4 】

【 化 3 】

BL

【 0 1 7 5 】

端子 4 7 4 ' a ~ 4 7 4 ' p、埋設ウェル領域 4 3 0 に接続される B W 端子 4 7 8 a ~ 4 7 8 n、ならびに S U B 端子 4 8 0 a ~ 4 8 0 n が存在している。図 5 1 に示される例示的メモリアレイ 4 2 0 では、フローティングボディトランジスタ 4 4 0 および 4 4 0 ' のソース線領域 1 8 および 1 8 ' は、同一の S L 端子 3 7 2 に接続される。しかしながら、ソース線領域 1 8 および 1 8 ' のそれぞれは、別個の端子、例えば、S L 端子 4 7 6 および

【 0 1 7 6 】

【 化 4 】

SL

【 0 1 7 7 】

端子 4 7 6 ' に接続されてもよい。同様に、例示的メモリアレイ 4 2 0 は、ゲート領域 6 0 および 6 4 が、別個の W L 端子 4 7 0 および 4 7 2 に接続されることを示す。代替実施形態では、ゲート領域 6 0 および 6 4 は、同一の W L 端子に接続されてもよい。図 5 2 は、フローティングボディトランジスタ 4 4 0 および 4 4 0 ' のゲート領域がともに継合さ

れる、メモリセル 400 の概略平面図を図示し、BL 端子 474 ならびに

【0178】

【化5】

BL

【0179】

端子 474' への伝導性材料 90 および 90' の間の接続は、例えば、アルミニウムまたは銅の金属線を通して行われてもよい。同様に、SL 端子 476 への伝導性材料 92 および 92' の間の接続は、例えば、アルミニウムまたは銅の金導電線を通して行われてもよい。

【0180】

図 53 は、本発明の別の実施形態による、二重ポートメモリセル 500 を図示し、メモリセル 500 の状態が、二重ポートフローティングボディトランジスタ 40D に格納され、トランジスタ 42A および 42B が、二重ポートメモリセル 500 のアクセストランジスタとして機能する。二重ポートフローティングボディトランジスタ 40D の動作および構造は、例えば、「Dual - Port Semiconductor Memory and First - In First - Out (FIFO) Memory Having Electrically Floating Body Transistor」と題された米国特許出願公開第 2012/0120752 号(「Widjaja - 5」)(これは、参照によってその全体が本明細書に組み込まれる)で説明されている。メモリセル 500 の状態は、二重ポートフローティングボディトランジスタ 40D のフローティングボディ領域 24 に格納される。

【0181】

メモリセル 500 はさらに、ゲート 60A に電氣的に接続されるワード線 #1A (WL1A) 端子 70A と、ゲート 60B に電氣的に接続されるワード線 #1B (WL1B) 端子 70B と、ゲート 64A に電氣的に接続されるワード線 #2A (WL2A) 72A と、ゲート 64B に電氣的に接続されるワード線 #2B (WL2B) 72B と、領域 16 に電氣的に接続されるソース線 (SL) 端子 74 と、領域 22A に電氣的に接続されるビット線 #1 (BL1) 端子 76A と、領域 22B に電氣的に接続されるビット線 #2 (BL2) 端子 76B と、二重ポートフローティングボディトランジスタ 40D の埋設ウェル領域 30 に電氣的に接続される埋設ウェル (BW) 端子 78 と、基板領域 10 に接続される基板 (SUB) 端子 80 とを含む。WL1A 端子 70A、WL2A 端子 72A、および BL1 端子 76A が、「ポート #1」とも称され得る一方で、WL1B 端子 70B、WL2B 端子 72B、および BL2 端子 76B は、「ポート #2」とも称され得る。

【0182】

二重ポートフローティングボディトランジスタ 40D は、アクセストランジスタ 42A および 42B に直列に接続される。フローティングボディトランジスタ 40D のドレイン領域 18A は、伝導性要素 94A を通して、ポート #1 のアクセストランジスタ 42A のソース領域 20A に接続される。同様に、フローティングボディトランジスタ 40D のドレイン領域 18B は、伝導性要素 94B を通して、ポート #2 のアクセストランジスタ 42B のソース領域 20B に接続される。

【0183】

メモリセル 500 へのアクセス、すなわち、メモリセル 500 への読取動作および書込動作は、タイミングにかかわらず、ポート #1 および / またはポート #2 によって独立して行われてもよい。

【0184】

Widjaja - 5 で説明されるように、マルチポートフローティングボディトランジスタもまた、付加的ソース領域またはドレイン領域を形成し、表面の上方でソース領域とドレイン領域との間に付加的ゲート(単数または複数)を位置付けることによって、二重ポートフローティングボディトランジスタ 40D の代わりに、形成されてもよい。n ポー

トメモリセルに関して、ゲートの数およびフローティングボディトランジスタのビット線
の数が、 n と等しい一方で、フローティングボディトランジスタの第2の導電型の領域（
すなわち、ソース領域またはドレイン領域）の数は、 $(n + 1)$ と等しい。第2の導電型
の全ての領域およびマルチポートメモリセルの中のゲートは、同一のフローティングボデ
ィ領域24に結合される。対応して、 n ポートメモリセルに関して、アクセストランジスタ
の数は、 n と等しい。

【0185】

先述から、2つのトランジスタ、例えば、直列のフローティングボディトランジスタお
よびアクセストランジスタ、フローティングボディトランジスタおよびフローティングゲ
ートトランジスタ、または相補的電荷を貯蔵する2つのフローティングボディトランジスタ
を備える、メモリセルが説明されていることが見て取れる。本発明の先述の書面による
説明は、当業者が、その最良の形態であると現在見なされているものを実施して使用する
ことを可能にするが、当業者は、本明細書の具体的実施形態、方法、および実施例の変形
例、組み合わせ、ならびに均等物の存在を理解および認識するであろう。したがって、本
発明は、上記の実施形態、方法、および実施例によって限定されるべきではないが、請求
されるような本発明の範囲ならびに精神内の全ての実施形態および方法によって限定され
るべきである。

【0186】

本発明は、その具体的実施形態を参照して説明されているが、当業者によって、種々の
変更が行われ得、本発明の真の精神および範囲から逸脱することなく、均等物が置換され
得ることが理解されるはずである。加えて、特定の状況、材料、組成物、プロセス、1つ
または複数のプロセスステップを、本発明の目的、精神、および範囲に適合させるように
、多くの修正が行われ得る。全てのそのような修正は、本明細書に添付される特許請求の
範囲の範囲内であることを意図している。

【誤訳訂正3】

【訂正対象書類名】図面

【訂正対象項目名】全図

【訂正方法】変更

【訂正の内容】

【 図 2 A 】

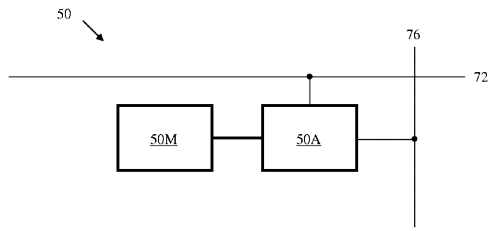


FIG. 1A

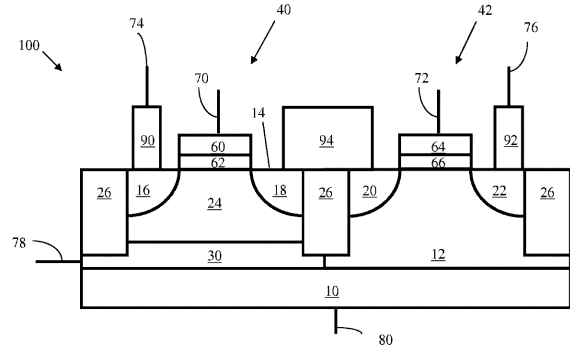


FIG. 2A

【 図 1 B 】

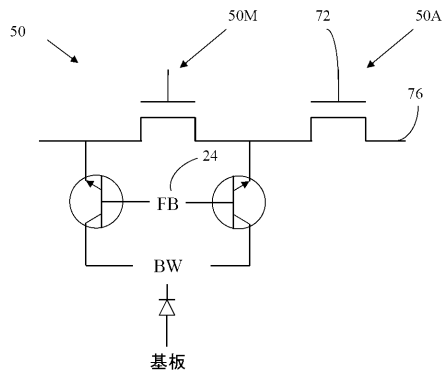


FIG. 1B

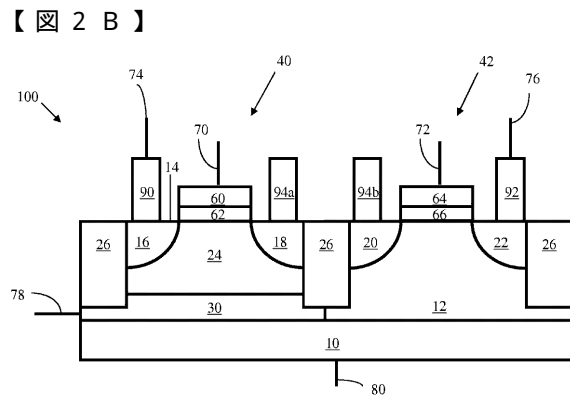


FIG. 2B

【 図 2 C 】

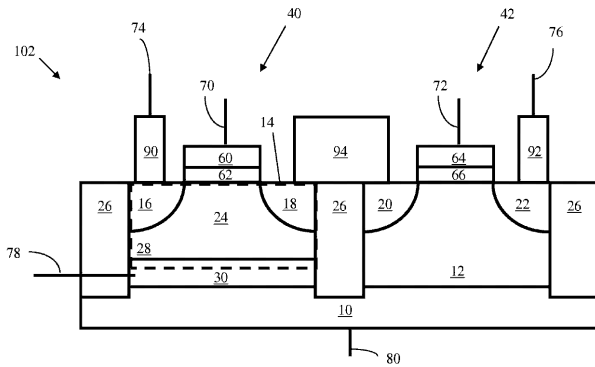


FIG. 2C

【 図 3 A 】

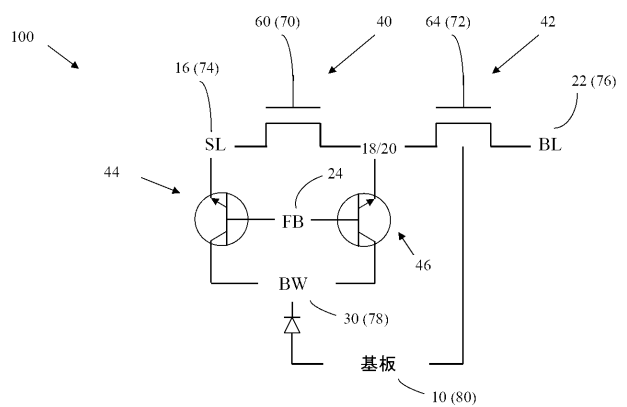


FIG. 3A

【 ㄨ 3 B 】

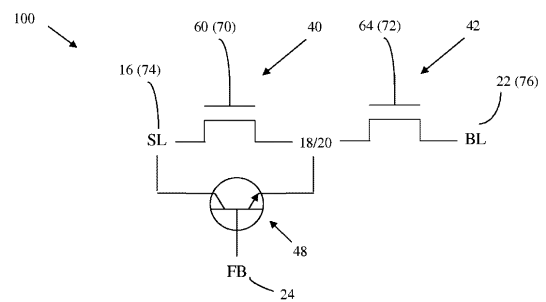


FIG. 3B

【図 4 A】

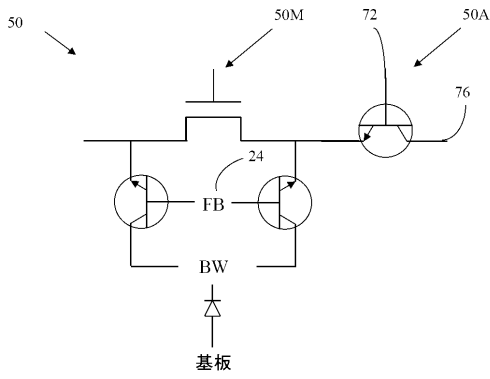


FIG. 4A

【図 4 B】

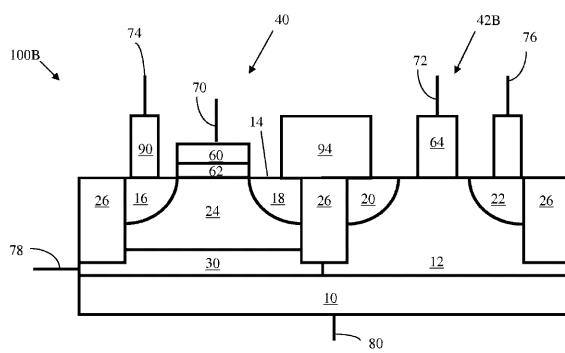


FIG. 4B

【図 5】

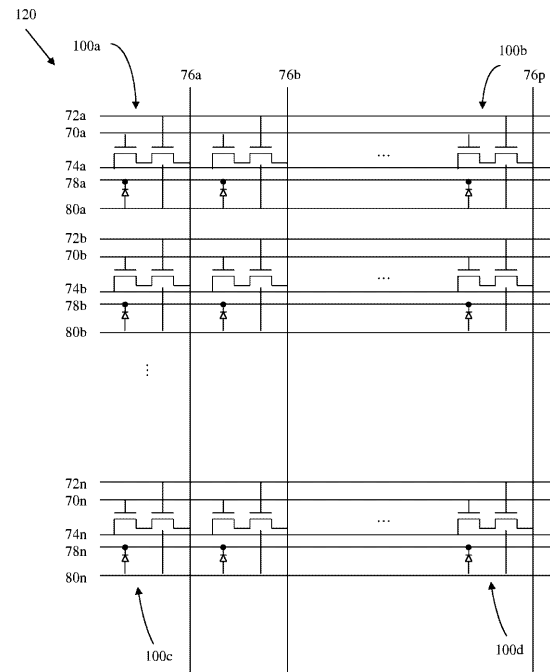


FIG. 5

【図 6】

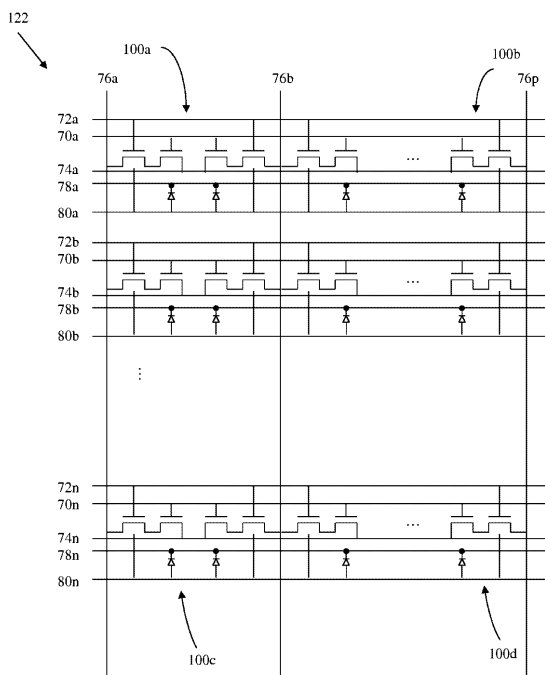


FIG. 6

【図 7】

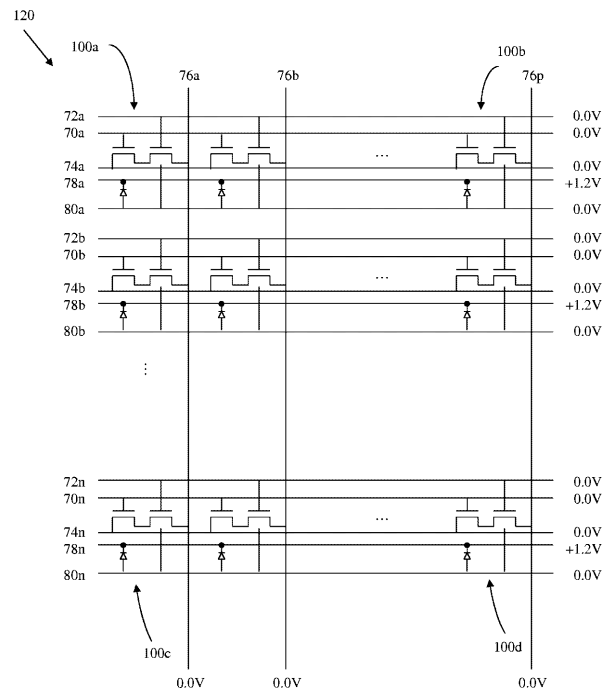


FIG. 7

【図 8】

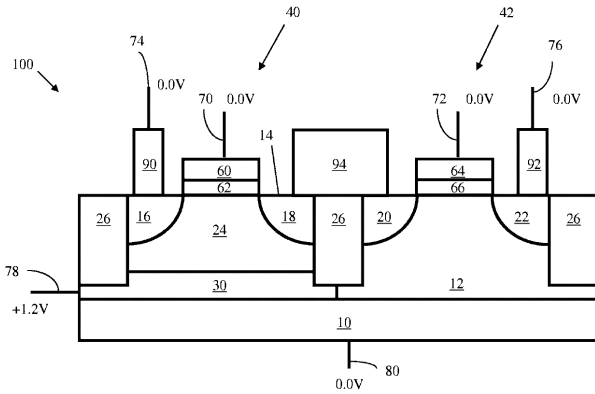


FIG. 8

【図 9 A】

フローティングボディ24が正電荷を帯び、 $V(\text{SL}16)=0.0\text{V}$ である

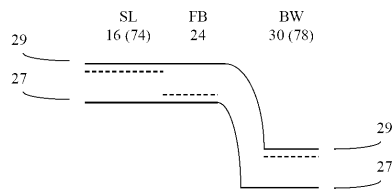


FIG. 9A

【図 9 B】

FBが中性電荷を帯び、 $V(\text{SL}16)=V(\text{FB}24)=0\text{V}$ である

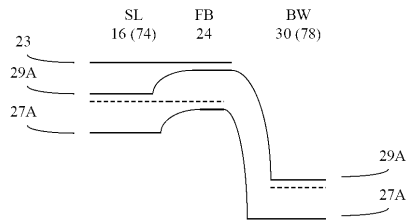


FIG. 9B

【図 9 C】

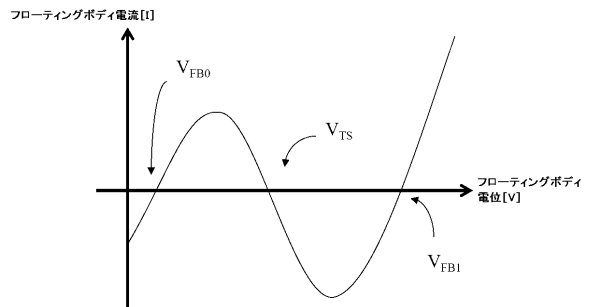


FIG. 9C

【図 9 D】

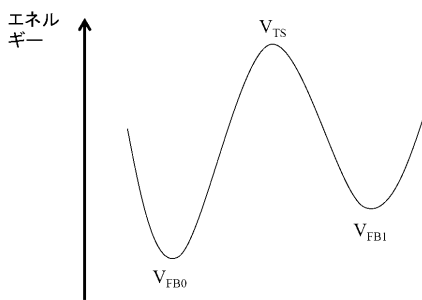


FIG. 9D

【図 9 E】

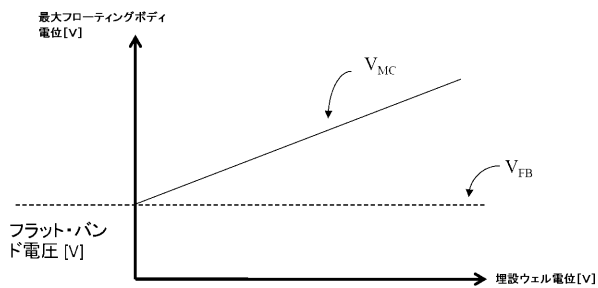


FIG. 9E

【図 10】

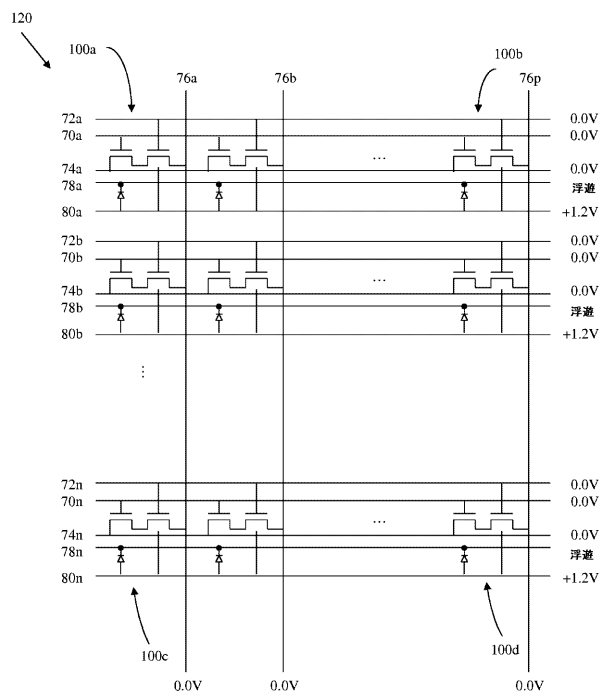


FIG. 10

【 図 1 2 】

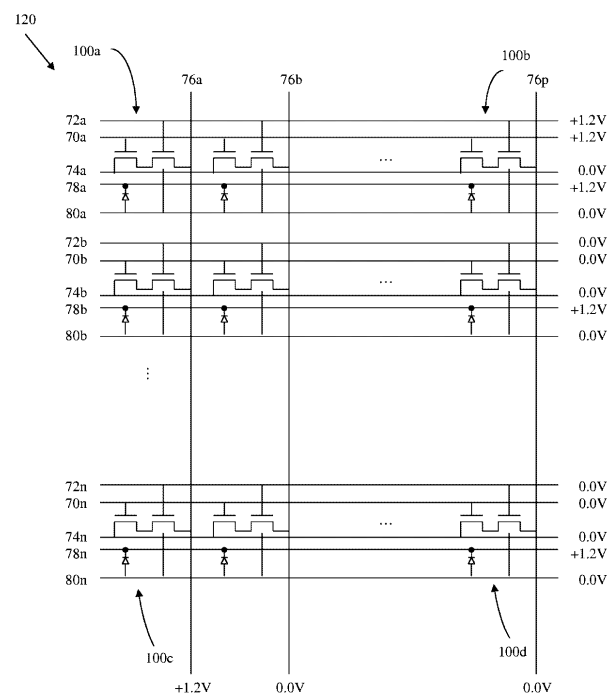


FIG. 12

【 図 1 4 】

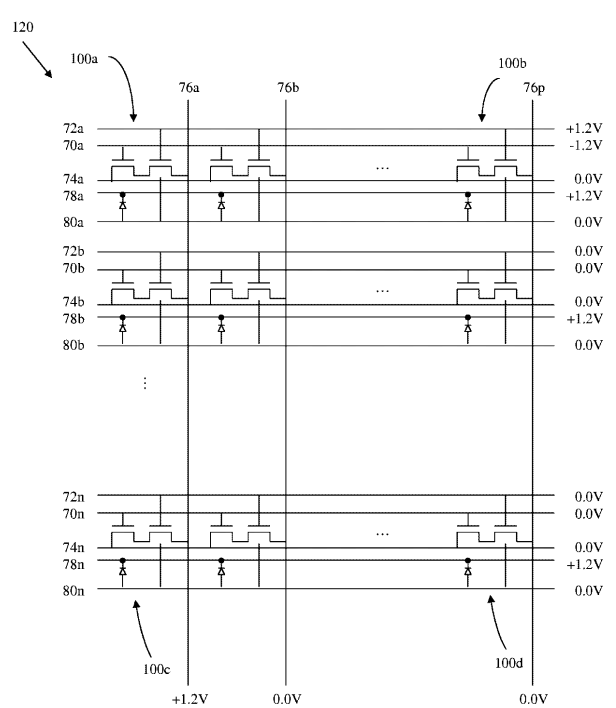


FIG. 14

【図 15】

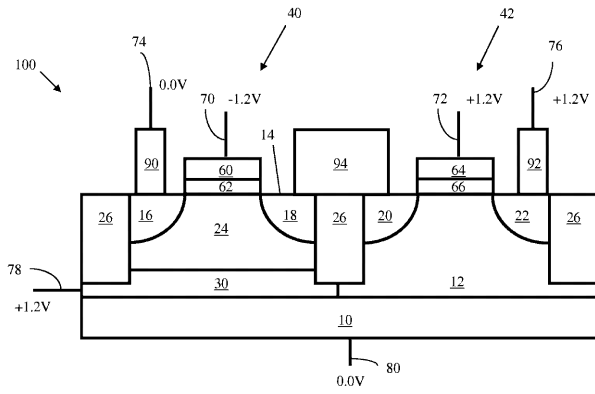


FIG. 15

【図 16】

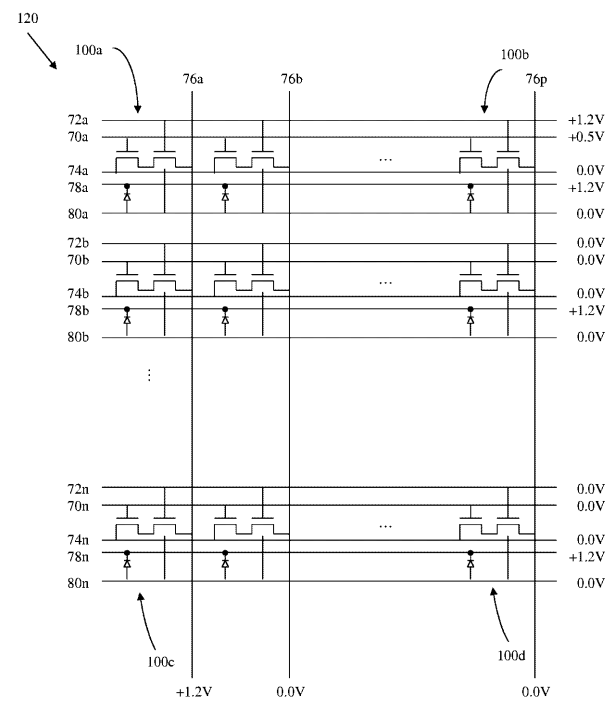


FIG. 16

【図 17】

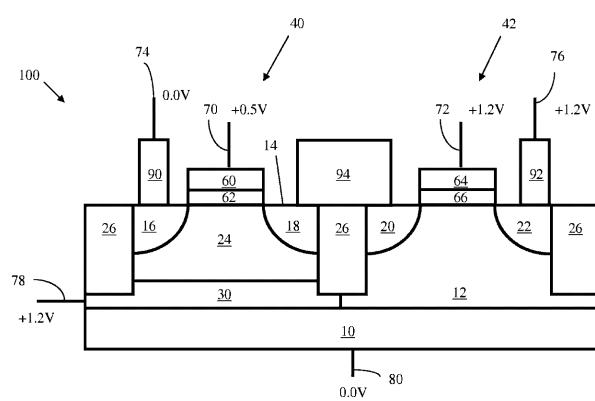


FIG. 17

【図 18】

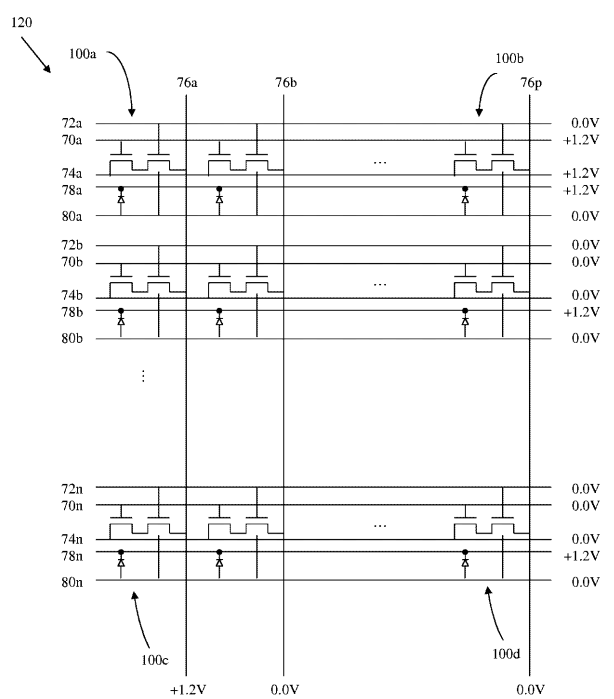


FIG. 18

【図 19】

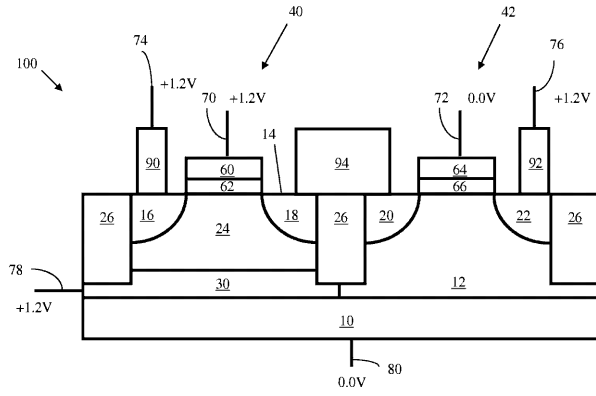


FIG. 19

【図 20】

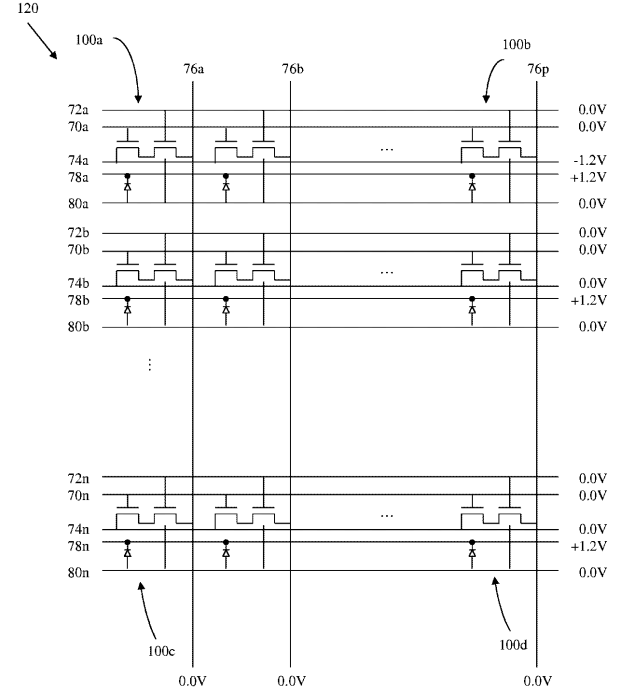


FIG. 20

【図 21】

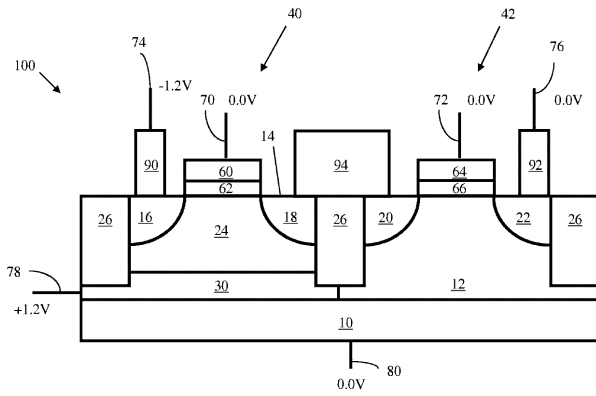


FIG. 21

【図 22】

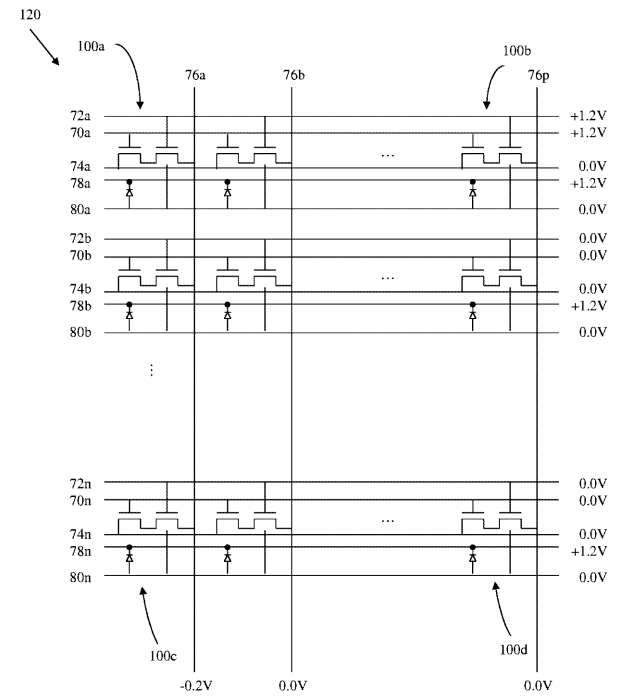


FIG. 22

【図 23】

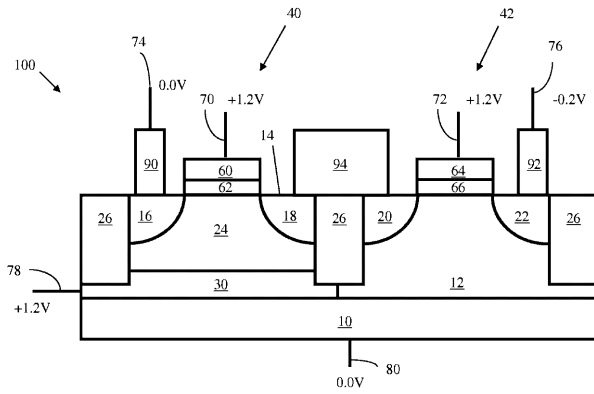


FIG. 23

【図 24】

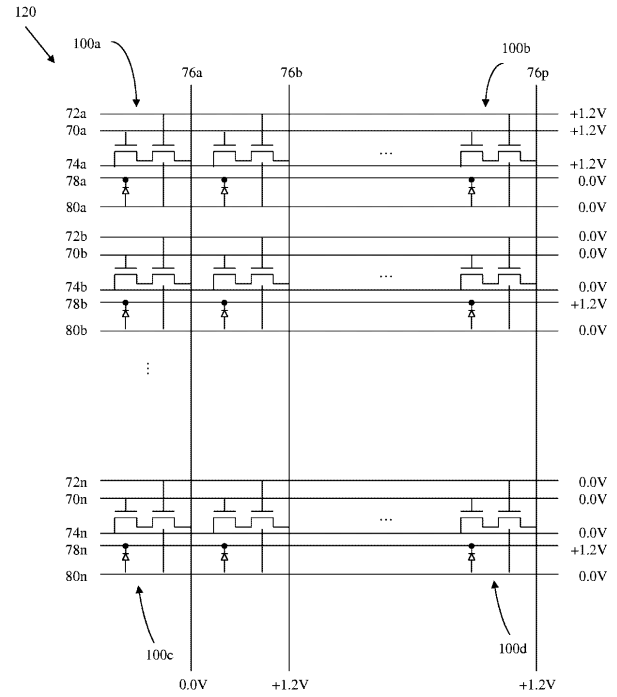


FIG. 24

【図 25】

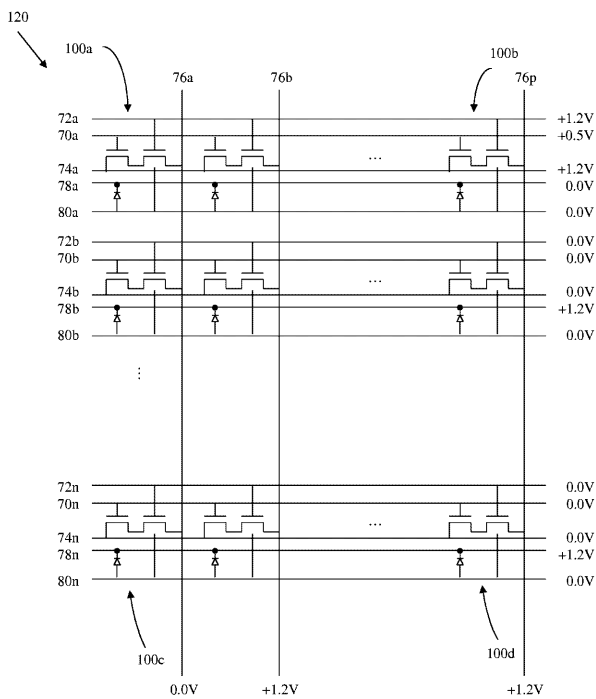


FIG. 25

【図 26】

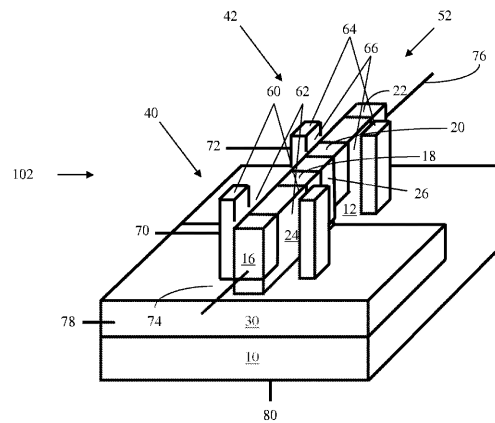


FIG. 26

【図 27】

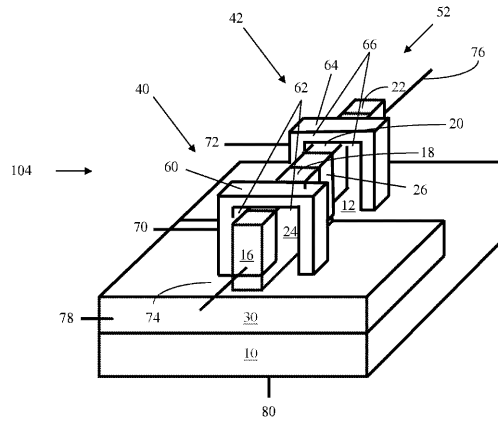


FIG. 27

【図 28】

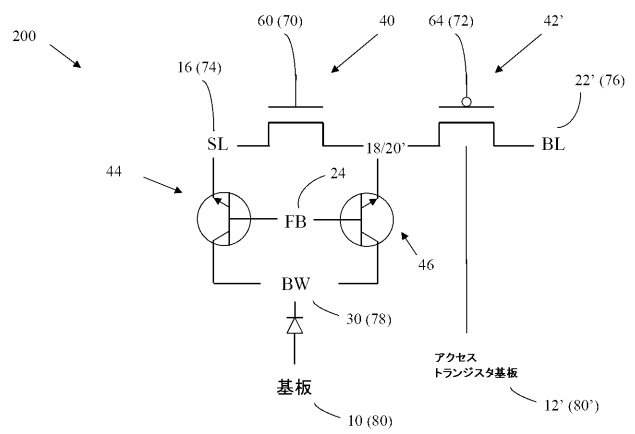


FIG. 28

【図 29】

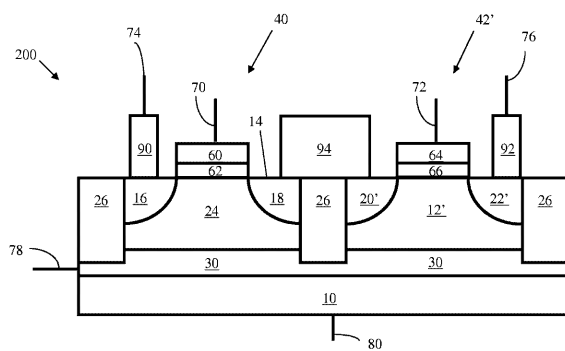


FIG. 29A

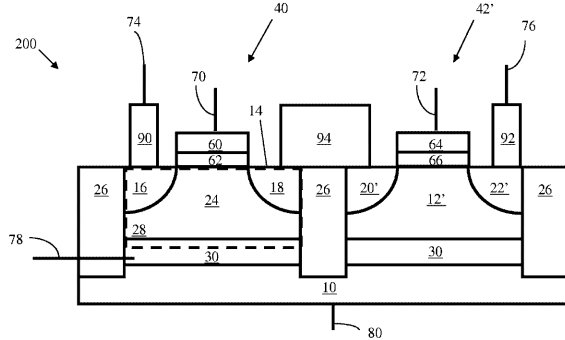


FIG. 29B

【図 30】

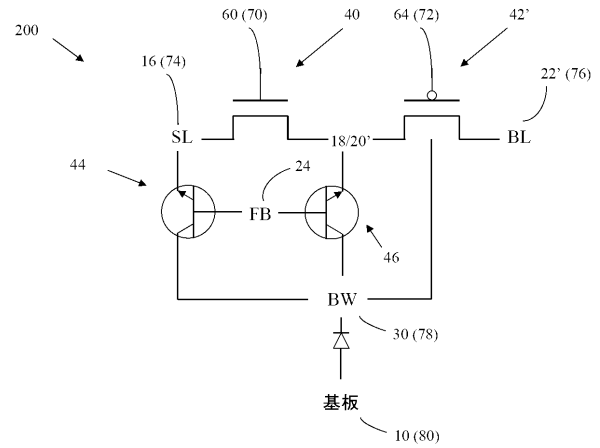


FIG. 30

【図 31】

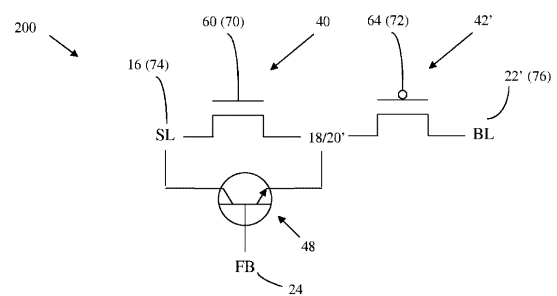


FIG. 31

【 図 3 3 】

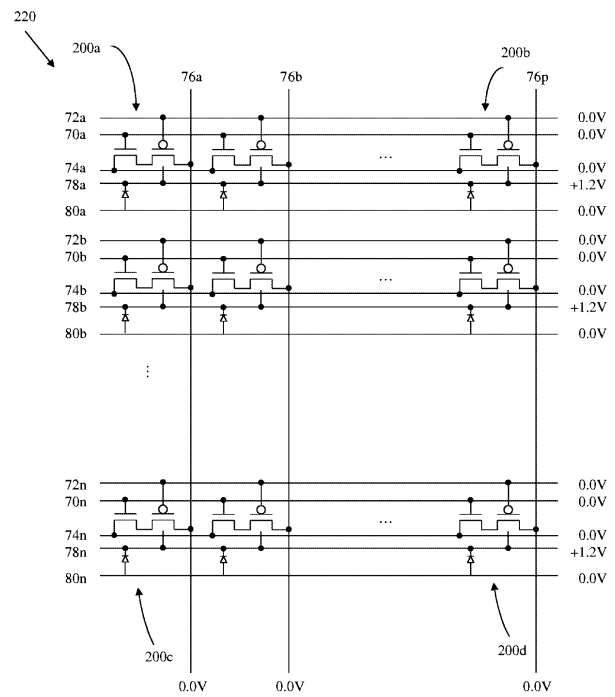


FIG. 33

【 ㄨ 3 5 】

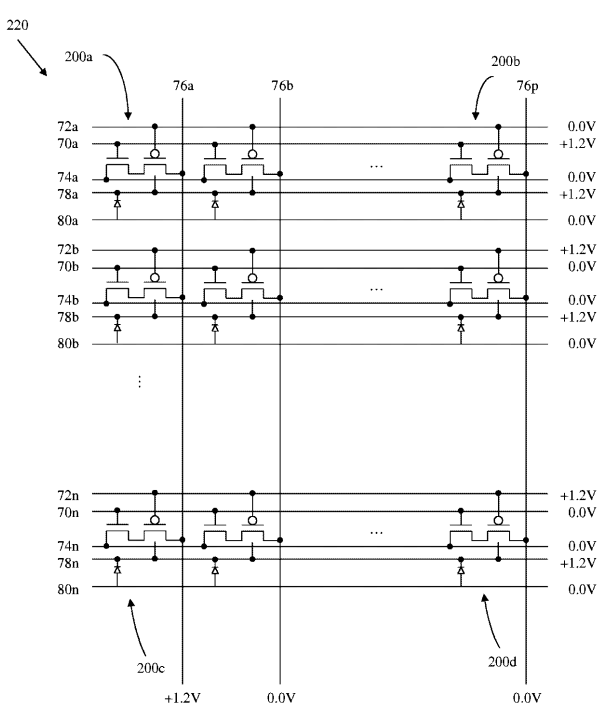


FIG. 35

【図 36】

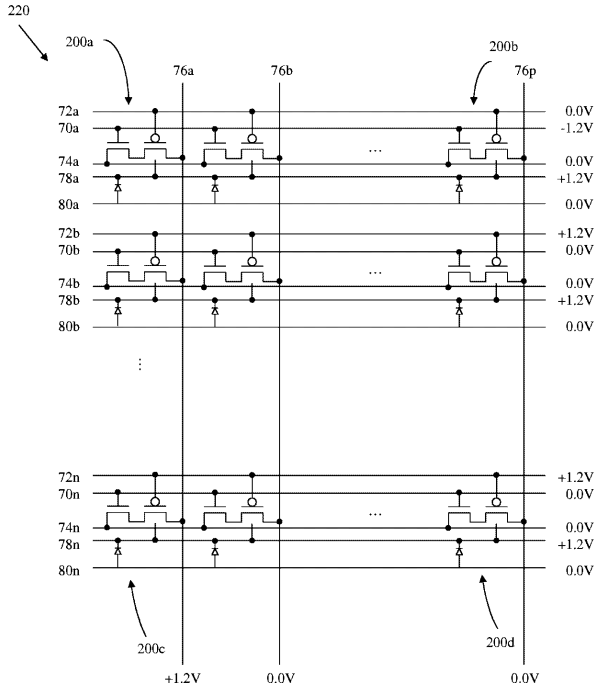


FIG. 36

【図 37】

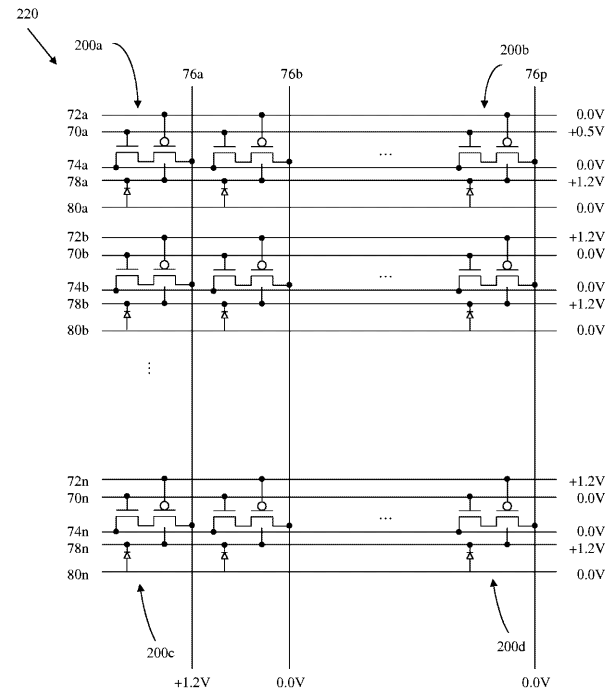


FIG. 37

【図 38】

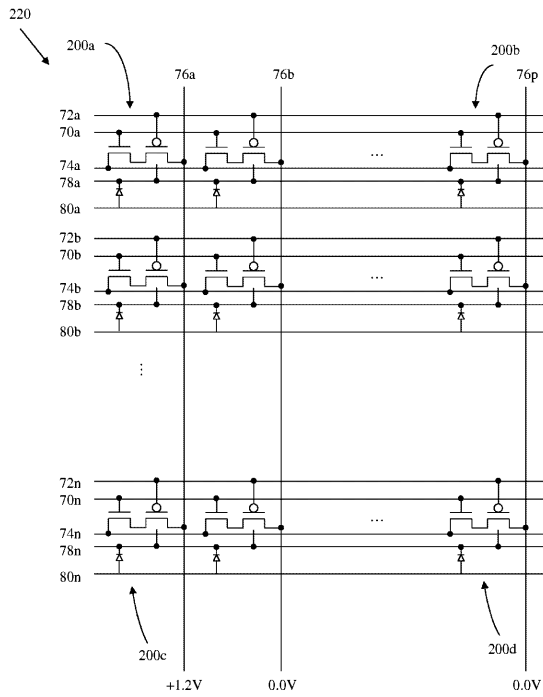


FIG. 38

【図 39】

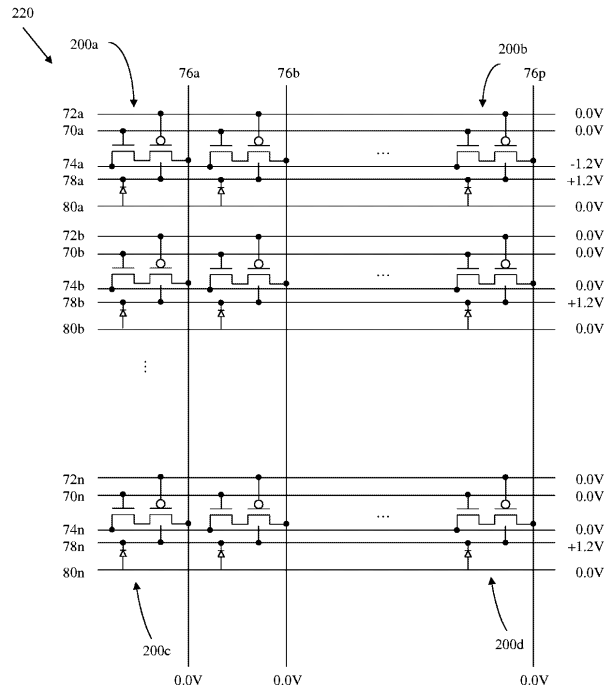


FIG. 39

【図 40】

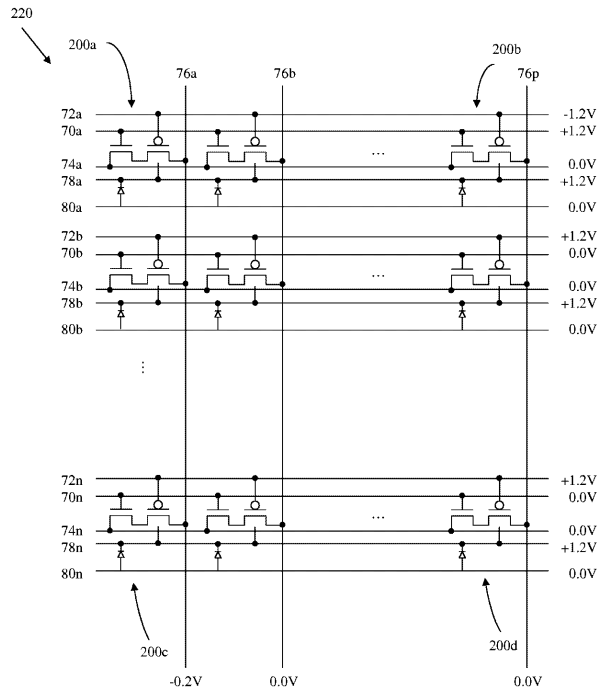


FIG. 40

【図 41】

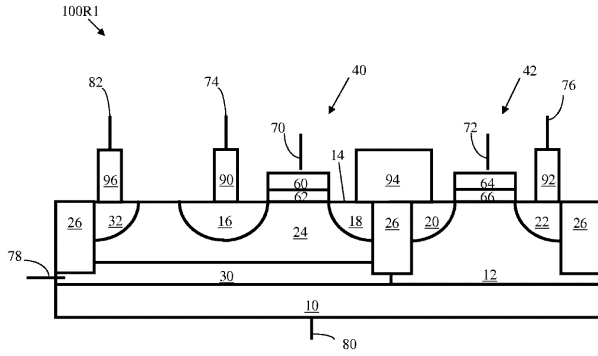


FIG. 41

【図 42】

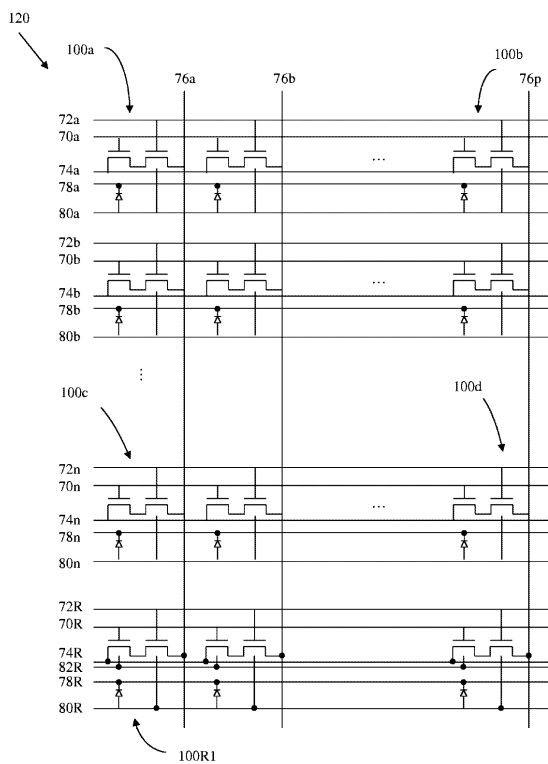


FIG. 42

【図 43 A】

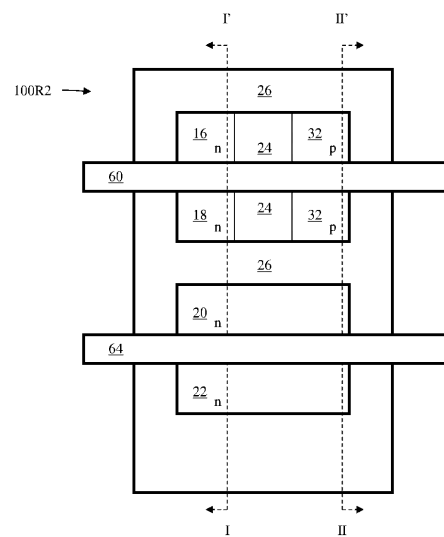


FIG. 43A

【 図 4 4 】

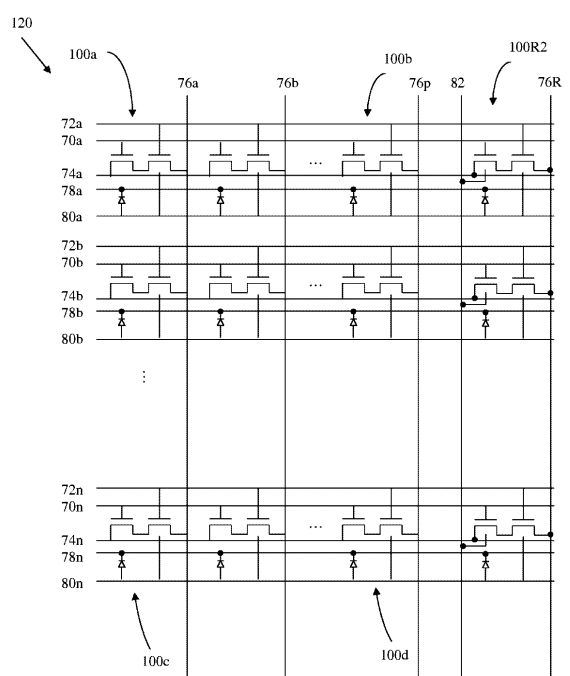
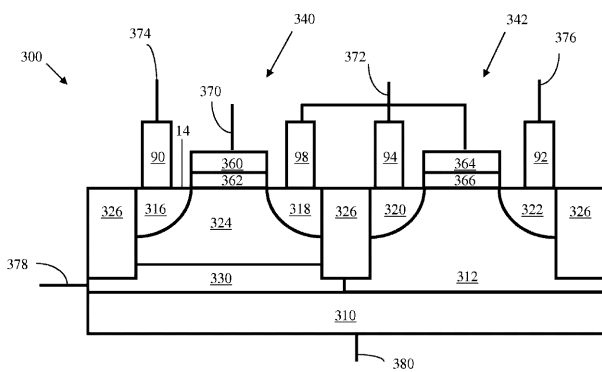


FIG. 44

【 図 4 5 】



【 図 4 6 】

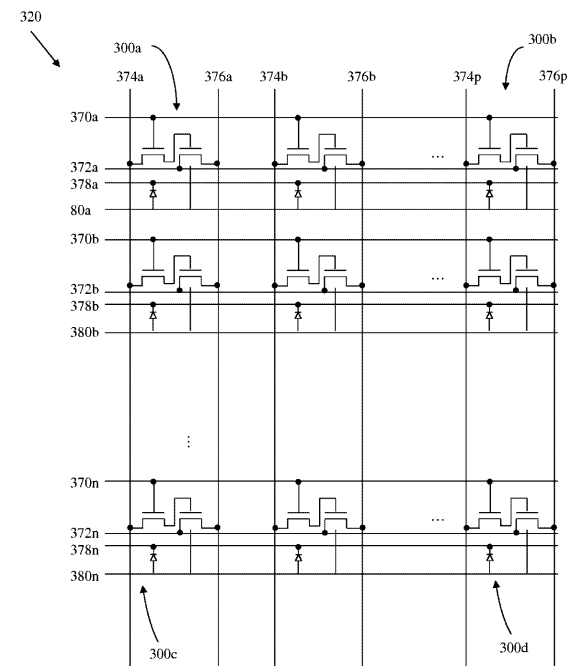


FIG. 46

【図 47】

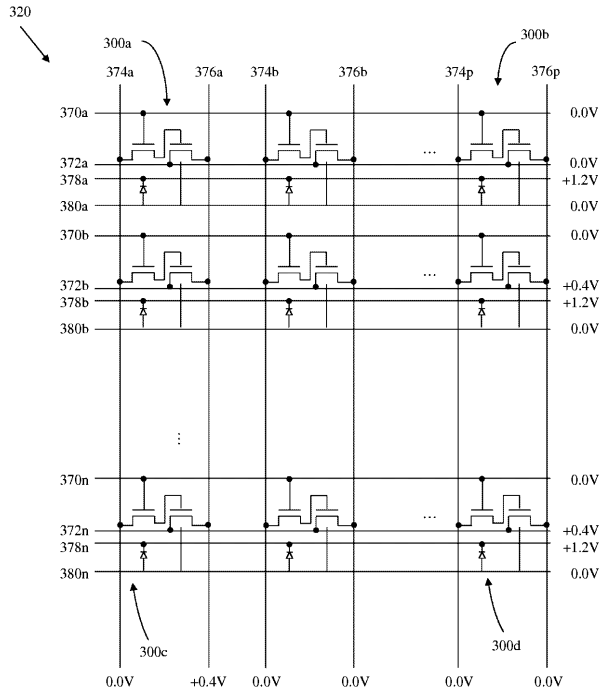


FIG. 47

【図 48】

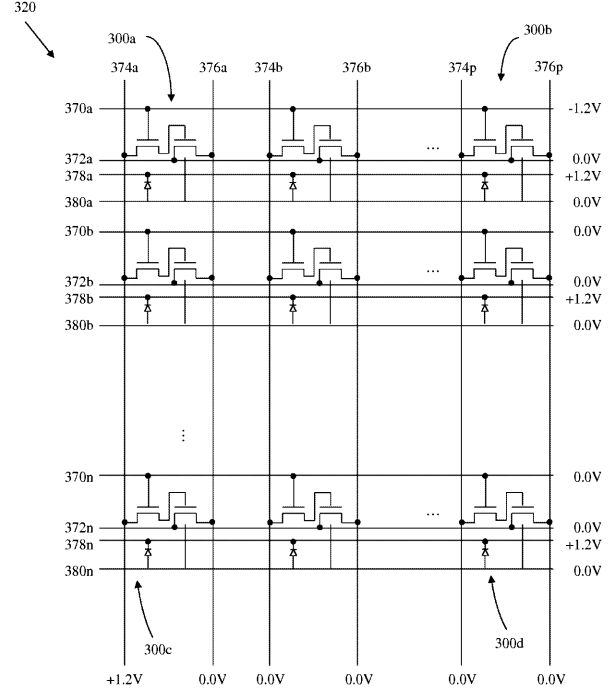


FIG. 48

【図 49】

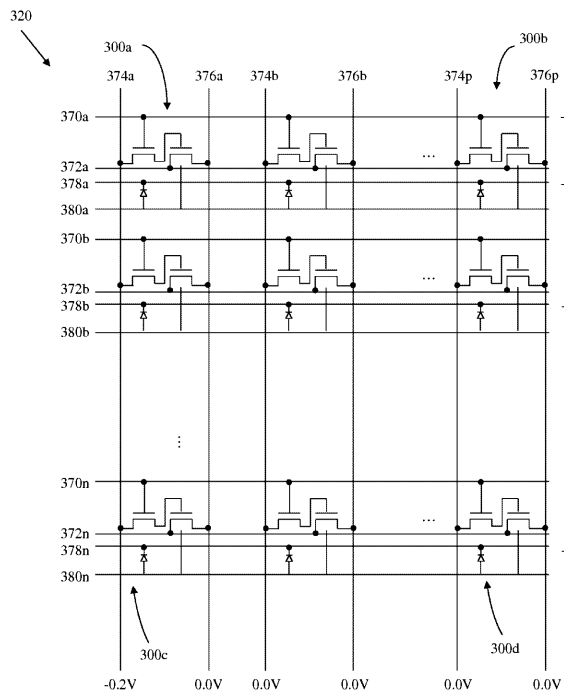


FIG. 49

【図 50】

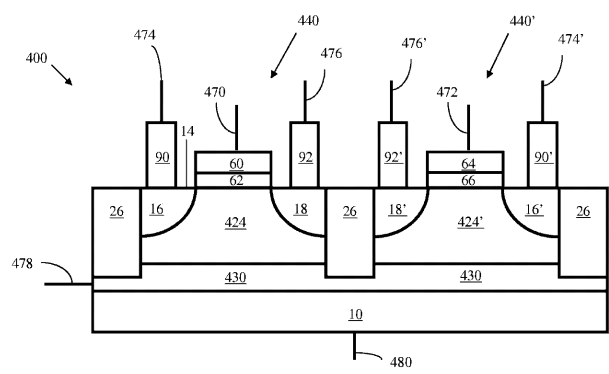


FIG. 50

【図 5 1】

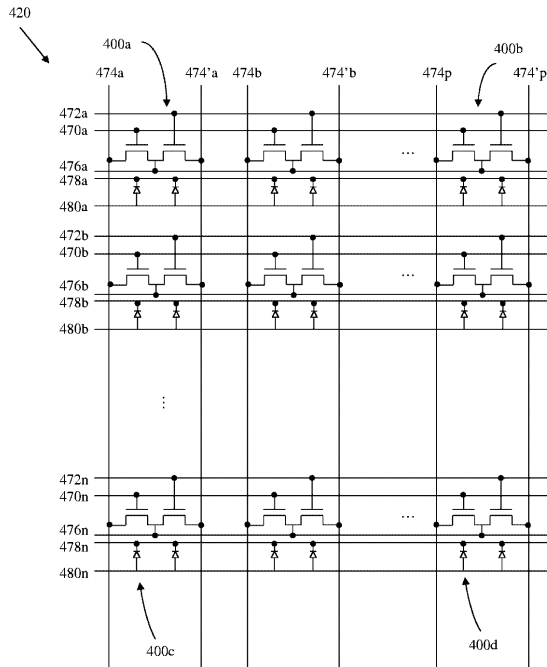


FIG. 51

【図 5 2】

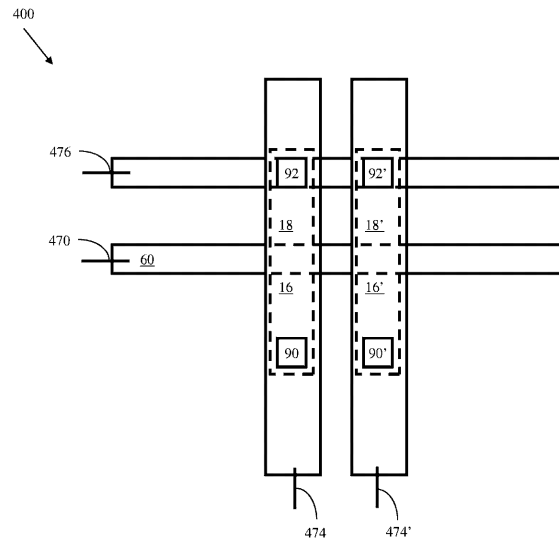


FIG. 52

【図 5 3】

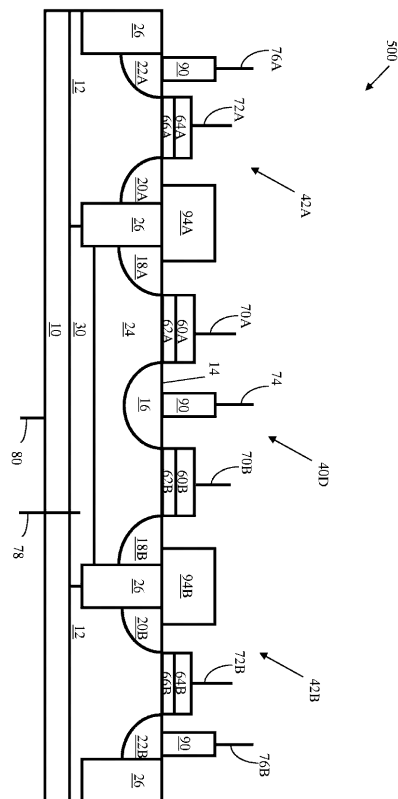


FIG. 53