

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4419067号
(P4419067)

(45) 発行日 平成22年2月24日(2010.2.24)

(24) 登録日 平成21年12月11日(2009.12.11)

(51) Int.Cl.

F 1

H04L 7/02 (2006.01)

H04L 7/02

H03K 5/00 (2006.01)

H03K 5/00

H03K 5/135 (2006.01)

H03K 5/135

Z

G

請求項の数 11 (全 23 頁)

(21) 出願番号

特願2004-217509 (P2004-217509)

(22) 出願日

平成16年7月26日 (2004.7.26)

(65) 公開番号

特開2006-41818 (P2006-41818A)

(43) 公開日

平成18年2月9日 (2006.2.9)

審査請求日

平成19年4月26日 (2007.4.26)

(73) 特許権者 000005108

株式会社日立製作所

東京都千代田区丸の内一丁目6番6号

(73) 特許権者 500174247

エルピーダメモリ株式会社

東京都中央区八重洲2-2-1

(74) 代理人 100123788

弁理士 宮崎 昭夫

(74) 代理人 100106138

弁理士 石橋 政幸

(74) 代理人 100127454

弁理士 緒方 雅昭

(74) 代理人 100068504

弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】デジタルインターフェースを有する半導体装置、メモリ素子及びメモリモジュール

(57) 【特許請求の範囲】

【請求項 1】

デジタルデータを受信するレシーバ回路を有する半導体装置であって、

前記レシーバ回路は、入力された前記デジタルデータを基準電圧と比較しバイナリデータを出力する差動コンパレータと、前記差動コンパレータからの出力をクロック信号に応じて取り込んで出力信号を出すラッチと、前記差動コンパレータからの出力信号と前記ラッチの出力信号に基き遅延量を決定する遅延制御回路と、前記遅延制御回路の出力信号を受けて前記ラッチへ信号を送る遅延可変回路とからなり、

前記ラッチは、前記遅延制御回路からの遅延量情報に基づき、前記遅延可変回路により出力される遅延されたクロック信号をトリガとして前記差動コンパレータの出力を取り込むことを特徴とする半導体装置。

【請求項 2】

前記遅延制御回路は、前記差動コンパレータの出力信号と前記ラッチの出力信号に基き、前記デジタルデータの切替えを検出し切替え信号を生成するデータ切替え検出手段と、

前記ラッチの出力信号を用いて、データサイクル毎の前記半導体装置に入力される前記デジタルデータの入力波形の電圧を保持する電圧保持手段とを有し、

前記電圧保持手段からの状態信号と前記データ切替え検出手段からの前記切替え信号との積を取ることにより遅延可変信号を生成することを特徴とする請求項1に記載の半導体装置。

【請求項 3】

10

20

前記電圧保持機能は、抵抗と容量を含む1次回路により構成されることを特徴とする請求項2に記載の半導体装置。

【請求項4】

ディジタルデータを受信するレシーバ回路を有する半導体装置であって、

前記レシーバ回路は、入力された前記ディジタルデータを基準電圧と比較しバイナリデータを出力する差動コンパレータと、クロック信号に応じて出力信号を出力するラッチと、前記差動コンパレータからの出力信号と前記ラッチの出力信号に基き遅延量を決定する遅延制御回路と、前記遅延制御回路の出力信号を受けて前記ラッチへ信号を送る遅延可変回路とからなり、

前記コンパレータの出力信号は、前記遅延制御回路からの遅延情報に基づき前記遅延可変回路により遅延され、前記遅延された前記コンパレータの出力信号を、前記ラッチへクロック信号トリガタイミングで取り込むことを特徴とする半導体装置。 10

【請求項5】

前記遅延制御回路は、前記差動コンパレータの出力信号と前記ラッチの出力信号に基き、前記ディジタルデータの切替えを検出し切替え信号を生成するデータ切替え検出手段と、

前記ラッチの出力信号を用いて、データサイクル毎の前記半導体装置に入力される前記ディジタルデータの入力波形の電圧を保持する電圧保持手段とを有し、

前記電圧保持手段からの状態信号と前記データ切替え検出手段からの前記切替え信号との積を取ることにより遅延可変信号を生成することを特徴とする請求項4に記載の半導体装置。 20

【請求項6】

前記電圧保持機能は、抵抗と容量を含む1次回路により構成されることを特徴とする請求項5に記載の半導体装置。

【請求項7】

ジッタ低減用自動調整用のシーケンスを有する半導体装置において、

前記半導体装置に有限のデータサイクルの幅を持つパルス信号と、前記パルス信号と同期したストローブ信号が入力され、

前記ストローブ信号を用いて前記パルス信号の立上り時間と、前記パルスの立下り時間との差を計測し求めた遅延差時間を、前記遅延可変回路へ入力する遅延量として前記遅延可変回路に設定することを特徴とする請求項1乃至6のいずれかに一に記載の半導体装置。 30

【請求項8】

ジッタ低減用自動調整用のシーケンスを有する半導体装置において、

前記半導体装置に有限のデータサイクルの幅を持つパルス信号と、前記パルス信号と同期したストローブ信号が入力され、

前記シーケンスにおける i 番目の動作状態をパラメータ i で識別する時、

前記半導体装置にパラメータ i のデータサイクル幅を持つパルス信号と、前記パルス信号と同期した前記ストローブ信号が入力され、前記ストローブ信号を用いて前記パルス信号の立上り時間と、前記パルスの立下がり時間との差を計測し、計測された前記時間の差を前記遅延可変回路の i 番目の遅延量として前記遅延制御回路に設定し、 40

i を1から n まで繰り返して遅延量調整を行なうことを特徴とする請求項1乃至6のいずれかに一に記載の半導体装置。

【請求項9】

複数のDRAMと、

前記複数のDRAMに信号線により接続され、制御・アドレス信号およびストローブ信号を前記複数のDRAMに伝送するレジスタとを有し、

前記複数のDRAMの各々には、請求項1乃至8に記載の半導体装置により構成されたデータ入力回路が搭載されていることを特徴とするメモリ素子。

【請求項10】

請求項9に記載のメモリ素子を、複数個搭載するメモリモジュールであって、 50

前記メモリ素子に送信される制御・アドレス信号は、前記メモリモジュールに搭載されたレジスタにより前記メモリ素子に分配され、分配された前記制御・アドレス信号のデータ取り込み用の前記メモリ素子にジッタ低減機能を有するレシーバ回路を用いたことを特徴とするメモリモジュール。

【請求項 1 1】

ディジタルデータを受信するレシーバ回路を有する半導体装置であって、

前記レシーバ回路は、入力された前記ディジタルデータを基準電圧と比較しバイナリデータを出力する第1および第2の差動コンパレータと、前記第2の差動コンパレータの基準電圧を設定する可変電圧源と、前記第1および第2の差動コンパレータからの出力信号のどちらかを所定の時間保持し出力するラッチと、前記第1および第2の差動コンパレータからの出力信号のどちらかを選択し前記ラッチに伝送する切替えスイッチと、前記第1の差動コンパレータからの出力信号と前記ラッチの出力信号に基き参照電圧及び遅延量を決定する制御回路と、前記制御回路から信号を受け、前記遅延量を前記ラッチに伝送する遅延可変回路とからなり、

前記可変電圧源は、前記制御回路からの参照電圧情報に基き制御され前記第2の差動コンパレータに対する参照電圧を決定し、決定された前記参照電圧に応じて前記コンパレータの出力信号が遅延され、遅延された前記コンパレータの出力信号を前記切替えスイッチを介して、前記ラッチはデータ信号として取り込み、さらに前記ラッチは、前記制御回路からの遅延量情報に基づき、前記遅延可変回路により出力される遅延されたクロック信号をトリガとして前記差動コンパレータの出力を取り込むことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

パソコンなどの情報処理機器に用いられる、プロセッサやメモリなど機能回路間を接続するためのバス接続技術、及びその構成要素に係り、特にデジタル信号インターフェースにおける低ジッタを実現する半導体装置に関する。

【背景技術】

【0002】

装置内のプロセッサやメモリなどの機能回路間でディジタルデータ転送を行う場合、データ転送に掛かる物理的部位は2つに分けられる。すなわち、機能回路を実現する半導体素子(以下LSI)とLSI間を接続する伝送線路であり、これらを纏めてインターフェースと呼んでいる。装置の高性能化にはこのインターフェースの高速化が不可欠であるが、伝搬線路の物理的制約により高速化が困難になってきている。

【0003】

例えば、図3のように2つのLSI14と16間でデータ転送を行う場合、データバス配線15の高周波での誘電損失、或いは表皮効果で波形鈍りが生じる。図4に鈍った波形の例を示す。図4は送信側のLSIからデータ信号320のようなバイナリデータをドライバ14から出力されるとする。波形321はレシーバ16の入力端子に到達した波形であり、これがレシーバ16の入力波形となる。そして、レシーバ16は波形321を受信して矩形パルスに戻す。この波形を322で示した。ここで波形322は送信パルス320に対して、波形の幅が大きく変わる。これは以下の理由による。

【0004】

今、LからHへ、HからLへと矩形波がドライブされ、データが受信レシーバ16に到達した波形321は先の効果により鈍りを示す。例えば、LからHへと立ち上がりパルスを送信する場合、配線を伝わってきた波形321では鈍りが生じて、信号は1サイクル中に完全にHの電圧に立ち上がりがない、或いは別な表現で、完全に充電されない事になる。そのため、次のサイクルが始まる時間になんて完全に充電されていない電圧のままになる。

【0005】

高速化されたデータ転送では、その充電が完了するより前に次のデータが送信されるこ

10

20

30

40

50

ととなり、そのため、受信レシーバ 16 の入力波形 321 はデータの電圧波形が前のサイクルのデータにより異なることとなる。これをデータ・パターン依存性、或いは符号間干渉 (I S I : Inter Symbol Interference) と呼ばれており、高速化の一つの課題となっていた。

【0006】

これは、受信側の L S I にとっては、データの確定に必要な時間幅であるセットアップ時間と、ホールド時間が短くなることを示している。受信の閾値電圧を V R E F 0 とするとき、これを横切る時刻が T 1、T 2、T 3、T 4 . . . でデータパターンによりばらつくことになる。このバラツキがジッタと呼ばれる物であり、これが大きい場合データ確定に必要な時間幅 (データウィンドウ) が確保できずデータ転送の失敗率が大きくなる。すなわち、波形鈍りにより、より高速なデータ転送ができないことになる。

これを回避するため特許文献 1、2 に示すような従来技術がある。

【0007】

図 3 の様なバス接続されたデータ配線で、バイナリ信号を送信する際に、実データを第 1 サイクルから出すのではなく、少し待って (電圧が充分下がるのを待って) データを送信することで、ジッタによるエラーを回避している。また、一つのビット列が続く場合はデータの逆符号を送信するためにジッタが低減できていた。

【0008】

特許文献 2 で示すように、データパターンにより低下するジッタをドライバのタイミングを調整することでジッタを低減させていた。すなわち、現在のサイクルのデータと 1 つ前のサイクルのデータとを比較し、異なる場合は、高周波遅延回路 (H F)、同じ場合は低周波遅延回路 (L F) を現在のサイクルのデータに加算してデータウィンドウを広げていた。これにより、ドライバ側のジッタは低減することができるが、レシーバ側のジッタは低減することができない。また、高周波遅延回路の遅延量と低周波遅延回路の遅延量を決定する開示はない。

【0009】

特許文献 2 で開示されている技術を用いる場合、連続した 2 ビット間のデータパターンによる依存性を調整することはできるが、3 ビット以上のデータパターン依存性の遅延量を調整することができなかった。

【0010】

また、L S I 間の伝送線路の状態が予め分かっているなら該高周波遅延回路の遅延量と低周波遅延回路の遅延量を L S I の設計段階で決定することができるが、該 L S I が複数の装置に用いられる場合には、該遅延量を一意に決定することはできない。なぜならば、ジッタ調整用に必要とされる遅延量は伝送線路の実装状況により、それは装置毎に異なるためである。

【0011】

【特許文献 1】米国特許第 6、577、687 号明細書 (Dana Hall, et al., "Method for Transmitting Data over a Data Bus with Minimized Digital Inter-Symbol Interference", USP 6,577,687 B2 Jun., 2003)

【特許文献 2】米国特許第 5、953、521 号明細書 (Sanjay Dabral, et. al., "Data-Pattern Induced Skew Reducer", USP 5,953,521, Sep., 1999)

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明が解決しようとする課題は、インターフェースのレシーバにて、データパターンに依存するジッタを低減することにある。そして、低減するための遅延量の設定を装置毎に調整できるように自動的に調整可能な L S I を提供することにある。

【課題を解決するための手段】

【0013】

データパターン依存ジッタは、前の状態がどの様であったかで予測可能である。レ

10

20

30

40

50

シーバにて受け取ったデータの状態を保持しこの保持された状態と、入力されたデータとから該入力データの取り込みタイミングを調整する。

【0014】

また、実装形態に依存する遅延量を決定するためのレシーバ内の調整機構として、ドライバから1サイクル間隔のパルスデータ、2サイクル間隔のパルスデータをテストパターンとして送受信する。パルス幅の異なるパルスの立上りと立下がり時間差から系に最適な遅延量を求める自動調整機構を持つ。

【発明の効果】

【0015】

先の手段の様にレシーバは構成されるため、レシーバに到達したデータパターン依存ジッタを低減できることになる。これにより、更にデータの高速化が可能となる。 10

また、自動遅延調整回路機構によりジッタ低減するための遅延量の設定が可能なため、ケーブル長など装置毎に異なる状態の伝送線路であっても自動的に遅延量を調整できるので、装置依存のない汎用インターフェースを持つLSIを提供することができる。

【発明を実施するための最良の形態】

【0016】

以下に図面を用いて、実施の形態を詳細に説明する。

【実施例1】

【0017】

第1の実施例を図1を用いて説明する。 20

【0018】

100は本発明のジッタ調整回路機能を有する入力回路(デスキューレシーバ)であり、伝送線路に接続されたデータ信号20とクロック信号()210を入力とし、データ信号20はクロック信号210で同期を取り出力信号201として出力される。

【0019】

デスキューレシーバ100は、差動コンパレータ10、ラッチ11、遅延制御回路12、および遅延可変回路13からなる。

【0020】

データ信号20は、差動コンパレータ10に入力され参照電圧(VREF0)と比較され、その大小に応じて"0"と"1"がレシーバ出力信号200に出力される。レシーバ出力信号200は、ラッチ11と遅延制御回路12に入力され、ラッチ11は遅延制御回路12の信号により遅延量を計算され遅延可変回路13により遅延されたクロック信号203が入力される。 30

【0021】

遅延クロック信号203は、遅延可変回路13によりクロック信号()210に対して遅延量が加減算される。この遅延可変回路13は、遅延制御回路12の出力信号202により遅延時間を調整される。遅延制御回路12はレシーバ出力信号200と同期出力信号201を入力として、遅延制御信号202を出力する。

遅延制御回路12と遅延可変回路13の組合せで図2の様な遅延Tiに対応した制御を行う。 40

【0022】

図2は、各種データ信号20の入力波形、クロック210、ラッチ信号203等を示しており、横軸は時間、縦軸は電圧である。データ信号20の入力信号は301~305の5本が重ね合わされて描かれている。

波形301は時刻T0以前の入力データパターンが連続したLであり、その後、Hが時刻T6まで続いた波形である。ここで、点線で示した時刻T0~T5はジッタ調整回路機能を有する入力回路100に入力されたデータのサイクルを示す。なお、対象としている範囲で連続したデータパターンをL*と表すと、波形301のデータパターン(. . . L L L H H H . . .)は(L*H*)と記述できる。

波形302は、時刻T0以前がLであり、1サイクルのみHとなり、その後時刻T2以 50

降はLとなる。このデータパターンは(L * H L *)と表せる。

【0023】

同様に波形303は2サイクルHが続く(L * H H L *)で表され、波形304は3サイクル連続Hが続く(L * H H H L *)、波形305は4サイクルHが続く(L * H H H H L *)で表されるデータパターンに対応する波形である。図2では波形301～305のうち、データパターンが同じ部分は同じ軌線を描くので重なって表現されている。

波形301は時刻T0以降H状態であり伝送線路の鈍りのため、おおよそ充電曲線を描く。もちろん、伝送線路上のインピーダンスマッチに起因する反射やクロストークも重畳されるが、良く設計された伝送線路の場合、これらの反射・クロストークノイズは小さいが、そうであっても高周波での誘電損失や表皮効果による波形鈍りは大きく受端波形は301のように鈍る。

完全に立ち上がる前にあるいは充電される前にデータが変化すると次サイクルの波形軌線が大きく変わる。図2の波形302は、波形301の充電中途の位置からLが始まるので、参照電圧VREF0を横切る時間が波形301に比べて早くなっている。波形301のVREF0を横切る時間を基準にとると各波形302～305にはVREF0を横切る時間に時間差が有ることが分かる。この時間差を、波形302～305に対してそれぞれT1～T4(あるいはTi)と表す。

【0024】

図2の210は、図1のクロック信号であり、200-1～200-3はレシーバ10の出力波形であり、それぞれ入力データは(1)L * H L *、(2)L * H H * L、(3)L * H H H L *に対応している。

ここでレシーバ10の遅延時間は無視できるものとして書いてある。203-1～203-3はクロック信号210を遅延可変回路13と遅延制御回路12で入力データパターンに従った遅延量を持つ遅延クロック信号であり、ラッチ11は該信号203-1～203-3に従いデータをラッチする。

【0025】

図1の遅延制御回路12と遅延可変回路13は、図2において、波形302～305に対して、T1～T4の時間差を調整し、遅延クロック信号203-1～203-3等を生成するように動作する。ここで、T1～T4は、データパターン差によるタイミング取り込み時間の時間差で、予め遅延制御回路12が有している時定数である。

【0026】

次にデータ取り込みのための遅延クロック203の具体的な生成方法を説明する。

【0027】

当初のクロック210はT0～T6に同期している。

【0028】

入力データ20が

(1)L * H * L *入力(波形302)に対して

この入力データに対するレシーバ10の出力波形は200-1である。T0サイクル(T0～T1)におけるレシーバ出力200-1に対して、遅延制御回路12は遅延可変回路13に対してk×T1早めるように機能し、ラッチ11は該可変遅延のクロック信号203-1で取り込む。ここで、kは0.5などの適切な定数である。またこの203-1には、実線と点線があるが、実線は対象データサイクルで確定された信号であり、点線は未確定の信号を意味する。この様に動作することで、T0サイクルでHのデータを取る再に安定したセットアップ、ホールド時間を確保することができる。

(2)(L * H H L *)入力(波形303)に対して

この入力データに対するレシーバ出力10の出力波形は200-2である。T1サイクル(T1～T2)における波形レシーバ出力200-2に対して、遅延制御回路12は遅延可変回路13に対してk×T2早めるように機能し、ラッチ11は該可変遅延のクロック信号203-2で取り込む。この様に動作することで、T1サイクルで安定してHのデータを取る際に、安定したホールド時間を確保することができる。

10

20

30

40

50

【0029】

(3) (L * H H H L *) 入力(波形304)に対して

同様に入力データがL * H H H L * の記述304に対しては、T2サイクル(T2~T3)でラッチ11の取り込みタイミングを遅延可変回路13を用いてk×T3早める様に動作する。この様に動作することで、T2サイクルでHのデータを取る際に、安定したホールド時間を確保することができる。

【0030】

このように動作することで、L * からのいかなるデータパターンであっても、タイミングウィンドウを広げ、データを余裕を持ってラッチすることができ、結果として高速化を可能にする。

10

【0031】

同様に、(H * L H *) のような立下がりに於いても同様の効果を示す。ここでH * は連続するHデータ状態を言う。図には記載されていない送信LSIが良く設計されている場合、該LSIのドライバの出力インピーダンスがLとH共にほぼ同じと見なすことができ、信号振幅は立上りと立下がりで同じにできるので、遅延制御回路12と遅延可変回路13は極性を除いて同じように動作できる。

このように、遅延制御回路12と遅延可変回路13が動作すればジッタ調整回路機能を有する入力回路100は(L * H)や(H * L)の様な前サイクルのデータに関わらずデータを取り込めることになり、これらの入力データに対してジッタを低減できることになる。

20

【0032】

図5にこの働きをする遅延制御回路12の構成を示す。

遅延制御回路12には、レシーバ出力信号200、同期出力信号201が入力される。そして、内部処理された後、遅延制御信号202を出力する。

【0033】

今、転送が開始されてからnサイクル目の入力信号に対してジッタの低減する場合を考える。nサイクルの0か1かの状態をQnで表すこととする。同期出力信号201には、前(n-1)サイクル目のデータQn-1が保持されており、nサイクル目のデータが(n-1)サイクル目のデータと異なるQn Qn-1の時、すなわち立上り或いは立下がりのデータ切り替わりが生じたとき、レシーバ出力信号200と同期出力信号201の論理的排他和(XOR)回路123は、この切り替わりを検出する。このXOR回路123の出力信号125は、ラッチ124で保持され、遅延選択回路122に入力される。

30

【0034】

また、121は(n-1)サイクルの電圧保持回路であり、電圧保持回路121は8つの電圧状態を保持する。

【0035】

この動作を説明するために、図6の入力波形を用いる。

図6は、時刻T0、T1、T2...という、データ転送のサイクル毎のレシーバに入力される入力波形を示しており、実線310は時刻T0での立上り波形、波線311は時刻T0での立下がり波形を示している。これらの波形は1サイクル後の時刻T1でも完全にH状態になっておらず、時刻T1、T2、T3、T4の電圧を立上り波形310に対して、w1、w2、w3、w4とする。同様に立下がり波形311に対してはu1、u2、u3、u4とする。この図では切替えから4サイクル後にはほぼ信号振幅に充電されることを表しているが、系によりこれより長い場合も短い場合もある。これらの場合は、ui、wiの状態数が異なることになるが、本発明の本質的な動作は同じである。

40

【0036】

nサイクル目で遷移が生じる場合、nサイクル目の時刻をTn-1とすると、伝送線路が接続された差動コンパレータ10の入力波形電圧v(t)は、次のように表される。

a) 初期値(データ転送前の状態)

$$v(t) = V_{ol} \text{ or } V_{oh} \quad (t < 0) \quad \dots \quad (1)$$

50

ここで、 V_{o1} は伝送線路に接続されているドライバのL状態出力電圧であり、 V_{oh} はH状態出力電圧である。入力波形 $v(t)$ は $v(T_{n-1})$ に、 V_{o1} から $w1$ の、ないしは、 V_{oh} から $u1$ の信号振幅が重畠されるので、

b) nサイクル目の入力電圧 $v(t)$

$$v(t) = v(T_{n-1}) + Q'_{n-1}u(t - T_{n-1}) v0(t - T_{n-1}) \quad (T_{n-1} < t \leq T_n) \quad \dots \dots \dots (2)$$

ここで、 $v(T_{n-1})$ はnサイクル目の開始時刻(T_{n-1})での入力電圧であり、 Q'_{n-1} は($n-1$)サイクルとnサイクルのデータQの微分である。遷移がある場合は{+1, -1}を取り、前者が立上り後者が立下がりを意味する。また、遷移がない場合は"0"となる。そして、 $v0(t)$ は、単パルス入力 $L * H *$ に対する立上りパルスの電圧関数である。また、 $u(t)$ はユニット関数でその定義は、

c)

$$\begin{aligned} u(t) &= 1 \quad (t \geq 0) \\ &= 0 \quad (t < 0) \end{aligned} \quad \dots \dots \dots (3)$$

である。

【0037】

先の w_i 、 u_i ($i = 1, 2, 3, 4$)は、立上り($L * H *$)あるいは立下がり($H * L *$)の離散化された電圧であるが、前の状態にかかわらずデータ切替え後の振幅が同じであるため、前のデータが w_i 、 u_i の何れであっても切替えサイクル後(T_n)の電圧は w_i 、 u_i のいずれかになると近似できる。すなわち、入力電圧は、 w_i 、 u_i の8つの状態を持つといえる。

【0038】

これら8つの状態とその遷移を図7のように整理できる。この図は、遅延制御回路12内の連続する2つのデータ Q_{n-1} 、 Q_n に対する遷移関係を示す図であり、これらは図6の8つの状態{ w_i 、 u_i ; $i=\{1, 2, 3, 4\}$ }間の遷移に等しい。

【0039】

丸で囲った w_i 、 u_i が遅延制御回路12の内部状態であり、矢印は $Q'n$ の値に応じた状態遷移を示す。ここで、 $Q'n$ は Q_n の論理的な微分を表すこととし、遷移がある場合は"1"を、遷移がない場合は"0"を取ることとする。アナログ量の式(2)と同じ記号を用いているが、議論に混乱がないため同じ記号を用いた。

【0040】

u_i は図6のように立下がりに対して、データ切替えが無い場合($Q'n=0$)に、 $u2$ は $u3$ に、 $u3$ は $u4$ へと遷移していく。これらを $u_i \rightarrow u_{i+1}$ と表す事にする。 $u4$ では次のサイクルが同じデータの場合($Q'n=0$)、電圧は変わらないので同じ $u4$ に状態遷移する。同様に、 $w_i \rightarrow w_{i+1}$ は立上り波形に対するデータ切替えがない($Q'n=0$)状態遷移である。 $w4$ からの状態遷移は電圧がかわらないので変わらない。

【0041】

次に、これら状態 w_i 、 u_i からデータ切替えがある($Q'n=1$)の場合を説明する。

切替えの電圧振幅は同じであるため、 $u1 \rightarrow w4$ 、 $u2 \rightarrow w3$ 、 $u3 \rightarrow w2$ 、 $u4 \rightarrow w1$ と状態遷移する。その逆も同じ組合せで、 $w4 \rightarrow u1$ 、 $w3 \rightarrow u2$ 、 $w2 \rightarrow u3$ 、 $w1 \rightarrow u4$ と状態遷移する。

【0042】

図7で、括弧()内に書かれているのは、遅延可変回路13が設定すべき遅延量を示している。すなわち、 $u1 \rightarrow w4$ の遷移は $T1$ をジッタ低減に必要とするが、これは図2で $L * H * L *$ の入力波形302に対応している。同様に $w1 \rightarrow u4$ も入力波形の極性が異なるだけなので同じ $T1$ を必要とする。同様に、 $u2 \rightarrow w3$ 、 $w2 \rightarrow u3$ は図2の波形303に対応しジッタ低減には $T2$ を必要とする。更に、 $u3 \rightarrow w2$ 、 $w3 \rightarrow u2$ は図2の波形304に対応しジッタ低減には $T3$ を必要とする。

【0043】

以上のように、図6、図7を伝送線路が接続されているレシーバの入力波形の振舞が離

10

20

30

40

50

散化された状態遷移であると考え、遷移が有限個ありそれぞれの遷移でジッタ低減のために必要な遅延量として説明したが、今後この図6、図7を図1の遅延制御回路12、遅延可変回路13の機能仕様とする。すなわち。遅延制御回路12はその内部に図7で表した8個の状態があり、それぞれの遷移をデータ切替えに応じて状態遷移し、その遷移に対して遅延可変回路13の遅延量を決定する様に動作することでジッタを低減することができる。

【0044】

図5に於いて、電圧保持回路121は図7の様に状態遷移し($n - 1$)サイクルの電圧を保持するように動作する。これは、例えば、アナログ的に抵抗Rと可変容量Cにより、時定数($= R C$)の積分回路とすることで実現できる。なぜならば電圧保持回路121の入力は同期出力信号201であり、これはラッチ11がバイナリデータを出力し、これを電圧源として充放電が行われるため、差動コンパレータ10の入力波形と同じ振舞であるデータパターン依存性を示すことができる。ここで、電圧保持回路121の時定数($= R C$)は、図6の入力波形の時定数と同じである必要はない。電圧保持回路121は図6の4サイクルでほぼ飽和するような時定数を持ち、それらの状態間が区別できればよいためである。そして、状態監視用のバッファ127で安定的に状態を検出する。これは多段のコンパレータで構成が可能である。この様に電圧保持回路121は8つの状態を出力する事ができる。

【0045】

図7で、ジッタ低減に必要な遅延時間量を時間毎に纏めると、
d)

$$\begin{aligned} T1 &= Q'n (u1 + w1) \\ T2 &= Q'n (u2 + w2) \\ T3 &= Q'n (u3 + w3) \\ T4 &= Q'n (u4 + w4) = 0 \\ &\dots \quad (4) \end{aligned}$$

となる。この演算を行うのが遅延選択回路122である。ここで、 $Q'n$ はラッチ124で保持されたXOR回路123の出力信号125で実現されており、また、括弧()内のデータは電圧保持回路121の出力信号126で実現されている。これらの出力信号125と出力信号126の積を取ることで遅延制御信号202を生成できる。

【0046】

以上、図5、図7のよう遅延制御回路12は動作するので、遅延制御回路12は入力波に応じたジッタ低減量 T_i を表す遅延制御信号202を生成できる。遅延制御回路12で生成された遅延制御信号202は、図1の遅延可変回路13に入力され遅延制御信号202の値に応じた遅延量を発生させる。すなわち、遅延制御信号202が T_1 に対応した信号の場合、遅延可変回路13は T_1 時間を早める。同様に、遅延制御信号202が T_2 に対応した信号の場合、遅延可変回路13は T_2 時間を早める。以下同様である。

【0047】

ここで、時間を早めることは、一般にはできないので一定時間、例えばデータサイクルの半分の時間を予め与えておき、これに対して、 T_i だけ早くすることで時間を早めたような効果を持つ遅延可変回路を構成することができる。この場合、遅延可変回路13の持つ遅延量はどの場合であっても正の値を持つためである。

【0048】

遅延可変回路13のインプリメントは遅延素子を直並列に接続しその段数を制御することで遅延量を可変させてもよいし、遅延制御信号202に応じた電圧可変による遅延時間の制御でも同様な働きを行わせることができる。

【実施例2】

【0049】

図8を用いて第2の実施例であるジッタ調整回路機能を有する入力回路100'を説明

10

20

30

40

50

する。

【0050】

図1と同じ構成・機能のブロックには同じ記号を用い説明を省略する。

構成の差は、第1の実施例では、遅延される量がラッチ11のクロックであったが、本実施例ではデータ信号を遅延させることにある。構成は、差動コンパレータ10の出力信号200は、遅延可変回路13'を介して、ラッチ11に入力され同期化される。遅延可変回路13'は、遅延制御回路12で制御され、遅延制御回路12は第1の実施例である、図5のように動作する。そのため、遅延制御信号202は、データ信号20の入力データのパターンに応じて遅延調整量を遅延可変回路13'に伝える。

【0051】

遅延可変回路13'は受け取った遅延制御信号202に応じた遅延量を発生させる。第1の実施例との差は、本実施例では遅延可変回路13'は遅延制御信号202に応じて信号200を遅らせるように遅延を持たせる。例えば、遅延制御回路12で生成された遅延制御信号202は、図1の遅延可変回路13に入力され遅延制御信号202の値に応じた遅延量を発生させる。すなわち、遅延制御信号202がT1に対応した信号の場合、遅延可変回路13はT1時間を遅らせる。同様に、遅延制御信号202がT2に対応した信号の場合、遅延可変回路13はT2時間を遅らせる。以下同様である。遅らせる回路は、第1の実施例と同じく色々な方法で実現可能であり遅延素子の段数切替えでも、電圧可変による遅延調整でも構成可能である。

【0052】

この様にジッタ調整回路機能を有する入力回路100'を構成することで、第1の実施例と同じ効果のあるデータ信号20のデータ依存のあるジッタを低減することができる。また、このデータ依存のサイクルが3サイクル以上であってもそれらの効果によるジッタを低減できる。このため、データのタイミングウィンドウを広く取れ、高速化インターフェースが提供できる。

【0053】

更に、ラッチ11用のクロック210に内部クロック()を用いることができるのと、ラッチ11と次段のデータ転送に於いて同一のタイミング・ウィンドウを有することができ、第1の実施例に比べてより安定して動作できる。

【実施例3】

【0054】

図9を用いて第3の実施例を説明する。本実施例は、2つのLSI間のデータ転送に掛かる可変遅延時間の自動制御に関する。送信LSI500から受信LSI501にデータ信号(DQ)と、ストローブ信号(DQS)を送信している。データ信号(DQ)は送信LSI500内のドライバ14から、配線15を介して受信LSI501内のレシーバ100へと伝送される。データストローブ信号(DQS)は送信LSI500内のドライバ14aから、配線15aを介して受信LSI501内のレシーバ100aへと伝送される。データ信号(DQ)は1ビット当たり1本配線15を用いるシングルエンドの方式であり、ストローブ信号(DQS)は、1ビット当たり2本の配線15aを用いる差動信号であるとする。このため、DQS信号のレシーバ100aでは入力波形の取り込みはVREFではなくて入力波形の交点で取られる。

【0055】

次に、ジッタ遅延自動調整のフローチャート等を図10a、図10bに示す。

LSI500、501に電源投入シーケンス601後、初期化シーケンス602が動作する。このシーケンスではリセット信号による回路リセットやDLL調整用のクロック入力、LSI内の各レジスタの設定などを行う。これは各LSIの仕様による。

【0056】

ステップ603でデジッタ位相調整を行う。

ジッタ位相調整ステップ603に対応した波形を図10bに示す。

【0057】

10

20

30

40

50

シーケンス 604 に於いて、自動調整用の初期化である遅延量のリセット、パラメータ i の “1” のセットを行う。その後、シーケンス 605 に於いて、自動調整シーケンス開始のためのハンドシェークを行う。図 9 では記載されていない信号線により、送信 LSI 500 に自動化シーケンスの開始のリクエストを送る。送信 LSI 500 側で準備ができていることのアクノレッジ信号を受信した後、遅延調整シーケンス 606 へと進む。

【0058】

シーケンス 606 では、図 10b-1 の左図のように、送信 LSI 500 のドライバ 14 は 1 サイクル幅を持つパルス（すなわち $L * H L *$ ）350 を DQS 信号線に出力する。この時ドライバ 14a から繰り返し波形を DQS 信号に出力する。2 つの DQS 信号、DQS 信号は同期されており DQS 信号の切り替わりのタイミング差はどのサイクルでも同じである。

【0059】

受信 LSI 501 は、DQS 信号を入力回路 100 で、DQS 信号を入力回路 100a でそれぞれ受信するが、その入力波形 351 は図 10b-1 の右図の上のように鈍っている。

【0060】

シーケンス 605 に於いて、

入力された DQS 信号 351 の DQS 信号に対応する立上りと立下がり時の位相差 T_{1r} 、 T_{1f} を測定する。簡単のため、レシーバ 100 の出力信号は鈍っている入力波形 351 で代表させた。この測定は、図 9 には書いていない可変遅延素子の段数をインクリメント或いはデクリメントすることで 2 つの波形の位相を比較し、その比較結果が同じになるまで 1 サイクルパルス入力を繰り返すことで為される。

【0061】

例えば、DQS 信号のレシーバ 100 の立上りからの可変遅延回路の遅延量を調整し、DQS 信号用のレシーバ 100a の立上り信号と位相比較することで、遅延時間差 T_{1r} が求まる。

更に、DQS 信号のレシーバ 100 の立下がりからの可変遅延回路の遅延量を調整し、DQS 信号用のレシーバ 100a の別のサイクルの立上り信号と位相比較することで、遅延時間差 T_{1f} が求まる。

【0062】

位相差 T_{1r} 、 T_{1f} が求まるとそれが補正すべき遅延量 T_1 を次式で求めることができる。

e)

$$T_1 = T_{1f} - T_{1r} \dots \dots \dots (5)$$

なぜならば、 T_{1r} は $(L * H)$ に対する DQS 信号の入力回路 100 と DQS 信号の入力回路 100a の遅延時間差であり、これを $L * H L$ の立下がりの T_{1f} が伝送線路 15 のデータ依存性を持つ遅延量を含んでいるからである。

【0063】

ここで、遅延時間測定の方法は幾つかの方法が有り、例えば次のように行うことで為せる。

【0064】

最小遅延時間が同じ 2 つの遅延回路を用意し、DQS 信号用のレシーバ 100a の立上り信号と DQS 信号のレシーバ 100 の出力時間差 T_{1r} と、DQS 信号用のレシーバ 100a の立上り信号と DQS 信号のレシーバ 100 の出力時間差 T_{1f} を遅延時間が同じになるように調整する（シーケンス 607）。

【0065】

T_{1r} と、 T_{1f} の遅延回路の段数を数え、これを s と t とすると、 $s - t$ が求めるべき T_1 の遅延情報である。この情報を図 1 の遅延可変回路 13 に設定する。遅延可変回路 13 が同じ最小遅延時間からなる可変遅延回路であるならばこの値 자체が遅延量を意味する。

10

20

30

40

50

【0066】

同様に i をインクリメントして、シーケンス 603 に戻る。

【0067】

$i = 2$ の場合、図 10b-2 のように、送信 LSI500 のドライバ 14 から 2 データサイクル幅を持つパルス（すなわち $L * H H L *$ ）360 を出力する。ドライバ 14a からは繰り返し波形の DQS 信号を出力されている。2 つの DQ 信号 360、DQS 信号は同期されており DQ 信号の切り替わりのタイミング差は同じである。

【0068】

シーケンス 606 で 2 サイクルのパルスを受信し、シーケンス 607 で受信 LSI500 1 は、DQ 信号の DQS 信号に対応する立上りと立下がり時の位相差 T_{2r} 、 T_{2f} を測定する。そして、その差が求まるとそれが補正すべき遅延量 T_2 であり、シーケンス 607 で遅延可変回路 13 に設定する。このループを 4 回繰り返す。これにより、 T_1 、 T_2 、 T_3 、 T_4 の全てが求められ、遅延可変回路 13 に設定された。

【0069】

ここで、ステップ 603 でデジッタ位相調整は立上りに対して行ったが、立下がりに対して極性が反対のパルスを用いることで遅延量を自動的に求めることができ、また、立下がりの自動調整を行わない場合であっても、ステップ 603 の値を用いることも可能である。これはドライバ 14 が立上りと立下がりで出力インピーダンスが対称な場合に有効である。

【0070】

この様に測定することで、第 1 の実施例で有る図 1 の遅延可変回路 13 内の遅延量 T_i を自動的に決定することができる。同様に第 2 の実施例である図 8 の遅延可変回路 13' 内の遅延量 T_i を自動的に決定することができる。

【実施例 4】

【0071】

図 11 を用いて本実施例を説明する。本実施例はジッタ低減技術をメモリに応用したものである。

【0072】

メモリモジュール 30 には、複数の DRAM32 と制御・アドレス信号用 (C/A) のレジスタバッファ 31 を搭載している。制御・アドレス信号 (C/A) 35 は、レジスタ 31 に入力され各 DRAM32 に伝送される。レジスタ 31 は、クロック信号 37 と C/A 信号 38 を出力する。

【0073】

各 DRAM36 内にはデータ入力回路 100 が搭載されている。ここで、入力回路 100 は実施例 1 のクロックにジッタ低減用の遅延回路を持たせた構成であっても良いし、実施例 2 のデータ信号にジッタ低減用の遅延回路を持たせた構成であっても良い。

また、DRAM32 はデータ (DQ) 信号 36 を用いてここには記載されていないメモリコントローラとデータの読み書きを行っている。

【0074】

このように構成するために、複数ビットある C/A 信号 38 であってもジッタを低減できるので高速化に好適であることが分かる。

また、データ信号 36 に対してレシーバを C/A 信号 38 と同じくデジッタ入力回路型にすることでデータ信号の高速化にも好適である。

【実施例 5】

【0075】

第 5 の実施例を図 12 を用いて説明する。

【0076】

101 は、本発明のジッタ調整回路機能を有する入力回路 (デスキューブ・レシーバ) であり、伝送線路に接続されたデータ信号 20 とクロック信号 () 210 を入力とし、データ信号 20 はクロック信号 210 で同期を取られ出力信号 201 として出力される。

10

20

30

40

50

【0077】

デスキューレシーバ101は、差動コンパレータ10および11、可変電圧源17、ラッチ11、および制御回路12からなる。

【0078】

データ信号20は、差動コンパレータ10および11に入力され、その入力信号はそれぞれ、参照電圧(VREF0)および参照電圧(VREF1)と比較され、その大小に応じて"0"または"1"がレシーバ出力信号200および209にそれぞれ出力される。ここで、参照電圧(VREF1)は、可変電圧源により与えられ、その電圧は、制御回路12からの信号により決定される。データ信号20が、4パルス以下の連続するHからLに変化するデータサイクル領域において、切替えスイッチ18は、出力信号209を選択するように働き、5パルス以上連続のL*あるいはH*から変化するデータサイクル領域では、出力信号200が選択される。出力信号209が切替えスイッチ18を介して、信号211となり、ラッチ11に入力され、差動コンパレータ10の出力信号200がラッチされる。データ信号20の入力データのパターンに応じた参照電圧調整量は、制御回路12が決定する。10

【0079】

図13は、データ信号20の入力波形を示しており、横軸は時間、縦軸は電圧である。データ信号20の入力信号は301～305の5本が重ね合わされて描かれている。

波形301は時刻T0以前の入力データパターンが連続したLであり、その後、Hが時刻T6まで続いた波形である。ここで、点線で示した時刻T0～T5はジッタ調整回路機能を有する入力回路101に入力されたデータのサイクルを示す。なお、波形301のデータパターンを(L*H*)と記述するのは、実施例1で示した方式に従う。以下同様に、波形302等のデータパターンは、(L*H L*)等と表せる。20

【0080】

図13において、データ信号20の5パルス以上連続するL*からの立ち上り波形が参照電圧VREF0を横切る時間にラッチ入力信号ではHとなる(1301)。そして、波形301の充電中途の位置から立ち下がる時は、参照電圧VREF1を横切る時間の時間差にラッチ入力信号211がLになる(1302)。ここで、各波形302～305において、VREF0を横切る時間とVREF1を横切る時間の時間差が有ることが分かる。この時間差を、波形302～305に対してそれぞれT1～T4(或いはTi)と表す。30

【0081】

ここで、波形302～305の立下がりで、切り替わり時刻からの1サイクル後までの信号振幅は、波形301のT0からT1の振幅とほぼ同じである。

【0082】

本実施例では、差動コンパレータ10において、入力されるデータ信号の電圧比較を立ち上がりの際に用いる参照電圧(VREF0)より低い参照電圧(VREF1)をデータパターンが立ち下がる際に用いることにより、波形302～305のデータパターンの立下がり信号においてそれぞれT1、T2…T4だけラッチ入力信号211のデータのタイミングウィンドウを広げ、高速化を可能にする。また、以上とは逆に301が立ち下がりで302～305が立ち上がりのときも参照電圧VREF0より高い参照電圧VREF1を用いることにより同様にラッチ11の入力信号のデータウィンドウを広げることができる。40

【実施例6】

【0083】

第6の実施例を図14を用いて説明する。

【0084】

102は、本発明のジッタ調整回路機能を有する入力回路(デスキューレシーバ)であり、伝送線路に接続されたデータ信号20とクロック信号()210を入力とし、データ信号20はクロック信号210で同期を取られ出力信号201として出力される。50

【0085】

デスキューレシーバ102は、差動コンパレータ10および11、可変電圧源17、ラッチ11、制御回路12および遅延可変回路13からなる。

【0086】

データ信号20は、差動コンパレータ10および11に入力され、その入力信号はそれぞれ、参照電圧(VREF0)および参照電圧(VREF1)と比較され、その大小に応じて"0"または"1"がレシーバ出力信号200および209にそれぞれ出力される。ここで、参照電圧(VREF1)は、可変電圧源により与えられ、その電圧は、遅延制御回路12からの信号により決定される。データ信号20が、同じパルスが4以上以下連続するHからLに変化するデータサイクル領域において、切替えスイッチ18は、出力信号209を選択するように働き、5パルス以上の連続するLからHに変化するデータサイクル領域では、出力信号200が選択される。次に、ラッチ11には、切替えスイッチ18からの出力信号209と、前記遅延可変回路13からの出力信号202がラッチ11に入力され、差動コンパレータ10あるいは11の出力信号200あるいは209がラッチされる。データ信号20の入力データのパターンに応じた参照電圧調整量は、参照電圧(VREF1)を可変電圧源の制御することにより与えられる。

【0087】

一方、遅延可変回路13は、制御回路12で制御される。遅延制御信号202は、データ信号20の入力データのパターンに応じて遅延調整量を遅延可変回路13'に伝える。

【0088】

遅延可変回路13は、受け取った遅延制御信号202に応じた遅延量を発生させる。第5の実施例との差は、さらに第1の実施例で用いた手法の様に、遅延制御信号202に応じて所定の時間遅らせたクロック信号をラッチ11に入力し、時間軸での遅延量調整を付加した点にある。

【0089】

図15は、データ信号20の入力波形を示しており、横軸は時間、縦軸は電圧である。データ信号20の入力信号は301～305の5本が重ね合わされて描かれている。

波形301乃至305に関する説明は、上述の第5の実施例の場合と同じである。

【0090】

図15においては、立ち上り波形は参照電圧VREF0を横切る時間を読み出し、波形301の充電中途の位置から立ち下がる時は、参照電圧VREF1を横切る時間を読み出し、この時間差をTiと表す。以下同様に、各波形302～305において、VREF0を横切る時間とVREF1を横切る時間の時間差が有ることが分かる。この時間差を、波形302～305に対してそれぞれT1～T4(或いはTi)と表す。

【0091】

さらに、本実施例では、第1の実施例と同様に、入力データが(L*H L*)の波形302に対して、T1サイクルに於いてラッチ11の取り込みタイミングを遅延可変回路13を用いてT1早める様に動作することが付加されている。残りの波形302～305に対しても同様である。

【実施例7】

【0092】

第7の実施例を図16、図17、図18、図19を用いて説明する。

図16で101は、本発明のジッタ調整回路機能を有する入力回路であり、伝送線路に接続されたデータ信号20とクロック信号()210を入力とし、データ信号20はクロック信号210で同期を取られ出力信号201として出力される。

【0093】

デスキューレシーバ101は、差動コンパレータ10、可変電圧源17、ラッチ11、および参照電圧回路12からなる。

【0094】

データ信号20は、差動コンパレータ10に入力され、その入力信号は参照電圧(VR

10

20

30

40

50

E F) と比較され、その大小に応じて H または L がレシーバ出力信号 2 0 0 にそれぞれ出力される。ここで参照電圧 (V R E F) は、可変電圧源 1 7 により与えられ、その電圧は参照電圧制御回路 1 2 からの信号により 3 つの電圧値 V R E F + 、 V R E F 0 、 V R E F - から決定される。ここで V R E F + = V D D Q × 5 / 8 、 V R E F 0 = V D D Q / 2 、 V R E F - = V D D Q × 3 / 8 である。 V D D Q は電源電圧値であり、信号における H レベルの電圧の安定値である。

【 0 0 9 5 】

まず、図 1 9 は H もしくは L のうち同じ値が 4 パルス以上連続した場合に信号で電圧が安定する「 4 サイクル型」デ - タサイクル時間がデータ信号波形の時定数 と等しい場合のデータ信号波形に対して入力回路が参照電圧制御せずに動作した場合のデータ信号 2 0 と差動コンパレータ 1 0 の出力信号 2 0 0 の波形である。横軸は時間、縦軸は電圧である。データ信号 2 0 は 3 0 1 ~ 3 0 8 の 7 本が重ね合わされて描かれている。またそれらに対応するコンパレータ 1 0 の出力信号はそれぞれ 1 3 0 1 ~ 1 3 0 8 である。この場合は参照電圧を V R E F = V R E F 0 に固定しており、 T 0 ~ T 2 のデータパターン (L H L) において、データ幅 1 3 0 0 は非常に狭くなってしまっている。またデータ信号 2 0 の時刻 T 1 における H レベルは参照電圧に対して余裕がほとんどなく、参照電圧のノイズに対する耐性も脆弱である。

【 0 0 9 6 】

さて、図 1 7 は前記「 4 サイクル型」のデータ信号波形の場合において参照電圧制御回路が出力信号 2 0 1 のパターンに応じて参照電圧を決定するための状態遷移図である。状態 S 0 は 4 パルス以上 L が連続し、データ信号 2 0 が安定した状態である。また状態 S 4 は 4 パルス以上 H が連続し、データ信号 2 0 が安定した状態である。まず状態 S 0 を初期状態とする。ここで、参照電圧制御回路に L が入力された場合、状態は遷移しない。また H が入力された場合は S 1 H に遷移する。状態 S 1 H で L が入力された場合は、状態 S 2 L に遷移し、 H が入力された場合は、状態 S 2 H に遷移する。状態 S 2 H で L が入力された場合は、状態 S 1 L に遷移し、 H が入力された場合は S 3 H に遷移する。状態 S 3 H で L が入力された場合は、状態 S 1 L に遷移し、 H が入力された場合は S 4 に遷移する。状態 S 4 で H が入力された場合は遷移せず、 L が入力された場合は状態 S 1 L に遷移する。状態 S 1 L で H が入力された場合は状態 S 2 H に遷移し、 L が入力された場合は状態 S 2 L に遷移する。状態 S 2 L で H が入力された場合は状態 S 1 H に遷移し、 L が入力された場合は状態 S 3 L に遷移する。状態 S 3 L で H が入力された場合は S 1 H に遷移し、 L が入力された場合は状態 S 0 に遷移する。そして参照電圧制御回路は各状態に応じて参照電圧を次のように制御する。即ち状態 S 0 では V R E F = V R E F - 、状態 S 1 H では V R E F = V R E F - 、状態 S 2 H では V R E F = V R E F 0 、状態 S 3 H では V R E F = V R E F 0 、状態 S 4 では V R E F = V R E F + 、状態 S 1 L では V R E F + 、状態 S 2 L では V R E F = V R E F 0 、状態 S 3 L では V R E F = V R E F 0 とする。なお、各状態における参照電圧の設定に際してはデータサイクルの中心の時刻でデータ信号 2 0 が通過する電圧に近くなるように決められている。

【 0 0 9 7 】

図 1 8 は前記「 4 サイクル型」のデータ信号 2 0 及びそれに対する差動コンパレータ 1 0 の出力信号 2 0 0 の波形を示しており、横軸は時間、縦軸は電圧である。図 1 9 と同様にデータ信号 2 0 は 3 0 1 ~ 3 0 8 の 7 本が重ね合わされて描かれており、それらに対応するコンパレータ 1 0 の出力信号はそれぞれ 1 3 0 1 ~ 1 3 0 8 である。波形 3 0 1 は時刻 T 0 以前の入力データパターンが連続した L であり、その後、 H が時刻 T 4 まで続いた波形である。ここで時刻 T 0 から T 8 はジッタ調整回路機能を有する入力回路 1 0 1 に入力されたデータのサイクルを示す。なお、波形 3 0 1 のデータパターンを (L * H *) と記述するのは、実施例 1 で示した方法に従う。以下同様に、波形 3 0 2 等データパターンは、 (L * H L *) 等と表せる。 T 0 ~ T 2 のデータパターン (L H L) において、差動コンパレータは V R E F - を参照している。ここで、 V R E F - は T 0 ~ T 1 間の中心の時刻でデータ信号 2 0 が通過するレベルに近く、また T 1 ~ T 2 間の中心の時刻でデータ

10

20

30

40

50

信号 20 が通過するレベルに近いので、データ幅 1301 としてデータサイクルに近い時間が得られている。さらに、クロック信号 210 を T0 ~ T8 に同期させれば、セットアップ時間、ホールド時間のバランスの取れた安定したデータウィンドウが得られる事がわかる。またデータ信号 20 の時間 T1 における H レベルは参照電圧 VREF - に対して余裕があり、参照電圧のノイズに対する耐性も持ち合わせている。

【実施例 8】

【0098】

第 8 の実施例を図 20、図 21、図 22、図 23 を用いて説明する。図 20 は H もしくは L のうち同じ値が 3 パルス以上連続した場合に信号電圧が安定する「3 サイクル型」のデータ信号波形の場合において参照電圧制御回路が出力信号 201 のパターンに応じて参照電圧を決定するための状態遷移図である。図 21 は「3 サイクル型」でデータ信号波形の時定数 T_{cyc1} でデータサイクル時間 T_{cyc1} の 75% に等しい場合のデータ信号 20 と差動コンパレータ 10 の出力波形を示した図である。図 22 は H もしくは L のうち同じ値が 2 パルス以上連続した場合に信号電圧が安定する「2 サイクル型」のデータ信号波形の場合において参照電圧制御回路が出力信号 201 のパターンに応じて参照電圧を決定するための状態遷移図である。図 23 は「2 サイクル型」でデータ信号波形の時定数 T_{cyc1} がデータサイクル時間 T_{cyc1} の 50% に等しい場合のデータ信号 20 と差動コンパレータ 10 の出力波形を示した図である。いずれも前述した「4 サイクル型」と同様にセットアップ時間、ホールド時間のバランスのとれた安定したデータウィンドウが得られる事がわかる。

【0099】

このようにデータパターンの履歴を使って参照電圧を制御する事により安定したデータウィンドウを得る事即ちジッタを低減する事ができる。

【図面の簡単な説明】

【0100】

【図 1】第 1 の実施例を説明するジッタ調整回路機能を有する入力回路（デスキューレシーバ）の図。

【図 2】図 1 のレシーバの LHL 入力時の入力波形を示す図。

【図 3】従来のインターフェース回路図。

【図 4】データパターン依存性を説明する波形を示す図。

【図 5】第 1 の実施例の遅延制御回路 12 の説明図。

【図 6】遅延制御回路内の内部状態に対応した離散化された入力電圧を示す図。

【図 7】遅延可変回路 13 内の状態遷移図。

【図 8】第 2 の実施例を説明するジッタ調整回路機能を有する入力回路（デスキューレシーバ）の図。

【図 9】第 3 の実施例である自動遅延調整回路の配線図。

【図 10-a】自動遅延調整回路のフローを示す図。

【図 10-b】自動遅延調整回路用パルスの説明図。

【図 11】第 1 および第 2 の実施例をメモリモジュールに応用した第 4 の実施例を示す図。

【図 12】第 5 の実施例を説明するジッタ調整回路機能を有する入力回路（デスキューレシーバ）の図。

【図 13】図 12 のレシーバの LHL 入力時の入力波形を示す図。

【図 14】第 6 の実施例を説明するジッタ調整回路機能を有する入力回路（デスキューレシーバ）の図。

【図 15】図 14 のレシーバの LHL 入力時の入力波形を示す図。

【図 16】本発明の参照電圧を制御する入力回路の図。

【図 17】4 サイクル型のデータ信号に対する状態遷移図。

【図 18】4 サイクル型のデータ信号波形とコンパレータ出力信号を示す図。

【図 19】従来の 4 サイクル型のデータ信号波形とコンパレータ出力信号を示す図。

10

20

30

40

50

【図20】3サイクル型のデータ信号に対する状態遷移図。

【図21】3サイクル型のデータ信号波形とコンパレータ出力信号を示す図。

【図22】2サイクル型のデータ信号に対する状態遷移図。

【図23】2サイクル型のデータ信号波形とコンパレータ出力信号を示す図。

【符号の説明】

【0101】

10, 11... 差動コンパレータ、

11... ラッチ、

12... 制御回路、

13, 13'... 遅延可変回路、

10

14, 14a... ドライバ、

15, 15a... 配線、

16... レシーバ、

17... 可変電圧源

18... 切替えスイッチ

20, 20a... データ信号、

30... メモリモジュール、

31... 制御・アドレス信号レジスタ、

32... D R A M、

35, 38... 制御・アドレス信号、

20

36... データ(DQ)信号、

37... ストローブ(DQS)信号、

100, 100', 100a... ジッタ調整回路機能を有する入力回路(デスキューレシーバ)、

101, 102... ジッタ調整回路機能を有する入力回路(デスキューレシーバ)、

122... 遅延選択回路、

123... X O R 回路、

124... ラッチ、

125... ラッチ124で保持されたX O R回路123の出力信号(Q'n)、

126... 電圧保持回路121の出力信号、

30

200... レシーバ出力信号、

201... 同期出力信号、

202... 遅延制御信号、

203... 遅延されたクロック信号、

210... クロック信号()、

301~305... 伝送線路により鈍った波形、

310... 立上り波形、

311... 立下り波形、

320... バイナリデータの例、

321... 伝送線路により鈍った波形、

40

322... レシーバで復調されたジッタの含むデータ、

350, 360, 370... 自動遅延調整用の送信バイナリデータ、

351, 361, 371... 自動遅延調整用の入力波形、

500... 送信L S I、

501... 受信L S I、

601~607... 自動遅延調整シーケンス、

1301... データ幅、

1301~1308... コンパレータ10からの出力信号、

DQ... データ信号、

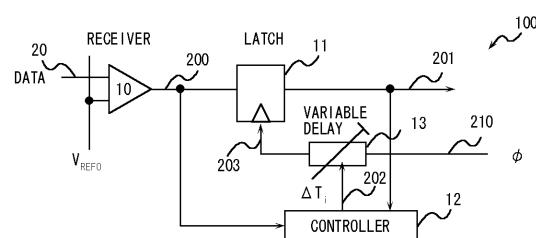
DQS... データストローブ信号、

50

V R E F 0 ... 参照電圧、
 V R E F 1 ... 参照電圧、
 V O L ... ドライバの L 出力電圧、
 V O H ... ドライバの H 出力電圧、
 u 1 ~ u 4 ... 遅延可変回路 1 3 の内部状態、
 w 1 ~ w 4 ... 遅延可変回路 1 3 の内部状態、
 T 1 ~ T 4 ... データパターンに応じた遅延調整量。

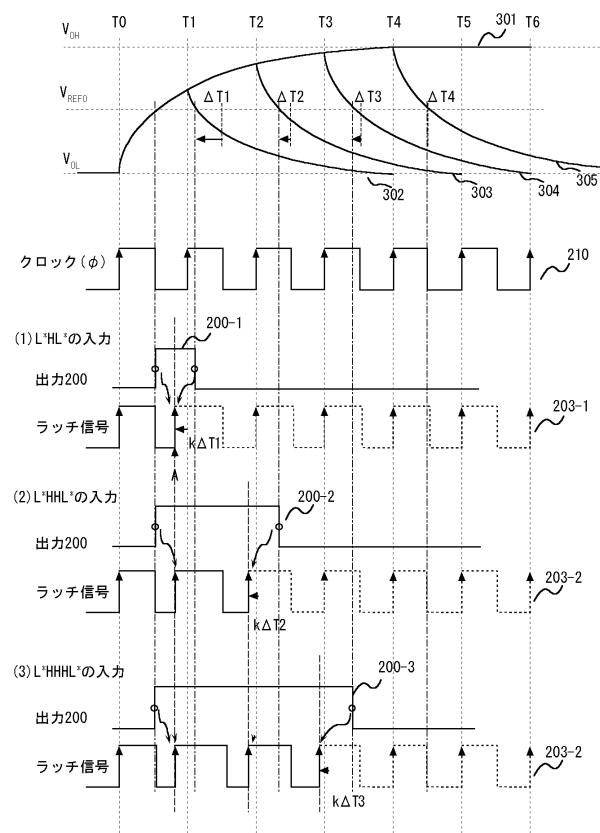
【図 1】

図 1



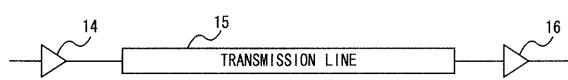
【図 2】

図 2



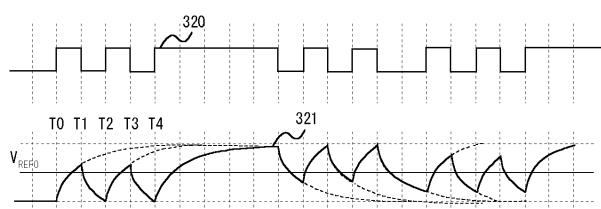
【図3】

図3



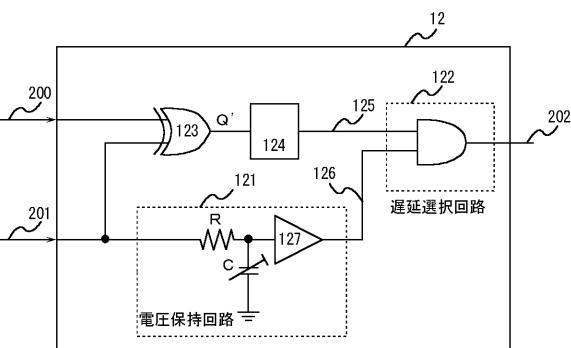
【図4】

図4



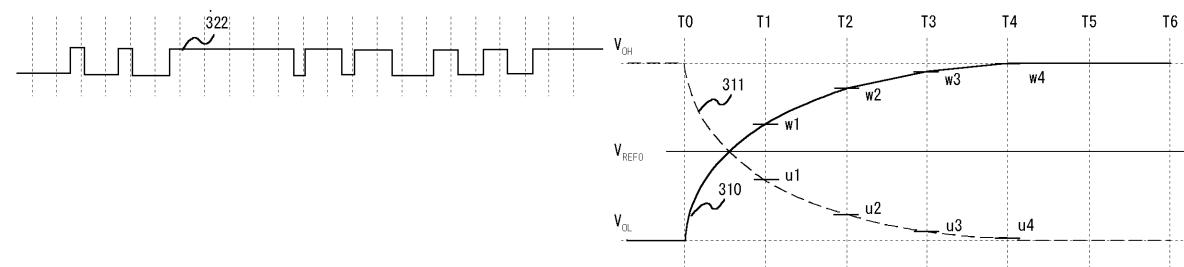
【図5】

図5



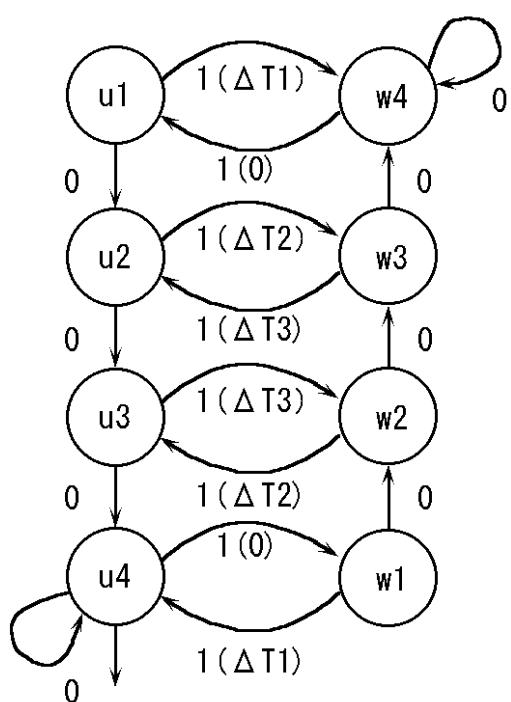
【図6】

図6



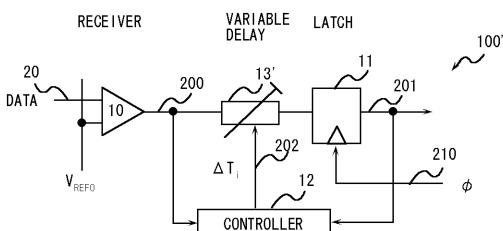
【図7】

図7



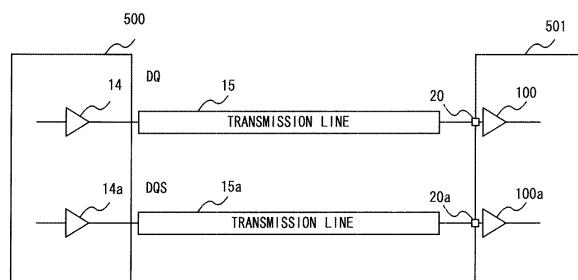
【図8】

図8



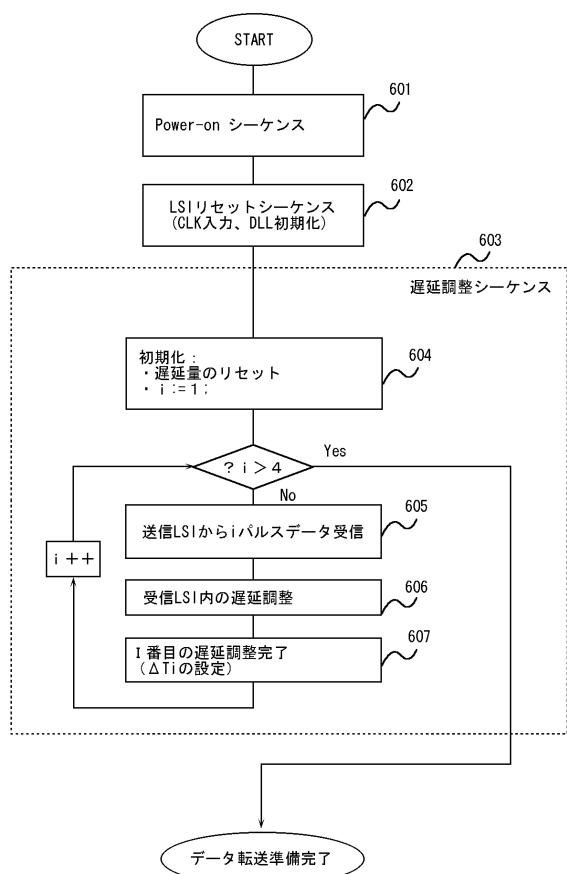
【図9】

図9



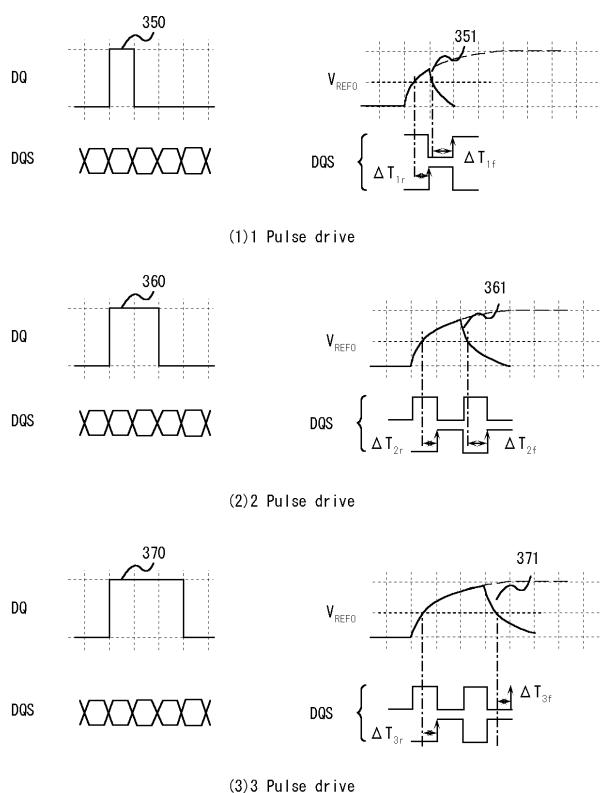
【図 10-a】

図 10-a



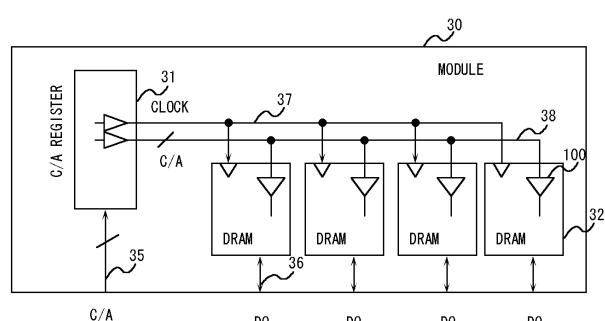
【図 10-b】

図 10-b



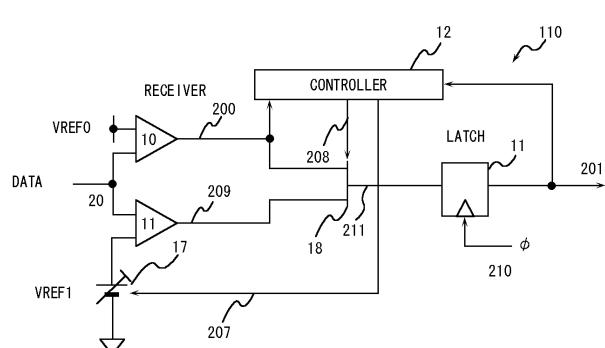
【図 11】

図 11



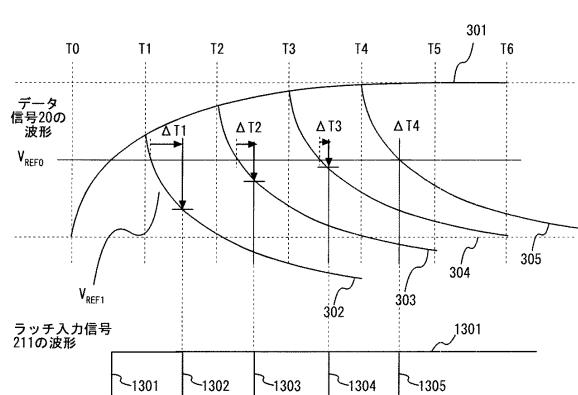
【図 12】

図 12



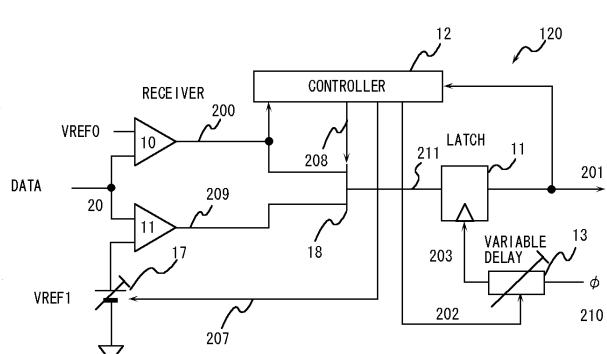
【図 13】

図 13

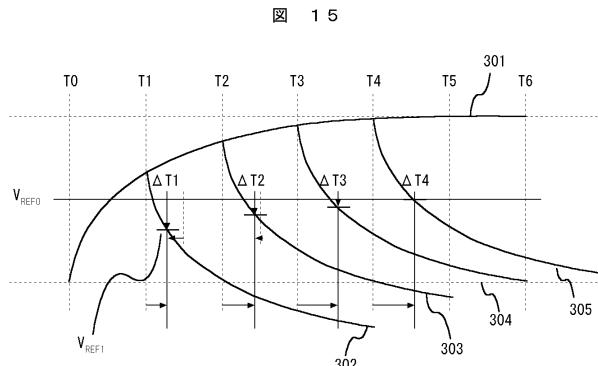


【図 14】

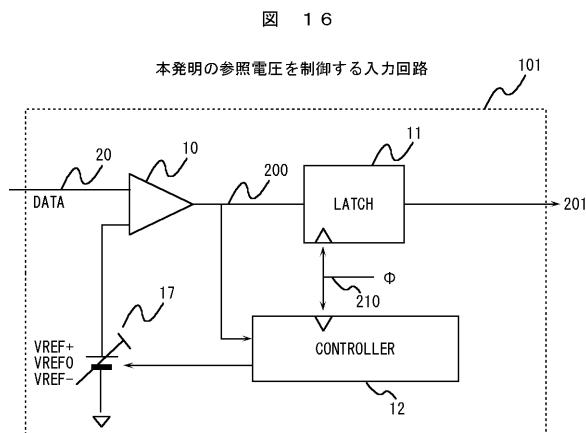
図 14



【図 15】

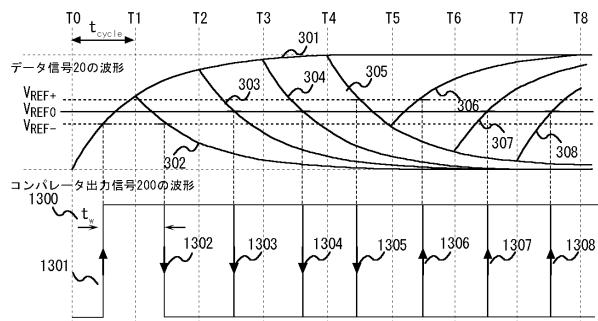


【図 16】



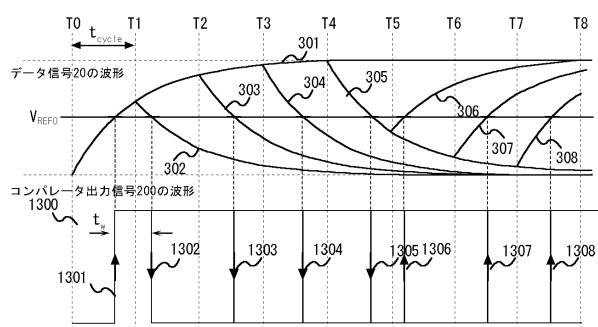
【図 18】

図 18

4サイクル型($\tau=t_{cycle}$)のデータ信号波形とコンパレータ出力信号

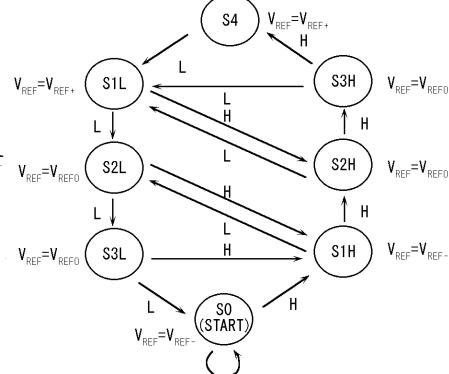
【図 19】

図 19

従来の4サイクル型($\tau=t_{cycle}$)のデータ信号波形とコンパレータ出力信号

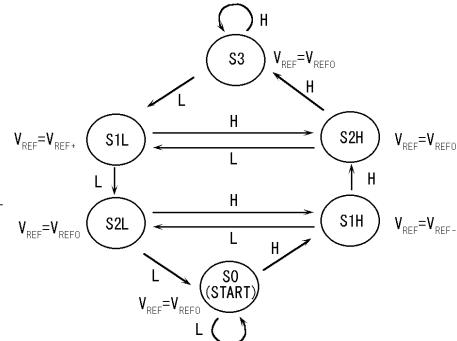
【図 17】

図 17

4サイクル型($\tau=t_{cycle}$)のデータ信号に対する状態遷移図

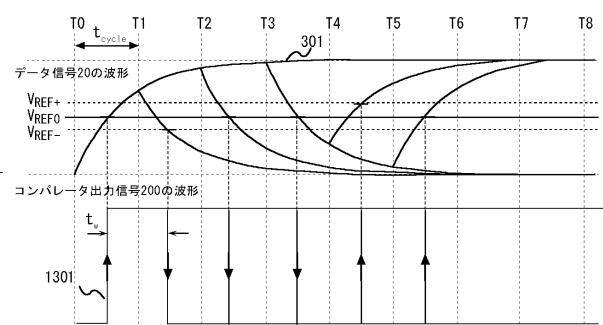
【図 20】

図 20

3サイクル型($\tau=0.75t_{cycle}$)のデータ信号に対する状態遷移図

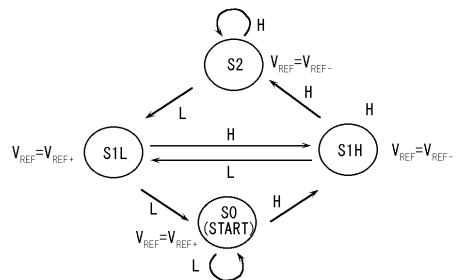
【図 21】

図 21

3サイクル型($\tau=0.75t_{cycle}$)のデータ信号波形とコンパレータ出力信号

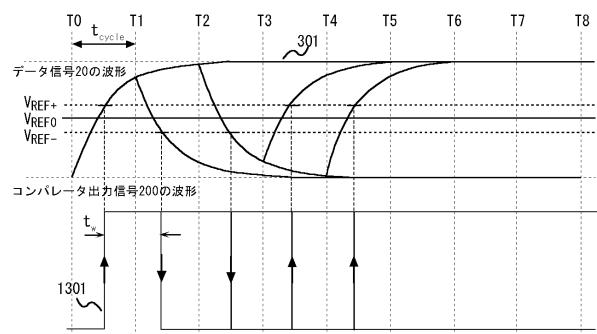
【図 2 2】

図 2 2

2サイクル型($\tau=0.5t_{cycle}$)のデータ信号に対する状態遷移図

【図 2 3】

図 2 3

2サイクル型($\tau=0.5t_{cycle}$)のデータ信号波形とコンバレータ出力信号

フロントページの続き

(74)代理人 100086656

弁理士 田中 恭助

(73)特許権者 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(74)代理人 100123788

弁理士 宮崎 昭夫

(74)代理人 100106138

弁理士 石橋 政幸

(74)代理人 100127454

弁理士 緒方 雅昭

(74)代理人 100068504

弁理士 小川 勝男

(72)発明者 大坂 英樹

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所 システム開発研究所内

(72)発明者 西尾 洋二

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

(72)発明者 船場 誠司

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

(72)発明者 庄司 和良

東京都国分寺市東恋ヶ窪3-1-1 株式会社日立超エル・エス・アイ・システムズ内

審査官 白井 亮

(56)参考文献 特開昭62-200836(JP, A)

特開2001-313631(JP, A)

(58)調査した分野(Int.Cl., DB名)

H04L 7/00 - 7/10