

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4419067号
(P4419067)

(45) 発行日 平成22年2月24日 (2010. 2. 24)

(24) 登録日 平成21年12月11日 (2009. 12. 11)

(51) Int. Cl.

F I

H04L 7/02 (2006.01)

H04L 7/02 Z

H03K 5/00 (2006.01)

H03K 5/00 G

H03K 5/135 (2006.01)

H03K 5/135

請求項の数 11 (全 23 頁)

(21) 出願番号 特願2004-217509 (P2004-217509)
 (22) 出願日 平成16年7月26日 (2004. 7. 26)
 (65) 公開番号 特開2006-41818 (P2006-41818A)
 (43) 公開日 平成18年2月9日 (2006. 2. 9)
 審査請求日 平成19年4月26日 (2007. 4. 26)

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (73) 特許権者 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100123788
 弁理士 宮崎 昭夫
 (74) 代理人 100106138
 弁理士 石橋 政幸
 (74) 代理人 100127454
 弁理士 緒方 雅昭
 (74) 代理人 100068504
 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 デジタルインターフェースを有する半導体装置、メモリ素子及びメモリモジュール

(57) 【特許請求の範囲】

【請求項 1】

デジタルデータを受信するレシーバ回路を有する半導体装置であって、

前記レシーバ回路は、入力された前記デジタルデータを基準電圧と比較しバイナリデータを出力する差動コンパレータと、前記差動コンパレータからの出力をクロック信号に応じて取り込んで出力信号を出すラッチと、前記差動コンパレータからの出力信号と前記ラッチの出力信号に基き遅延量を決定する遅延制御回路と、前記遅延制御回路の出力信号を受けて前記ラッチへ信号を送る遅延可変回路とからなり、

前記ラッチは、前記遅延制御回路からの遅延量情報に基づき、前記遅延可変回路により出力される遅延されたクロック信号をトリガとして前記差動コンパレータの出力を取り込むことを特徴とする半導体装置。

【請求項 2】

前記遅延制御回路は、前記差動コンパレータの出力信号と前記ラッチの出力信号に基き、前記デジタルデータの切替えを検出し切替え信号を生成するデータ切替え検出手段と、

前記ラッチの出力信号を用いて、データサイクル毎の前記半導体装置に入力される前記デジタルデータの入力波形の電圧を保持する電圧保持手段とを有し、

前記電圧保持手段からの状態信号と前記データ切替え検出手段からの前記切替え信号との積を取ることにより遅延可変信号を生成することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

10

20

前記電圧保持機能は、抵抗と容量を含む１次回路により構成されることを特徴とする請求項２に記載の半導体装置。

【請求項４】

ディジタルデータを受信するレシーバ回路を有する半導体装置であって、

前記レシーバ回路は、入力された前記ディジタルデータを基準電圧と比較しバイナリデータを出力する差動コンパレータと、クロック信号に応じて出力信号を出力するラッチと、前記差動コンパレータからの出力信号と前記ラッチの出力信号に基き遅延量を決定する遅延制御回路と、前記遅延制御回路の出力信号を受けて前記ラッチへ信号を送る遅延可変回路とからなり、

前記コンパレータの出力信号は、前記遅延制御回路からの遅延情報に基づき前記遅延可変回路により遅延され、前記遅延された前記コンパレータの出力信号を、前記ラッチへクロック信号トリガタイミングで取り込むことを特徴とする半導体装置。

10

【請求項５】

前記遅延制御回路は、前記差動コンパレータの出力信号と前記ラッチの出力信号に基き、前記ディジタルデータの切替えを検出し切替え信号を生成するデータ切替え検出手段と、

前記ラッチの出力信号を用いて、データサイクル毎の前記半導体装置に入力される前記ディジタルデータの入力波形の電圧を保持する電圧保持手段とを有し、

前記電圧保持手段からの状態信号と前記データ切替え検出手段からの前記切替え信号との積を取ることににより遅延可変信号を生成することを特徴とする請求項４に記載の半導体装置。

20

【請求項６】

前記電圧保持機能は、抵抗と容量を含む１次回路により構成されることを特徴とする請求項５に記載の半導体装置。

【請求項７】

ジッタ低減用自動調整用のシーケンスを有する半導体装置において、

前記半導体装置に有限のデータサイクルの幅を持つパルス信号と、前記パルス信号と同期したストローブ信号が入力され、

前記ストローブ信号を用いて前記パルス信号の立上り時間と、前記パルスの立下り時間との差を計測し求めた遅延差時間を、前記遅延可変回路へ入力する遅延量として前記遅延可変回路に設定することを特徴とする請求項１乃至６のいずれかに一に記載の半導体装置

30

【請求項８】

ジッタ低減用自動調整用のシーケンスを有する半導体装置において、

前記半導体装置に有限のデータサイクルの幅を持つパルス信号と、前記パルス信号と同期したストローブ信号が入力され、

前記シーケンスにおける i 番目の動作状態をパラメータ i で識別する時、

前記半導体装置にパラメータ i のデータサイクル幅を持つパルス信号と、前記パルス信号と同期した前記ストローブ信号が入力され、前記ストローブ信号を用いて前記パルス信号の立上り時間と、前記パルスの立下り時間との差を計測し、計測された前記時間の差を前記遅延可変回路の i 番目の遅延量として前記遅延制御回路に設定し、

40

i を１から n まで繰り返して遅延量調整を行なうことを特徴とする請求項１乃至６のいずれかに一に記載の半導体装置。

【請求項９】

複数のＤＲＡＭと、

前記複数のＤＲＡＭに信号線により接続され、制御・アドレス信号およびストローブ信号を前記複数のＤＲＡＭに伝送するレジスタとを有し、

前記複数のＤＲＡＭの各々には、請求項１乃至８に記載の半導体装置により構成されたデータ入力回路が搭載されていることを特徴とするメモリ素子。

【請求項１０】

請求項９に記載のメモリ素子を、複数個搭載するメモリモジュールであって、

50

前記メモリ素子に送信される制御・アドレス信号は、前記メモリモジュールに搭載されたレジスタにより前記メモリ素子に分配され、分配された前記制御・アドレス信号のデータ取り込み用の前記メモリ素子にジッタ低減機能を有するレシーバ回路を用いたことを特徴とするメモリモジュール。

【請求項 11】

ディジタルデータを受信するレシーバ回路を有する半導体装置であって、

前記レシーバ回路は、入力された前記ディジタルデータを基準電圧と比較しバイナリデータを出力する第 1 および第 2 の差動コンパレータと、前記第 2 の差動コンパレータの基準電圧を設定する可変電圧源と、前記第 1 および第 2 の差動コンパレータからの出力信号のどちらかを所定の時間保持し出力するラッチと、前記第 1 および第 2 の差動コンパレータからの出力信号のどちらかを選択し前記ラッチに伝送する切替えスイッチと、前記第 1 の差動コンパレータからの出力信号と前記ラッチの出力信号に基き参照電圧及び遅延量を決定する制御回路と、前記制御回路から信号を受け、前記遅延量を前記ラッチに伝送する遅延可変回路とからなり、

10

前記可変電圧源は、前記制御回路からの参照電圧情報に基き制御され前記第 2 の差動コンパレータに対する参照電圧を決定し、決定された前記参照電圧に応じて前記コンパレータの出力信号が遅延され、遅延された前記コンパレータの出力信号を前記切替えスイッチを介して、前記ラッチはデータ信号として取り込み、さらに前記ラッチは、前記制御回路からの遅延量情報に基づき、前記遅延可変回路により出力される遅延されたクロック信号をトリガとして前記差動コンパレータの出力を取り込むことを特徴とする半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

パソコンなどの情報処理機器に用いられる、プロセッサやメモリなど機能回路間を接続するためのバス接続技術、及びその構成要素に係り、特にデジタル信号インターフェースにおける低ジッタを実現する半導体装置に関する。

【背景技術】

【0002】

装置内のプロセッサやメモリなどの機能回路間でディジタルデータ転送を行う場合、データ転送に掛かる物理的部位は 2 つに分けられる。すなわち、機能回路を実現する半導体素子（以下 L S I ）と L S I 間を接続する伝送線路であり、これらを纏めてインターフェースと呼んでいる。装置の高性能化にはこのインターフェースの高速化が不可欠であるが、伝搬線路の物理的制約により高速化が困難になってきている。

30

【0003】

例えば、図 3 のように 2 つの L S I 1 4 と 1 6 間でデータ転送を行う場合、データバス配線 1 5 の高周波での誘電損失、或いは表皮効果で波形鈍りが生じる。図 4 に鈍った波形の例を示す。図 4 は送信側の L S I からデータ信号 3 2 0 のようなバイナリデータをドライバ 1 4 から出力されとする。波形 3 2 1 はレシーバ 1 6 の入力端子に到達した波形であり、これがレシーバ 1 6 の入力波形となる。そして、レシーバ 1 6 は波形 3 2 1 を受信して矩形パルスに戻す。この波形を 3 2 2 で示した。ここで波形 3 2 2 は送信パルス 3 2 0 に対して、波形の幅が大きく変わる。これは以下の理由による。

40

【0004】

今、L から H へ、H から L へと矩形波がドライブされ、データが受信レシーバ 1 6 に到達した波形 3 2 1 は先の効果により鈍りを示す。例えば、L から H へと立ち上がりパルスを送信する場合、配線を伝わってきた波形 3 2 1 では鈍りが生じて、信号は 1 サイクル中に完全に H の電圧に立ち上がれない、或いは別な表現で、完全に充電されない事になる。そのため、次のサイクルが始まる時間になっても完全に充電されていない電圧のままになる。

【0005】

高速化されたデータ転送では、その充電が完了するより前に次のデータが送信されるこ

50

となり、そのため、受信レシーバ16の入力波形321はデータの電圧波形が前のサイクルのデータにより異なることとなる。これをデータ・パターン依存性、或いは符号間干渉（ISI：Inter Symbol Interference）と呼ばれており、高速化の一つの課題となっていた。

【0006】

これは、受信側のLSIにとっては、データの確定に必要な時間幅であるセットアップ時間と、ホールド時間が短くなることを示している。受信の閾値電圧をVREF0とすると、これを横切る時刻がT1、T2、T3、T4...でデータパターンによりばらつくことになる。このバラツキがジッタと呼ばれる物であり、これが大きい場合データ確定に必要な時間幅（データウィンドウ）が確保できずデータ転送の失敗率が大きくなる。すなわち、波形鈍りにより、より高速なデータ転送ができないことになる。

10

これを回避するため特許文献1、2に示すような従来技術がある。

【0007】

図3の様なバス接続されたデータ配線で、バイナリ信号を送信する際に、実データを第1サイクルから出すのではなく、少し待って（電圧が充分下がるのを待って）データを送信することで、ジッタによるエラーを回避している。また、一つのビット列が続く場合はデータの逆符号を送信するためにジッタが低減できていた。

【0008】

特許文献2で示すように、データパターンにより低下するジッタをドライバのタイミングを調整することでジッタを低減させていた。すなわち、現在のサイクルのデータと1つ前のサイクルのデータとを比較し、異なる場合は、高周波遅延回路（HF）、同じ場合は低周波遅延回路（LF）を現在のサイクルのデータに加算してデータウィンドウを広げていた。これにより、ドライバ側のジッタは低減することができるが、レシーバ側のジッタは低減することができていない。また、高周波遅延回路の遅延量と低周波遅延回路の遅延量を決定する開示はない。

20

【0009】

特許文献2で開示されている技術を用いる場合、連続した2ビット間のデータパターンによる依存性を調整することはできるが、3ビット以上のデータパターン依存性の遅延量を調整することができなかった。

【0010】

30

また、LSI間の伝送線路の状態が予め分かっているなら該高周波遅延回路の遅延量と低周波遅延回路の遅延量をLSIの設計段階で決定することができるが、該LSIが複数の装置に用いられる場合には、該遅延量を一意に決定することはできない。なぜならば、ジッタ調整用に必要とされる遅延量は伝送線路の実装状況により、それは装置毎に異なるためである。

【0011】

【特許文献1】米国特許第6、577、687号明細書（Dana Hall、et al., "Method for Transmitting Data over a Data Bus with Minimized Digital Inter-Symbol Interference", USP 6,577,687 B2 Jun., 2003）

【特許文献2】米国特許第5、953、521号明細書（Sanjay Dabral et. al., "Data-Pattern Induced Skew Reducer", USP 5,953,521, Sep., 1999）

40

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明が解決しようとする課題は、インターフェースのレシーバにて、データパターンに依存するジッタを低減することにある。そして、低減するための遅延量の設定を装置毎に調整できるように自動的に調整可能なLSIを提供することにある。

【課題を解決するための手段】

【0013】

データパターン依存ジッタは、前の状態がどの様であったかで予測可能であるので、レ

50

シーバにて受け取ったデータの状態を保持しこの保持された状態と、入力されたデータとから該入力データの取り込みタイミングを調整する。

【 0 0 1 4 】

また、実装形態に依存する遅延量を決定するためのレシーバ内の調整機構として、ドライバから 1 サイクル間隔のパルスデータ、 2 サイクル間隔のパルスデータをテストパターンとして送受信する。パルス幅の異なるパルスの立上りと立下がり時間差から系に最適な遅延量を求める自動調整機構を持つ。

【 発明の効果 】

【 0 0 1 5 】

先の手段の様にレシーバは構成されるため、レシーバに到達したデータパターン依存ジッタを低減できることになる。これにより、更にデータの高速化が可能となる。

また、自動遅延調整回路機構によりジッタ低減するための遅延量の設定が可能なため、ケーブル長など装置毎に異なる状態の伝送線路であっても自動的に遅延量を調整できるので、装置依存のない汎用インターフェースを持つ L S I を提供することができる。

【 発明を実施するための最良の形態 】

【 0 0 1 6 】

以下に図面を用いて、実施の形態を詳細に説明する。

【 実施例 1 】

【 0 0 1 7 】

第 1 の実施例を図 1 を用いて説明する。

【 0 0 1 8 】

1 0 0 は本発明のジッタ調整回路機能を有する入力回路（デスクュー・レシーバ）であり、伝送線路に接続されたデータ信号 2 0 とクロック信号（ ） 2 1 0 を入力とし、データ信号 2 0 はクロック信号 2 1 0 で同期を取られ出力信号 2 0 1 として出力される。

【 0 0 1 9 】

デスクューレシーバ 1 0 0 は、差動コンパレータ 1 0、ラッチ 1 1、遅延制御回路 1 2、および遅延可変回路 1 3 からなる。

【 0 0 2 0 】

データ信号 2 0 は、差動コンパレータ 1 0 に入力され参照電圧（ V R E F 0 ）と比較され、その大小に応じて " 0 " と " 1 " がレシーバ出力信号 2 0 0 に出力される。レシーバ出力信号 2 0 0 は、ラッチ 1 1 と遅延制御回路 1 2 に入力され、ラッチ 1 1 は遅延制御回路 1 2 の信号により遅延量を計算され遅延可変回路 1 3 により遅延されたクロック信号 2 0 3 が入力される。

【 0 0 2 1 】

遅延クロック信号 2 0 3 は、遅延可変回路 1 3 によりクロック信号（ ） 2 1 0 に対して遅延量が加減算される。この遅延可変回路 1 3 は、遅延制御回路 1 2 の出力信号 2 0 2 により遅延時間を調整される。遅延制御回路 1 2 はレシーバ出力信号 2 0 0 と同期出力信号 2 0 1 を入力として、遅延制御信号 2 0 2 を出力する。

遅延制御回路 1 2 と遅延可変回路 1 3 の組合せで図 2 の様な遅延 T_i に対応した制御を行う。

【 0 0 2 2 】

図 2 は、各種データ信号 2 0 の入力波形、クロック 2 1 0、ラッチ信号 2 0 3 等を示しており、横軸は時間、縦軸は電圧である。データ信号 2 0 の入力信号は 3 0 1 ~ 3 0 5 の 5 本が重ね合わされて描かれている。

波形 3 0 1 は時刻 T 0 以前の入力データパターンが連続した L であり、その後、H が時刻 T 6 まで続いた波形である。ここで、点線で示した時刻 T 0 ~ T 5 はジッタ調整回路機能を有する入力回路 1 0 0 に入力されたデータのサイクルを示す。なお、対象としている範囲で連続したデータパターンを L * と表すと、波形 3 0 1 のデータパターン（ . . . L L L L H H H . . . ）は（ L * H * ）と記述できる。

波形 3 0 2 は、時刻 T 0 以前が L であり、 1 サイクルのみ H となり、その後時刻 T 2 以

10

20

30

40

50

降はLとなる。このデータパターンは (L * H L *) と表せる。

【 0 0 2 3 】

同様に波形 3 0 3 は 2 サイクル H が続く (L * H H L *) で表され、波形 3 0 4 は 3 サイクル連続 H が続く (L * H H H L *)、波形 3 0 5 は 4 サイクル H が続く (L * H H H H L *) で表されるデータパターンに対応する波形である。図 2 では波形 3 0 1 ~ 3 0 5 のうち、データパターンが同じ部分は同じ軌線を描くので重なって表現されている。

波形 3 0 1 は時刻 T 0 以降 H 状態であり伝送線路の鈍りのため、おおよそ充電曲線を描く。もちろん、伝送線路上のインピーダンスミスマッチに起因する反射やクロストークも重畳されるが、良く設計された伝送線路の場合、これらの反射・クロストークノイズは小さいが、そうであっても高周波での誘電損失や表皮効果による波形鈍りは大きく受端波形は 3 0 1 のように鈍る。

完全に立ち上がる前にあるいは充電される前にデータが変化すると次サイクルの波形軌線が大きく変わる。図 2 の波形 3 0 2 は、波形 3 0 1 の充電中途の位置から L が始まるので、参照電圧 V R E F 0 を横切る時間が波形 3 0 1 に比べて早くなっている。波形 3 0 1 の V R E F 0 を横切る時間を基準にとると各波形 3 0 2 ~ 3 0 5 には V R E F 0 を横切る時間に時間差が有ることが分かる。この時間差を、波形 3 0 2 ~ 3 0 5 に対してそれぞれ T 1 ~ T 4 (或いは T i) と表す。

【 0 0 2 4 】

図 2 の 2 1 0 は、図 1 のクロック信号であり、2 0 0 - 1 ~ 2 0 0 - 3 はレシーバ 1 0 の出力波形であり、それぞれ入力データは (1) L * H L * , (2) L * H H * L , (3) L * H H H L * に対応している。

ここでレシーバ 1 0 の遅延時間は無視できるものとして書いてある。2 0 3 - 1 ~ 2 0 3 - 3 はクロック信号 2 1 0 を遅延可変回路 1 3 と遅延制御回路 1 2 で入力データパターンに従った遅延量を持つ遅延クロック信号であり、ラッチ 1 1 は該信号 2 0 3 - 1 ~ 2 0 3 - 3 に従いデータをラッチする。

【 0 0 2 5 】

図 1 の遅延制御回路 1 2 と遅延可変回路 1 3 は、図 2 において、波形 3 0 2 ~ 3 0 5 に対して、T 1 ~ T 4 の時間差を調整し、遅延クロック信号 2 0 3 - 1 ~ 2 0 3 - 3 等を生成するように動作する。ここで、T 1 ~ T 4 は、データパターン差によるタイミング取り込み時間の時間差で、予め遅延制御回路 1 2 が有している時定数である。

【 0 0 2 6 】

次にデータ取り込みのための遅延クロック 2 0 3 の具体的な生成方法を説明する。

【 0 0 2 7 】

当初のクロック 2 1 0 は T 0 ~ T 6 に同期している。

【 0 0 2 8 】

入力データ 2 0 が

(1) L * H * L * 入力 (波形 3 0 2) に対して

この入力データに対するレシーバ 1 0 の出力波形は 2 0 0 - 1 である。T 0 サイクル (T 0 ~ T 1) におけるレシーバ出力 2 0 0 - 1 に対して、遅延制御回路 1 2 は遅延可変回路 1 3 に対して $k \times T 1$ 早めるように機能し、ラッチ 1 1 は該可変遅延のクロック信号 2 0 3 - 1 で取り込む。ここで、k は 0 . 5 などの適切な定数である。またこの 2 0 3 - 1 には、実線と点線があるが、実線は対象データサイクルで確定された信号であり、点線は未確定の信号を意味する。この様に動作することで、T 0 サイクルで H のデータを取る再安定したセットアップ、ホールド時間を確保することができる。

(2) (L * H H L *) 入力 (波形 3 0 3) に対して

この入力データに対するレシーバ出力 1 0 の出力波形は 2 0 0 - 2 である。T 1 サイクル (T 1 ~ T 2) における波形レシーバ出力 2 0 0 - 2 に対して、遅延制御回路 1 2 は遅延可変回路 1 3 に対して $k \times T 2$ 早めるように機能し、ラッチ 1 1 は該可変遅延のクロック信号 2 0 3 - 2 で取り込む。この様に動作することで、T 1 サイクルで安定して H のデータを取る際に、安定したホールド時間を確保することができる。

【 0 0 2 9 】

(3) (L * H H H L *) 入力 (波形 3 0 4) に対して

同様に入力データが L * H H H L * のヘ記 3 0 4 に対しては、T 2 サイクル (T 2 ~ T 3) でラッチ 1 1 の取り込みタイミングを遅延可変回路 1 3 を用いて $k \times T 3$ 早める様に動作する。この様に動作することで、T 2 サイクルで H のデータを取る際に、安定したホールド時間を確保することができる。

【 0 0 3 0 】

このように動作することで、L * からのいかなるデータパターンであっても、タイミングウィンドウを広げ、データを余裕を持ってラッチすることができ、結果として高速化を可能にする。

10

【 0 0 3 1 】

同様に、(H * L H *) のような立下がりについて同様の効果を示す。ここで H * は連続する H データ状態を言う。図には記載されていない送信 L S I が良く設計されている場合、該 L S I のドライバの出力インピーダンスが L と H 共にほぼ同じと見なすことができ、信号振幅は立上りと立下がりと同じにできるので、遅延制御回路 1 2 と遅延可変回路 1 3 は極性を除いて同じように動作できる。

このように、遅延制御回路 1 2 と遅延可変回路 1 3 が動作すればジッタ調整回路機能を有する入力回路 1 0 0 は (L * H) や (H * L) の様な前サイクルのデータに関わらずデータを取り込めることになり、これらの入力データに対してジッタを低減できることになる。

20

【 0 0 3 2 】

図 5 にこの働きをする遅延制御回路 1 2 の構成を示す。

遅延制御回路 1 2 には、レシーバ出力信号 2 0 0、同期出力信号 2 0 1 が入力される。そして、内部処理された後、遅延制御信号 2 0 2 を出力する。

【 0 0 3 3 】

今、転送が開始されてから n サイクル目の入力信号に対してジッタの低減する場合を考える。n サイクルの 0 か 1 かの状態を Q_n で表すことにする。同期出力信号 2 0 1 には、前 (n - 1) サイクル目のデータ Q_{n-1} が保持されており、n サイクル目のデータが (n - 1) サイクル目のデータと異なる $Q_n \neq Q_{n-1}$ の時、すなわち立上り或いは立下がりのデータ切り替わりが生じたとき、レシーバ出力信号 2 0 0 と同期出力信号 2 0 1 の論理的排他和 (X O R) 回路 1 2 3 は、この切り替わりを検出する。この X O R 回路 1 2 3 の出力信号 1 2 5 は、ラッチ 1 2 4 で保持され、遅延選択回路 1 2 2 に入力される。

30

【 0 0 3 4 】

また、1 2 1 は (n - 1) サイクルの電圧保持回路であり、電圧保持回路 1 2 1 は 8 つの電圧状態を保持する。

【 0 0 3 5 】

この動作を説明するために、図 6 の入力波形を用いる。

図 6 は、時刻 T 0、T 1、T 2 . . . という、データ転送のサイクル毎のレシーバに入力される入力波形を示しており、実線 3 1 0 は時刻 T 0 での立上り波形、波線 3 1 1 は時刻 T 0 での立下がり波形を示している。これらの波形は 1 サイクル後の時刻 T 1 でも完全に H 状態になっておらず、時刻 T 1、T 2、T 3、T 4 の電圧を立上り波形 3 1 0 に対して、w 1、w 2、w 3、w 4 とする。同様に立下がり波形 3 1 1 に対しては u 1、u 2、u 3、u 4 とする。この図では切替えから 4 サイクル後にほぼ信号振幅に充電されることを表しているが、系によりこれより長い場合も短い場合もある。これらの場合は、u i、w i の状態数が異なることになるが、本発明の本質的な動作は同じである。

40

【 0 0 3 6 】

n サイクル目で遷移が生じる場合、n サイクル目の時刻を T_{n-1} とすると、伝送線路が接続された差動コンパレータ 1 0 の入力波形電圧 $v(t)$ は、次のように表される。

a) 初期値 (データ転送前の状態)

$$v(t) = Vol \text{ or } Voh \quad (t < 0) \quad \cdot \cdot \cdot \cdot \cdot (1)$$

50

ここで、 V_{ol} は伝送線路に接続されているドライバのL状態出力電圧であり、 V_{oh} はH状態出力電圧である。入力波形 $v(t)$ は $v(T_{n-1})$ に、 V_{ol} から w_1 の、ないしは、 V_{oh} から u_1 の信号振幅が重畳されるので、

b) nサイクル目の入力電圧 $v(t)$

$$v(t) = v(T_{n-1}) + Q'_{n-1}u(t - T_{n-1}) - v_0(t - T_{n-1}) \\ (T_{n-1} < t < T_n) \quad \dots \dots (2)$$

ここで、 $v(T_{n-1})$ はnサイクル目の開始時刻(T_{n-1})での入力電圧であり、 Q'_{n-1} は($n-1$)サイクルとnサイクルのデータQの微分である。遷移がある場合は $\{+1, -1\}$ を取り、前者が立上り後者が立下がりを意味する。また、遷移がない場合は"0"となる。そして、 $v_0(t)$ は、単パルス入力 $L * H *$ に対する立上りパルスの電圧関数である。また、 $u(t)$ はユニット関数でその定義は、

c)

$$u(t) = 1 \quad (t \geq 0) \\ = 0 \quad (t < 0) \\ \dots \dots (3)$$

である。

【0037】

先の w_i 、 u_i ($i = 1, 2, 3, 4$)は、立上り($L * H *$)あるいは立下がり($H * L *$)の離散化された電圧であるが、前の状態にかかわらずデータ切替え後の振幅が同じであるため、前のデータが w_i 、 u_i の何れであっても切替えサイクル後(T_n)の電圧は w_i 、 u_i のいずれかになると近似できる。すなわち、入力電圧は、 w_i 、 u_i の8つの状態を持つといえる。

【0038】

これら8つの状態とその遷移を図7のように整理できる。この図は、遅延制御回路12内の連続する2つのデータ Q_{n-1} 、 Q_n に対する遷移関係を示す図であり、これらは図6の8つの状態 $\{w_i, u_i; i=\{1, 2, 3, 4\}\}$ 間の遷移に等しい。

【0039】

丸で囲った w_i 、 u_i が遅延制御回路12の内部状態であり、矢印は Q'_n の値に応じた状態遷移を示す。ここで、 Q'_n は Q_n の論理的な微分を表すこととし、遷移がある場合は"1"を、遷移がない場合は"0"を取ることとする。アナログ量の式(2)と同じ記号を用いているが、議論に混乱がないため同じ記号を用いた。

【0040】

u_i は図6のように立下がりに対して、データ切替えが無い場合($Q'_n=0$)に、 u_2 は u_3 に、 u_3 は u_4 へと遷移していく。これらを $u_i \rightarrow u_{i+1}$ と表す事にする。 u_4 では次のサイクルが同じデータの場合($Q'_n=0$)、電圧は変わらないので同じ u_4 に状態遷移する。同様に、 $w_i \rightarrow w_{i+1}$ は立上り波形に対するデータ切替えがない($Q'_n=0$)状態遷移である。 w_4 からの状態遷移は電圧がかわらないので変わらない。

【0041】

次に、これら状態 w_i 、 u_i からデータ切替えがある($Q'_n=1$)の場合を説明する。

切替えの電圧振幅は同じであるため、 $u_1 \rightarrow w_4$ 、 $u_2 \rightarrow w_3$ 、 $u_3 \rightarrow w_2$ 、 $u_4 \rightarrow w_1$ と状態遷移する。その逆も同じ組合せで、 $w_4 \rightarrow u_1$ 、 $w_3 \rightarrow u_2$ 、 $w_2 \rightarrow u_3$ 、 $w_1 \rightarrow u_4$ と状態遷移する。

【0042】

図7で、括弧()内に書かれているのは、遅延可変回路13が設定すべき遅延量を示している。すなわち、 $u_1 \rightarrow w_4$ の遷移は T_1 をジッタ低減に必要とするが、これは図2で $L * H * L *$ の入力波形302に対応している。同様に $w_1 \rightarrow u_4$ も入力波形の極性が異なるだけなので同じ T_1 を必要とする。同様に、 $u_2 \rightarrow w_3$ 、 $w_2 \rightarrow u_3$ は図2の波形303に対応しジッタ低減には T_2 を必要とする。更に、 $u_3 \rightarrow w_2$ 、 $w_3 \rightarrow u_2$ は図2の波形304に対応しジッタ低減には T_3 を必要とする。

【0043】

以上のように、図6、図7を伝送線路が接続されているレシーバの入力波形の振舞が離

10

20

30

40

50

散化された状態遷移であると考え、遷移が有限個ありそれぞれの遷移でジッタ低減のために必要な遅延量として説明したが、今後この図 6、図 7 を図 1 の遅延制御回路 1 2、遅延可変回路 1 3 の機能仕様とする。すなわち、遅延制御回路 1 2 はその内部に図 7 で表した 8 個の状態があり、それぞれの遷移をデータ切替えに応じて状態遷移し、その遷移に対して遅延可変回路 1 3 の遅延量を決定する様に動作することでジッタを低減することができる。

【 0 0 4 4 】

図 5 に於いて、電圧保持回路 1 2 1 は図 7 の様に状態遷移し ($n - 1$) サイクルの電圧を保持するように動作する。これは、例えば、アナログ的に抵抗 R と可変容量 C により、時定数 ($= RC$) の積分回路とすることで実現できる。なぜならば電圧保持回路 1 2 1 の入力同期出力信号 2 0 1 であり、これはラッチ 1 1 がバイナリデータを出力し、これを電圧源として充放電が行われるため、差動コンパレータ 1 0 の入力波形と同じ振舞であるデータパターン依存性を示すことができる。ここで、電圧保持回路 1 2 1 の時定数 ($= RC$) は、図 6 の入力波形の時定数と同じである必要はない。電圧保持回路 1 2 1 は図 6 の 4 サイクルでほぼ飽和するような時定数を持ち、それらの状態間が区別できればよいためである。そして、状態監視用のバッファ 1 2 7 で安定的に状態を検出する。これは多段のコンパレータで構成が可能である。この様に電圧保持回路 1 2 1 は 8 つの状態を出力する事ができる。

【 0 0 4 5 】

図 7 で、ジッタ低減に必要な遅延時間量を時間毎に纏めると、
d)

$$\begin{aligned} T1 &= Q'n (u1 + w1) \\ T2 &= Q'n (u2 + w2) \\ T3 &= Q'n (u3 + w3) \\ T4 &= Q'n (u4 + w4) = 0 \\ &\dots\dots(4) \end{aligned}$$

となる。この演算を行うのが遅延選択回路 1 2 2 である。ここで、 $Q'n$ はラッチ 1 2 4 で保持された XOR 回路 1 2 3 の出力信号 1 2 5 で実現されており、また、括弧 () 内のデータは電圧保持回路 1 2 1 の出力信号 1 2 6 で実現されている。これらの出力信号 1 2 5 と出力信号 1 2 6 の積を取ることで遅延制御信号 2 0 2 を生成できる。

【 0 0 4 6 】

以上、図 5、図 7 のように遅延制御回路 1 2 は動作するので、遅延制御回路 1 2 は入力波に応じたジッタ低減量 T_i を表す遅延制御信号 2 0 2 を生成できる。遅延制御回路 1 2 で生成された遅延制御信号 2 0 2 は、図 1 の遅延可変回路 1 3 に入力され遅延制御信号 2 0 2 の値に応じた遅延量を発生させる。すなわち、遅延制御信号 2 0 2 が $T1$ に対応した信号の場合、遅延可変回路 1 3 は $T1$ 時間を早める。同様に、遅延制御信号 2 0 2 が $T2$ に対応した信号の場合、遅延可変回路 1 3 は $T2$ 時間を早める。以下同様である。

【 0 0 4 7 】

ここで、時間を早めることは、一般にはできないので一定時間、例えばデータサイクルの半分の時間を予め与えておき、これに対して、 T_i だけ早くすることで時間を早めたような効果を持つ遅延可変回路を構成することができる。この場合、遅延可変回路 1 3 の持つ遅延量はどの場合であっても正の値を持つためである。

【 0 0 4 8 】

遅延可変回路 1 3 のインプリメントは遅延素子を直並列に接続しその段数を制御することで遅延量を可変させてもよいし、遅延制御信号 2 0 2 に応じた電圧可変による遅延時間の制御でも同様な働きを行わせることができる。

【 実施例 2 】

【 0 0 4 9 】

図 8 を用いて第 2 の実施例であるジッタ調整回路機能を有する入力回路 1 0 0 ' を説明

する。

【0050】

図1と同じ構成・機能のブロックには同じ記号を用い説明を省略する。

構成の差は、第1の実施例では、遅延される量がラッチ11のクロックであったが、本実施例ではデータ信号を遅延させることにある。構成は、差動コンパレータ10の出力信号200は、遅延可変回路13'を介して、ラッチ11に入力され同期化される。遅延可変回路13'は、遅延制御回路12で制御され、遅延制御回路12は第1の実施例である、図5のように動作する。そのため、遅延制御信号202は、データ信号20の入力データのパターンに応じて遅延調整量を遅延可変回路13'に伝える。

【0051】

遅延可変回路13'は受け取った遅延制御信号202に応じた遅延量を発生させる。第1の実施例との差は、本実施例では遅延可変回路13'は遅延制御信号202に応じて信号200を遅らせるように遅延を持たせる。例えば、遅延制御回路12で生成された遅延制御信号202は、図1の遅延可変回路13に入力され遅延制御信号202の値に応じた遅延量を発生させる。すなわち、遅延制御信号202がT1に対応した信号の場合、遅延可変回路13はT1時間を遅らせる。同様に、遅延制御信号202がT2に対応した信号の場合、遅延可変回路13はT2時間を遅らせる。以下同様である。遅らせる回路は、第1の実施例と同じく色々な方法で実現可能であり遅延素子の段数切替えでも、電圧可変による遅延調整でも構成可能である。

【0052】

この様にジッタ調整回路機能を有する入力回路100'を構成することで、第1の実施例と同じ効果のであるデータ信号20のデータ依存のあるジッタを低減することができる。また、このデータ依存のサイクルが3サイクル以上であってもそれらの効果によるジッタを低減できる。このため、データのタイミングウィンドウを広く取れ、高速化インターフェースが提供できる。

【0053】

更に、ラッチ11用のクロック210に内部クロック()を用いることができるので、ラッチ11と次段のデータ転送に於いて同一のタイミング・ウィンドウを有することができ、第1の実施例に比べてより安定して動作できる。

【実施例3】

【0054】

図9を用いて第3の実施例を説明する。本実施例は、2つのLSI間のデータ転送に掛かる可変遅延時間の自動制御に関する。送信LSI500から受信LSI501にデータ信号(DQ)と、ストローブ信号(DQS)を送信している。データ信号(DQ)は送信LSI500内のドライバ14から、配線15を介して受信LSI501内のレシーバ100へと伝送される。データストローブ信号(DQS)は送信LSI500内のドライバ14aから、配線15aを介して受信LSI501内のレシーバ100aへと伝送される。データ信号(DQ)は1ビット当たり1本配線15を用いるシングルエンドの方式であり、ストローブ信号(DQS)は、1ビット当たり2本の配線15aを用いる差動信号で有とする。このため、DQS信号のレシーバ100aでは入力波形の取り込みはVREFではなくて入力波形の交点で取られる。

【0055】

次に、ジッタ遅延自動調整のフローチャート等を図10a、図10bに示す。

LSI500、501に電源投入シーケンス601後、初期化シーケンス602が動作する。このシーケンスではリセット信号による回路リセットやDLL調整用のクロック入力、LSI内の各レジスタの設定などを行う。これは各LSIの仕様による。

【0056】

ステップ603でデジッタ位相調整を行う。

ジッタ位相調整ステップ603に対応した波形を図10bに示す。

【0057】

シーケンス 604 に於いて、自動調整用の初期化である遅延量のリセット、パラメータ i の "1" のセットを行う。その後、シーケンス 605 に於いて、自動調整シーケンス開始のためのハンドシェークを行う。図 9 では記載されていない信号線により、送信 LSI 500 に自動化シーケンスの開始のリクエストを送る。送信 LSI 500 側で準備ができていることのアクノレッジ信号を受信した後、遅延調整シーケンス 606 へと進む。

【0058】

シーケンス 606 では、図 10b-1 の左図のように、送信 LSI 500 のドライバ 14 は 1 サイクル幅を持つパルス (すなわち $L * H L *$) 350 を DQ 信号線に出力する。この時ドライバ 14a から繰り返し波形を DQS 信号に出力する。2 つの DQ 信号、DQS 信号は同期されており DQ 信号の切り替わりのタイミング差はどのサイクルでも同じである。

10

【0059】

受信 LSI 501 は、DQ 信号を入力回路 100 で、DQS 信号を入力回路 100a でそれぞれ受信するが、その入力波形 351 は図 10b-1 の右図の上のように鈍っている。

【0060】

シーケンス 605 に於いて、

入力された DQ 信号 351 の DQS 信号に対応する立上りと立下がり時の位相差 $T1r$ 、 $T1f$ を測定する。簡単のため、レシーバ 100 の出力信号は鈍っている入力波形 351 で代表させた。この測定は、図 9 には書いていない可変遅延素子の段数をインクリメント或いはデクリメントすることで 2 つの波形の位相を比較し、その比較結果が同じになるまで 1 サイクルパルス入力を繰り返すことで為される。

20

【0061】

例えば、DQ 信号のレシーバ 100 の立上りからの可変遅延回路の遅延量を調整し、DQS 信号用のレシーバ 100a の立上り信号と位相比較することで、遅延時間差 $T1r$ が求まる。

更に、DQ 信号のレシーバ 100 の立下がりからの可変遅延回路の遅延量を調整し、DQS 信号用のレシーバ 100a の別のサイクルの立上り信号と位相比較することで、遅延時間差 $T1f$ が求まる。

【0062】

位相差 $T1r$ 、 $T1f$ が求まるとそれが補正すべき遅延量 $T1$ を次式で求めることができる。

30

e)

$$T1 = T1f - T1r \quad \dots \dots (5)$$

なぜならば、 $T1r$ は ($L * H$) に対する DQ 信号の入力回路 100 と DQS 信号の入力回路 100a の遅延時間差であり、これを $L * H L$ の立下がりの $T1f$ が伝送線路 15 のデータ依存性を持つ遅延量を含んでいるからである。

【0063】

ここで、遅延時間測定の方法は幾つかの方法があり、例えば次のように行うことで為せる。

40

【0064】

最小遅延時間が同じ 2 つの遅延回路を用意し、DQS 信号用のレシーバ 100a の立上り信号と DQ 信号のレシーバ 100 の出力時間差 $T1r$ と、DQS 信号用のレシーバ 100a の立上り信号と DQ 信号のレシーバ 100 の出力時間差 $T1f$ を遅延時間が同じになるように調整する (シーケンス 607)。

【0065】

$T1r$ と、 $T1f$ の遅延回路の段数を数え、これを s と t とすると、 $s - t$ が求めるべき $T1$ の遅延情報である。この情報を図 1 の遅延可変回路 13 に設定する。遅延可変回路 13 が同じ最小遅延時間からなる可変遅延回路であるならばこの値自体が遅延量を意味する。

50

【 0 0 6 6 】

同様に i をインクリメントして、シーケンス 6 0 3 に戻る。

【 0 0 6 7 】

$i = 2$ の場合、図 1 0 b - 2 のように、送信 L S I 5 0 0 のドライバ 1 4 から 2 データサイクル幅を持つパルス（すなわち L * H H L * ） 3 6 0 を出力する。ドライバ 1 4 a からは繰り返し波形の D Q S 信号を出力されている。2 つの D Q 信号 3 6 0、D Q S 信号は同期されており D Q 信号の切り替わりのタイミング差は同じである。

【 0 0 6 8 】

シーケンス 6 0 6 で 2 サイクルのパルスを受信し、シーケンス 6 0 7 で受信 L S I 5 0 1 は、D Q 信号の D Q S 信号に対応する立上りと立下がり時の位相差 T_{2r} 、 T_{2f} を測定する。そして、その差が求まるとそれが補正すべき遅延量 T_2 であり、シーケンス 6 0 7 で遅延可変回路 1 3 に設定する。このループを 4 回繰り返す。これにより、 T_1 、 T_2 、 T_3 、 T_4 の全てが求められ、遅延可変回路 1 3 に設定された。

【 0 0 6 9 】

ここで、ステップ 6 0 3 でデジッタ位相調整は立上りに対して行ったが、立下がりに対して極性が反対のパルスを用いることで遅延量を自動的に求めることができ、また、立下がりの自動調整を行わない場合であっても、ステップ 6 0 3 の値を用いることも可能である。これはドライバ 1 4 が立上りと立下がりで出力インピーダンスが対称な場合に有効である。

【 0 0 7 0 】

この様に測定することで、第 1 の実施例で有る図 1 の遅延可変回路 1 3 内の遅延量 T_i を自動的に決定することができる。同様に第 2 の実施例である図 8 の遅延可変回路 1 3' 内の遅延量 T_i を自動的に決定することができる。

【 実施例 4 】

【 0 0 7 1 】

図 1 1 を用いて本実施例を説明する。本実施例はジッタ低減技術をメモリに応用したものである。

【 0 0 7 2 】

メモリモジュール 3 0 には、複数の D R A M 3 2 と制御・アドレス信号用（C / A）のレジスタバッファ 3 1 を搭載している。制御・アドレス信号（C / A）3 5 は、レジスタ 3 1 に入力され各 D R A M 3 2 に伝送される。レジスタ 3 1 は、クロック信号 3 7 と C / A 信号 3 8 を出力する。

【 0 0 7 3 】

各 D R A M 3 6 内にはデータ入力回路 1 0 0 が搭載されている。ここで、入力回路 1 0 0 は実施例 1 のクロックにジッタ低減用の遅延回路を持たせた構成であっても良いし、実施例 2 のデータ信号にジッタ低減用の遅延回路を持たせた構成であっても良い。

また、D R A M 3 2 はデータ（D Q）信号 3 6 を用いてここには記載されていないメモリコントローラとデータの読み書きを行っている。

【 0 0 7 4 】

このように構成するために、複数ビットある C / A 信号 3 8 であってもジッタを低減できるので高速化に好適であることが分かる。

また、データ信号 3 6 に対してレシーバを C / A 信号 3 8 と同じくデジッタ入力回路型にすることでデータ信号の高速化にも好適である。

【 実施例 5 】

【 0 0 7 5 】

第 5 の実施例を図 1 2 を用いて説明する。

【 0 0 7 6 】

1 0 1 は、本発明のジッタ調整回路機能を有する入力回路（デスキュー・レシーバ）であり、伝送線路に接続されたデータ信号 2 0 とクロック信号（ ） 2 1 0 を入力とし、データ信号 2 0 はクロック信号 2 1 0 で同期を取られ出力信号 2 0 1 として出力される。

【 0 0 7 7 】

デスキューレシーバ 1 0 1 は、差動コンパレータ 1 0 および 1 1、可変電圧源 1 7、ラッチ 1 1、および制御回路 1 2 からなる。

【 0 0 7 8 】

データ信号 2 0 は、差動コンパレータ 1 0 および 1 1 に入力され、その入力信号はそれぞれ、参照電圧 (V R E F 0) および参照電圧 (V R E F 1) と比較され、その大小に応じて " 0 " または " 1 " がレシーバ出力信号 2 0 0 および 2 0 9 にそれぞれ出力される。ここで、参照電圧 (V R E F 1) は、可変電圧源により与えられ、その電圧は、制御回路 1 2 からの信号により決定される。データ信号 2 0 が、4 パルス以下の連続する H から L に変化するデータサイクル領域において、切替えスイッチ 1 8 は、出力信号 2 0 9 を選択 10
するように働き、5 パルス以上連続の L * あるいは H * から変化するデータサイクル領域では、出力信号 2 0 0 が選択される。出力信号 2 0 9 が切替えスイッチ 1 8 を介して、信号 2 1 1 となり、ラッチ 1 1 に入力され、差動コンパレータ 1 0 の出力信号 2 0 0 がラッチされる。データ信号 2 0 の入力データのパターンに応じた参照電圧調整量は、制御回路 1 2 が決定する。

【 0 0 7 9 】

図 1 3 は、データ信号 2 0 の入力波形を示しており、横軸は時間、縦軸は電圧である。データ信号 2 0 の入力信号は 3 0 1 ~ 3 0 5 の 5 本が重ね合わされて描かれている。

波形 3 0 1 は時刻 T 0 以前の入力データパターンが連続した L であり、その後、H が時刻 T 6 まで続いた波形である。ここで、点線で示した時刻 T 0 ~ T 5 はジッタ調整回路機能 20
を有する入力回路 1 0 1 に入力されたデータのサイクルを示す。なお、波形 3 0 1 のデータパターンを (L * H *) と記述するのは、実施例 1 で示した方式に従う。以下同様に、波形 3 0 2 等のデータパターンは、(L * H L *) 等と表せる。

【 0 0 8 0 】

図 1 3 において、データ信号 2 0 の 5 パルス以上連続する L * からの立ち上り波形が参照電圧 V R E F 0 を横切る時間にラッチ入力信号では H となる (1 3 0 1)。そして、波形 3 0 1 の充電中途の位置から立ち下がる時は、参照電圧 V R E F 1 を横切る時間の時間差にラッチ入力信号 2 1 1 が L になる (1 3 0 2)。ここで、各波形 3 0 2 ~ 3 0 5 において、V R E F 0 を横切る時間と V R E F 1 を横切る時間の時間差が有ることが分かる。この時間差を、波形 3 0 2 ~ 3 0 5 に対してそれぞれ T 1 ~ T 4 (或いは T i) と 30
表す。

【 0 0 8 1 】

ここで、波形 3 0 2 ~ 3 0 5 の立下がり、切り替わり時刻からの 1 サイクル後までの信号振幅は、波形 3 0 1 の T 0 から T 1 の振幅とほぼ同じである。

【 0 0 8 2 】

本実施例では、差動コンパレータ 1 0 において、入力されるデータ信号の電圧比較を立ち上がりの際に用いる参照電圧 (V R E F 0) より低い参照電圧 (V R E F 1) をデータパターンが立ち下がる際に用いることにより、波形 3 0 2 ~ 3 0 5 のデータパターンの立下がり信号においてそれぞれ T 1、T 2、...、T 4 だけラッチ入力信号 2 1 1 のデータのタイミングウィンドウを広げ、高速化を可能にする。また、以上とは逆に 3 0 1 が 40
立ち下がりで 3 0 2 ~ 3 0 5 が立ち上がりのときも参照電圧 V R E F 0 より高い参照電圧 V R E F 1 を用いることにより同様にラッチ 1 1 の入力信号のデータウィンドウを広げることができる。

【 実施例 6 】

【 0 0 8 3 】

第 6 の実施例を図 1 4 を用いて説明する。

【 0 0 8 4 】

1 0 2 は、本発明のジッタ調整回路機能を有する入力回路 (デスキュー・レシーバ) であり、伝送線路に接続されたデータ信号 2 0 とクロック信号 () 2 1 0 を入力とし、データ信号 2 0 はクロック信号 2 1 0 で同期を取られ出力信号 2 0 1 として出力される。 50

【 0 0 8 5 】

デスキューレシーバ 1 0 2 は、差動コンパレータ 1 0 および 1 1、可変電圧源 1 7、ラッチ 1 1、制御回路 1 2 および遅延可変回路 1 3 からなる。

【 0 0 8 6 】

データ信号 2 0 は、差動コンパレータ 1 0 および 1 1 に入力され、その入力信号はそれぞれ、参照電圧 (V R E F 0) および参照電圧 (V R E F 1) と比較され、その大小に応じて " 0 " または " 1 " がレシーバ出力信号 2 0 0 および 2 0 9 にそれぞれ出力される。ここで、参照電圧 (V R E F 1) は、可変電圧源により与えられ、その電圧は、遅延制御回路 1 2 からの信号により決定される。データ信号 2 0 が、同じパルスが 4 以上以下連続する H から L に変化するデータサイクル領域において、切替えスイッチ 1 8 は、出力信号 2 0 9 を選択するように働き、5 パルス以上の連続する L から H に変化するデータサイクル領域では、出力信号 2 0 0 が選択される。次に、ラッチ 1 1 には、切替えスイッチ 1 8 からの出力信号 2 0 9 と、前記遅延可変回路 1 3 からの出力信号 2 0 2 がラッチ 1 1 に入力され、差動コンパレータ 1 0 あるいは 1 1 の出力信号 2 0 0 あるいは 2 0 9 がラッチされる。データ信号 2 0 の入力データのパターンに応じた参照電圧調整量は、参照電圧 (V R E F 1) を可変電圧源の制御することにより与えられる。

10

【 0 0 8 7 】

一方、遅延可変回路 1 3 は、制御回路 1 2 で制御される。遅延制御信号 2 0 2 は、データ信号 2 0 の入力データのパターンに応じて遅延調整量を遅延可変回路 1 3 ' に伝える。

【 0 0 8 8 】

20

遅延可変回路 1 3 は、受け取った遅延制御信号 2 0 2 に応じた遅延量を発生させる。第 5 の実施例との差は、さらに第 1 の実施例で用いた手法の様に、遅延制御信号 2 0 2 に応じて所定の時間遅らせたクロック信号をラッチ 1 1 に入力し、時間軸での遅延量調整を付加した点にある。

【 0 0 8 9 】

図 1 5 は、データ信号 2 0 の入力波形を示しており、横軸は時間、縦軸は電圧である。データ信号 2 0 の入力信号は 3 0 1 ~ 3 0 5 の 5 本が重ね合わされて描かれている。

波形 3 0 1 乃至 3 0 5 に関する説明は、上述の第 5 の実施例の場合と同じである。

【 0 0 9 0 】

図 1 5 おいては、立ち上り波形は参照電圧 V R E F 0 を横切る時間を読み出し、波形 3 0 1 の充電中途の位置から立ち下がる時は、参照電圧 V R E F 1 を横切る時間を読み出し、この時間差を T_i と表す。以下同様に、各波形 3 0 2 ~ 3 0 5 において、V R E F 0 を横切る時間と V R E F 1 を横切る時間の時間差が有ることが分かる。この時間差を、波形 3 0 2 ~ 3 0 5 に対してそれぞれ $T_1 \sim T_4$ (或いは T_i) と表す。

30

【 0 0 9 1 】

さらに、本実施例では、第 1 の実施例と同様に、入力データが (L * H L *) の波形 3 0 2 に対して、 T_1 サイクルに於いてラッチ 1 1 の取り込みタイミングを遅延可変回路 1 3 を用いて T_1 早める様に動作することが付加されている。残りの波形 3 0 2 ~ 3 0 5 に対しても同様である。

【 実施例 7 】

40

【 0 0 9 2 】

第 7 の実施例を図 1 6、図 1 7、図 1 8、図 1 9 を用いて説明する。

図 1 6 で 1 0 1 は、本発明のジッタ調整回路機能を有する入力回路であり、伝送線路に接続されたデータ信号 2 0 とクロック信号 () 2 1 0 を入力とし、データ信号 2 0 はクロック信号 2 1 0 で同期を取られ出力信号 2 0 1 として出力される。

【 0 0 9 3 】

デスキューレシーバ 1 0 1 は、差動コンパレータ 1 0、可変電圧源 1 7、ラッチ 1 1、および参照電圧回路 1 2 からなる。

【 0 0 9 4 】

データ信号 2 0 は、差動コンパレータ 1 0 に入力され、その入力信号は参照電圧 (V R

50

EF)と比較され、その大小に応じてHまたはLがレシーバ出力信号200にそれぞれ出力される。ここで参照電圧(VREF)は、可変電圧源17により与えられ、その電圧は参照電圧制御回路12からの信号により3つの電圧値VREF+、VREF0、VREF-から決定される。ここで $VREF+ = VDDQ \times 5/8$ 、 $VREF0 = VDDQ/2$ 、 $VREF- = VDDQ \times 3/8$ である。VDDQは電源電圧値であり、信号におけるHレベルの電圧の安定値である。

【0095】

まず、図19はHもしくはLのうち同じ値が4パルス以上連続した場合に信号で電圧が安定する「4サイクル型」デ-タサイクル時間がデータ信号波形の時定数と等しい場合のデータ信号波形に対して入力回路が参照電圧制御せずに動作した場合のデータ信号20と差動コンパレータ10の出力信号200の波形である。横軸は時間、縦軸は電圧である。データ信号20は301~308の7本が重ね合わされて描かれている。またそれらに対応するコンパレータ10の出力信号はそれぞれ1301~1308である。この場合は参照電圧を $VREF = VREF0$ に固定しており、T0~T2のデータパターン(LHL)において、データ幅1300は非常に狭くなってしまっている。またデ-タ信号20の時刻T1におけるHレベルは参照電圧に対して余裕がほとんどなく、参照電圧のノイズに対する耐性も脆弱である。

【0096】

さて、図17は前記「4サイクル型」のデータ信号波形の場合において参照電圧制御回路が出力信号201のパターンに応じて参照電圧を決定するための状態遷移図である。状態S0は4パルス以上Lが連続し、データ信号20が安定した状態である。また状態S4は4パルス以上Hが連続し、データ信号20が安定した状態である。まず状態S0を初期状態とする。ここで、参照電圧制御回路にLが入力された場合、状態は遷移しない。またHが入力された場合はS1Hに遷移する。状態S1HでLが入力された場合は、状態S2Lに遷移し、Hが入力された場合は、状態S2Hに遷移する。状態S2HでLが入力された場合は、状態S1Lに遷移し、Hが入力された場合はS3Hに遷移する。状態S3HでLが入力された場合は、状態S1Lに遷移し、Hが入力された場合はS4に遷移する。状態S4でHが入力された場合は遷移せず、Lが入力された場合は状態S1Lに遷移する。状態S1LでHが入力された場合は状態S2Hに遷移し、Lが入力された場合は状態S2Lに遷移する。状態S2LでHが入力された場合は状態S1Hに遷移し、Lが入力された場合は状態S3Lに遷移する。状態S3LでHが入力された場合はS1Hに遷移し、Lが入力された場合は状態S0に遷移する。そして参照電圧制御回路は各状態に応じて参照電圧を次のように制御する。即ち状態S0では $VREF = VREF-$ 、状態S1Hでは $VREF = VREF-$ 、状態S2Hでは $VREF = VREF0$ 、状態S3Hでは $VREF = VREF0$ 、状態S4では $VREF = VREF+$ 、状態S1Lでは $VREF = VREF+$ 、状態S2Lでは $VREF = VREF0$ 、状態S3Lでは $VREF = VREF0$ とする。なお、各状態における参照電圧の設定に際してはデータサイクルの中心の時刻でデータ信号20が通過する電圧に近くなるように決められている。

【0097】

図18は前記「4サイクル型」のデータ信号20及びそれに対する差動コンパレータ10の出力信号200の波形を示しており、横軸は時間、縦軸は電圧である。図19と同様にデータ信号20は301~308の7本が重ね合わされて描かれており、それらに対応するコンパレータ10の出力信号はそれぞれ1301~1308である。波形301は時刻T0以前の入力データパターンが連続したLであり、その後、Hが時刻T4まで続いた波形である。ここで時刻T0からT8はジッタ調整回路機能を有する入力回路101に入力されたデータのサイクルを示す。なお、波形301のデータパターンを(L*H*)と記述するのは、実施例1で示した方法に従う。以下同様に、波形302等データパターンは、(L*H*L*)等と表せる。T0~T2のデータパターン(LHL)において、差動コンパレータはVREF-を参照している。ここで、VREF-はT0~T1間の中心の時刻でデータ信号20が通過するレベルに近く、またT1~T2間の中心の時刻でデータ

10

20

30

40

50

信号 20 が通過するレベルに近いので、データ幅 1301 としてデータサイクルに近い時間が得られている。さらに、クロック信号 210 を $T_0 \sim T_8$ に同期させれば、セットアップ時間、ホールド時間のバランスの取れた安定したデータウィンドウが得られる事がわかる。またデータ信号 20 の時間 T_1 における H レベルは参照電圧 V_{REF} - に対して余裕があり、参照電圧のノイズに対する耐性も持ち合わせている。

【実施例 8】

【0098】

第 8 の実施例を図 20、図 21、図 22、図 23 を用いて説明する。図 20 は H もしくは L のうち同じ値が 3 パルス以上連続した場合に信号電圧が安定する「3 サイクル型」のデータ信号波形の場合において参照電圧制御回路が出力信号 201 のパターンに応じて参照電圧を決定するための状態遷移図である。図 21 は「3 サイクル型」でデータ信号波形の時定数 でデータサイクル時間 T_{cycle} の 75% に等しい場合のデータ信号 20 と差動コンパレータ 10 の出力波形を示した図である。図 22 は H もしくは L のうち同じ値が 2 パルス以上連続した場合に信号電圧が安定する「2 サイクル型」のデータ信号波形の場合において参照電圧制御回路が出力信号 201 のパターンに応じて参照電圧を決定するための状態遷移図である。図 23 は「2 サイクル型」でデータ信号波形の時定数 がデータサイクル時間 T_{cycle} の 50% に等しい場合のデータ信号 20 と差動コンパレータ 10 の出力波形を示した図である。いずれも前述した「4 サイクル型」と同様にセットアップ時間、ホールド時間のバランスのとれた安定したデータウィンドウが得られる事がわかる。

【0099】

このようにデータパターンの履歴を使って参照電圧を制御する事により安定したデータウィンドウを得る事即ちジッタを低減する事ができる。

【図面の簡単な説明】

【0100】

【図 1】第 1 の実施例を説明するジッタ調整回路機能を有する入力回路（デスクュー・レシーバ）の図。

【図 2】図 1 のレシーバの L H L 入力時の入力波形を示す図。

【図 3】従来のインターフェース回路図。

【図 4】データパターン依存性を説明する波形を示す図。

【図 5】第 1 の実施例の遅延制御回路 12 の説明図。

【図 6】遅延制御回路内の内部状態に対応した離散化された入力電圧を示す図。

【図 7】遅延可変回路 13 内の状態遷移図。

【図 8】第 2 の実施例を説明するジッタ調整回路機能を有する入力回路（デスクュー・レシーバ）の図。

【図 9】第 3 の実施例である自動遅延調整回路の配線図。

【図 10 - a】自動遅延調整回路のフローを示す図。

【図 10 - b】自動遅延調整回路用パルスの説明図。

【図 11】第 1 および第 2 の実施例をメモリモジュールに応用した第 4 の実施例を示す図。

【図 12】第 5 の実施例を説明するジッタ調整回路機能を有する入力回路（デスクュー・レシーバ）の図。

【図 13】図 12 のレシーバの L H L 入力時の入力波形を示す図。

【図 14】第 6 の実施例を説明するジッタ調整回路機能を有する入力回路（デスクュー・レシーバ）の図。

【図 15】図 14 のレシーバの L H L 入力時の入力波形を示す図。

【図 16】本発明の参照電圧を制御する入力回路の図。

【図 17】4 サイクル型のデータ信号に対する状態遷移図。

【図 18】4 サイクル型のデータ信号波形とコンパレータ出力信号を示す図。

【図 19】従来の 4 サイクル型のデータ信号波形とコンパレータ出力信号を示す図。

【図 2 0】3 サイクル型のデータ信号に対する状態遷移図。

【図 2 1】3 サイクル型のデータ信号波形とコンパレータ出力信号を示す図。

【図 2 2】2 サイクル型のデータ信号に対する状態遷移図。

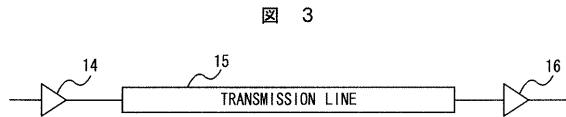
【図 2 3】2 サイクル型のデータ信号波形とコンパレータ出力信号を示す図。

【符号の説明】

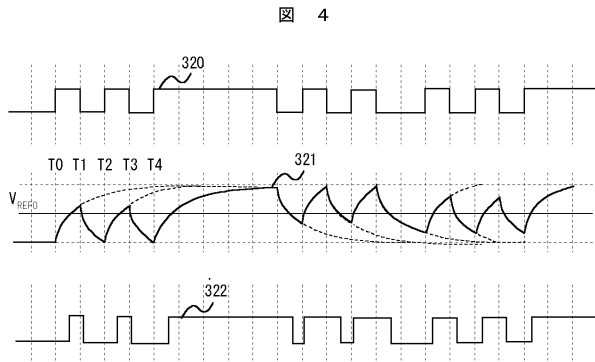
【 0 1 0 1 】

1 0 , 1 1 ... 差動コンパレータ、	
1 1 ... ラッチ、	
1 2 ... 制御回路、	
1 3 , 1 3 ' ... 遅延可変回路、	10
1 4 , 1 4 a ... ドライバ、	
1 5 , 1 5 a ... 配線、	
1 6 ... レシーバ、	
1 7 ... 可変電圧源	
1 8 ... 切替えスイッチ	
2 0 , 2 0 a ... データ信号、	
3 0 ... メモリモジュール、	
3 1 ... 制御・アドレス信号レジスタ、	
3 2 ... D R A M、	
3 5 、 3 8 ... 制御・アドレス信号、	20
3 6 ... データ (D Q) 信号、	
3 7 ... ストロープ (D Q S) 信号、	
1 0 0 , 1 0 0 ' , 1 0 0 a ... ジッタ調整回路機能を有する入力回路 (デスキュー・レシーバ)、	
1 0 1 、 1 0 2 ... ジッタ調整回路機能を有する入力回路 (デスキュー・レシーバ)、	
1 2 2 ... 遅延選択回路、	
1 2 3 ... X O R 回路、	
1 2 4 ... ラッチ、	
1 2 5 ... ラッチ 1 2 4 で保持された X O R 回路 1 2 3 の出力信号 (Q ' n)、	
1 2 6 ... 電圧保持回路 1 2 1 の出力信号、	30
2 0 0 ... レシーバ出力信号、	
2 0 1 ... 同期出力信号、	
2 0 2 ... 遅延制御信号、	
2 0 3 ... 遅延されたクロック信号、	
2 1 0 ... クロック信号 ()、	
3 0 1 ~ 3 0 5 ... 伝送線路により鈍った波形、	
3 1 0 ... 立上り波形、	
3 1 1 ... 立下り波形、	
3 2 0 ... バイナリデータの例、	
3 2 1 ... 伝送線路により鈍った波形、	40
3 2 2 ... レシーバで復調されたジッタの含むデータ、	
3 5 0 , 3 6 0 , 3 7 0 ... 自動遅延調整用の送信バイナリデータ、	
3 5 1 , 3 6 1 , 3 7 1 ... 自動遅延調整用の入力波形、	
5 0 0 ... 送信 L S I、	
5 0 1 ... 受信 L S I、	
6 0 1 ~ 6 0 7 ... 自動遅延調整シーケンス、	
1 3 0 1 ... データ幅、	
1 3 0 1 ~ 1 3 0 8 ... コンパレータ 1 0 からの出力信号、	
D Q ... データ信号、	
D Q S ... データストロープ信号、	50

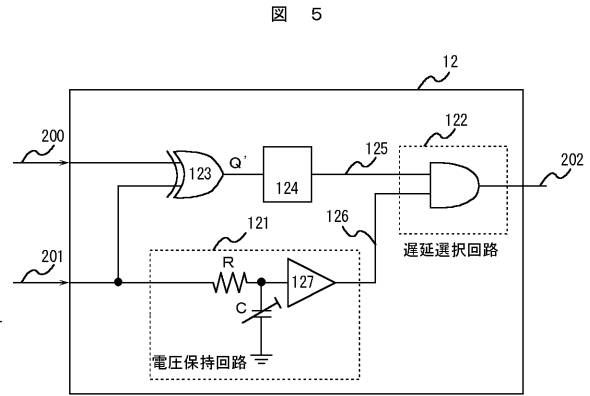
【図 3】



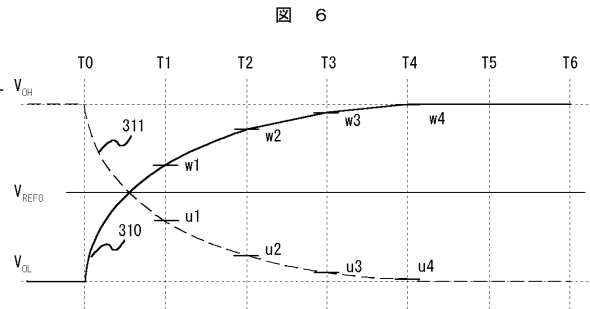
【図 4】



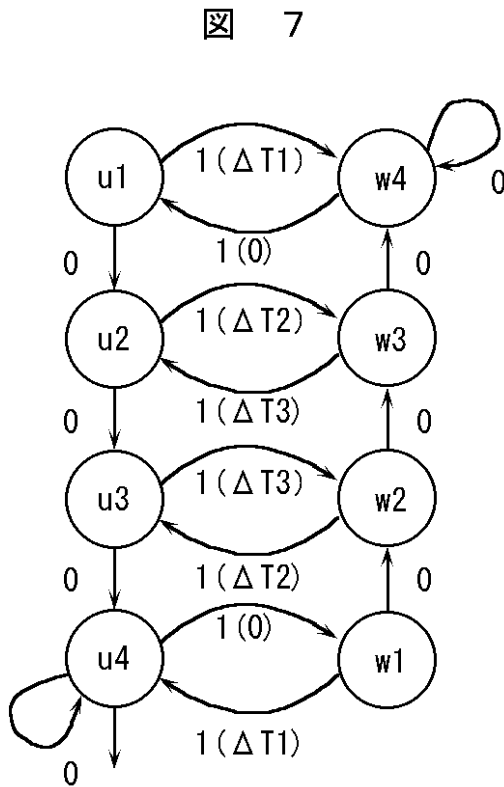
【図 5】



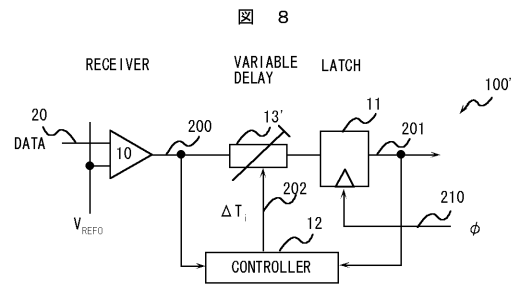
【図 6】



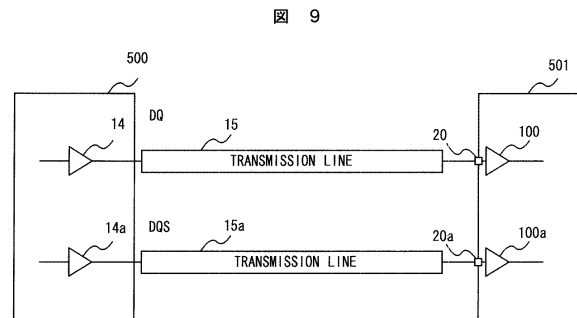
【図 7】



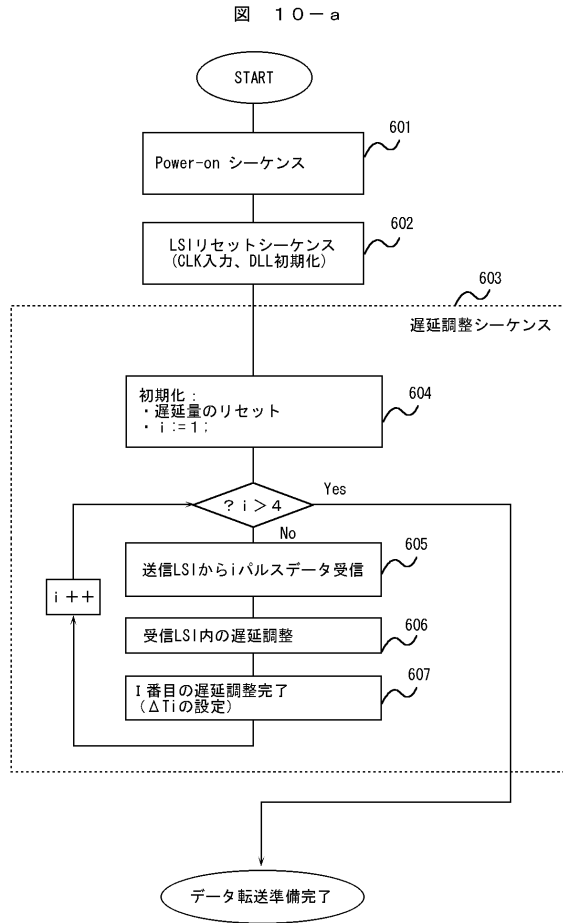
【図 8】



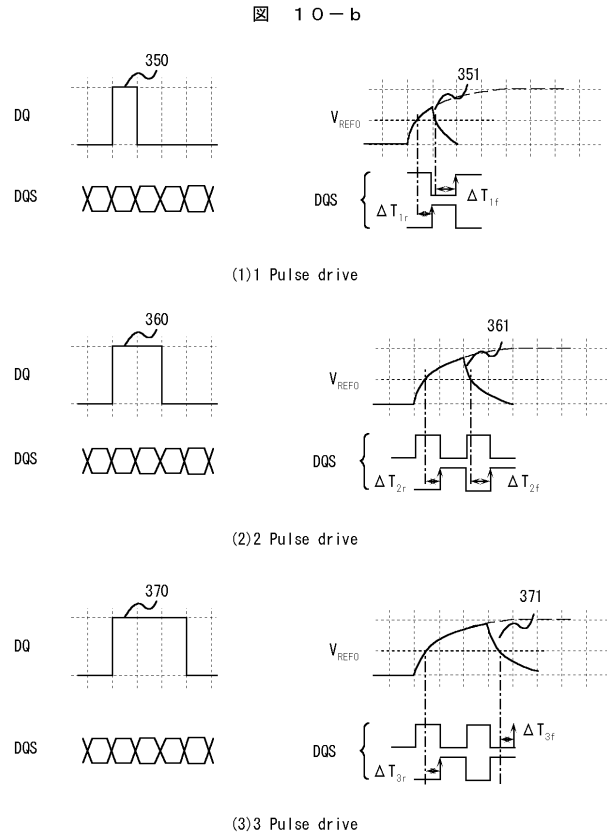
【図 9】



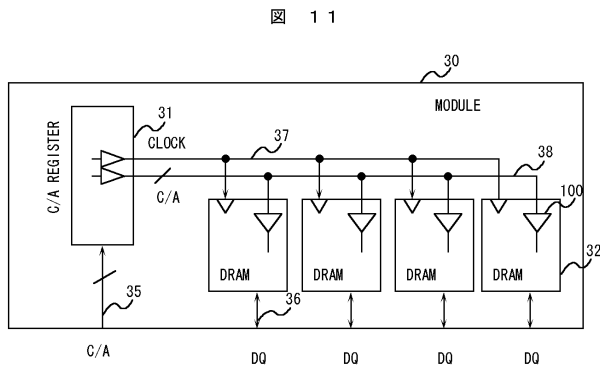
【図 10 - a】



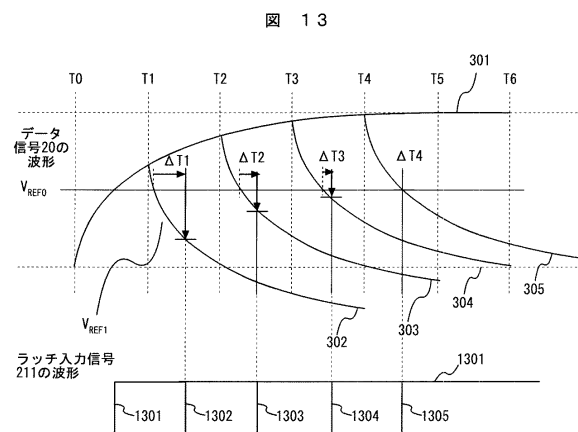
【図 10 - b】



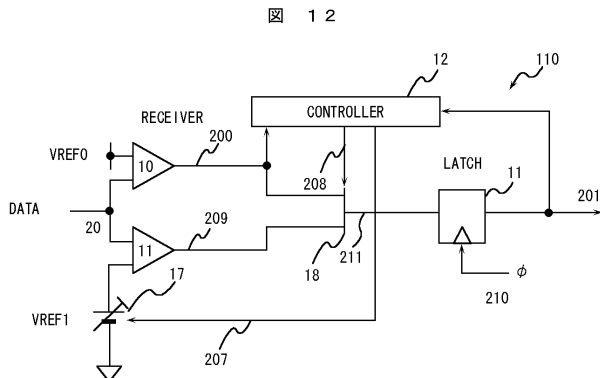
【図 11】



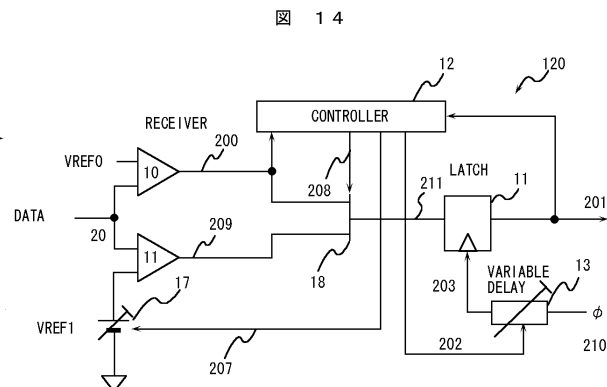
【図 13】



【図 12】

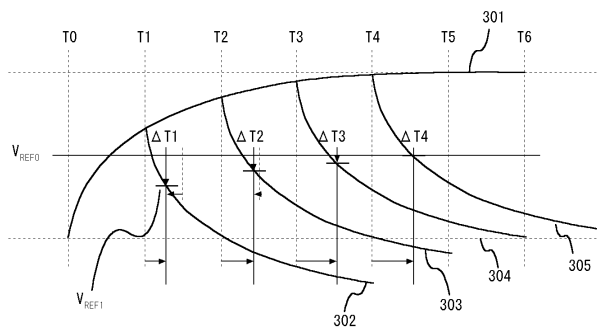


【図 14】



【図 15】

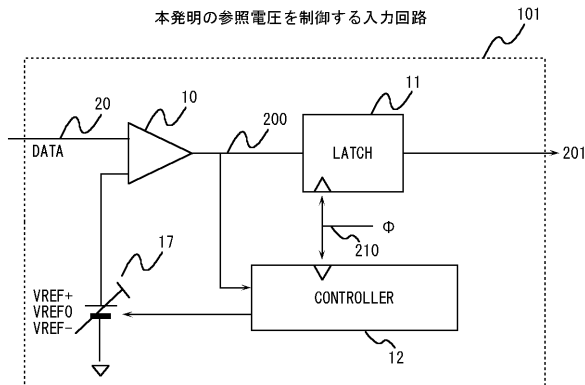
図 15



【図 16】

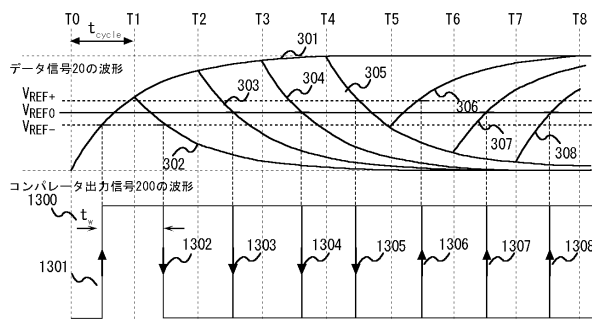
図 16

本発明の参照電圧を制御する入力回路



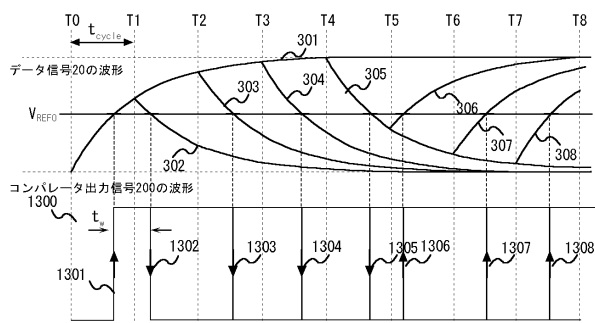
【図 18】

図 18

4サイクル型 ($\tau = t_{\text{cycle}}$) のデータ信号波形とコンパレータ出力信号

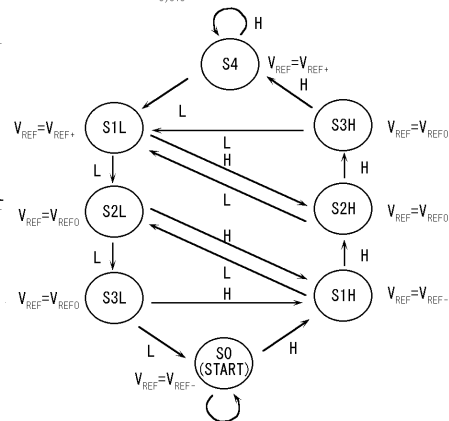
【図 19】

図 19

従来の4サイクル型 ($\tau = t_{\text{cycle}}$) のデータ信号波形とコンパレータ出力信号

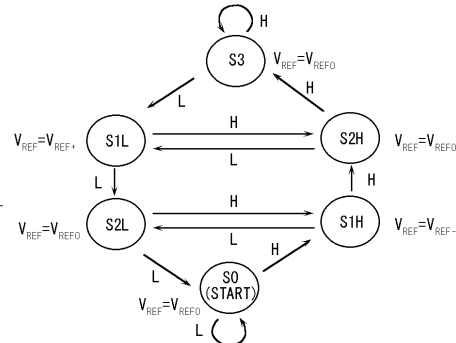
【図 17】

図 17

4サイクル型 ($\tau = t_{\text{cycle}}$) のデータ信号に対する状態遷移図

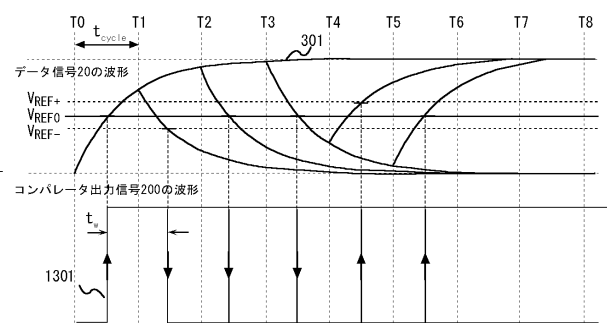
【図 20】

図 20

3サイクル型 ($\tau = 0.75t_{\text{cycle}}$) のデータ信号に対する状態遷移図

【図 21】

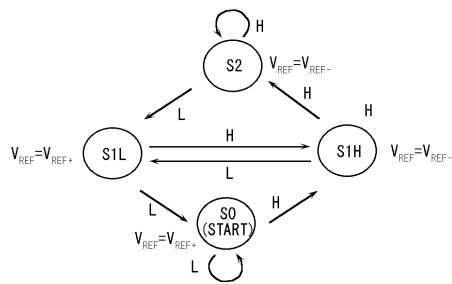
図 21

3サイクル型 ($\tau = 0.75t_{\text{cycle}}$) のデータ信号波形とコンパレータ出力信号

【図 2 2】

図 2 2

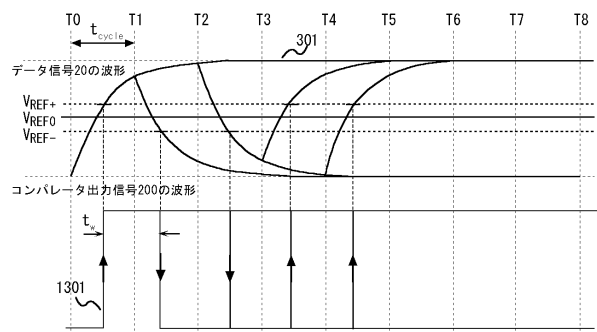
2サイクル型 ($\tau = 0.5t_{\text{cycle}}$) のデータ信号に対する状態遷移図



【図 2 3】

図 2 3

2サイクル型 ($\tau = 0.5t_{\text{cycle}}$) のデータ信号波形とコンパレータ出力信号



フロントページの続き

(74)代理人 100086656

弁理士 田中 恭助

(73)特許権者 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目2番1号

(74)代理人 100123788

弁理士 宮崎 昭夫

(74)代理人 100106138

弁理士 石橋 政幸

(74)代理人 100127454

弁理士 緒方 雅昭

(74)代理人 100068504

弁理士 小川 勝男

(72)発明者 大坂 英樹

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所 システム開発研究所内

(72)発明者 西尾 洋二

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

(72)発明者 船場 誠司

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

(72)発明者 庄司 和良

東京都国分寺市東恋ヶ窪3-1-1 株式会社日立超エル・エス・アイ・システムズ内

審査官 白井 亮

(56)参考文献 特開昭62-200836(JP,A)

特開2001-313631(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L 7/00 - 7/10