

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-228775

(P2017-228775A)

(43) 公開日 平成29年12月28日(2017.12.28)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 J	5 E 3 1 7
HO 1 L 21/768 (2006.01)	HO 5 K 1/11 H	5 F O 3 3
HO 1 L 23/522 (2006.01)	HO 5 K 3/40 E	
HO 5 K 1/11 (2006.01)	HO 1 L 23/12 Q	
HO 5 K 3/40 (2006.01)		

審査請求 未請求 請求項の数 18 O L (全 18 頁) 最終頁に続く

(21) 出願番号	特願2017-117144 (P2017-117144)	(71) 出願人	000002897
(22) 出願日	平成29年6月14日 (2017. 6. 14)		大日本印刷株式会社
(31) 優先権主張番号	特願2016-119332 (P2016-119332)		東京都新宿区市谷加賀町一丁目1番1号
(32) 優先日	平成28年6月15日 (2016. 6. 15)	(74) 代理人	100091982
(33) 優先権主張国	日本国 (JP)		弁理士 永井 浩之
		(74) 代理人	100091487
			弁理士 中村 行孝
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100105153
			弁理士 朝倉 悟
		(74) 代理人	100127465
			弁理士 堀田 幸裕
		(74) 代理人	100120385
			弁理士 鈴木 健之

最終頁に続く

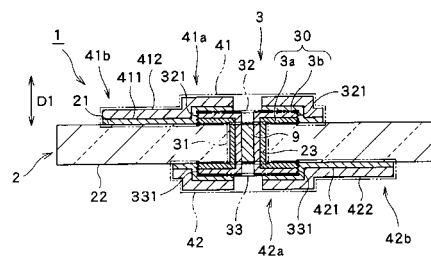
(54) 【発明の名称】 孔電極基板の製造方法、孔電極基板および半導体装置

(57) 【要約】 (修正有)

【課題】 基板への孔電極の密着性を向上する。

【解決手段】 ケイ素又はケイ素化合物を含有し、第1表面21に孔23が設けられた基板2を準備し、孔23の側壁を覆う側壁部分31と、第1表面21上において側壁部分31に連続する表面部分32と、を有する孔電極3形成し、表面部分32の外縁の少なくとも一部を覆い、表面部分32の側面に接する第1配線41を形成し、孔電極3の形成は、側壁部分31及び表面部分32のそれぞれの少なくとも一部を構成する導電層30を無電解めっきにより形成する。

【選択図】 図1B



【特許請求の範囲】**【請求項 1】**

ケイ素又はケイ素化合物を含有し、第 1 表面に孔が設けられた基板を準備し、
前記孔の側壁を覆う側壁部分と、前記第 1 表面上において前記側壁部分に連続する表面部分と、を有する孔電極を形成し、

前記表面部分の外縁の少なくとも一部を覆い、前記表面部分の側面に接する第 1 配線を形成することを具備し、

前記孔電極の形成は、前記側壁部分及び前記表面部分のそれぞれの少なくとも一部を構成する導電層を無電解めっきにより形成することを具備する、孔電極基板の製造方法。

【請求項 2】

前記第 1 配線が、前記基板の前記第 1 表面及び前記孔電極の前記表面部分に接触するとともにチタンを含有する層を含む、請求項 1 に記載の孔電極基板の製造方法。

【請求項 3】

前記第 1 配線上に絶縁層を形成し、

前記絶縁層を貫通する貫通孔を形成し、

前記絶縁層上に、前記貫通孔を通じて前記第 1 配線に接続された第 2 配線を形成することを具備する請求項 1 または 2 に記載の孔電極基板の製造方法。

【請求項 4】

前記第 1 配線の形成は、物理成膜で行う請求項 1 ~ 3 のいずれか 1 項に記載の孔電極基板の製造方法。

【請求項 5】

前記物理成膜は、スパッタリングである請求項 4 に記載の孔電極基板の製造方法。

【請求項 6】

前記第 1 配線の形成は、化学成膜で行う請求項 1 ~ 3 のいずれか 1 項に記載の孔電極基板の製造方法。

【請求項 7】

前記基板は、ガラス基板である請求項 1 ~ 6 のいずれか 1 項に記載の孔電極基板の製造方法。

【請求項 8】

前記無電解めっきは、無電解銅めっきである請求項 1 ~ 7 のいずれか 1 項に記載の孔電極基板の製造方法。

【請求項 9】

前記表面部分の形成は、

前記表面部分が、前記孔の周縁部を覆う環状部と、前記環状部から前記孔の径方向外方に延びる線状部と、を有するように行い、

前記第 1 配線の形成は、

前記第 1 配線が前記表面部分のうち前記環状部又は前記線状部の少なくとも一部を覆うように行う請求項 1 ~ 8 のいずれか 1 項に記載の孔電極基板の製造方法。

【請求項 10】

前記線状部の形成は、前記径方向に直交する方向の前記線状部の幅が $0 \mu\text{m}$ より大きい $50 \mu\text{m}$ 以下となるように行う請求項 9 に記載の孔電極基板の製造方法。

【請求項 11】

ケイ素又はケイ素化合物を含有し、第 1 表面に孔が設けられた基板と、

前記孔の側壁を覆う側壁部分と、前記第 1 表面上において前記側壁部分に連続する表面部分と、を有する孔電極と、

前記表面部分の外縁の少なくとも一部を覆い、前記表面部分の側面に接する第 1 配線と、を備える、孔電極基板。

【請求項 12】

前記第 1 配線が、前記基板の前記第 1 表面及び前記孔電極の前記表面部分に接触するとともにチタンを含有する層を含む、請求項 11 に記載の孔電極基板。

10

20

30

40

50

【請求項 13】

貫通孔が設けられた前記第 1 配線上の絶縁層と、
前記絶縁層上において前記貫通孔を通じて前記第 1 配線に接続された第 2 配線と、を備える請求項 11 または 12 に記載の孔電極基板。

【請求項 14】

前記基板は、ガラス基板である請求項 11 ~ 13 のいずれか 1 項に記載の孔電極基板。

【請求項 15】

前記表面部分は、
前記孔の周縁部を被覆する環状部と、
前記環状部から前記孔の径方向外方に延びる線状部と、を有し、
第 1 配線は、前記表面部分のうち前記環状部又は前記線状部の少なくとも一部を覆っている請求項 11 ~ 14 のいずれか 1 項に記載の孔電極基板。

10

【請求項 16】

前記径方向に直交する方向の前記線状部の幅は、 $0\ \mu\text{m}$ より大きい $50\ \mu\text{m}$ 以下である請求項 15 に記載の孔電極基板。

【請求項 17】

ケイ素又はケイ素化合物を含有し、第 1 表面に孔が設けられた基板と、前記孔の側壁を覆う側壁部分および前記第 1 表面上において前記側壁部分に連続する表面部分を有する孔電極と、前記表面部分の外縁の少なくとも一部を覆い、前記表面部分の側面に接する第 1 配線と、を有する少なくとも 1 つの孔電極基板と、
前記孔電極基板に電氣的に接続された半導体素子と、を備える、半導体装置。

20

【請求項 18】

前記孔電極基板を複数備え、
前記複数の孔電極基板は、前記第 1 表面に交差する方向に重なっている、請求項 17 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、孔電極基板の製造方法、孔電極基板及び半導体装置

【背景技術】

30

【0002】

従来から、表面に孔が設けられた基板と、孔の内部の孔電極とを備える孔電極基板が採用されていた。例えば、特許文献 1 には、孔電極基板の一例として貫通電極基板が開示されている。特許文献 1 に記載の貫通電極基板において、孔電極は、例えば、まず、基板に設けられた貫通孔の側壁に、蒸着法やスパッタリング法などの物理成膜法でシード層を形成し、続いて、電解めっき法によってシード層上に導電材を析出させることで得られる。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2016 - 72433 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0004】

物理成膜法を採用する場合、孔のアスペクト比が高くなるほど、孔の側壁の全域にシード層を形成することが困難になる。これに対して、無電解めっき法によれば、孔のアスペクト比が高い場合であっても、孔の側壁の全域にシード層を形成することが可能であると考えられる。しかしながら、無電解めっき法によってシード層を形成する場合、基板に対するシード層の密着性が不十分となることが懸念される。

【0005】

本開示の実施形態が解決しようとする課題は、基板への孔電極の密着性を向上できる孔

50

電極基板の製造方法、孔電極基板および半導体装置を提供することである。

【課題を解決するための手段】

【0006】

上記の課題を解決するために、本開示の一態様では、
ケイ素又はケイ素化合物を含有し、第1表面に孔が設けられた基板を準備し、
前記孔の側壁を覆う側壁部分と、前記第1表面上において前記側壁部分に連続する表面部分と、を有する孔電極を形成し、
前記表面部分の外縁の少なくとも一部を覆い、前記表面部分の側面に接する第1配線を形成することを具備し、
前記孔電極の形成は、前記側壁部分及び前記表面部分のそれぞれの少なくとも一部を構成する導電層を無電解めっきにより形成することを具備する、孔電極基板の製造方法が提供される。

10

【0007】

前記第1配線が、前記基板の前記第1表面及び前記孔電極の前記表面部分に接触するとともにチタンを含有する層を含んでもよい。

【0008】

前記第1配線上に絶縁層を形成し、
前記絶縁層を貫通する貫通孔を形成し、
前記絶縁層上に、前記貫通孔を通じて前記第1配線に接続された第2配線を形成することを具備してもよい。

20

【0009】

前記第1配線の形成は、物理成膜で行ってもよい。

【0010】

前記物理成膜は、スパッタリングであってもよい。

【0011】

前記第1配線の形成は、化学成膜で行ってもよい。

【0012】

前記基板は、ガラス基板であってもよい。

【0013】

前記無電解めっきは、無電解銅めっきであってもよい。

30

【0014】

前記表面部分の形成は、
前記表面部分が、前記孔の周縁部を覆う環状部と、前記環状部から前記孔の径方向外方に延びる線状部と、を有するように行い、
前記第1配線の形成は、
前記第1配線が前記表面部分のうち前記環状部又は前記線状部の少なくとも一部を覆うように行ってもよい。

【0015】

前記線状部の形成は、前記径方向に直交する方向の前記線状部の幅が $0\ \mu\text{m}$ より大きい $50\ \mu\text{m}$ 以下となるように行ってもよい。

40

【0016】

ケイ素又はケイ素化合物を含有し、第1表面に孔が設けられた基板と、
前記孔の側壁を覆う側壁部分と、前記第1表面上において前記側壁部分に連続する表面部分と、を有する孔電極と、
前記表面部分の外縁の少なくとも一部を覆い、前記表面部分の側面に接する第1配線と、を備える、孔電極基板。

【0017】

前記第1配線が、前記基板の前記第1表面及び前記孔電極の前記表面部分に接触するとともにチタンを含有する層を含んでもよい。

【0018】

50

前記第 1 表面と前記第 1 配線との間にチタンを含有する第 2 導電膜を備えてもよい。

【0019】

貫通孔が設けられた前記第 1 配線上の絶縁層と、

前記絶縁層上において前記貫通孔を通じて前記第 1 配線に接続された第 2 配線と、を備えてもよい。

【0020】

前記基板は、ガラス基板であってもよい。

【0021】

前記表面部分は、

前記孔の周縁部を覆う環状部と、

前記環状部から前記孔の径方向外方に延びる線状部と、を有し、

第 1 配線は、前記表面部分のうち前記環状部又は前記線状部の少なくとも一部を覆っているもよい。

【0022】

前記径方向に直交する方向の前記線状部は、 $0\ \mu\text{m}$ より大きい $50\ \mu\text{m}$ 以下であってもよい。

【0023】

本開示の他の一態様では、

ケイ素又はケイ素化合物を含有し、第 1 表面に孔が設けられた基板と、前記孔の側壁を覆う側壁部分および前記第 1 表面上において前記側壁部分に連続する表面部分を有する孔電極と、前記表面部分の外縁の少なくとも一部を覆い、前記表面部分の側面に接する第 1 配線と、を有する少なくとも 1 つの孔電極基板と、

前記孔電極基板に電氣的に接続された半導体素子と、を備える、半導体装置が提供される。

【0024】

前記孔電極基板を複数備え、

前記複数の孔電極基板および前記半導体チップは、前記第 1 表面に交差する方向に重なっているもよい。

【発明の効果】

【0025】

本開示によれば、基板への孔電極の密着性を向上できる。

【図面の簡単な説明】

【0026】

【図 1 A】本実施形態による貫通電極基板を示す平面図である。

【図 1 B】本実施形態による貫通電極基板を示す断面図である。

【図 2 A】本実施形態による貫通電極基板の製造方法を示す断面図である。

【図 2 B】図 2 A に続く本実施形態による貫通電極基板の製造方法を示す断面図である。

【図 2 C】図 2 B に続く本実施形態による貫通電極基板の製造方法を示す断面図である。

【図 3 A】図 2 C に続く本実施形態による貫通電極基板の製造方法を示す断面図である。

【図 3 B】図 3 A に続く本実施形態による貫通電極基板の製造方法を示す断面図である。

【図 3 C】図 3 B に続く本実施形態による貫通電極基板の製造方法を示す断面図である。

【図 4 A】図 3 C に続く本実施形態による貫通電極基板の製造方法を示す断面図である。

【図 4 B】図 4 A に続く本実施形態による貫通電極基板の製造方法を示す断面図である。

【図 4 C】図 4 B に続く本実施形態による貫通電極基板の製造方法を示す断面図である。

【図 5 A】図 4 C に続く本実施形態による貫通電極基板の製造方法を示す断面図である。

【図 5 B】図 5 A に続く本実施形態による貫通電極基板の製造方法を示す断面図である。

【図 5 C】図 5 B に続く本実施形態による貫通電極基板の製造方法を示す断面図である。

【図 6 A】本実施形態の第 1 の変形例による貫通電極基板を示す断面図である。

【図 6 B】本実施形態の第 1 の変形例による貫通電極基板の別の例を示す断面図である。

【図 7 A】本実施形態の第 2 の変形例による貫通電極基板を示す平面図である。

10

20

30

40

50

【図 7 B】本実施形態の第 2 の変形例による貫通電極基板を示す断面図である。

【図 8】本実施形態の第 3 の変形例による貫通電極基板を示す断面図である。

【図 9】本実施形態の第 4 の変形例による貫通電極基板を示す断面図である。

【図 10】本実施形態の第 5 の変形例による孔電極基板を示す断面図である。

【図 11】本実施形態の第 6 の変形例による半導体装置を示す図である。

【図 12】本実施形態の第 6 の変形例による半導体装置の別の例を示す図である。

【図 13】孔電極基板を適用できる製品の例を示す図である。

【発明を実施するための形態】

【0027】

以下、本開示の実施形態に係る孔電極基板の構成及びその製造方法について、図面を参照しながら詳細に説明する。なお、以下に示す実施形態は本開示の実施形態の一例であって、本開示はこれらの実施形態に限定して解釈されるものではない。また、本明細書において、「基板」、「基材」、「シート」や「フィルム」など用語は、呼称の違いのみに基づいて、互いから区別されるものではない。例えば、「基板」や「基材」は、シートやフィルムと呼ばれ得るような部材も含む概念である。また、本明細書において用いる長さや角度の値等については、厳密な意味に縛られることなく、同様の機能を期待し得る程度の範囲を含めて解釈することとする。また、本実施形態で参照する図面において、同一部分または同様な機能を有する部分には同一の符号または類似の符号を付し、その繰り返しの説明は省略する場合がある。また、図面の寸法比率は説明の都合上実際の比率とは異なる場合や、構成の一部が図面から省略される場合がある。

【0028】

先ず、図 1 ~ 図 5 C を参照しながら、本開示の孔電極基板の一例として貫通孔内に貫通電極を備えた貫通電極基板の実施形態について説明する。図 1 A は、本実施形態による貫通電極基板 1 を示す平面図である。図 1 B は、本実施形態による貫通電極基板 1 を示す図 1 A の I B - I B 断面図である。

【0029】

図 1 B に示すように、本実施形態の貫通電極基板 1 は、基板 2 と、孔電極の一例である第 1 貫通電極 3 と、第 1 配線 4 1、4 2 と、絶縁層 9 とを備える。

【0030】

(基板 2)

基板 2 は、第 1 表面 2 1 と、第 1 表面 2 1 の反対側の第 2 表面 2 2 とを有する。図 1 B の例において、第 1 表面 2 1 と第 2 表面 2 2 とは互いに平行である。基板 2 の内部に第 1 貫通電極 3 を位置させるため、基板 2 には、孔の一例として、第 1 表面 2 1 から第 2 表面 2 2 まで基板 2 を貫通する第 1 貫通孔 2 3 が設けられている。第 1 貫通孔 2 3 は、貫通方向すなわち基板 2 の厚み方向 D 1 に垂直な断面において円形状を有する。また、図示はしないが、第 1 貫通孔 2 3 と、その内部に位置する貫通電極 3 および絶縁層 9 とは、厚み方向 D 1 に直交する基板 2 の表面方向に間隔を空けて複数設けられている。

【0031】

図 1 B の例において、第 1 貫通孔 2 3 の内径は、第 1 表面 2 1 から第 2 表面 2 2 に至るまで殆ど同一である。すなわち、図 1 B の第 1 貫通孔 2 3 は、円筒形状の側壁を有している。第 1 貫通孔 2 3 の内径は、第 1 表面 2 1 および第 2 表面 2 2 の一方から他方に向かって漸減または漸増していてもよい。すなわち、第 1 貫通孔 2 3 は、テーパ形状の側壁を有していてもよい。

【0032】

基板 2 は、ケイ素又はケイ素化合物を含有する。基板 2 は、例えば、ガラス基板である。ガラス基板は、例えば、無アルカリガラスとソーダガラスであってもよい。ソーダガラスの成分は主に、 SiO_2 、 Na_2O 、 CaO から構成される。無アルカリガラスの成分は主に、 SiO_2 / B_2O_3 / Al_2O_3 から構成される。ガラス基板は、透明性が要求される貫通電極基板 1 に好適に用いることができる。また、ガラス基板は、高性能の L S I を実装する基板としても好適に用いることができる。これは、シリコン基板と比較して信

10

20

30

40

50

号の伝送損失が少なく、GHz帯域の信号処理に適しているためである。なお、基板2はシリコン基板であってもよい。

【0033】

(第1貫通電極3)

第1貫通電極3は、中空部を有するコンフォーマルピアタイプの貫通電極である。図1Aおよび図1Bに示すように、第1貫通電極3は、側壁部分31と、表面部分の一例である第1表面部分32および第2表面部分33とを有する。

【0034】

側壁部分31は、第1貫通孔23の側壁を覆っている。ここで、第1貫通孔23の側壁に位置する或る構成要素が他の構成要素を“覆う”とは、基板2の第1表面21の面内方向に平行な方向に沿って或る構成要素を見た場合に、或る構成要素が他の構成要素に重なることをいう。一例として、或る構成要素は、他の構成要素に接触している。なお、或る構成要素と他の構成要素との間に介在物が存在してもよい。或る構成要素が側壁部分31である場合、基板2の第1表面21の面内方向に平行な方向に沿って側壁部分31を見た場合に、側壁部分31が、他の構成要素である第1貫通孔23の側壁に重なっている。側壁部分31の内部には、絶縁層9が位置している。言い換えると、絶縁層9は、側壁部分31の内部において第1貫通孔23を埋めている。第1貫通孔23を埋めることで、絶縁層9は、例えば、素子の樹脂封止の際に固化前の樹脂が第1貫通孔23の内部に進入して歩留りを悪化させることを抑制できる。なお、第1貫通孔23の内部は、絶縁層9が存在しない空隙部であってもよい。

10

20

【0035】

第1表面部分32は、第1表面21上において側壁部分31に連続している。第1表面部分32は、平面視した場合に、第1貫通孔23と同心の円環形状を有している。第1表面部分32は、第1表面21における第1貫通孔23の周縁部を覆っている。ここで、第1表面21に位置する或る構成要素が他の構成要素を“覆う”とは、基板2の第1表面21の法線方向に沿って或る構成要素を見た場合に、或る構成要素が他の構成要素に重なることをいう。一例として、或る構成要素は、他の構成要素に接触している。なお、或る構成要素と他の構成要素との間に介在物が存在してもよい。或る構成要素が第1表面部分32である場合、基板2の第1表面21の法線方向に沿って第1表面部分32を見た場合に、第1表面部分32が、他の構成要素である、第1表面21における第1貫通孔23の周縁部に重なっている。

30

【0036】

第2表面部分33は、第2表面22上において側壁部分31に連続している。第1表面部分32と同様に、第2表面部分33も、第1貫通孔23と同心の円環形状を有している。第2表面部分33は、第2表面22における第1貫通孔23の周縁部を覆っている。ここで、第2表面22に位置する或る構成要素が他の構成要素を“覆う”とは、基板2の第2表面22の法線方向に沿って或る構成要素を見た場合に、或る構成要素が他の構成要素に重なることをいう。一例として、或る構成要素は、他の構成要素に接触している。なお、或る構成要素と他の構成要素との間に介在物が存在してもよい。或る構成要素が第2表面部分33である場合、基板2の第2表面22の法線方向に沿って第2表面部分33を見た場合に、第2表面部分33が、他の構成要素である、第2表面22における第1貫通孔23の周縁部に重なっている。

40

【0037】

側壁部分31、第1表面部分32および第2表面部分33のそれぞれは、無電解めっき法で形成された無電解めっき層3aと、無電解めっき層3a上に電解めっき法で形成された電解めっき層3bとを有する。

【0038】

第1貫通電極3を構成する無電解めっき層3a及び電解めっき層3bは、例えば、Cu(銅)を主成分として含有する。無電解めっき層3a及び電解めっき層3bは、Al(アルミニウム)、W(タングステン)、Ti(チタン)、Ta(タンタル)その他の高融点

50

化合物を主成分として含有していてもよい。

【0039】

(第1配線41、42)

第1表面部分32側の第1配線41は、第1表面21上および第1表面部分32上に位置し、導電性を有する層である。第2表面部分33側の第1配線42は、第2表面22上および第2表面部分33上に位置し、導電性を有する層である。

【0040】

第1表面部分32側の第1配線41は、第1表面部分32の外縁を覆い、第1表面部分32の側面321すなわち外周面に接する第1部分41aと、第1部分41aから所定方向に延伸した第2部分41bとを有する。第2表面部分33側の第1配線42は、第2表面部分33の外縁を覆い、第2表面部分33の側面331すなわち外周面に接する第1部分42aと、第1部分42aから所定方向に延伸した第2部分42bとを有する。表面部分32、33の外縁とは、表面部分32、33のうち、第1貫通孔23の中心を基準とした径方向D2の外側の縁部をいう。第1配線41、42は、表面部分32、33の外縁とともに、外縁よりも内側の表面部分32、33を覆っていてもよい。図1A、図1Bの例において、第2部分41b、42bは、第1部分41a、42aから径方向外方D21に向かって線状に延伸されている。

10

【0041】

また、図1Aおよび図1Bの例において、第1配線41、42の第1部分41a、42aは、表面部分32、33の外縁を全周にわたって覆っている。すなわち、第1部分41a、42aは、平面視において円環形状を有している。本開示はこのような態様に限定されず、第1配線41、42は、表面部分32、33の外縁の少なくとも一部を覆っていればよい。

20

【0042】

第1配線41、42は、物理成膜の一例であるスパッタリングによって形成されたシード層411、421と、電解めっき法によってシード層411、421上に形成された電解めっき層412、422とを有する。

【0043】

シード層411、421は、例えば、CuおよびTiの少なくとも一方を主成分として含有する。シード層411、421は、物理成膜によって形成された下層のTi層と、物理成膜によって形成された上層のCu層とを含む複層構造を有していてもよい。Cu層の下層にTi層を設けることで、基板2に対するシード層411、421の密着性を向上できる。電解めっき層412、422は、例えば、Cu(銅)を主成分として含有する。

30

【0044】

第1配線41、42によれば、物理成膜によって形成された層で表面部分32、33の外縁を覆うことで、表面部分32、33が基板2の表面21、22から剥がれないように、基板2に対する表面部分32、33の密着性を向上できる。これにより、歩留りを向上できる。

【0045】

(製造方法)

40

次に、本実施形態の貫通電極基板1の製造方法について説明する。

【0046】

第1の実施形態では、先ず、基板2を準備する。そして、第1表面21から第2表面22まで基板2に第1貫通孔23を形成する。第1貫通孔23は、例えば、レーザ加工で形成する。第1貫通孔23は、プラスト加工で形成してもよい。これにより、第1貫通孔23が設けられた基板2が準備される。次に、基板2に第1貫通電極3を形成する。第1貫通電極3の形成は、第1貫通電極3が、側壁部分31と、第1表面部分32と、第2表面部分33とを有するように行う。

【0047】

図2Aは、本実施形態による貫通電極基板1の製造方法を示す断面図である。第1貫通

50

電極 3 の形成においては、先ず、図 2 A に示すように、無電解めっき法により、第 1 貫通孔 2 3 の側壁と、第 1 表面 2 1 と、第 2 表面 2 2 とを覆う無電解めっき層 3 a を形成する。無電解めっき法は、例えば、銅イオンを少なくとも含むめっき液を、第 1 貫通孔 2 3 の側壁、第 1 表面 2 1 及び第 2 表面 2 2 に接触させることによる、無電解銅めっき法である。めっき液は、例えば、銅イオンを提供するための、硫酸銅などの銅化合物、並びに、ホルムアルデヒド及び水酸化ナトリウムなどの添加物を含む。

【 0 0 4 8 】

なお、無電解めっき層 3 a を形成する前に、基板 2 に対して無電解めっき層 3 a の密着性を高めるための下地処理を行ってもよい。下地処理は、例えば、有機材料、無機材料であってもよい。有機材料であれば、接着樹脂材料、例えば、エポキシ樹脂、熱効果材料を含んでも良い。無機材料であれば P d (パラジウム) などの触媒の付与、活性化処理、触媒の焼結などを含んでもよい。

10

【 0 0 4 9 】

図 2 B は、図 2 A に続く本実施形態による貫通電極基板 1 の製造方法を示す断面図である。無電解めっき層 3 a を形成した後、図 2 B に示すように、電解めっき法により、無電解めっき層 3 a 上に電解めっき層 3 b を形成する。電解めっき法は、例えば、電解銅めっき法である。これにより、無電解めっき層 3 a と電解めっき層 3 b とが積層された導電層 3 0 が得られる。導電層 3 0 は、側壁部分 3 1 および表面部分 3 2、3 3 を少なくとも部分的に構成する。すなわち、導電層 3 0 は、それ単独で側壁部分 3 1 および表面部分 3 2、3 3 を構成するか、または、前記下地処理などによる他の構成部とともに側壁部分 3 1 および表面部分 3 2、3 3 を構成する。図 2 A および図 2 B に示した工程は、側壁部分 3 1 および表面部分 3 2、3 3 のそれぞれの少なくとも一部を構成する導電層 3 0 を、部分的に無電解めっきによって形成する工程である。

20

【 0 0 5 0 】

図 2 C は、図 2 B に続く本実施形態による貫通電極基板 1 の製造方法を示す断面図である。電解めっき層 3 b を形成した後、図 2 C に示すように、第 1 表面 2 1 側および第 2 表面 2 2 側の双方から、支持フィルム 1 0 1 上に絶縁層 9 を有するドライフィルムを第 1 貫通孔 2 3 側に押し込む。ドライフィルムを押し込むことで、第 1 貫通孔 2 3 を絶縁層 9 で埋める。絶縁層 9 の押し込みは、例えば、真空ラミネート法で行う。絶縁層 9 は、例えば、感光性ポリイミドなどの感光性樹脂を含む層である。なお、第 1 貫通孔 2 3 は、絶縁層 9 で埋めなくてもよい。

30

【 0 0 5 1 】

以下では、表面部分 3 2、3 3 を片方すなわち片面ずつ形成し、また、第 1 配線 4 1、4 2 を片方ずつ形成するための工程について述べる。表面部分 3 2、3 3 は、これらの双方を同時に形成してもよく、また、第 1 配線 4 1、4 2 も、これらの双方を同時に形成してもよい。図 3 A は、図 2 C に続く本実施形態による貫通電極基板 1 の製造方法を示す断面図である。絶縁層 9 を押し込んだ後、第 1 表面 2 1 側の支持フィルム 1 0 1 を剥離する。支持フィルム 1 0 1 を剥離した後、第 1 表面 2 1 側の絶縁層 9 を露光する。露光の後、第 1 表面 2 1 側の絶縁層 9 に現像液を供給することで絶縁層 9 を等方的に除去する。これにより、図 3 A に示すように、第 1 貫通孔 2 3 の内部の絶縁層 9 を残して第 1 表面 2 1 上の不要な絶縁層 9 が除去される。

40

【 0 0 5 2 】

図 3 B は、図 3 A に続く本実施形態による貫通電極基板 1 の製造方法を示す断面図である。第 1 表面 2 1 上の絶縁層 9 を除去した後、第 2 表面 2 2 側の支持フィルム 1 0 1 を剥離する。支持フィルム 1 0 1 を剥離した後、第 2 表面 2 2 側の絶縁層 9 を露光する。露光の後、第 2 表面 2 2 側の絶縁層 9 に現像液を供給することで絶縁層 9 を等方的に除去する。これにより、図 3 B に示すように、第 1 貫通孔 2 3 の内部の絶縁層 9 を残して第 2 表面 2 2 上の不要な絶縁層 9 が除去される。このようにして、図 1 B の絶縁層 9 が得られる。

【 0 0 5 3 】

図 3 C は、図 3 B に続く本実施形態による貫通電極基板 1 の製造方法を示す断面図であ

50

る。絶縁層 9 を形成した後、図 3 C に示すように、フォトリソグラフィによって、第 2 表面 2 2 上に第 1 貫通孔 2 3 の開口とその周縁部とを覆うポジ型のレジスト 1 0 3 を形成する。

【 0 0 5 4 】

図 4 A は、図 3 C に続く本実施形態による貫通電極基板 1 の製造方法を示す断面図である。第 2 表面 2 2 上にレジスト 1 0 3 を形成した後、レジスト 1 0 3 をマスクとした導電層 3 0 のエッチングを行う。これにより、図 4 A に示すように、第 2 表面部分 3 3 を残して第 2 表面 2 2 上の余分な導電層 3 0 が除去される。このようにして、第 2 表面部分 3 3 が形成される。

【 0 0 5 5 】

図 4 B は、図 4 A に続く本実施形態による貫通電極基板 1 の製造方法を示す断面図である。第 2 表面部分 3 3 を形成した後、図 4 B に示すように、フォトリソグラフィによって、第 1 表面 2 1 上に第 1 貫通孔 2 3 の開口とその周縁部とを覆うポジ型のレジスト 1 0 3 を形成する。

【 0 0 5 6 】

図 4 C は、図 4 B に続く本実施形態による貫通電極基板 1 の製造方法を示す断面図である。第 1 表面 2 1 上にレジスト 1 0 3 を形成した後、レジスト 1 0 3 をマスクとした導電層 3 0 のエッチングを行う。これにより、図 4 C に示すように、第 1 表面部分 3 2 を残して第 1 表面 2 1 上の余分な導電層 3 0 が除去される。このようにして、第 1 表面部分 3 2、第 2 表面部分 3 3 および側壁部分 3 1 を有する第 1 貫通電極 3 が形成される。

【 0 0 5 7 】

なお、図 2 B の工程では、電解めっき層 3 b を基板 2 の表面 2 1、2 2 に全面的に形成し、この電解めっき層 3 b を図 4 A の工程で表面部分 3 2、3 3 に応じたパターンに形成していた。これに対して、無電解めっき層 3 a に、表面部分 3 2、3 3 に応じた抜きパターンを有するレジストを形成したうえで、このレジストをマスクとして表面部分 3 2、3 3 に該当する領域のみに電解めっき層 3 b を形成してもよい。

【 0 0 5 8 】

以上のようにして第 1 貫通電極 3 を形成した後、第 1 配線 4 1 を形成する。図 5 A は、図 4 C に続く本実施形態による貫通電極基板 1 の製造方法を示す断面図である。第 1 配線 4 1 の形成においては、先ず、図 5 A に示すように、スパッタリングによって、第 1 表面部分 3 2 と、絶縁層 9 と、第 1 表面 2 1 とを覆うシード層 4 1 1 を形成する。図 5 A の例において、シード層 4 1 1 は、第 1 表面部分 3 2 と、絶縁層 9 と、第 1 表面 2 1 に接触している。スパッタリングによって第 1 配線 4 1 を形成することで、基板 2 への第 1 配線 4 1 の密着性を向上できる。また、シード層 4 1 1 が第 1 表面部分 3 2 の側面 3 2 1 に接していることで、第 1 表面 2 1 への密着性が弱い無電解めっき層 3 a を有する第 1 表面部分 3 2 の密着性を向上させることができる。シード層 4 1 1 は、順に T i 層と C u 層とを積層することで形成してもよい。T i 層を形成することで、基板 2 への第 1 配線 4 1 の密着性を更に向上できる。T i 層の厚みは 5 0 n m、C u 層の厚みは 2 0 0 n m であってもよい。

【 0 0 5 9 】

なお、第 1 配線 4 1、4 2 は、プラズマ C V D 法などの化学成膜によって形成してもよい。化学成膜によって第 1 配線 4 1、4 2 を形成することで、温度、圧力、ガス流量などの成膜条件を高精度に制御できる。

【 0 0 6 0 】

図 5 B は、図 5 A に続く本実施形態による貫通電極基板 1 の製造方法を示す断面図である。シード層 4 1 1 を形成した後、図 5 B に示すように、フォトリソグラフィにより、シード層 4 1 1 上に第 1 配線 4 1 に応じた抜きパターンを有するポジ型のレジスト 1 0 5 を形成する。そして、レジスト 1 0 5 をマスクとした電解めっき法によって、第 1 配線 4 1 の電解めっき層 4 1 2 を形成する。電解めっき法は、例えば、電解銅めっき法である。

【 0 0 6 1 】

10

20

30

40

50

図5Cは、図5Bに続く本実施形態による貫通電極基板1の製造方法を示す断面図である。電解めっき層412を形成した後、レジスト105を剥離する。レジスト105を剥離した後、エッチングによって、第1配線41を残して第1表面21上の余分なシード層411を除去する。このようにして、第1配線41が形成される。図5A～図5Cと同様の処理を第2表面22側に行うことで、第2表面22上の第1配線42が形成される。

【0062】

ここで、第1貫通電極3の無電解めっき層3aのうち、表面部分32、33の無電解めっき層3aは、基板2への密着性が不十分な場合がある。なぜならば、無電解めっき法では、ガラス表面21、22の粗度が低い状態で無電解めっき層3aを形成するため、無電解めっき層3aとガラス界面での密着が弱くなるためである。もし、第1配線41、42が表面部分32、33の外縁を覆っていない場合、表面部分32、33の密着性が不十分であることで、表面部分32、33の剥離が生じる虞がある。

10

【0063】

これに対して、本実施形態では、第1配線41、42が表面部分32、33の外縁を覆っている。これにより、第1配線41、42が表面部分32、33を基板2側に押さえることができるので、基板2への表面部分32、33の密着性を向上できる。とりわけ、第1配線41、42が表面部分32、33の外縁を2 μ m以上の範囲で覆うことで、基板2への表面部分32、33の密着性をより確実に向上できる。

【0064】

また、本実施形態では、第1配線41、42が表面部分32、33の側面321、331に接することで、第1配線41、42と表面部分32、33との接触面積を増やすことができる。これにより、第1配線41、42と表面部分32、33との密着性を向上させることができる。第1配線41、42と表面部分32、33との密着性を向上させることで、より安定的に第1配線41、42が表面部分32、33を基板2側に押さえることができるので、基板2への表面部分32、33の密着性を更に向上させることができる。

20

【0065】

また、本実施形態によれば、第1表面部分32側の第1配線41が、基板2の第1表面21および第1表面部分32に接触するとともにチタンを含有するシード層411を有することで、基板2に対する第1表面部分32側の第1配線41の密着性を向上することが可能となり、また、電気抵抗の低減と、拡散係数の低減すなわちバリア性の向上とが可能となる。同様に、第2表面部分33側の第1配線42が、基板2の第2表面22および第2表面部分33に接触するとともにチタンを含有するシード層421を有することで、基板2に対する第2表面部分33側の第1配線42の密着性を向上することが可能となり、また、電気抵抗および拡散係数の低減が可能となる。なお、シード層411、421は、チタンの代わりにクロムを含有してもよい。シード層411、421がクロムを含有する場合においても、基板2に対する第1配線41、42の密着性を向上させることができる。

30

【0066】

また、第1配線41、42のシード層411、421の形成に、無電解めっき法よりも密着性が良好な成膜法として物理成膜を用いることで、基板2に対する第1配線41、42の密着性を向上できる。特に、物理成膜として、真空状態で放電してガラス表面21、22にシード層411、421を打ち込むスパッタリングを用いることで、第1配線41、42の密着性を効果的に向上できる。第1配線41、42の密着性を向上できるので、延伸方向D2に直交する方向の第1配線41b、42bの幅W1を細くすることができる。

40

【0067】

一方、第1配線41、42をプラズマCVD法などの化学成膜によって形成する場合には、温度、圧力、ガス流量などの成膜条件を高精度に制御できる。

【0068】

(第1の変形例)

50

図 6 A は、本実施形態の第 1 の変形例による貫通電極基板 1 を示す断面図である。図 6 A に示すように、第 1 の変形例の貫通電極基板 1 は、図 1 A および図 1 B の貫通電極基板 1 の構成に加えて、更に、第 1 配線 4 1、4 2 上の絶縁層 6 1、6 2 と、絶縁層 6 1、6 2 上の第 2 配線 8 1、8 2 とを備える。

【0069】

絶縁層 6 1、6 2 には、厚み方向 D 1 に絶縁層 6 1、6 2 を貫通する第 2 貫通孔 7 1、7 2 が設けられている。第 2 貫通孔 7 1、7 2 によって、第 1 配線 4 1、4 2 の一部が絶縁層 6 1、6 2 から露出している。絶縁層 6 1、6 2 は、例えば、感光性ポリイミド等の樹脂であってもよい。第 2 貫通孔 7 1、7 2 は、例えば、フォトリソグラフィによって形成してもよい。

10

【0070】

第 2 配線 8 1、8 2 は、第 2 貫通孔 7 1、7 2 を通じて第 1 配線 4 1、4 2 に接続されている。具体的には、第 2 配線 8 1、8 2、第 2 貫通孔 7 1、7 2 の内部に位置するフィルドピエタイプ第 2 貫通電極 8 0 を介して第 1 配線 4 1、4 2 と接続されている。第 2 貫通電極 8 0 および第 2 配線 8 1、8 2 は、例えば、フォトリソグラフィや電解めっき法によって形成してもよい。

【0071】

図 6 B は、本実施形態の第 1 の変形例による貫通電極基板 1 の別の例を示す断面図である。図 6 B に示すように、第 2 配線 8 1、8 2 は、絶縁層 6 1、6 2 上において面内方向に広がりをも有している。

20

【0072】

第 1 の変形例によれば、絶縁層 6 1、6 2 上に、第 2 貫通孔 7 1、7 2 を通じて第 1 配線 4 1、4 2 に接続された第 2 配線 8 1、8 2 を有することで、例えば、複数の貫通電極を厚み方向 D 1 に積層する場合や、貫通電極基板 1 と半導体素子とを電氣的に接続する場合に柔軟に対応することができる。また、第 2 配線 8 1、8 2 が広がりをも有する場合、第 2 配線 8 1、8 2 に電氣的に接続される半導体素子や受動素子などの電子部品のレイアウトの自由度を向上させることができる。

【0073】

(第 2 の変形例)

図 7 A は、本実施形態の第 2 の変形例による貫通電極基板 1 を示す平面図である。図 7 B は、本実施形態の第 2 の変形例による貫通電極基板 1 を示す平面図である。図 7 B は、図 7 A の V I I B - V I I B 断面図である。図 1 A、図 1 B の貫通電極基板 1 では、第 1 配線 4 1、4 2 が円環形状の表面部分 3 2、3 3 の外縁を全周にわたって覆っている。

30

【0074】

これに対して、図 7 A および図 7 B に示すように、第 2 の変形例では、第 1 表面部分 3 2 が、第 1 貫通孔 2 3 の周縁部を被覆する第 1 環状部 3 2 a と、第 1 環状部 3 2 a から第 1 貫通孔 2 3 の径方向外方 D 2 1 に延びる第 1 線状部 3 2 b と、を有する。なお、第 1 線状部 3 2 b は、第 1 表面部分 3 2 の外縁の一態様である。そして、第 1 表面部分 3 2 側の第 1 配線 4 1 は、第 1 線状部 3 2 b の一部として、第 1 線状部 3 2 b における径方向 D 2 の外端部 3 2 2 を覆っている。また、第 2 の変形例では、第 2 表面部分 3 3 が、第 1 貫通孔 2 3 の周縁部を被覆する第 2 環状部 3 3 a と、第 2 環状部 3 3 a から第 1 貫通孔 2 3 の径方向外方 D 2 1 に延びる第 2 線状部 3 3 b と、を有する。なお、第 2 線状部 3 3 b は、第 2 表面部分 3 3 の外縁の一態様である。そして、第 2 表面部分 3 3 側の第 1 配線 4 2 は、第 2 線状部 3 3 b の一部として、第 2 線状部 3 3 b における径方向 D 2 の外端部 3 3 2 を覆っている。

40

【0075】

第 2 の変形例によれば、第 1 配線 4 1、4 2 で線状部 3 2 b、3 3 b を覆うことによって、基板 2 への表面部分 3 2、3 3 の密着性を向上できる。これにより、線状部 3 2 b、3 3 b の線幅を細くすることができる。例えば、径方向 D 2 に直交する方向の線状部 3 2 b、3 3 b の線幅 W 2 は、0 μ m より大きい 50 μ m 以下に形成することもできる。線幅

50

W2が50 μ m以下となると、無電解めっき層の剥離がより生じ易くなるが、第2の変形例によれば、第1配線41、42で線状部32b、33bを覆うことによって、線状部32b、33bの無電解めっき層3aの剥離を確実に抑制できる。なお、線状部32b、33bの代わりに、あるいは、線状部32b、33bとともに、第1配線41、42は、環状部32a、33aの少なくとも一部を覆っていてもよい。

【0076】

(第3、第4の変形例)

図8は、本実施形態の第3の変形例による貫通電極基板1を示す断面図である。図9は、本実施形態の第4の変形例による貫通電極基板1を示す断面図である。図8に示すように、表面部分32、33の内縁の少なくとも一部を絶縁層9で覆っていてもよい。また、図9に示すように、表面部分32、33の内縁の少なくとも一部を覆う絶縁層9を、第1配線41、42の内縁で覆っていてもよい。

10

【0077】

(第5の変形例)

図10は、本実施形態の第5の変形例による孔通電極基板1を示す断面図である。これまでは、孔電極基板の一例として、貫通電極基板1について説明した。図10に示すように、本開示の一態様は、孔として有底穴230すなわち凹部が設けられた基板2と、有底穴230の内部の孔電極3と、孔電極3の表面部分32の外縁の少なくとも一部を覆う第1配線41とを備えた孔電極基板1であってもよい。孔電極3は、有底穴230を覆う底壁部分33を有する点が、貫通電極3と異なる。

20

【0078】

第5の変形例によれば、第1配線41で孔電極3の表面部分32を覆うことによって、基板2への表面部分32の密着性を向上できる。

【0079】

(第6の変形例)

図11は、本実施形態の第6の変形例による半導体装置1000を示す図である。半導体装置1000は、第1面21に直交する厚み方向D1に重なるように配置すなわち積層された複数の貫通電極基板1を備えている。各貫通電極基板1は、LSI基板1001に電氣的に接続されている。各貫通電極基板1は、例えば、既述した第1配線41、42に電氣的に接続されたDRAM等の図示しない半導体素子と、第1配線41、42に電氣的に接続された接続端子1002とを有している。厚み方向D1に隣り合う貫通電極基板1同士は、その接続端子1002同士を互いに対向させている。そして、厚み方向D1に隣り合う貫通電極基板1同士は、互いに対向する接続端子1002間に位置するパンプ1003を介して電氣的に接続されている。また、厚み方向D1においてLSI基板1001に隣り合う貫通電極基板1は、その接続端子1002をLSI基板1001の接続端子1004に対向させている。そして、LSI基板1001と、LSI基板1001に隣り合う貫通電極基板1とは、互いに対向する接続端子1002、1004間に位置するパンプ1005を介して電氣的に接続されている。パンプ1003、1005は、例えば、インジウム、銅、金等の金属である。

30

【0080】

図11の例において、貫通電極基板1の層数は2層であるが、貫通電極基板1の層数は、3層以上であってもよい。また、貫通電極基板1と他の基板との電氣的な接続には、共晶接合などのパンプ以外の接合技術を用いてもよく、また、ポリイミド、エポキシ樹脂等を塗布、焼成して、貫通電極基板1と他の基板とを接着してもよい。

40

【0081】

図12は、本実施形態の第6の変形例による半導体装置1000の別の例を示す図である。図12に示す半導体装置1000は、厚み方向D1に積層された半導体素子の一例である半導体チップ1006、1007および貫通電極基板1を有している。これら半導体チップ1006、1007および貫通電極基板1は、LSI基板1001に電氣的に接続されている。半導体チップ1006、1007は、例えば、MEMSデバイス、CPU、

50

メモリ等である。

【0082】

図12の例では、半導体チップ1006と半導体チップ1007との間に貫通電極基板1が位置し、貫通電極基板1は、各半導体チップ1006、1007のそれぞれと接続端子1008およびパンプ1009を介して電氣的に接続されている。半導体チップ1006は、LSI基板1001上に載置されている。一方、半導体チップ1007は、ワイヤ1010を介してLSI基板1001と電氣的に接続されている。図12の例において、貫通電極基板1は、複数の半導体チップを積層して3次元実装するためのインターポーザとして用いられている。図12の例によれば、それぞれ機能の異なる複数の半導体チップを積層することで、多機能の半導体装置を製造することができる。例えば、半導体チップ1006を3軸加速度センサとし、半導体チップ1007を2軸磁気センサとすることによって、5軸モーションセンサを1つのモジュールで実現した半導体装置を製造することができる。

10

【0083】

半導体チップがMEMSデバイスにより形成されたセンサなどである場合には、センシング結果がアナログ信号により出力されるようなときがある。この場合には、ローパスフィルタ、アンプ等についても半導体チップまたは貫通電極基板1に形成してもよい。

【0084】

(製品への適用例)

図13は、上記各態様の孔電極基板1を適用できる製品の例を示す図である。本開示の実施形態に係る孔電極基板1は、様々な製品に適用できる。例えば、孔電極基板1は、ノート型パーソナルコンピュータ110、タブレット端末120、携帯電話130、スマートフォン140、デジタルビデオカメラ150、デジタルカメラ160、デジタル時計170、サーバ180等に搭載できる。

20

【0085】

本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

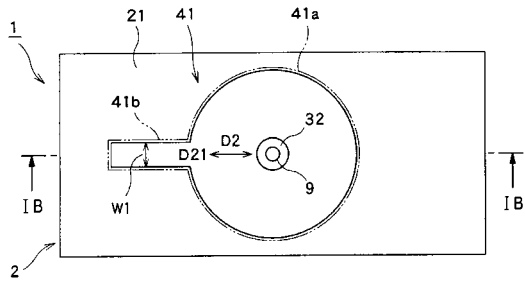
【符号の説明】

30

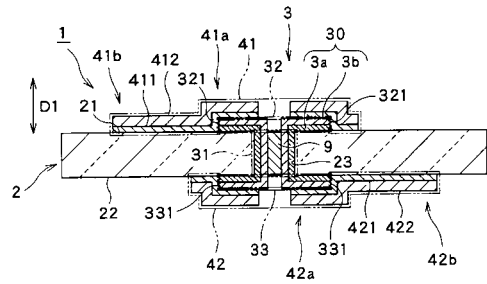
【0086】

- 1 貫通電極基板
- 2 基板
- 21 第1表面
- 3 第1貫通電極
- 31 側壁部分
- 32 第1表面部分
- 41 第1配線

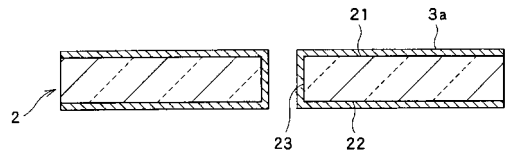
【図 1 A】



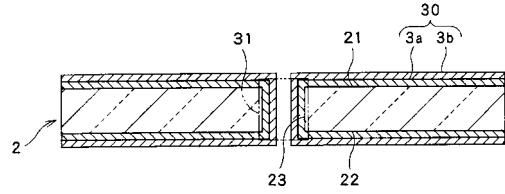
【図 1 B】



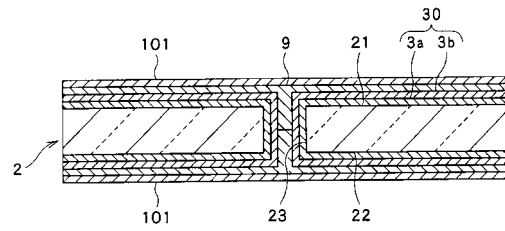
【図 2 A】



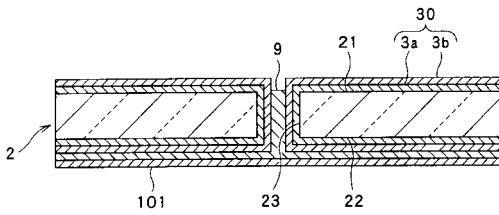
【図 2 B】



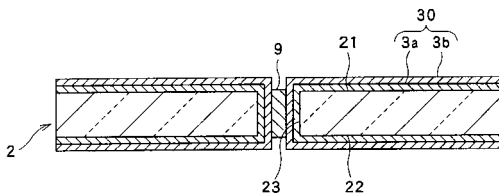
【図 2 C】



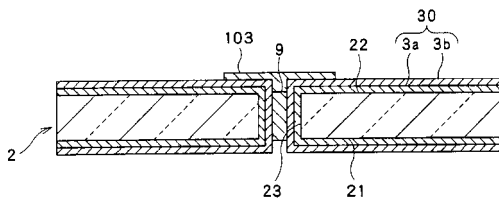
【図 3 A】



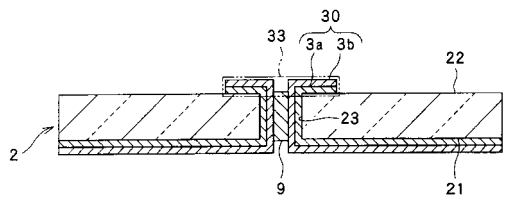
【図 3 B】



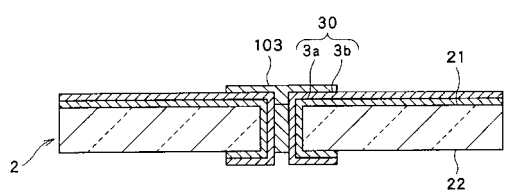
【図 3 C】



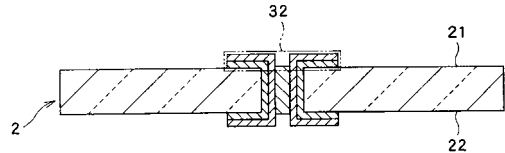
【図 4 A】



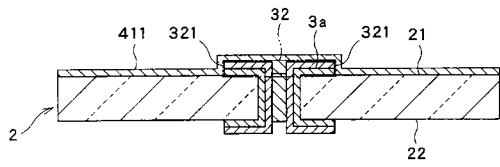
【図 4 B】



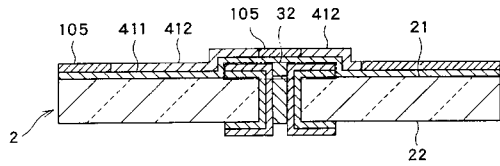
【図 4 C】



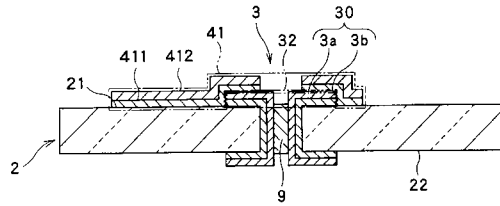
【図 5 A】



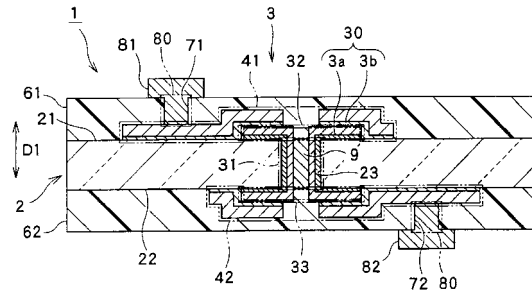
【図 5 B】



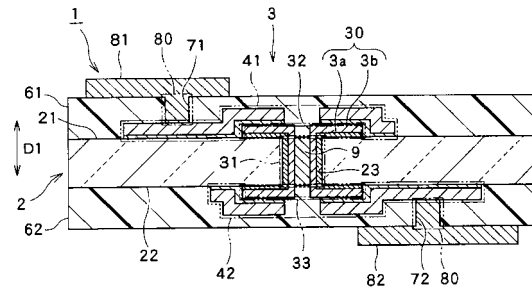
【図 5 C】



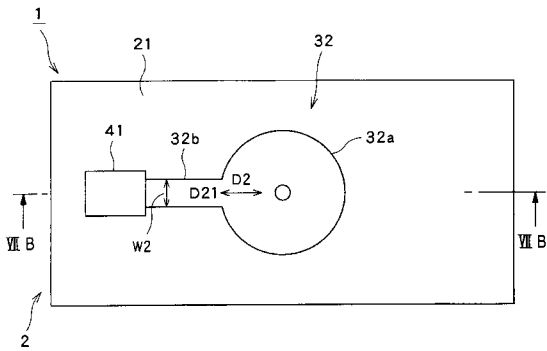
【図 6 A】



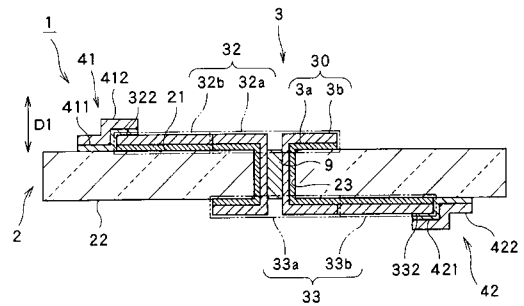
【図 6 B】



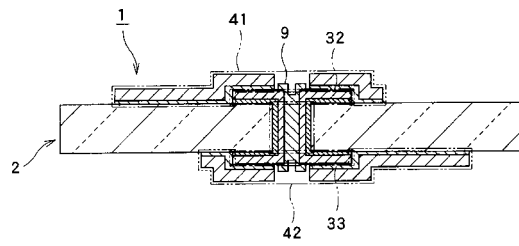
【図 7 A】



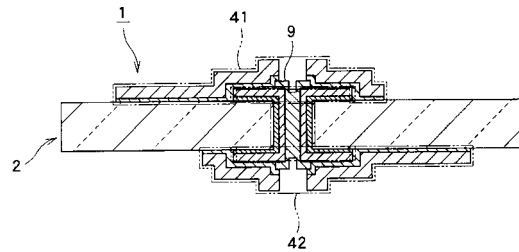
【図 7 B】



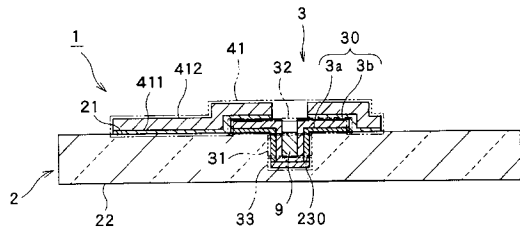
【図 8】



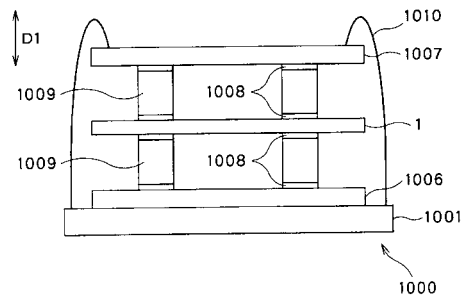
【図 9】



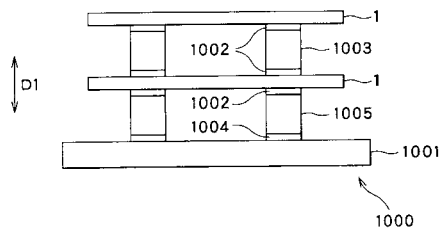
【図 10】



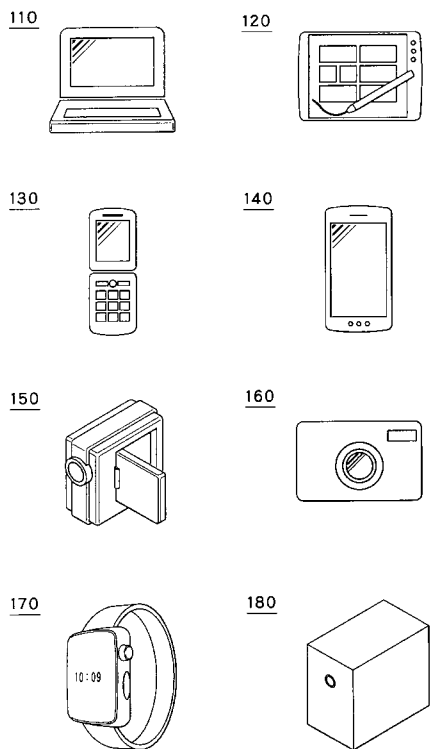
【図 12】



【図 11】



【図 13】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 23/12 (2006.01)

(72)発明者 太田 啓吾
東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内

(72)発明者 俵屋 誠治
東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内

(72)発明者 榑 真史
東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内

Fターム(参考) 5E317 AA24 BB01 BB11 BB12 CC31 CC32 CC33 CC52 CD25 CD27
CD32 GG03
5F033 GG04 HH08 HH11 HH17 HH18 HH19 HH21 JJ01 JJ08 JJ11
JJ18 JJ19 JJ21 KK08 KK11 KK17 KK18 KK19 KK21 MM05
MM13 MM21 MM30 NN05 NN12 NN32 PP12 PP15 PP27 PP28
QQ00 QQ01 QQ08 QQ53 RR22 RR27 SS00 VV07 VV13 VV16
XX13