

# (19)대한민국특허청(KR)

## (12) 등록특허공보(B1)

(51) 。 Int. Cl.<sup>7</sup>  
G11C 16/00

(45) 공고일자 2005년11월02일  
(11) 등록번호 10-0525137  
(24) 등록일자 2005년10월24일

(21) 출원번호 10-2002-0065131  
(22) 출원일자 2002년10월24일

(65) 공개번호 10-2003-0034016  
(43) 공개일자 2003년05월01일

(30) 우선권주장 JP-P-2001-00326900 2001년10월24일 일본(JP)  
JP-P-2002-00027436 2002년02월04일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바  
일본국 도쿄도 미나토구 시바우라 1쵸메 1방 1고

(72) 발명자 다케우찌유지  
일본가나가와현요코하마시이소고꾸신스기따쵸8가부시끼가이샤도시바  
요코하마퍼실러티어드미니스트레이션센터내  
  
시로타리이찌로  
일본가나가와현요코하마시이소고꾸신스기따쵸8가부시끼가이샤도시바  
요코하마퍼실러티어드미니스트레이션센터내

(74) 대리인 장수길  
구영창

심사관 : 조명관

### (54) 반도체 장치 및 그 동작 방법

#### 요약

불휘발성 기억 회로(nonvolatile memory)를 포함하는 반도체 장치는 제1 방향으로 배열된 제1, 제2, 제3 및 제4 메모리 셀과, 제1 메모리 셀 위에서 제2 방향으로 연장되고 제2 메모리 셀에 접속된 제1 비트선과, 제2 메모리 셀 위에서 제2 방향으로 연장되고 제1 메모리 셀에 접속된 제2 비트선과, 제3 메모리 셀 위에서 제2 방향으로 연장되고 제3 메모리 셀에 접속된 제3 비트선과, 제4 메모리 셀 위에서 제2 방향으로 연장되고 제4 메모리 셀에 접속된 제4 비트선을 포함한다.

#### 대표도

도 1

#### 색인어

메모리 셀 어레이, 불휘발성 기억 회로, 데이터 래치 회로, 감지 증폭기

#### 명세서

## 도면의 간단한 설명

- 도 1은 본 발명의 제1 실시예에 따른 반도체 장치에서 불휘발성 기억 회로의 메모리 셀 어레이의 주요부 평면도.
- 도 2는 도 1에 도시한 메모리 셀 어레이의 배선층을 도시한 평면도.
- 도 3은 도 1 및 도 2에 도시한 F3-F3 절단선을 따라 취한 반도체 장치의 주요부 단면 구조도.
- 도 4는 도 1 및 도 2에 도시한 F4-F4 절단선을 따라 취한 반도체 장치의 주요부 단면 구조도.
- 도 5는 도 1에 도시한 불휘발성 기억 회로의 메모리 셀 어레이의 회로도.
- 도 6의 (a)는 본 발명의 제1 실시예에 따른 불휘발성 기억 회로를 구비한 반도체 장치의 레이아웃도이고, (b)는 본 발명의 제1 실시예에 따른 불휘발성 기억 회로를 구비한 반도체 메모리 시스템의 블록도.
- 도 7은 본 발명의 제1 실시예에 따른 불휘발성 기억 회로의 동작 흐름도.
- 도 8은 본 발명의 제3 실시예에 따른 반도체 장치의 불휘발성 기억 회로의 메모리 셀 어레이의 회로도.
- 도 9는 본 발명의 제4 실시예에 따른 반도체 장치의 불휘발성 기억 회로의 메모리 셀 어레이의 회로도.
- 도 10은 본 발명의 제5 실시예에 따른 반도체 장치의 불휘발성 기억 회로의 메모리 셀 어레이의 회로도.
- 도 11은 도 10에 도시한 불휘발성 기억 회로의 메모리 셀 어레이의 주요부 평면도.
- 도 12는 본 발명의 제5 실시예의 변형예에 따른 반도체 장치의 불휘발성 기억 회로의 메모리 셀 어레이의 회로도.
- 도 13은 도 12에 도시한 불휘발성 기억 회로의 메모리 셀 어레이의 주요부 평면도.
- 도 14는 본 발명의 제6 실시예에 따른 반도체 장치의 불휘발성 기억 회로의 시스템 블록도.
- 도 15는 도 14에 도시한 불휘발성 기억 회로의 메모리 셀 어레이의 회로도.
- 도 16은 도 14에 도시한 불휘발성 기억 회로의 주변 회로의 회로도.
- 도 17의 (a) 내지 (d)는 본 발명의 제6 실시예에 따른 불휘발성 기억 회로에서 메모리 셀의 기입 동작에서의 임계값 전압의 천이를 도시한 도면.
- 도 18은 본 발명의 제6 실시예에 따른 불휘발성 기억 회로의 동작 흐름도.
- 도 19는 본 발명의 선행 기술에 따른 반도체 기억 장치의 메모리 셀 어레이의 주요부 평면도.
- 도 20은 도 19에 도시한 반도체 기억 장치의 메모리 셀 어레이에서 배선 형상을 도시한 주요부 평면도.
- 도 21은 도 19 및 도 20에 도시한 반도체 기억 장치의 F21-F21 절단선을 따라 취한 단면도.
- 도 22는 도 19 및 도 20에 도시한 반도체 기억 장치의 F22-F22 절단선을 따라 취한 단면도.
- 도 23은 도 19 및 도 20에 도시한 반도체 기억 장치의 F23-F23 절단선을 따라 취한 단면도.
- 도 24는 도 19 내지 도 23에 도시한 반도체 기억 장치의 메모리 셀 어레이의 회로도.

## 삭제

도 25는 본 발명의 선행 기술에 따른 다른 반도체 기억 장치의 메모리 셀 어레이의 주요부 평면도.

도 26은 도 25에 도시한 반도체 기억 장치의 F26-F26 절단선을 따라 취한 단면도.

도 27은 도 25에 도시한 반도체 기억 장치의 F27-F27 절단선을 따라 취한 단면도.

도 28은 본 발명의 선행 기술에 따른 반도체 기억 장치의 동작 수순을 설명하는 흐름도.

도 29는 본 발명의 선행 기술에 따른 반도체 기억 장치의 과제를 설명하기 위한 주요부 단면도.

도 30은 본 발명의 선행 기술에 따른 반도체 기억 장치의 과제를 설명하기 위한 주요부 단면도.

도 31은 본 발명의 선행 기술에 따른 반도체 기억 장치의 과제를 설명하기 위한 주요부 단면도.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 반도체 장치

2 : NAND형 EEPROM

3 : 메모리 셀 어레이

4 : 감지 증폭기 및 기입 데이터 래치 회로

5 : 로우 디코더

6 : 컬럼 디코더

7 : 데이터 입출력 버퍼

8 : 어드레스 버퍼

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 출원은 2001년 10월 24일 출원된 일본 특허 출원 번호 제2001-326900호 및 2002년 2월 4일 출원된 제2002-27436호에 기초하고, 그들에 대한 우선권을 주장하며, 그 전체 내용이 참조로 본원에 포함된다. 본 발명은, 반도체 장치 및 그 동작 방법에 관한 것으로, 특히 불휘발성 기억 회로를 구비한 반도체 장치 및 이 반도체 장치의 동작 방법에 관한 것이다.

전기적으로 기입 소거가 가능한 불휘발성 기억 회로를 구비한 반도체 기억 장치로서, NAND형 EEPROM(Electrically Erasable Programmable Read Only Memory)이 알려져 있다. 도 19 내지 도 23에는 NAND형 EEPROM의 디바이스 구조를, 도 24에는 NAND형 EEPROM의 회로 구성을 도시한다.

NAND형 EEPROM의 메모리 셀 어레이(100)는 행렬 형상으로 배열된 복수의 메모리 셀 유닛(101)에 의해 구축되어 있다. 메모리 셀 유닛(101)은 행 방향(로우 방향)으로 복수개, 예를 들면 8개 직렬로 접속된 메모리 셀(102)에 의해 구성되어 있다. 일반적으로, 메모리 셀(102)에는 1비트(bit)의 데이터를 기억할 수가 있고, 메모리 셀 유닛(101)에는 1바이트(byte)의 데이터를 기억할 수 있다.

NAND형 EEPROM은 도 21 내지 도 23에 도시한 바와 같이 반도체 기관(110)(반도체 칩)의 주면에 배치되어 있다. 반도체 기관(110)에는 실리콘 단결정 기관이 사용되고 있다. 복수개의 메모리 셀(102)은, 이 반도체 기관(110)의 주면, 도시하지 않았지만 실제로는 반도체 기관(110)의 주면에 배치된 웰 영역에 배치되어 있다. 메모리 셀(102)의 주위, 상세하게는 게이트 폭을 규정하는 영역에는 소자 분리 절연막(111)이 배치되어 있다.

이 메모리 셀(102)은, 채널 형성 영역(반도체 기관(110) 또는 웰 영역)과, 제1 게이트 절연막(121)과, 제1 게이트 절연막(121) 위의 부유 게이트 전극(전하 축적부)(122)과, 부유 게이트 전극(122) 위의 제2 게이트 절연막(123)과, 제2 게이트 절연막(123) 상의 컨트롤 게이트 전극(124)과, 소스 영역 또는 드레인 영역으로서 사용되는 한쌍의 반도체 영역(125)을 구비하여 구성되어 있다. 즉, 메모리 셀(102)은 부유 게이트 전극(122)을 갖는, n채널 도전형 전계 효과 트랜지스터에 의해 구성되어 있다. 메모리 셀 유닛(101)에서, 행 방향으로 인접하는 한쪽의 메모리 셀(102)의 소스 영역 또는 드레인 영역인 반도체 영역(125)은, 다른 쪽의 메모리 셀(102)의 드레인 영역 또는 소스 영역인 반도체 영역(125)과 일체적으로 형성되어 있다. 메모리 셀(102)의 컨트롤 게이트 전극(124)은, 도 19 및 도 22에 도시한 바와 같이, 열 방향(컬럼 방향)으로 인접하는 다른 메모리 셀 유닛(101)의 메모리 셀(102)의 컨트롤 게이트 전극(124)과 일체적으로 형성되고, 열 방향으로 연장되고 또한 행 방향으로 배열된 워드선(124WL)을 구성하도록 되어 있다.

메모리 셀 유닛(101)의 일단측(도 19에서 상측, 도 23에서 좌측)의 메모리 셀(102)에는 셀 선택용 트랜지스터(105)가 배치되어 있다. 메모리 셀 유닛(101)의 타단(도 19에서 하측, 도 23에서 우측)에는 셀 선택용 트랜지스터(106)가 배치되어 있다.

셀 선택용 트랜지스터(105), 셀 선택용 트랜지스터(106)는 모두 메모리 셀(102)과 마찬가지로 n채널 도전형 전계 효과 트랜지스터에 의해 구성되어 있다. 즉, 셀 선택용 트랜지스터(105)는 채널 형성 영역과, 채널 형성 영역 위의 게이트 절연막(151)과, 게이트 절연막(151) 위의 게이트 전극(152)과, 소스 영역 또는 드레인 영역으로서 사용되는 한쌍의 n형 반도체 영역(155)을 구비하여 구성되어 있다. 게이트 전극(152)은, 열 방향으로 인접하는 다른 셀 선택용 트랜지스터(105)의 게이트 전극(152)과 일체적으로 형성되고, 셀 선택 신호선(152S)을 구성하도록 되어 있다.

마찬가지로, 셀 선택용 트랜지스터(106)는 채널 형성 영역과, 채널 형성 영역 위의 게이트 절연막(161)과, 게이트 절연막(161) 위의 게이트 전극(162)과, 소스 영역 또는 드레인 영역으로서 사용되는 한쌍의 n형 반도체 영역(165)을 구비하여 구성되어 있다. 게이트 전극(162)은 열 방향으로 인접하는 다른 셀 선택용 트랜지스터(106)의 게이트 전극(162)과 일체적으로 형성되고, 셀 선택 신호선(162S)을 구성하도록 되어 있다.

비트선(136)은, 메모리 셀 유닛(101) 상에서, 워드선(124WL)과 교차하는 행 방향으로 연장되고 또한 열 방향으로 복수 라인 배열되어 있다. 비트선(136)은, 그 하층의 서브비트선(133), 접속 구멍 배선(131)의 각각을 통해서 셀 선택용 트랜지스터(105)의 한쪽의 반도체 영역(155)에 접속되어 있다. 서브비트선(133)은, 층간 절연막(130) 위의 제1층재의 배선층에 형성되어 있다. 비트선(136)은 서브비트선(133) 위를 덮는 층간 절연막(135) 위의 제2층재의 배선층에 형성되어 있다.

소스선(134)은, 서브비트선(133)과 동일한 제1층재의 배선층에 형성되어 있으며, 열 방향으로 연장되어 있다. 소스선(134)은 접속 구멍 배선(132)을 통해서 셀 선택용 트랜지스터(106)의 한쪽의 반도체 영역(165)에 접속되어 있다.

도 25 내지 도 27에는 NAND형 EEPROM의 다른 디바이스 구조를 도시한다. 또한, 여기서 설명하는 NAND형 EEPROM의 회로 구성은 도 24에 도시한 회로 구성과 기본적으로 동일하다. 도 25 내지 도 27에 도시한 NAND형 EEPROM은, 도 19 내지 도 23에 도시한 NAND형 EEPROM의 서브비트선(133)을 구비하고 있지 않다. 즉, 비트선(136)은 층간 절연막(130) 위의 제1층재의 배선층에 형성되고, 접속 구멍 배선(131)을 통해서 셀 선택용 트랜지스터(105)의 한쪽의 반도체 영역(155)에 접속되어 있다. 또한, NAND형 EEPROM은 제1층재의 배선층에 형성되는 소스선(134)은 구비되어 있지 않고, 열 방향으로 인접하는 셀 선택용 트랜지스터(106)의 한쪽의 반도체 영역(165)을 일체적으로 형성한 소스선(165S)을 구비하고 있다.

다음에, 도 19 내지 도 23에 도시한 NAND형 EEPROM, 도 25 내지 도 27에 도시한 NAND형 EEPROM의 동작을 도 28을 참조하여 설명한다.

(1) 먼저 처음에, NAND형 EEPROM의 메모리 셀 어레이(100)에서, 데이터의 소거 동작이 행해진다. 소거 동작은, 선택된 메모리 블록 전체의 메모리 셀(102)의 데이터를 일괄 소거하는 것이다. 이 소거 동작에서는, 컨트롤 게이트 전극

(124)(워드선(124WL))에 0V가 인가되고, 반도체 기관(웰 영역)(110)에 예를 들면 20V의 고전위  $V_{PPW}$ 가 인가된다. 이러한 소거 동작 전압을 인가함으로써, 제1 게이트 절연막(121)에 FN 터널 전류가 흘러, 부유 게이트 전극(전하 축적부)(122)으로부터 반도체 기관(110)으로 전자가 방출된다. 전자의 방출에 의해, 메모리 셀(102)의 임계값 전압이 음으로 된다.

(2) 다음에, 데이터의 기입 동작이 행해진다(단계 170S. 이하, 「단계」는 생략함). 먼저 1개의 워드선(124WL)에 접속된 메모리 셀(102)에서, 짝수번째의 비트선(136(BL2, BL4, ...))에 접속된 메모리 셀(102)과, 홀수번째의 비트선(136(BL1, BL3, ...))에 접속된 메모리 셀(102)의 2개로 나누어, 기입 동작이 행해진다. 예를 들면, 선택된 워드선(124WL)에 접속된 짝수번째의 복수의 메모리 셀(102)에 대하여 동시에 기입 동작이 행해진다.

메모리 셀(102)에 "0" 데이터를 기입하는 경우, 즉 메모리 셀(102)의 임계값 전압을 양으로 시프트시키는 경우, 비트선(136)에 0V가 인가된다. 메모리 셀(102)에 "1" 데이터를 기입하는 경우, 즉 메모리 셀(102)의 임계값 전압을 시프트시키지 않는 경우, 비트선(136)에는 기입 전압  $V_{CC}$ , 예를 들면 3V가 인가된다. 여기서, 짝수번째의 비트선(136)에 접속된 메모리 셀(102)에 대하여 데이터를 기입하는 경우, 홀수번째의 비트선(136)에는 기입 전압  $V_{CC}$ 이 인가된다. 그리고, 셀 선택용 트랜지스터(105)에 접속된 셀 선택 신호선(152S)에 기입 전압  $V_{CC}$ , 비선택의 워드선(124WL)에 기입 전압  $V_{PASS}$ , 예를 들면 10V가 인가된다. 또한, 선택된 워드선(124WL)에 고전위의 기입 전압  $V_{PPW}$ , 예를 들면 20V가 펄스에 의해 인가된다(171S).

"0" 데이터를 기입하는 메모리 셀(102)에서는, 드레인 영역(반도체 영역(125)), 채널 형성 영역, 소스 영역(반도체 영역(125))에 0V가 인가되고, 채널 형성 영역과 컨트롤 게이트 전극(124) 간에 고전압이 인가되므로, 제1 게이트 절연막(121)에 FN 터널 전류가 흘러, 전자가 부유 게이트 전극(122)에 주입된다. 즉, 메모리 셀(102)의 임계값 전압을 양으로 시프트시킬 수 있다.

또한, "1" 데이터를 기입하는 메모리 셀(102)에서는, 셀 선택용 트랜지스터(105)가 컷오프 상태로 되어, 채널 형성 영역의 전위는 비선택의 컨트롤 게이트 전극(124)에 인가된 전위  $V_{PASS}$  간의 용량 커플링에 의해 상승하고, 채널 형성 영역과 컨트롤 게이트 전극(124) 간에 발생하는 전계를 완화할 수 있다. 즉, 채널 형성 영역으로부터 부유 게이트 전극(122)으로의 전자의 주입이 금지되므로, 메모리 셀(102)의 임계값 전압은 시프트되지 않는다.

또한, 짝수번째의 비트선(136)에 접속된 메모리 셀(102)에 대하여 데이터 기입 동작을 행하고 있을 때에, 홀수번째의 비트선(136)에 접속된 메모리 셀(102)의 임계값 전압은 변동하지 않는다.

(3) 선택된 워드선(124WL)에 고전위의 기입 전압  $V_{PPW}$ 이 인가된 후, "0" 데이터가 기입된 메모리 셀(102)의 임계값 전압이 소정의 값까지 도달하였는지를 검사하는 검증 판독 동작을 행한다(172S). 검증 판독 동작에서는, 짝수번째의 비트선(136)에 판독 전압  $V_{CC}$ , 예를 들면 3V가 인가되고, 홀수번째의 비트선(136)에 0V가 인가되고, 선택된 메모리 셀(102)에 접속된 컨트롤 게이트 전극(124)(워드선(124WL))에 0V가 인가되며, 다른 워드선(124WL) 및 셀 선택 신호선(152S)에 판독 전압  $V_{CC}$ 이 인가된다. 그리고, 이러한 검증 판독 동작 전압이 인가된 상태에서, 비트선(136)으로부터 메모리 셀(102)을 통해서 전류가 흐르는지의 여부 확인이 행해진다. 전류가 흐르는 경우에는, 선택된 메모리 셀(102)의 임계값 전압이 충분히 높아져 있지 않은, 즉 기입 동작이 완료되지 않은 것으로 된다. 이러한 경우에는, 재차, 데이터의 기입 동작이 반복하여 행해진다.

또한, 전류가 흐르지 않은 경우에는 기입 동작이 완료되어 있기 때문에, 비트선(136)의 전위 0V를 전위  $V_{CC}$ 로 전환하고, 이후의 데이터의 기입을 금지하여, 메모리 셀(102)의 임계값 전압의 변동의 방지가 행해진다.

이하, 마찬가지로의 수순에서, 선택된 워드선(124WL)에 접속되고, 짝수번째의 비트선(136)에 접속된 모든 메모리 셀(102)의 데이터의 기입이 완료될 때까지 기입 동작이 반복하여 행해진다(173S).

(4) 또한, 짝수번째의 비트선(136)에 접속된 메모리 셀(102)의 데이터의 기입 동작과 마찬가지로의 수순에 의해, 홀수번째의 비트선(136)에 접속된 메모리 셀(102)의 데이터의 기입 동작이 행해진다(175S 및 176S). 검증 판독 동작(177S)을 행한 후, 선택된 워드선(124WL)에 접속되고, 홀수번째의 비트선(136)에 접속된 모든 메모리 셀(102)의 데이터의 기입이 완료될 때까지 기입 동작이 반복하여 행해진다(178S).

(5) 그리고, 데이터의 판독 동작이 행해진다. 판독 동작은 검증 판독 동작과 마찬가지로 행해진다. 즉, 판독 동작에서는, 비트선(136)에 판독 전압  $V_{CC}$ , 예를 들면 3V가 인가되고, 선택된 메모리 셀(102)에 접속된 컨트롤 게이트 전극(124)(워드선(124WL))에 0V가 인가되며, 다른 워드선(124WL) 및 셀 선택 신호선(152S)에 판독 전압  $V_{CC}$ 이 인가된다. 그리고, 이러한 판독 동작 전압이 인가된 상태에서, 비트선(136)으로부터 메모리 셀(102)을 통해서 전류가 흐르는지의 여부 확인이 행해진다. 판독 동작은, 기입 동작과 마찬가지로, 짝수번째의 비트선(136)에 접속된 메모리 셀(102)의 판독 동작과, 홀수번째의 비트선(136)에 접속된 메모리 셀(102)의 판독 동작의 2회의 동작으로 나뉘어 행해진다. 짝수번째의 비트선(136)에 접속된 메모리 셀(102)의 판독 동작을 행하는 경우, 홀수번째의 비트선(136)에는 0V가 인가된다. 반대로, 홀수번째의 비트선(136)에 접속된 메모리 셀(102)의 판독 동작을 행하는 경우, 짝수번째의 비트선(136)에는 0V가 인가된다.

이와 같이, 짝수번째의 비트선(136)에 접속된 메모리 셀(102)의 판독 동작과, 홀수번째의 비트선(136)에 접속된 메모리 셀(102)의 판독 동작을 나뉘어 행함으로써, 이하에 설명하는 바와 같이, 열 방향의 인접 비트선(136) 간의 간섭에 의한, 데이터의 오판독 동작을 방지할 수 있다.

데이터의 판독 동작에서는, 비트선(136)을 충전한 후, 선택된 컨트롤 게이트 전극(124) 및 선택된 워드선(124WL) 이외의 컨트롤 게이트 전극(124)은 활성화되고, 비트선(136)의 충전 전위가 하강하는지의 여부에 의해 데이터가 식별되어 있다. 즉, 비트선(136)의 충전 전위가 하강하면 "0" 데이터, 하강하지 않으면 "1" 데이터로서 인식되어 있다.

여기서, 비트선(136)을 짝수번째와 홀수번째로 나누지 않고서, 모든 비트선(136)을 일괄하여 판독하는 경우를 우선 고려한다. 도 29에 도시한 바와 같이, 비트선(136(BL1)), 비트선(136(BL2)), 비트선(136(BL3))은 평행하게 배열되어 있으며, 비트선(136(BL1)) 및 비트선(136(BL3))에 접속된 메모리 셀(102)에는 "0" 데이터가 저장되고, 비트선(136(BL2))에 접속되어 있는 메모리 셀(102)에는 "1" 데이터가 저장되어 있다고 가정한다.

판독 동작에서, 이상적으로는 비트선(136(BL1)) 및 비트선(136(BL3))의 충전 전위는 하강하고, 비트선(136(BL2))의 충전 전위는 하강하지 않을 것이다. 인접하는 비트선(136(BL1))과 비트선(136(BL2)) 사이에는 커패시턴스 용량  $C_{BL12}$ 이 존재하고, 인접하는 비트선(136(BL2))과 비트선(136(BL3)) 사이에는 커패시턴스 용량  $C_{BL23}$ 이 존재한다. 이 때문에, 비트선(136(BL1)) 및 비트선(136(BL3))의 충전 전위가 하강하면, 커패시턴스 노이즈의 영향을 받아, 비트선(136(BL2))의 충전 전위는 약간 하강한다. 그렇게 하면 비트선(136(BL2))에 접속된 메모리 셀(102)에 저장된 데이터가 "1" 데이터라고 오판독 동작이 생긴다. 미세화에 수반하여 비트선(136) 사이의 간격이 더욱 감소하면, 커패시턴스 노이즈는 더 증대되어, 오판독 동작이 보다 현저한 문제로 된다.

이러한 문제점을 해결 가능한 기술로서, 예를 들면 이하의 문헌에 기재되어있는 바와 같은 비트선 실드 기술이 유효하다. T.Tanaka et al., A Quick Intelligent Page-Programming Architecture and a Shielded Bitline Sensing Method for 3V-only NAND Flash Memory(IEEE J.Solid-State Circuits, vol.29, no.11, pp.1366-1373, Nov. 1994). 이 비트선 실드 기술은, 페이지 판독을 행할 때 판독을 행하는 비트선을 1개 걸러 마련하고, 판독을 행하지 않은 비트선을 접지함으로써, 커패시턴스 노이즈를 감소시키는 것이 가능하다.

그러나, 상술한 NAND형 EEPROM에서는, 비트선 실드 기술에 의해, 인접하는 비트선(136) 간에 발생하는 커패시턴스 노이즈를 감소하는 것은 가능하지만, 또한 이하의 점에 대한 배려가 이루어져 있지 않았다.

(1) NAND형 EEPROM의 미세화가 진행되면, 인접하는 메모리 셀(102)의 부유 게이트 전극(전하 축적부)(122) 간의 거리가 줄어들고, 이 부유 게이트 전극(122) 간에 발생하는 커패시턴스 용량의 영향이 강해지는 경향이 있다. 도 30에 도시한 바와 같이, 동일한 메모리 셀 유닛(101) 내에서, 행 방향으로 인접하는 메모리 셀(102)의 부유 게이트 전극(122) 간에는 커패시턴스 용량  $C_{FGR}$ 이 발생한다. 또한, 도 31에 도시한 바와 같이, 열 방향으로 인접하는 메모리 셀 유닛(101)의 각각의 메모리 셀(102)의 부유 게이트 전극(122) 간에는 커패시턴스 용량  $C_{FGC}$ 이 발생한다.

여기서, 임의의 주목하는 메모리 셀(102)에 대하여 인접하는 메모리 셀(102)의 임계값 전압이 변화하면, 커패시턴스 용량  $C_{FGR}$  및  $C_{FGC}$ 에 의한 영향을 받아, 주목하는 메모리 셀(102)의 임계값 전압이 외관상 변화한다. 예를 들면, 인접하는 메모리 셀(102)의 임계값 전압이 음으로부터 양으로 시프트되면, 주목하는 메모리 셀(102)의 임계값 전압은 외관상 영향을 받아 양의 방향으로 시프트된다. 즉, 상술한 바와 같이, 기입 동작을 짝수번째의 비트선(136)에 접속된 메모리 셀(102)과 홀

수번째의 비트선(136)에 접속된 메모리 셀(102)의 2회로 나눠 행하는 경우, 처음에 데이터가 기입된 메모리 셀(102)의 임계값 전압이, 커플링 용량  $C_{FGR}$  및  $C_{FGC}$ 에 의한 영향을 받아, 마지막으로 데이터가 기입된 메모리 셀(102)의 임계값 전압에 의해, 외관상, 시프트되게 된다.

예를 들면, 짝수번째의 비트선(136)에 접속된 메모리 셀(102)에 처음에 데이터의 기입 동작이 행해지고, 임의의 주목한 메모리 셀(102)에 "0" 데이터가 기입되었다고 하자. 이 때, 인접하는, 홀수번째의 비트선(136)에 접속된 메모리 셀(102)의 임계값 전압은 음(소거 시의 임계값 전압 상태)이다. 다음에, 주목한 메모리 셀(102)의 양측에 인접하는, 홀수번째의 비트선(136)에 접속된 메모리 셀(102)에 "0" 데이터가 기입되면(임계값 전압을 음으로부터 양으로 시프트시키면), 주목한 메모리 셀(102)의 임계값 전압이 커플링 용량  $C_{FGR}$  및  $C_{FGC}$ 에 의한 영향을 받아 양의 방향으로 시프트한다.

이러한 메모리 셀(102)의 임계값 전압의 변동은, 데이터의 기입 동작 후의 임계값 전압의 변동의 원인으로 되어, NAND형 EEPROM의 오동작 등의 원인으로 된다. 또한, 인접하는 메모리 셀(102)의 부유 게이트 전극(122) 간의 용량 결합은, 미세화가 진행함에 따라서, 행렬 방향(세로 방향 및 가로 방향)뿐만 아니라, 경사 방향에서도 문제로 되어, NAND형 EEPROM의 오동작은 심각한 문제가 되어 있다.

(2) NAND형 EEPROM, AND형 EEPROM 등의 EEPROM에서는, 하나의 메모리 셀당의 기억 용량을 증가시키기 위해, 다치화 메모리 셀의 개발이 진행되고 있다. 다치화 메모리 셀은, 2개의 레벨(2치)로 나누고 있던 임계값 전압을 예를 들면 4개의 레벨(4치)로 나눠, 메모리 셀당의 기억 용량을 늘리는 기술이다. 또한, 2치를 갖는 메모리 셀에 대하여 4치를 갖는 메모리 셀은, 기억 용량이 2배로, 또한 집적도가 2배로 된다. 다치화 메모리 셀을 실현하기 위해서는, 데이터 기입 동작 후의 임계값 전압의 변동을 작게 할 필요가 있다.

그러나, 상술한 바와 같이, 메모리 셀의 미세화에 수반하여, 인접하는 메모리 셀의 부유 게이트 전극 간의 결합 용량의 영향이 강해지는 경향에 있어, 데이터 기입 동작 후의 임계값 전압의 변동을 충분히 감소할 수 없기 때문에, 다치화 메모리 셀을 실현하는 것이 어려웠다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 인접하는 메모리 셀의 전하 축적부 간의 용량 결합에 기인하는, 메모리 셀의 임계값 전압의 외관상의 변동을 감소하여, 임계값 전압의 변동을 감소할 수 있는 불휘발성 기억 회로를 구비한 반도체 장치 및 그 동작 방법을 제공하는데 있다. 또한, 본 발명의 또 다른 목적은, 서브비트선의 형상 변화에 수반하여, 비트선에 부가되는 기생 용량의 변동을 감소시켜, 오동작을 방지할 수 있는, 전기적 신뢰성에 우수한 불휘발성 기억 회로를 구비한 반도체 장치 및 그 동작 방법을 제공하는데 있다. 또한, 본 발명의 또 다른 목적은, 메모리 셀에 분할 기입에 의해 데이터를 기입하는 경우, 기입하고자 하는 메모리 셀과 동일한 워드선에 접속된 비선택 메모리 셀에 대한 기입 디스터브를 저감하여, 오기입을 방지할 수 있는 반도체 장치 및 그 동작 방법을 제공하는데 있다.

### 발명의 구성 및 작용

상기 과제를 해결하기 위해, 본 발명의 제1 특징은, 제1 방향으로 배열된 제1, 제2, 제3 및 제4 메모리 셀과, 제1 메모리 셀 위에서 제2 방향으로 연장되고 제2 메모리 셀에 접속된 제1 비트선과, 제2 메모리 셀 위에서 제2 방향으로 연장되고 제1 메모리 셀에 접속된 제2 비트선과, 제3 메모리 셀 위에서 제2 방향으로 연장되고 제3 메모리 셀에 접속된 제3 비트선과, 제4 메모리 셀 위에서 제2 방향으로 연장되고 제4 메모리 셀에 접속된 제4 비트선을 갖는 불휘발성 기억 회로를 구비한 반도체 장치로 한 것이다.

본 발명의 제2 특징은, 제1 방향으로 배열되고, 각각 제2 방향으로 연장되는 제1, 제2, 제3 및 제4 비트선과, 제1, 제2, 제3 및 제4 비트선 아래에 각각 배치되고, 제2 방향으로 복수 배열된, 메모리 셀을 갖는 메모리 셀 유닛을 구비하고, 제2 방향을 향하여  $4n$ ( $n$ 은 자연수)번째 및  $4n+1$ 번째에 배열된, 제1 비트선 아래의 메모리 셀 유닛의 메모리 셀은 제2 비트선에 접속됨과 함께, 동일 배열번째의 제2 비트선 아래의 메모리 셀 유닛의 메모리 셀은 제1 비트선에 접속되고, 제2 방향을 향하여  $4n+2$ 번째 및  $4n+3$ 번째에 배열된, 제3 비트선 아래의 메모리 셀 유닛의 메모리 셀은 제4 비트선에 접속됨과 함께, 동일 배열번째의 제4 비트선 아래의 메모리 셀 유닛의 메모리 셀은 제3 비트선에 접속된 불휘발성 기억 회로를 구비한 반도체 장치로 한 것이다.

본 발명의 제3 특징은, 제1 방향으로 배열되고, 각각 제2 방향으로 연장되는 제4 $m$ ( $m$ 은 자연수)번째, 제4 $m+1$ 번째, 제4 $m+2$ 번째, 제4 $m+3$ 번째 및 제4 $m+4$ 번째 비트선과, 상기 제4 $m$ 번째, 제4 $m+1$ 번째, 제4 $m+2$ 번째, 제4 $m+3$ 번째 및 제

4m+4번째 비트선 아래에 각각 배치되며, 제2 방향으로 복수 배열된, 메모리 셀을 갖는 메모리 셀 유닛을 구비하고, 제2 방향을 향하여 8n(n은 자연수)번째 및 8n+1번째에 배열된, 상기 제4m번째 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제4m+1번째 비트선에 접속됨과 함께, 동일 배열번째의 제4m+1번째 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제4m번째 비트선에 접속되고, 제2 방향을 향하여 8n+2번째 및 8n+3번째에 배열된, 상기 제4m+1번째 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제4m+2번째 비트선에 접속됨과 함께, 동일 배열번째의 제4m+2번째 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제4m+1번째 비트선에 접속되고, 제2 방향을 향하여 8n+4번째 및 8n+5번째에 배열된, 상기 제4m+2번째 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제4m+3번째 비트선에 접속됨과 함께, 동일 배열번째의 제4m+3번째 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제4m+2번째 비트선에 접속되고, 제2 방향을 향하여 8n+6번째 및 8n+7번째에 배열된, 상기 제4m+3번째 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제4m+4번째 비트선에 접속됨과 함께, 동일 배열번째의 제4m+4번째 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제4m+3번째 비트선에 접속된 불휘발성 기억 회로를 구비한 반도체 장치로 한 것이다.

본 발명의 제4 특징은, 제1 방향으로 배열된 제1, 제2, 제3 및 제4 메모리 셀과, 제1 메모리 셀 위에서 제2 방향으로 연장되고 제2 메모리 셀에 접속된 제1 비트선과, 제2 메모리 셀 위에서 제2 방향으로 연장되고 제1 메모리 셀에 접속된 제2 비트선과, 제3 메모리 셀 위에서 제2 방향으로 연장되고 제3 메모리 셀에 접속된 제3 비트선과, 제4 메모리 셀 위에서 제2 방향으로 연장되고 제4 메모리 셀에 접속된 제4 비트선을 갖는 불휘발성 기억 회로를 구비하고, 제1 내지 제4 메모리 셀에 데이터의 기입을 행하는 공정과, 제1 및 제3 비트선에 접속된 제2 및 제3 메모리 셀, 또는 제2 및 제4 비트선에 접속된 제1 및 제4 메모리 셀 중 적어도 어느 하나의 검증 판독을 행하는 공정을 포함한 반도체 장치의 동작 방법으로 한 것이다.

본 발명의 제5 특징은, 3차 이상의 양수의 M치의 데이터의 기입이 가능한 메모리 셀이 행렬 형상으로 복수 배열된 메모리 셀 어레이와, 메모리 셀에 접속되고, 메모리 셀 어레이 위에서 제1 방향으로 연장되고 제2 방향으로 복수 라인 배열된 워드선과, 메모리 셀에 접속되며, 메모리 셀 어레이 위에서 제2 방향으로 연장되고 제1 방향에 복수 라인 배열된 비트선과, 복수 라인의 비트선마다 각각 배치된 복수의 감지 증폭기 회로와, 복수의 감지 증폭기 회로마다 각각 배치된 래치 회로를 갖는 불휘발성 기억 회로를 구비한 반도체 장치로 한 것이다.

본 발명의 제6 특징은, 비트선 및 워드선에 접속되고, 3차 이상의 양수의 M치의 데이터의 기입이 가능한 메모리 셀이 행렬 형상으로 복수 배열된 불휘발성 기억 회로를 구비하고, 모든 메모리 셀을 초기값으로 설정하는 공정과, 데이터의 기입 횟수를 M치 11회로 분할하여, 예정값에 도달하는 횟수에서 초기값에 순차적으로 가산하도록, 선택된 메모리 셀에 데이터의 기입을 행하는 공정을 포함한 반도체 장치의 동작 방법으로 한 것이다.

다음에, 도면을 참조하여, 본 발명에 따른 불휘발성 기억 회로를 구비한 반도체 장치 및 그 동작 방법을, 본 발명의 실시예에 의해 설명한다. 이하의 도면의 기재에서, 동일하거나 유사한 부분에는 동일하거나 유사한 부호를 붙이고 있다. 단, 도면은 모식적인 것으로, 두께와 평면 치수와의 관계, 각층의 두께의 비율 등은 현실의 것과는 다른 것에 유의하여야 한다. 또한, 도면 상호간에서도 상호 치수의 관계나 비율이 다른 부분이 포함되어 있는 것은 물론이다.

#### <제1 실시예>

본 발명의 제1 실시예는, 불휘발성 기억 회로로서 NAND형 EEPROM을 구비한 반도체 장치 및 그 동작 방법을 설명하는 것이다.

#### [NAND형 EEPROM을 구비한 반도체 장치의 레이아웃 구성]

도 6에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 반도체 장치(1)는 불휘발성 기억 회로로서 NAND형 EEPROM(2)을 구비하고 있다. NAND형 EEPROM(2)은 메모리 셀 어레이(3)와, 메모리 셀 어레이(3)의 일단(도 6에서 하변)을 따라 배치된 감지 증폭기 및 기입 데이터 래치 회로(4)와, 메모리 셀 어레이(3)의 타단(도 6에서 좌변)을 따라 배치된 로우 디코더(5)와, 감지 증폭기 및 기입 데이터 래치 회로(4)에 접속된 컬럼 디코더(6)와, 컬럼 디코더(6)에 접속된 데이터 입출력 버퍼(7)와, 로우 디코더(5)에 접속된 어드레스 버퍼(8)를 적어도 구비하여 구축되어 있다.

또, 본 발명의 제1 실시예에 따른 반도체 장치(1)는 NAND형 EEPROM(2)만을 구비한 반도체 기억 장치이지만, 본 발명은 반드시 이러한 구조에 한정되지 않는다. 예를 들면, 본 발명은, 적어도 NAND형 EEPROM(2)을 구비하고, 이 NAND형 EEPROM(2)과, SRAM, DRAM, ROM 등의 다른 종류의 기억 회로, 논리 회로, 중앙 연산 처리 유닛(CPU) 등의 회로를 동일 반도체 칩 상에 집적화하도록 하여도 된다.

#### [NAND형 EEPROM의 메모리 셀 어레이의 회로 구성]



도 5에 도시한 바와 같이, NAND형 EEPROM(2) 메모리 셀 어레이(3)는, 복수의 메모리 셀 유닛(30)을 제2 방향(도면에서 상하 방향. 행 방향 또는 로우 방향) 및 제2 방향과 교차하는 제1 방향(도면에서 가로 방향. 열 방향 또는 컬럼 방향)으로 배열하여 구축되어 있다.

본 발명의 제1 실시예에서, 메모리 셀 유닛(또는 메모리 셀 유닛)(30)은, 제2 방향으로 인접하는 복수개 예를 들면 8개의 메모리 셀 M을 전기적으로 직렬로 접속함으로써 구성되어 있다. 구체적으로는, 메모리 셀 유닛(30(1))은, 합계 8개의 메모리 셀  $M_{11} \sim M_{18}$ 의 직렬 접속에 의해 구성되어 있다. 마찬가지로, 메모리 셀 유닛(30(2))은 메모리 셀  $M_{21} \sim M_{28}$ 의 직렬 접속에 의해, 메모리 셀 유닛(30(3))은 메모리 셀  $M_{31} \sim M_{38}$ 의 직렬 접속에 의해, 메모리 셀 유닛(30(4))은 메모리 셀  $M_{41} \sim M_{48}$ 의 직렬 접속에 의해 각각 구성되어 있다.

메모리 셀 M은, 부유 게이트 전극(전하 축적부) 및 컨트롤 게이트 전극을 갖는 n채널 도전형의 절연 게이트 형 전계 효과 트랜지스터(IGFET: Insulated Gate Field Effect Transistor)로 구성되고, 1 트랜지스터 구조이다. 여기서, IGFET는, MOSFET(Metal Oxide Semiconductor Field Effect Transistor), MISFET(Metal Insulator Semiconductor Field Effect Transistor) 등을 적어도 포함하는 의미로 사용된다.

그리고, 본 발명의 제1 실시예에 따른 NAND형 EEPROM(2)에서는, 제1 방향으로 배열된 메모리 셀  $M_{11}$ (또는  $M_{12} \sim M_{18}$ ),  $M_{21}$ (또는  $M_{22} \sim M_{28}$ ),  $M_{31}$ (또는  $M_{32} \sim M_{38}$ ) 및  $M_{41}$ (또는  $M_{42} \sim M_{48}$ )과, 메모리 셀  $M_{11}$  위에서 제2 방향으로 연장되고 메모리 셀  $M_{21}$ 에 접속된 비트선 BL1과, 메모리 셀  $M_{21}$  위에서 제2 방향으로 연장되고 메모리 셀  $M_{11}$ 에 접속된 비트선 BL2과, 메모리 셀  $M_{31}$  위에서 제2 방향으로 연장되고 메모리 셀  $M_{31}$ 에 접속된 비트선 BL3과, 메모리 셀  $M_{41}$  위에서 제2 방향으로 연장되고 메모리 셀  $M_{41}$ 에 접속된 비트선 BL4을 구비하여 구성되어 있다.

즉, 메모리 셀 유닛(30(1))의 도면에서 상측의 일단은 셀 선택용 트랜지스터  $S_{11}$ 을 통해서 비트선 BL2에 접속되고, 도면에서 하측의 타단은 셀 선택용 트랜지스터  $S_{21}$ 를 통해서 소스선 SL에 접속되어 있다. 메모리 셀 유닛(30(2))의 일단은 셀 선택용 트랜지스터  $S_{12}$ 를 통해서 비트선 BL1에 접속되고, 타단은 셀 선택용 트랜지스터  $S_{22}$ 를 통하여 소스선 SL에 접속되어 있다. 즉, 비트선 BL1과 메모리 셀 유닛(30(2)) 사이, 비트선 BL2과 메모리 셀 유닛(30(1)) 사이가 트위스트 형상으로 접속되어 있다. 한편, 메모리 셀 유닛(30(3))의 일단은 셀 선택용 트랜지스터  $S_{13}$ 를 통해서 비트선 BL3에 접속되고, 타단은 셀 선택용 트랜지스터  $S_{23}$ 를 통해서 소스선 SL에 접속되어 있다. 메모리 셀 유닛(30(4))의 일단은 셀 선택용 트랜지스터  $S_{14}$ 를 통해서 비트선 BL4에 접속되고, 타단은 셀 선택용 트랜지스터  $S_{24}$ 를 통해서 소스선 SL에 접속되어 있다. 즉, 비트선 BL3과 메모리 셀 유닛(30(3)) 사이, 비트선 BL4과 메모리 셀 유닛(30(4)) 사이는 스트레이트로 접속되어 있다.

비트선 BL1은, 메모리 셀 유닛(30(1)) 위, 즉 메모리 셀  $M_{11} \sim M_{18}$  위에 배치되고, 제2 방향으로 연장되어 있다. 마찬가지로, 비트선 BL2은, 메모리 셀 유닛(30(2)) 위, 즉 메모리 셀  $M_{21} \sim M_{28}$  위에 배치되고, 제2 방향으로 연장되어 있다. 비트선 BL3은, 메모리 셀 유닛(30(3)) 위, 즉 메모리 셀  $M_{31} \sim M_{38}$  위에 배치되고, 제2 방향으로 연장되어 있다. 비트선 BL4은, 메모리 셀 유닛(30(4)) 위, 즉 메모리 셀  $M_{41} \sim M_{48}$  위에 배치되고, 제2 방향으로 연장되어 있다.

워드선 WL은, 제1 방향으로 배열된 메모리 셀 M의 컨트롤 게이트 전극에 전기적으로 접속되고, 이들 메모리 셀 M 위에서 제1 방향으로 연장되고 제2 방향으로 복수개 예를 들면 8개 배열되어 있다. 구체적으로는, 워드선 WL1은, 메모리 셀 유닛(30(1)~30(4))의 메모리 셀  $M_{11} \sim M_{41}$ 의 각각에 접속되고, 이들 메모리 셀  $M_{11} \sim M_{41}$  위에서 연장되어 있다. 이하, 워드선 WL2~WL7에 대해서도 마찬가지로의 구성으로 되어 있으며, 최종단의 워드선 WL8은, 메모리 셀 유닛(30(1)~30(4))의 메모리 셀  $M_{18} \sim M_{48}$ 의 각각에 접속되고, 이들 메모리 셀  $M_{18} \sim M_{48}$  위에서 연장되어 있다.

셀 선택용 트랜지스터  $S_{11} \sim S_{14}$ 의 게이트 전극에는 셀 선택 신호선 SG1이 전기적으로 접속되어 있다. 마찬가지로, 셀 선택용 트랜지스터  $S_{21} \sim S_{24}$ 의 게이트 전극에는 셀 선택 신호선 SG2이 전기적으로 접속되어 있다. 셀 선택 신호선 SG1, SG2는 모두 워드선 WL과 마찬가지로 제1 방향으로 연장되어 있다. 또, 소스선 SL은 워드선 WL과 마찬가지로 제1 방향으로 연장되어 있다.

메모리 셀 어레이(3)에서는, 이러한 4개의 메모리 셀 유닛(30(1)~30(4)) 및 4개의 비트선 BL1~BL4을 포함하는 패턴은 반복 패턴의 기본 단위(최소 단위)이다. 이러한 기본 단위의 패턴이, 제1 방향으로 반복하여 배열되고, 제2 방향에서는 비트선 BL과 셀 선택용 트랜지스터  $S_{11} \sim S_{14}$ 와의 접속부, 소스선 SL과 셀 선택용 트랜지스터  $S_{21} \sim S_{24}$ 와의 접속부의 각 각을 중심으로 하여 선 대칭으로 반복 배열됨으로써, 메모리 셀 어레이(3)가 구축되어 있다.

#### [NAND형 EEPROM의 디바이스 구조]

NAND형 EEPROM(2)를 구비한 반도체 장치(1)는, 도 1 내지 도 4, 특히 도 3 및 도 4에 도시한 바와 같이, 반도체 기판(40)(반도체 칩)의 주면에 배치되어 있다. 반도체 기판(40)에는 예를 들면 n형 실리콘 단결정 기판이 사용되어 있다. 복수의 메모리 셀 M이 배열된 메모리 셀 어레이(3)는, 이 반도체 기판(40)의 주면부에 형성된 p형 웰 영역(41)에 배치되어 있다. 메모리 셀 M의 주위, 상세하게는 게이트 폭을 규정하는 영역에는 소자 분리 절연막(42)이 배치되어 있다. 소자 분리 절연막(42)에는 예를 들면 실리콘 산화막을 실용적으로 사용할 수 있다.

메모리 셀 M은, 채널 형성 영역으로서 사용되는 웰 영역(41)과, 제1 게이트 절연막(45)과, 제1 게이트 절연막(45) 위의 부유 게이트 전극(전하 축적부)(46)과, 부유 게이트 전극(46) 위의 제2 게이트 절연막(47)과, 제2 게이트 절연막(47) 위의 컨트롤 게이트 전극(48)과, 소스 영역 또는 드레인 영역으로서 사용되는 한쌍의 n형 반도체 영역(49)을 구비하여 구성되어 있다.

제1 게이트 절연막(45)에는, 예를 들면 실리콘 산화막, 옥시나이트라이드막 등의 단층막이나 이들의 복합막을 실용적으로 사용할 수 있다. 제2 게이트 절연막(47)에는, 예를 들면 실리콘 산화막, 실리콘 질화막, 실리콘 산화막을 중첩한 복합막을 실용적으로 사용할 수 있다. 부유 게이트 전극(46)에는, 예를 들면 실리콘 다결정막을 실용적으로 사용할 수 있다. 컨트롤 게이트 전극(48)에는, 예를 들면 실리콘 다결정막, 고용점 실리콘사이드막, 고용점 금속막의 단층막, 또는 실리콘 다결정막 위에 고용점 실리콘사이드막 혹은 고용점 금속막을 적층한 복합막을 실용적으로 사용할 수 있다.

메모리 셀 유닛(30)에서, 제2 방향(도 1 및 도 2에서 상하 방향, 도 3에서 가로 방향)에 인접하는 한쪽의 메모리 셀 M의 소스 영역 또는 드레인 영역인 반도체 영역(49)은, 다른 쪽의 메모리 셀 M의 드레인 영역 또는 소스 영역인 반도체 영역(49)과 일체적으로 형성되어 있다. 메모리 셀 M의 컨트롤 게이트 전극(48)은, 도 1 및 도 2에 도시한 바와 같이, 제1 방향으로 인접하는 다른 메모리 셀 유닛(30)의 메모리 셀 M의 컨트롤 게이트 전극(48)과 일체적으로 형성되고, 열 방향으로 연장되고 또한 행 방향으로 배열된 워드선(48WL)을 구성하도록 되어 있다.

셀 선택용 트랜지스터  $S_{11} \sim S_{14}$ 는, 채널 형성 영역으로서 사용되는 웰 영역(41)과, 채널 형성 영역 위의 게이트 절연막(51)과, 게이트 절연막(51) 위의 게이트 전극(52)과, 소스 영역 또는 드레인 영역으로서 사용되는 한쌍의 n형 반도체 영역(53)을 구비하여 구성되어 있다. 제1 방향으로 인접하는 셀 선택용 트랜지스터  $S_{11} \sim S_{14}$ 의 각각의 게이트 전극(52)은 일체적으로 형성되고, 셀 선택 신호선(52SG1)을 구성하도록 되어 있다.

마찬가지로, 셀 선택용 트랜지스터  $S_{21} \sim S_{24}$ 는, 채널 형성 영역으로서 사용되는 웰 영역(41)과, 채널 형성 영역 위의 게이트 절연막(55)과, 게이트 절연막(55) 위의 게이트 전극(56)과, 소스 영역 또는 드레인 영역으로서 사용되는 한쌍의 n형 반도체 영역(57)을 구비하여 구성되어 있다. 제1 방향으로 인접하는 셀 선택용 트랜지스터  $S_{21} \sim S_{24}$ 의 각각의 게이트 전극(56)은 일체적으로 형성되고, 셀 선택 신호선(56SG2)을 구성하도록 되어 있다.

비트선(66)은, 층간 절연막(64) 위에 제2층째의 배선으로서 형성되고, 층간 절연막(60) 위에 제1층째의 배선으로서 형성된 서브비트선(63)을 통해서 셀 선택용 트랜지스터  $S_1$ 의 반도체 영역(53)에 접속되어 있다. 비트선(66)과 서브비트선(63) 사이는, 층간 절연막(64)에 형성된 접속 구멍(65)을 통해서 접속되어 있다. 서브비트선(63)과 반도체 영역(53)과의 사이는, 층간 절연막(60)에 형성된 접속 구멍(61) 내에 매립된 접속 구멍 배선(플러그)(62)를 통해 접속되어 있다. 비트선(66), 서브비트선(63)에는, 예를 들면 알루미늄막, 알루미늄 합금(Al-Si, Al-Cu, Al-Cu-Si 등)막, 구리막 등을 실용적으로 사용할 수 있다.

반드시 여기서 설명하는 바와 같은 형상으로 한정되는 것은 아니지만, 비트선(66(BL1))과 메모리 셀 유닛(30(2)) 사이의 접속에는, 도 1 및 도 2에 도시한 바와 같이, 메모리 셀 유닛(30(1)) 위에서 메모리 셀 유닛(30(2)) 위로 제1 방향으로 연장되고, 메모리 셀 유닛(30(2)) 위에서 제2 방향으로 절곡되는, 평면 역L자 형상의 서브비트선(63(1-2))이 사용되어 있다. 비트선(66(BL2))과 메모리 셀 유닛(30(1)) 사이의 접속에는, 메모리 셀 유닛(30(2)) 위로부터 메모리 셀 유닛(30(1)) 위로

제1 방향으로 연장되고, 메모리 셀 유닛(30(1)) 위에서 제2 방향으로 절곡되는, 평면 L자 형상의 서브비트선(63(2-1))이 사용되고 있다. 한편, 비트선(66(BL3))과 메모리 셀 유닛(30(3)) 사이의 접속에는, 메모리 셀 유닛(30(3)) 위에서 제2 방향으로 연장되는, 평면 I형상의 서브비트선(63(3))이 사용되고 있다. 마찬가지로, 비트선(66(BL4))과 메모리 셀 유닛(30(4)) 사이의 접속에는, 메모리 셀 유닛(30(4)) 위에서 제2 방향으로 연장되는, 평면 I형상의 서브비트선(63(4))이 사용되고 있다. 이들 서브비트선(63)은, 비트선(66)과 셀 선택용 트랜지스터  $S_1$ 의 반도체 영역(53) 사이를 전기적으로 접속함과 함께, 이 접속부의 레이아웃 물을 완화하고, 또한 상술한 바와 같이 트위스트 형상의 접속 구조를 실현할 수 있다. 또한, 서브비트선(63)은, 소스선(63SL)과 동일 배선층에 배치되어 있으므로, 특히 제조 공정을 증가하지 않고, 단지 배선층의 마스크 패턴을 변경하여 용이하게 형성할 수 있다.

소스선(63SL)은, 층간 절연막(60)에 형성된 접속 구멍(61) 내에 매립된 접속 구멍 배선(62)을 통해서 셀 선택용 트랜지스터  $S_2$ 의 반도체 영역(57)에 접속되어 있다.

워드선(48WL(48WL1~48WL8))은, 제1 방향으로 인접하는 메모리 셀 유닛(30(1)~30(4))의 각각의 메모리 셀 M의 컨트롤 게이트 전극(48)을 일체로 형성함으로써 구성되어 있다.

#### [NAND형 EEPROM의 동작]

다음에, NAND형 EEPROM(2) 동작을, 도 1 내지 도 5 및 도 7을 참조하여 설명한다.

(1) 먼저 처음에, NAND형 EEPROM(2) 메모리 셀 어레이(3)에서, 데이터의 소거 동작이 행해진다. 소거 동작은, 선택된 메모리 블록 전체의 메모리 셀 M의 데이터를 일괄 소거하는 것이다. 이 소거 동작에서는, 컨트롤 게이트 전극(48)(워드선(48WL1~48WL8))에 0V가 인가되고, 웰 영역(41)에 예를 들면 20V의 고전위  $V_{PPW}$ 가 인가된다. 이러한 소거 동작 전압을 인가함으로써, 제1 게이트 절연막(45)에 FN 터널 전류가 흘러, 부유 게이트 전극(전하 축적부)(46)으로부터 웰 영역(41)으로 전자가 방출된다. 전자의 방출에 의해, 모든 메모리 셀 M( $M_{11} \sim M_{18}$ ,  $M_{21} \sim M_{28}$ ,  $M_{31} \sim M_{38}$ ,  $M_{41} \sim M_{48}$ )의 임계 전압이 음으로 된다.

(2) 다음에, 데이터의 기입 동작이 행해진다(70S). 먼저 1개의 워드선(48WL)에 접속된 메모리 셀 M에서, 짝수번째의 비트선(66(BL2, BL4))에 접속된 메모리 셀 M(예를 들면  $M_{11}$ ,  $M_{41}$ )과, 홀수번째의 비트선(66(BL1, BL3))에 접속된 메모리 셀 M(예를 들면  $M_{21}$ ,  $M_{31}$ )의 2개로 나눠, 기입 동작이 행해진다. 여기서, 비트선(66)을 짝수번째와 홀수번째로 나눠 기입 동작을 행하는 이유는, 인접하는 비트선(66) 사이의 커플링 노이즈에 기인하는 간섭을 감소시켜, 오판독 동작의 발생을 방지하기 위해서이다.

예를 들면, 선택된 워드선(48WL)에 접속되고, 짝수번째의 비트선(66)(BL2 및 BL4)에 접속된 복수의 메모리 셀 M(예를 들면  $M_{11}$ ,  $M_{41}$ )에 대하여 동시에 기입 동작이 행해진다.

메모리 셀 M에 "0" 데이터를 기입하는 경우, 즉 메모리 셀 M의 임계값 전압을 양으로 시프트시키는 경우, 선택된 비트선(66)에 0V가 인가된다. 메모리 셀 M에 "1" 데이터를 기입하는 경우, 즉 메모리 셀 M의 임계값 전압을 시프트시키지 않는 경우, 선택된 비트선(66)에는 기입 전압  $V_{CC}$ , 예를 들면 3V가 인가된다. 여기서, 짝수번째의 비트선(66)에 접속된 메모리 셀 M에 대하여 데이터를 기입하는 경우, 홀수번째의 비트선(66)에는 기입 전압  $V_{CC}$ 이 인가된다. 그리고, 셀 선택용 트랜지스터  $S_{11} \sim S_{14}$ 에 접속된 셀 선택 신호선(52SG1)에 기입 전압  $V_{CC}$ , 비선택의 워드선(48WL)에 기입 전압  $V_{PASS}$  예를 들면 10V가 인가된다. 또한, 선택된 워드선(48WL)에 고전위의 기입 전압  $V_{PPW}$  예를 들면 20V가 펄스에 의해 인가된다(71S).

"0" 데이터를 기입하는 메모리 셀 M에서는, 드레인 영역(반도체 영역(49)), 채널 형성 영역, 소스 영역(반도체 영역(49))에 0V가 인가되고, 채널 형성 영역과 컨트롤 게이트 전극(48) 사이에 고전압이 인가되기 때문에, 제1 게이트 절연막(45)에 FN 터널 전류가 흘러, 전자가 부유 게이트 전극(46)에 주입된다. 즉, 메모리 셀 M의 임계값 전압을 양으로 시프트시킬 수 있다.

또한, "1" 데이터를 기입하는 메모리 셀 M에서는, 셀 선택용 트랜지스터  $S_{11} \sim S_{14}$ 가 컷오프 상태로 되고, 채널 형성 영역의 전위는 비선택의 컨트롤 게이트 전극(48)에 인가된 전위  $V_{PASS}$  사이의 용량 커플링에 의해 상승하여, 채널 형성 영역과 컨트롤 게이트 전극(48) 사이에 발생하는 전계를 완화할 수 있다. 즉, 채널 형성 영역으로부터 부유 게이트 전극(46)으로의 전자의 주입이 금지되기 때문에, 메모리 셀 M의 임계값 전압은 시프트되지 않는다.

또한, 짝수번째의 비트선(66)(BL2, BL4)에 접속된 메모리 셀 M에 대하여 데이터 기입 동작을 행하고 있을 때에, 홀수번째의 비트선(66)(BL1, BL3)에 접속된 메모리 셀 M의 임계값 전압은 변동하지 않는다.

(3) 선택된 워드선(48WL)에 고전위의 기입 전압  $V_{PPW}$ 가 인가된 후, "0" 데이터가 기입된 메모리 셀 M의 임계값 전압이 소정의 값까지 도달하였는지의 여부를 검사하는 검증 판독 동작을 행한다(72S). 검증 판독 동작에서는, 짝수번째의 비트선(66)에 판독 전압  $V_{CC}$ , 예를 들면 3V가 인가되고, 홀수번째의 비트선(66)에 0V가 인가되고, 선택된 메모리 셀 M에 접속된 컨트롤 게이트 전극(48)(워드선(48WL))에 0V가 인가되며, 다른 워드선(48WL) 및 셀 선택 신호선(52SG1)에 판독 전압  $V_{CC}$ 이 인가된다. 그리고, 이러한 검증 판독 동작 전압이 인가된 상태에서, 비트선(66)으로부터 메모리 셀 M을 통해 전류가 흐르는지의 확인이 행해진다. 전류가 흐르는 경우에는, 선택된 메모리 셀 M의 임계값 전압이 충분히 높아져 있지 않는, 즉 기입 동작이 완료되지 않게 된다. 이러한 경우에는, 재차, 데이터의 기입 동작이 반복하여 행해진다.

또한, 전류가 흐르지 않는 경우에는 기입 동작이 완료되어 있으므로, 비트선(66)의 전위 0V를 전위  $V_{CC}$ 로 전환하여, 이후의 데이터의 기입을 금지하고, 메모리 셀 M의 임계값 전압의 변동의 방지가 행해진다.

이하, 마찬가지로의 수순에서, 선택된 워드선(48WL)에 접속되고, 짝수번째의 비트선(66)에 접속된 모든 메모리 셀 M의 데이터의 기입이 완료될 때까지 기입 동작이 반복하여 행해진다(73S).

(4) 또한, 짝수번째의 비트선(66)에 접속된 메모리 셀 M의 데이터의 기입 동작과 마찬가지로의 수순에 의해, 홀수번째의 비트선(66)에 접속된 메모리 셀 M의 데이터의 기입 동작이 행해진다(75S 및 76S).

(5) 짝수번째의 비트선(66)에 접속된 메모리 셀 M에 기입된 데이터의 검증 판독 동작과 마찬가지로의 수순에 의해, 홀수번째의 비트선(66)에 접속된 메모리 셀 M에 기입된 데이터 검증 판독 동작을 행한다(77S). 검증 판독 동작은 모든 메모리 셀 M의 데이터의 기입이 완료될 때까지 반복하여 행해진다(78S).

(6) 그리고, 데이터의 판독 동작이 행해진다. 판독 동작은 검증 판독 동작과 마찬가지로 행해진다. 즉, 판독 동작에서는, 비트선(66)에 판독 전압  $V_{CC}$ , 예를 들면 3V가 인가되고, 선택된 메모리 셀 M에 접속된 컨트롤러 게이트 전극(48)(워드선(48WL))에 0V가 인가되며, 선택되어 있지 않은 워드선(48WL) 및 셀 선택 신호선(52SG1)에 판독 전압  $V_{CC}$ 이 인가된다. 그리고, 이러한 판독 동작 전압이 인가된 상태에서, 비트선(66)으로부터 메모리 셀 M을 통해 전류가 흐르는지의 확인이 행해진다. 판독 동작은, 기입 동작과 마찬가지로, 짝수번째의 비트선(66)(BL2, BL4)에 접속된 메모리 셀 M(예를 들면  $M_{11}$ ,  $M_{14}$ )의 판독 동작과, 홀수번째의 비트선(66)(BL1, BL3)에 접속된 메모리 셀 M(예를 들면  $M_{21}$ ,  $M_{34}$ ) 판독 동작의 2회의 동작으로 나눠 행해진다. 짝수번째의 비트선(66)에 접속된 메모리 셀 M의 판독 동작을 행하는 경우, 홀수번째의 비트선(66)에는 0V가 인가된다. 반대로, 홀수번째의 비트선(66)에 접속된 메모리 셀 M의 판독 동작을 행하는 경우, 짝수번째의 비트선(66)에는 0V가 인가된다.

이와 같이 구성되는 본 발명의 제1 실시예에 따른 NAND형 EEPROM(2)을 구비한 반도체 장치(1) 및 그 동작 방법에서는, 홀수번째의 비트선(66)(BL1)이 메모리 셀 유닛(30(2))의 메모리 셀  $M_{21} \sim M_{28}$ 에 접속되고, 홀수번째의 비트선(66)(BL3)이 메모리 셀 유닛(30(3))의 메모리 셀  $M_{31} \sim M_{38}$ 에 접속되어 있으므로, 검증 판독 동작 및 통상의 판독 동작이 이들 메모리 셀  $M_{21} \sim M_{28}$  및  $M_{31} \sim M_{38}$ 에 대하여 동시에 행해진다. 마찬가지로, 짝수번째의 비트선(66)(BL2)이 메모리 셀 유닛(30(1))의 메모리 셀  $M_{11} \sim M_{18}$ 에 접속되고, 짝수번째의 비트선(66)(BL4)이 메모리 셀 유닛(30(4))의 메모리 셀  $M_{41} \sim M_{48}$ 에 접속되어 있으므로, 검증 판독 동작 및 통상의 판독 동작이 이들 메모리 셀  $M_{11} \sim M_{18}$  및  $M_{41} \sim M_{48}$ 에 대하여 동시에 행해진다. 이 결과, 인접하는 메모리 셀 M의 부유 게이트 전극(전하 축적부)(46) 사이의 커플링 노이즈에 의한 임계값 전압의 변동을 감소할 수 있다.

예를 들면, 상술한 도 24에 도시한 NAND형 EEPROM에서는, 검증 판독 동작 또는 통상의 판독 동작에서, 주목하는 메모리 셀(102)에 인접하는 다른 메모리 셀(102)의 부유 게이트 전극(전하 축적부)(122)에 축적된 전하량이 다른 것에 의해서 임계값 전압에 변동이 생긴다. 즉, 비트선(136)이 1개 걸러 마련되는 배열에 대응하는 메모리 셀 (102)마다 기입 동작을 행하기 때문에, 소자 분리 영역(111)을 사이에 두고 양측에 인접하는 메모리 셀(102)의 영향을 받는다. 구체적으로는, 도 24에 도시한 짝수번째의 메모리 셀(102(M<sub>22</sub>))에 먼저 데이터를 기입하는 경우, 제2번째의 메모리 셀 유닛(101)과 제4번째의 메모리 셀 유닛(101)에 대하여 동시에 기입 동작이 행해진다. 메모리 셀 M<sub>22</sub>에 주목하면, 그보다도 뒤로부터 기입되는 메모리 셀 M<sub>12</sub> 및 메모리 셀 M<sub>32</sub>의 영향을 받게 된다. 또한, 경사 방향으로 인접하는 메모리 셀 M<sub>11</sub>, M<sub>13</sub>, M<sub>31</sub>, M<sub>33</sub>의 영향도 받는다.

본 발명의 제1 실시예에 따른 NAND형 EEPROM(2)을 구비한 반도체 장치(1) 및 그 동작 방법에서는, 도 5에 도시한 바와 같이, 메모리 셀 M<sub>22</sub>에 데이터를 기입하는 경우에는, 홀수번째의 비트선(66(BL1, BL3))에 접속된 제2번째의 메모리 셀 유닛(30(2)) 및 제3번째의 메모리 셀 유닛(30(3))에 대하여 동시에 기입 동작이 행해진다. 즉, 주목하는 메모리 셀 M<sub>22</sub>과 이 메모리 셀 M<sub>22</sub>에 인접하는 메모리 셀 M<sub>32</sub>에도 동시에 기입 동작이 행해진다. 따라서, 검증 판독 동작 시 및 통상의 판독 동작 시에서, 메모리 셀 M<sub>22</sub>은, 제1 방향의 한쪽에 인접하는 메모리 셀 M<sub>32</sub>의 영향을 거의 받지 않게 되어, 제1 방향의 다른 쪽에 인접하는 메모리 셀 M<sub>12</sub>의 영향만으로 된다. 즉, 메모리 셀 M<sub>22</sub>의 커플링 노이즈의 영향을 감소할 수 있기 때문에, 메모리 셀 M<sub>22</sub>의 임계값 전압의 외관상 변동을 억제할 수 있어, 임계값 전압의 변동을 감소할 수 있다. 또한, NAND형 EEPROM(2)의 오판독 동작을 없앨 수 있다.

또한, 본 발명의 제1 실시예에 따른 NAND형 EEPROM(2)의 동작 방법에서, 검증 판독 동작은, 짝수번째의 비트선(66(BL2, BL4))에 접속된 메모리 셀 M만, 또는 홀수번째의 비트선(66(BL1, BL3))에 접속된 메모리 셀 M만, 행하도록 하여도 된다. 또한, 검증 판독 동작에서, 짝수번째의 비트선(66(BL2, BL4))에 접속된 메모리 셀 M과, 홀수번째의 비트선(66(BL1, BL3))에 접속된 메모리 셀 M과의 판독 순서는 특별히 규정되는 것이 아니라, 전자의 메모리 셀 M의 검증 판독 동작을 행한 후에 후자의 메모리 셀 M의 검증 판독 동작을 행하여도 되고, 또한 그 반대이어도 된다.

#### [반도체 메모리 시스템의 구성]

상술한 NAND형 EEPROM(불휘발성 기억 회로)(2)를 구비한 반도체 장치(1)는 반도체 메모리 시스템을 구축할 수 있다. 여기서는, 반도체 메모리 시스템으로서 메모리 스틱을 예로 들어 설명한다.

도 6의 (b)에 도시한 바와 같이, 반도체 메모리 시스템(200)은 NAND형 EEPROM(2)을 구비한 반도체 장치(1)를 기밀 밀봉한 반도체 패키지(201)와, 컨트롤러(202)를 적어도 구비하고 있다.

NAND형 EEPROM(2)에는 예를 들면 플래시 NAND형 EEPROM을 실용적으로 사용할 수 있다. 반도체 패키지(201)에는, 고가이지만 신뢰성이 높은 세라믹스 패키지, 또는 얇가의 수지 패키지를 실용적으로 사용할 수 있다. 참조 부호는 붙이지 않았지만, 반도체 패키지(201)의 외주에는 전원 전압의 공급, 기입 동작이나 판독 동작의 제어 신호의 입력, 데이터의 입출력 등을 행하는 복수개의 리드가 배치되어 있다.

컨트롤러(202)는 직렬 병렬/병렬 직렬 인터페이스(202A), 레지스터(202B), 페이지 버퍼(202C), 속성(attribute) ROM(202D), OSC 컨트롤러(202E), 플래시 인터페이스 시퀀서(202F)를 구비하고 있다. 컨트롤러(202)에는 반도체 메모리 시스템(200)의 외부로부터 전원 전압이 공급됨과 함께, 기입 동작이나 판독 동작의 제어 신호가 입력되고, 또한 데이터의 입출력이 행해진다.

또한, 본 발명의 제1 실시예에 따른 반도체 메모리 시스템은 메모리 스틱에 한정되는 것은 아니다. 예를 들면, 반도체 메모리 시스템은 퍼스널 컴퓨터나 전자 기기에 내장되는 보드(예를 들면, 마더 보드, 도터 보드, 베이비 보드, 메모리 보드, 로직 보드 등), 또는 IC 카드이어도 된다.

#### <제2 실시예>

본 발명의 제2 실시예는, 본 발명의 제 1 실시예에 따른 반도체 장치(1) 및 그 동작 방법에서, 기입 동작 방식을 바꾼 예를 설명하는 것이다.

## [반도체 장치의 디바이스 구조]

본 발명의 제2 실시예에 따른 NAND형 EEPROM(2)을 구비한 반도체 장치(1)의 기본적인 구조는, 본 발명의 제1 실시예에 따른 NAND형 EEPROM(2)을 구비한 반도체 장치(1)와 동일하고, 특별히 도시하지 않았지만, 중간 전압  $V_m$ 의 전원 발생 회로를 구비하고 있다. 또, 이 전원 발생 회로는, 반드시 반도체 장치(1)에 내장할 필요는 없고, 외부 전원 발생 회로로부터 반도체 장치(1)에 공급하도록 하여도 된다.

## [NAND형 EEPROM의 동작]

다음에, NAND형 EEPROM(2)의 동작을, 상술한 도 1 내지 도 5 및 도 7을 참조하여 설명한다.

(1) 본 발명의 제1 실시예에 따른 NAND형 EEPROM(2)의 동작 방법과 마찬가지로, 먼저 처음에, NAND형 EEPROM(2) 메모리 셀 어레이(3)에서, 데이터의 소거 동작이 행해진다.

(2) 다음에, 데이터의 기입 동작이 행해진다(70S). 먼저 1개의 워드선(48WL)에 접속된 메모리 셀 M에서, 짝수번째의 비트선(66(BL2, BL4))에 접속된 메모리 셀 M(예를 들면  $M_{11}$ ,  $M_{41}$ )과, 홀수번째의 비트선(66(BL1, BL3))에 접속된 메모리 셀 M(예를 들면  $M_{21}$ ,  $M_{31}$ )의 2개로 나뉘, 기입 동작이 행해진다. 그 이유는 상술한 바와 마찬가지이다.

예를 들면, 선택된 워드선(48WL)에 접속되고, 짝수번째의 비트선(66(BL2, BL4))에 접속된 복수의 메모리 셀 M(예를 들면  $M_{11}$ ,  $M_{41}$ )에 대하여 동시에 기입 동작이 행해진다.

메모리 셀 M에 "0" 데이터를 기입하는 경우, 즉 메모리 셀 M의 임계값 전압을 양으로 시프트시키는 경우, 선택된 비트선(66)에 0V가 인가된다. 메모리 셀 M에 "1" 데이터를 기입하는 경우, 즉 메모리 셀 M의 임계 전압을 시프트시키지 않는 경우, 선택된 비트선(66)에는 중간 전압  $V_m$ , 예를 들면 8V가 인가된다. 여기서, 중간 전압  $V_m$ 은, 상술한 바와 같이 반도체 장치(1)에 내장된 전원 발생 회로 또는 외부 전원 발생 회로로부터 공급된다.

짝수번째의 비트선(66)에 접속된 메모리 셀 M에 대하여 데이터를 기입하는 경우, 홀수번째의 비트선(66)에는 중간 전압  $V_m$ 이 인가된다. 그리고, 셀 선택용 트랜지스터  $S_{11} \sim S_{14}$ 에 접속된 셀 선택 신호선(52SG1)에 중간 전압  $V_m$ , 비선택의 워드선(48WL)에 중간 전압  $V_m$ 이 인가된다. 또한, 선택된 워드선(48WL)에 고전위의 기입 전압  $V_{PPW}$ , 예를 들면 20V가 펄스에 의해 인가된다(71S).

"0" 데이터를 기입하는 메모리 셀 M에서는, 드레인 영역(반도체 영역(49)), 채널 형성 영역, 소스 영역(반도체 영역(49))에 0V가 인가되고, 채널 형성 영역과 컨트롤 게이트 전극(48) 사이에 고전압이 인가되기 때문에, 제1 게이트 절연막(45)에 FN 터널 전류가 흘러, 전자가 부유 게이트 전극(46)에 주입된다. 즉, 메모리 셀 M의 임계값 전압을 양으로 시프트시킬 수 있다.

또한, "1" 데이터를 기입하는 메모리 셀 M에서는, 드레인 영역(반도체 영역(49)), 채널 형성 영역, 소스 영역(반도체 영역(49))에 중간 전압  $V_m$ 이 인가되고, 채널 형성 영역과 컨트롤 게이트 전극(48) 사이의 전위차가 "0" 데이터를 기입하는 메모리 셀 M에 비하여 작아지므로, 채널 형성 영역으로부터 부유 게이트 전극(46)으로의 전자의 주입이 금지되어, 메모리 셀 M의 임계값 전압은 시프트하지 않는다.

또한, 짝수번째의 비트선(66(BL2, BL4))에 접속된 메모리 셀 M에 대하여 데이터 기입 동작을 행하고 있을 때에, 홀수번째의 비트선(66(BL1, BL3))에 접속된 메모리 셀 M의 임계값 전압은 변동하지 않는다.

(3) 또한, 짝수번째의 비트선(66)에 접속된 메모리 셀 M의 데이터의 기입 동작과 마찬가지로의 수순에 의해, 홀수번째의 비트선(66)에 접속된 메모리 셀 M의 데이터의 기입 동작이 행해진다.

(4) 그리고, 본 발명의 제1 실시예에 따른 NAND형 EEPROM(2)의 동작과 마찬가지로, 검증 판독 동작을 행한다(72S). 검증 판독 동작은, 데이터의 기입 동작이 완료될 때까지 반복하여 행해진다.

(5) 본 발명의 제1 실시예에 따른 NAND형 EEPROM(2)의 동작과 마찬가지로, 데이터의 판독 동작이 행해진다.

이와 같이 구성되는 본 발명의 제2 실시예에 따른 NAND형 EEPROM(2)을 구비한 반도체 장치(1) 및 그 동작 방법에서는, 기입 동작 중에 중간 전위  $V_m$ 를 사용하는 것이 다르지만, 기본적으로는 본 발명의 제1 실시예에 따른 NAND형 EEPROM(2)을 구비한 반도체 장치(1) 및 그 동작 방법에 의해 얻어지는 효과와 마찬가지로의 효과를 얻을 수 있다.

### <제3 실시예>

본 발명의 제3 실시예는, 대용량 메모리로서의 AND형 EEPROM을 구비한 반도체 장치 및 그 동작 방법을 설명하는 것이다.

#### [AND형 EEPROM의 메모리 셀 어레이의 회로 구성]

본 발명의 제3 실시예에 따른 반도체 장치(1)에는, 도 8에 도시한 바와 같은 AND형 EEPROM을 구비하고 있다. 이 AND형 EEPROM의 메모리 셀 어레이(3)는, 복수의 메모리 셀 유닛(31)을 제1 방향 및 제2 방향으로 배열하여 구축되어 있다.

본 발명의 제3 실시예에서, 메모리 셀 유닛(31)은, 제2 방향으로 인접하는 복수개 예를 들면 4개의 메모리 셀 M을 전기적으로 병렬로 접속함으로써 구성되어 있다. 구체적으로는, 메모리 셀 유닛(31(1))은, 합계 4개의 메모리 셀  $M_{11} \sim M_{14}$ 의 병렬 접속에 의해 구성되어 있다. 마찬가지로, 메모리 셀 유닛(31(2))은 메모리 셀  $M_{21} \sim M_{24}$ 의 병렬 접속에 의해, 메모리 셀 유닛(31(3))은 메모리 셀  $M_{31} \sim M_{34}$ 의 병렬 접속에 의해, 메모리 셀 유닛(31(4))은 메모리 셀  $M_{41} \sim M_{44}$ 의 병렬 접속에 의해 각각 구성되어 있다.

메모리 셀 M은, 본 발명의 제1 실시예에 따른 NAND형 EEPROM(2)의 메모리 셀 M과 마찬가지로, 부유 게이트 전극(전하 축적부) 및 컨트롤 게이트 전극을 갖는 n채널 도전형 IGFET으로 구성되고, 1 트랜지스터 구조이다.

그리고, 본 발명의 제3 실시예에 따른 AND형 EEPROM에서는, 제1 방향으로 배열된 메모리 셀  $M_{11}$ (또는  $M_{12} \sim M_{14}$ ),  $M_{21}$ (또는  $M_{22} \sim M_{24}$ ),  $M_{31}$ (또는  $M_{32} \sim M_{34}$ ) 및  $M_{41}$ (또는  $M_{42} \sim M_{44}$ )과, 메모리 셀  $M_{11}$  위에서 제2 방향으로 연장되고 메모리 셀  $M_{21}$ 에 접속된 비트선 BL1과, 메모리 셀  $M_{21}$  위에서 제2 방향으로 연장되고 메모리 셀  $M_{11}$ 에 접속된 비트선 BL2과, 메모리 셀  $M_{31}$  위에서 제2 방향으로 연장되고 메모리 셀  $M_{31}$ 에 접속된 비트선 BL3과, 메모리 셀  $M_{41}$  위에서 제2 방향으로 연장되고 메모리 셀  $M_{41}$ 에 접속된 비트선 BL4을 구비하여 구성되어 있다.

즉, 메모리 셀 유닛(31(1))의 일단은 셀 선택용 트랜지스터  $S_{11}$ 을 통해서 비트선 BL2에 접속되고, 타단은 셀 선택용 트랜지스터  $S_{12}$ 를 통해서 소스선 SL에 접속되어 있다. 메모리 셀 유닛(31(2))의 일단은 셀 선택용 트랜지스터  $S_{21}$ 를 통해서 비트선 BL1에 접속되고, 타단은 셀 선택용 트랜지스터  $S_{22}$ 를 통해서 소스선 SL에 접속되어 있다. 즉, 비트선 BL1과 메모리 셀 유닛(31(2)) 사이, 비트선 BL2과 메모리 셀 유닛(31(1)) 사이가 트위스트 형상으로 접속되어 있다. 한편, 메모리 셀 유닛(31(3))의 일단은 셀 선택용 트랜지스터  $S_{31}$ 를 통해서 비트선 BL3에 접속되고, 타단은 셀 선택용 트랜지스터  $S_{32}$ 를 통해서 소스선 SL에 접속되어 있다. 메모리 셀 유닛(31(4))의 일단은 셀 선택용 트랜지스터  $S_{41}$ 를 통해서 비트선 BL4에 접속되고, 타단은 셀 선택용 트랜지스터  $S_{42}$ 를 통해서 소스선 SL에 접속되어 있다. 즉, 비트선 BL3과 메모리 셀 유닛(31(3)) 사이, 비트선 BL4과 메모리 셀 유닛(31(4)) 사이는 스트레이트로 접속되어 있다.

비트선 BL1은, 메모리 셀 유닛(31(1))에 배치되고, 제2 방향으로 연장되어 있다. 마찬가지로, 비트선 BL2은 메모리 셀 유닛(31(2)) 위에 배치되고, 제2 방향으로 연장되어 있다. 비트선 BL3은 메모리 셀 유닛(31(3)) 위에 배치되고, 제2 방향으로 연장되어 있다. 비트선 BL4은 메모리 셀 유닛(31(4)) 위에 배치되고, 제2 방향으로 연장되어 있다.

워드선 WL은, 제1 방향으로 배열된 메모리 셀 M의 컨트롤 게이트 전극에 전기적으로 접속되고, 이들 메모리 셀 M 위에서 제1 방향으로 연장되고, 제2 방향으로 복수개 예를 들면 4개 배열되어 있다.

셀 선택용 트랜지스터  $S_{11} \sim S_{14}$ 의 게이트 전극에는 셀 선택 신호선 SG1이 전기적으로 접속되어 있다. 마찬가지로, 셀 선택용 트랜지스터  $S_{21} \sim S_{24}$ 의 게이트 전극에는 셀 선택 신호선 SG2이 전기적으로 접속되어 있다. 셀 선택 신호선 SG1, SG2은 모두 워드선 WL과 마찬가지로 제1 방향으로 연장되어 있다. 또, 소스선 SL은 워드선 WL과 마찬가지로 제1 방향으로 연장되어 있다.

메모리 셀 어레이(3)에서는, 이러한 4개의 메모리 셀 유닛(31(1)~31(4)) 및 4개의 비트선 BL1~BL4을 포함한 패턴은 반복 패턴의 기본 단위(최소 단위)이다. 이러한 기본 단위의 패턴이, 제1 방향으로 반복 배열되고, 제2 방향에서는 비트선 BL과 셀 선택용 트랜지스터  $S_{11} \sim S_{14}$ 와의 접속부, 소스선 SL과 셀 선택용 트랜지스터  $S_{21} \sim S_{24}$ 와의 접속부의 각각을 중심으로 하여 선 대칭으로 반복 배열됨으로써, 메모리 셀 어레이(3)가 구축되어 있다.

또, 본 발명의 제3 실시예에 따른 AND형 EEPROM의 동작은, 본 발명의 제1 실시예에 따른 NAND형 EEPROM(2) 동작과 기본적으로는 동일하기 때문에, 여기서의 설명은 생략한다.

이와 같이 구성되는 본 발명의 제3 실시예에 따른 AND형 EEPROM을 구비한 반도체 장치(1) 및 그 동작 방법에서는, 본 발명의 제1 실시예에 따른 NAND형 EEPROM(2)을 구비한 반도체 장치(1) 및 그 동작 방법에 의해 얻어지는 효과와 동등한 효과를 얻을 수 있다.

#### <제4 실시예>

본 발명의 제4 실시예는, 바이트 단위 또는 페이지 단위의 데이터 재기입, 데이터의 판독 동작 속도의 고속화 등을 간이하게 실현 가능한, 3 트랜지스터 구조의 NAND형 EEPROM을 구비한 반도체 장치 및 그 동작 방법을 설명하는 것이다.

#### [3 TrNAND형 EEPROM의 메모리 셀 어레이의 회로 구성]

본 발명의 제4 실시예에 따른 반도체 장치(1)에는, 도 9에 도시한 바와 같은 3 트랜지스터 구조의 NAND형 EEPROM을 구비하고 있다. 이 NAND형 EEPROM의 메모리 셀 어레이(3)는 복수의 메모리 셀 유닛(32)을 제1 방향 및 제2 방향으로 배열하여 구축되어 있다.

이 메모리 셀 유닛(32)은, 1개의 메모리 셀 M과, 그 양측에 직렬로 접속된 2개의 셀 선택용 트랜지스터  $S_1$  및  $S_2$ 를 구비하여 구성되어 있다. 이 구성 이외 및 NAND형 EEPROM의 동작은, 기본적으로 본 발명의 제1 실시예에 따른 NAND형 EEPROM(2) 구성 및 동작과 동일하기 때문에, 여기서의 설명은 생략한다.

이와 같이 구성되는 본 발명의 제4 실시예에 따른 3 트랜지스터 구조의 NAND형 EEPROM을 구비한 반도체 장치(1) 및 그 동작 방법에서는, 본 발명의 제1 실시예에 따른 NAND형 EEPROM(2)을 구비한 반도체 장치(1) 및 그 동작 방법에 의해 얻어지는 효과와 동등한 효과를 얻을 수 있다.

#### <제5 실시예>

본 발명의 제5 실시예는, 본 발명의 제1 실시예에 따른 불휘발성 기억 회로로서의 NAND형 EEPROM에서, 비트선에 부가되는 기생 용량을 균일화한 예를 설명하는 것이다.

#### [메모리 셀 어레이의 레이아웃 구성]

본 발명의 제5 실시예에 따른 반도체 장치(1)는, 본 발명의 제1 실시예에 따른 반도체 장치(1)의 NAND형 EEPROM(2)과 기본적으로는 동등한 NAND형 EEPROM(2)을 구비하고 있고, 도 10(회로도) 및 도 11(평면도)에 도시한 바와 같이 비트선에 부가되는 기생 용량을 더욱 균일화하도록 구성되어 있다. 즉, 본 발명의 제5 실시예에 따른 반도체 장치(1)는, 제1 방향(도면에서 좌우 방향)으로 배열되고, 각각 메모리 셀 M을 갖는 제1, 제2, 제3 및 제4 메모리 셀 유닛(30(1)~30(4))과, 제1 방향으로 배열되고, 각각 메모리 셀 M을 갖는 제5, 제6, 제7 및 제8 메모리 셀 유닛(30(5)~30(8))과, 제1 메모리 셀 유닛(30(1)) 위 및 제5 메모리 셀 유닛(30(5)) 위에서 제2 방향(도면에서 상하 방향)으로 연장되고, 제2 메모리 셀 유닛(30(2))의 메모리 셀  $M_{21} \sim M_{28}$  및 제5 메모리 셀 유닛(30(5))의 메모리 셀  $M_{51} \sim M_{58}$ 에 접속된 제1 비트선(66(BL1))과, 제2 메모리 셀 유닛(30(2)) 위 및 제6 메모리 셀 유닛(30(6)) 위에서 제2 방향으로 연장되며, 제1 메모리 셀 유닛(30(1))의



메모리 셀  $M_{11} \sim M_{18}$  및 제6 메모리 셀 유닛(30(6))의 메모리 셀  $M_{61} \sim M_{68}$ 에 접속된 제2 비트선(66(BL2))과, 제3 메모리 셀 유닛(30(3)) 위 및 제7 메모리 셀 유닛(30(7)) 위에서 제2 방향으로 연장되며, 제3 메모리 셀 유닛(30(3))의 메모리 셀  $M_{31} \sim M_{38}$  및 제8 메모리 셀 유닛(30(8))의 메모리 셀  $M_{81} \sim M_{88}$ 에 접속된 제3 비트선(66(BL3))과, 제4 메모리 셀 유닛(30(4)) 위 및 제8 메모리 셀 유닛(30(8)) 위에서 제2 방향으로 연장되고, 제4 메모리 셀 유닛(30(4))의 메모리 셀  $M_{41} \sim M_{48}$  및 제7 메모리 셀 유닛(30(7))의 메모리 셀  $M_{71} \sim M_{78}$ 에 접속된 제4 비트선(66(BL4))을 구비하여 구축되어 있다.

본 발명의 제5 실시예에 따른 반도체 장치(1)의 NAND형 EEPROM(2)에서는, 본 발명의 제1 실시예에 따른 반도체 장치(1)의 NAND형 EEPROM(2)와 마찬가지로, 메모리 셀 유닛(30(1), 30(2), ...)은, 함께 8개의 메모리 셀 M의 직렬 회로에 의해 구성되어 있다. 이 함께 8개의 메모리 셀 M, 예를 들면 메모리 셀 유닛(30(1))의 메모리 셀  $M_{11} \sim M_{18}$ 은, 비트선 BL2에 일단의 드레인 영역이 접속된 셀 선택용 트랜지스터  $S_{11}$ 와, 소스선 SL에 일단의 소스 영역이 접속된 셀 선택용 트랜지스터  $S_{12}$ 의 사이에 배치되어 있다. 셀 선택용 트랜지스터  $S_{11}$ 의 타단의 소스 영역에는 메모리 셀  $M_{11}$ 의 드레인 영역이 접속되어 있다. 셀 선택용 트랜지스터  $S_{12}$ 의 타단의 드레인 영역에는 메모리 셀  $M_{18}$ 의 소스 영역이 접속되어 있다. 이러한 메모리 셀 유닛(30(1))의 구성은 다른 메모리 셀 유닛(30(2), 30(3), ...)의 각각에 대해서도 마찬가지이다.

다시 말하면, NAND형 EEPROM(2)은, 제2 방향을 향하여  $4n$ ( $n$ 은 자연수)번째 및  $4n+1$ 번째에 배열된, 비트선(66(BL1)) 아래의 메모리 셀 유닛(30(1))의 메모리 셀  $M_{11} \sim M_{18}$ 은 비트선(66(BL2))에 접속됨과 함께, 동일 배열번호의 비트선(66(BL2)) 아래의 메모리 셀 유닛(30(2))의 메모리 셀  $M_{21} \sim M_{28}$ 은 비트선(66(BL1))에 접속되어 있다. 이 비트선(66(BL1))과 비트선(66(BL2))의 교체는, 도 11에 도시한 바와 같이, 서브비트선(63(1-2)) 및 서브비트선(63(2-1))에 의해 행해지고 있다. 또한, 제2 방향을 향하여  $4n+2$ 번째 및  $4n+3$ 번째에 배열된, 비트선(66(BL3)) 아래의 메모리 셀 유닛(30(7)) 및 비트선(30(11))의 메모리 셀  $M_{71} \sim M_{78}$  및  $M_{111} \sim M_{118}$ 은 비트선(66(BL4))에 접속됨과 함께, 동일 배열번호의 비트선(66(BL4)) 아래의 메모리 셀 유닛(30(8)) 및 30(12)의 메모리 셀 유닛  $M_{81} \sim M_{88}$  및  $M_{121} \sim M_{128}$ 은 비트선(66(BL3))에 접속되어 있다. 이 비트선(66(BL3))과 비트선(66(BL4))의 교체는, 도 11에 도시한 바와 같이, 서브비트선(63(3-4)) 및 63(4-3))에 의해 행해지고 있다.

이와 같이 구성되는 본 발명의 제5 실시예에 따른 반도체 장치(1)에서는, 4개의 비트선(66(BL1)~66(BL4))을 제1 방향의 반복 패턴의 최소 기본 단위로 하고, 제2 방향에는 주기적으로 서브비트선(63(1-2)) 및 63(2-1))을 배치하여 비트선(66(BL1))과 66(BL2))을 교체함과 함께, 주기적으로 서브비트선(63(3-4)) 및 63(4-3))을 배치하여 비트선(66(BL3))과 66(BL4))을 교체하도록 되어 있다. 즉, 제1 방향으로 인접하는 비트선(66) 사이의 교체를 행하는 서브비트선(63)의 형상 변화에 수반하여, 비트선(66) 사이나 비트선(66)과 서브비트선(63) 사이 등에 발생하는 기생 용량(정전 용량)에 변화가 생겨, 결과적으로 비트선(66)에 부가되는 기생 용량에 변화가 생기지만, 이러한 기생 용량을 4개의 비트선(66(BL1)~66(BL4))의 각각에서 균일화할 수 있다. 따라서, 본 발명의 제5 실시예에 따른 반도체 장치(1)에서는, 노이즈 내성을 향상시킬 수 있어, 동작 속도의 고속화를 실현할 수 있기 때문에, 성능의 향상을 도모할 수 있다.

#### [메모리 셀 어레이의 레이아웃 구성의 변형예]

상술한 본 발명의 제5 실시예에 따른 반도체 장치(1)의 NAND형 EEPROM(2)은, 4개의 비트선(66(BL1)~66(BL4))을 반복 패턴의 최소 기본 단위로 하여, 각각 주기적으로 비트선(66(BL1))과 66(BL2))을 교체함과 함께, 비트선(66(BL3))과 66(BL4))을 교체하는 레이아웃을 채용하고 있다. 이것에 대하여, 본 발명의 제5 실시예의 변형예에 따른 반도체 장치(1)의 NAND형 EEPROM(2)은, 4개의 비트선(66(BL1)~66(BL4))을 반복 패턴의 최소 기본 단위로 하는 점은 동일하지만, 각각 주기적으로, 비트선(66(BL1))과 비트선(66(BL2))을 교체하고, 비트선(66(BL2))과 비트선(66(BL3))을 교체하며, 비트선(66(BL3))과 비트선(66(BL4))을 교체하고, 또한 비트선(66(BL4))과 비트선(66(BL1))을 교체하는 레이아웃을 채용하고 있다.

즉, 본 발명의 제5 실시예에 따른 반도체 장치(1)는, 도 12(회로도) 및 도 13(평면도)에 도시한 바와 같이, 제1 방향(도면에서 가로 방향)으로 배열되고, 각각 메모리 셀 M을 갖는 제1, 제2, 제3 및 제4 메모리 셀 유닛(30(1)~30(4))과, 제1 방향으로 배열되고, 각각 메모리 셀 M을 갖는 제5, 제6, 제7 및 제8 메모리 셀 유닛(30(9)~30(12))(또는 30(5)~30(8))과, 제1 방향으로 배열되고, 각각 메모리 셀 M을 갖는 제9, 제10, 제11 및 제12 메모리 셀 유닛(30(17)~30(20))(또는 30(13)~30(16))과, 제1 메모리 셀 유닛(30(1)) 위, 제5 메모리 셀 유닛(30(9)) 위 및 제9 메모리 셀 유닛(30(17)) 위에서 제2 방향(도면에서 상하 방향)으로 연장되고, 제2 메모리 셀 유닛(30(2))의 메모리 셀  $M_{21} \sim M_{28}$ , 제5 메모리 셀 유닛

(30(9))의 메모리 셀  $M_{91} \sim M_{98}$  및 제9 메모리 셀 유닛(30(17))의 메모리 셀  $M_{171} \sim M_{178}$ 에 접속된 제1 비트선(66(BL1))과, 제2 메모리 셀 유닛(30(2)) 위, 제6 메모리 셀 유닛(30(10)) 위 및 제10 메모리 셀 유닛(30(18)) 위에서 제2 방향으로 연장되며, 제1 메모리 셀 유닛(30(1))의 메모리 셀  $M_{11} \sim M_{18}$ , 제7 메모리 셀 유닛(30(11))의 메모리 셀  $M_{111} \sim M_{118}$  및 제10 메모리 셀 유닛(30(18))의 메모리 셀  $M_{181} \sim M_{188}$ 에 접속된 제2 비트선(66(BL2))과, 제3 메모리 셀 유닛(30(3)) 위, 제7 메모리 셀 유닛(30(11)) 위 및 제11 메모리 셀 유닛(30(19)) 위에서 제2 방향으로 연장되고, 제3 메모리 셀 유닛(30(3))의 메모리 셀  $M_{31} \sim M_{38}$ , 제6 메모리 셀 유닛(30(10))의 메모리 셀  $M_{101} \sim M_{108}$  및 제12 메모리 셀 유닛(30(20))의 메모리 셀  $M_{201} \sim M_{208}$ 에 접속된 제3 비트선(BL3)과, 제4 메모리 셀 유닛(30(4)) 위, 제8 메모리 셀 유닛(30(12)) 위, 및 제12 메모리 셀 유닛(30(20)) 위에서 제2 방향으로 연장되며, 제4 메모리 셀 유닛(30(4))의 메모리 셀  $M_{41} \sim M_{48}$ , 제8 메모리 셀 유닛(30(12))의 메모리 셀  $M_{121} \sim M_{128}$  및 제11 메모리 셀 유닛(30(19))의 메모리 셀  $M_{191} \sim M_{198}$ 에 접속된 제4 비트선(BL4)을 구비하여 구축되어 있다.

상술한 바와 마찬가지로, 본 발명의 제5 실시예의 변형예에 따른 반도체 장치(1)의 NAND형 EEPROM(2)에서는, 메모리 셀 유닛(30(1), 30(2), ...)는, 합계 8개의 메모리 셀 M의 직렬 회로에 의해 구성되어 있다. 이 합계 8개의 메모리 셀 M, 예를 들면 메모리 셀 유닛(30(1))의 메모리 셀  $M_{11} \sim M_{18}$ 은, 비트선 BL2에 일단의 드레인 영역이 접속된 셀 선택용 트랜지스터  $S_{11}$ 와, 소스선 SL에 일단의 소스 영역이 접속된 셀 선택용 트랜지스터  $S_{12}$  사이에 배치되어 있다. 셀 선택용 트랜지스터  $S_{11}$ 의 타단의 소스 영역에는 메모리 셀  $M_{11}$ 의 드레인 영역이 접속되어 있다. 셀 선택용 트랜지스터  $S_{12}$ 의 타단의 드레인 영역에는 메모리 셀  $M_{18}$ 의 소스 영역이 접속되어 있다. 이러한 메모리 셀 유닛(30(1))의 구성은 다른 메모리 셀 유닛(30(2), 30(3), ...)의 각각에 대해서도 마찬가지이다.

다시 말하면, NAND형 EEPROM(2)은, 제2 방향을 향하여  $8n$ ( $n$ 은 자연수)번째 및  $8n+1$ 번째에 배열된, 제1 비트선(66(BL1)) 아래의 메모리 셀 유닛(30(1))의 메모리 셀  $M_{11} \sim M_{18}$ 은 제2 비트선(66(BL2))에 접속됨과 함께, 동일 배열번째의 제2 비트선(66(BL2)) 아래의 메모리 셀 유닛(30(2))의 메모리 셀  $M_{21} \sim M_{28}$ 은 제1 비트선(66(BL1))에 접속되어 있다. 이 비트선(66(BL1))과 66(BL2))의 교체는, 도 13에 도시한 바와 같이, 서브비트선(63(1-2) 및 63(2-1))에 의해 행해지고 있다. 또한, 제2 방향을 향하여  $8n+2$ 번째 및  $8n+3$ 번째에 배열된, 제2 비트선(66(BL2)) 아래의 메모리 셀 유닛(30(6)) 및 메모리 셀 유닛(30(10))의 메모리 셀  $M_{61} \sim M_{68}$  및  $M_{101} \sim M_{108}$ 은 제3 비트선(66(BL3))에 접속됨과 함께, 동일 배열번째의 제3 비트선(66(BL3)) 아래의 메모리 셀 유닛(30(7)) 및 메모리 셀 유닛(30(11))의 메모리 셀  $M_{71} \sim M_{78}$  및  $M_{111} \sim M_{118}$ 은 제2 비트선(66(BL2))에 접속되어 있다. 이 비트선(66(BL2))과 비트선(66(BL3))의 교체는, 서브비트선(63(2-3) 및 63(3-2))에 의해 행해지고 있다. 제2 방향을 향하여  $8n+4$ 번째 및  $8n+5$ 번째에 배열된, 제3 비트선(66(BL3)) 아래의 메모리 셀 유닛(30(15)) 및 메모리 셀 유닛(30(19))의 메모리 셀  $M_{151} \sim M_{158}$  및  $M_{191} \sim M_{198}$ 은 제4 비트선(66(BL4))에 접속됨과 함께, 동일 배열번째의 제4 비트선(66(BL4)) 아래의 메모리 셀 유닛(30(16)) 및 메모리 셀 유닛(30(20))의 메모리 셀  $M_{161} \sim M_{168}$  및  $M_{201} \sim M_{208}$ 은 제3 비트선(66(BL3))에 접속되어 있다. 이 비트선(66(BL3))과 66(BL4))의 교체는, 서브비트선(63(3-4) 및 63(4-3))에 의해 행해지고 있다. 제2 방향을 향하여  $8n+6$ 번째 및  $8n+7$ 번째(도시 생략)에 배열된, 제4 비트선(66(BL4)) 아래의 메모리 셀 유닛(30(24))의 메모리 셀  $M_{241} \sim M_{248}$ 은 제1 비트선(66(BL1))에 접속됨과 함께, 동일 배열번째의 제1 비트선(66(BL1)) 아래의 메모리 셀 유닛(30(1))의 메모리 셀  $M_{11} \sim M_{18}$ 은 제4 비트선(66(BL4))에 접속되어 있다. 이 비트선(66(BL4))과 비트선(66(BL1))의 교체는, 서브비트선(63(4-1) 및 63(1-4))에 의해 행해지고 있다.

이와 같이 구성되는 본 발명의 제5 실시예의 변형예에 따른 반도체 장치(1)에서는, 4개의 비트선(66(BL1)~66(BL4))을 제1 방향의 반복 패턴의 최소 기본 단위로 하고, 제2 방향에는 주기적으로 서브비트선(63(1-2) 및 63(2-1))을 배치하여 비트선(66(BL1))과 66(BL2))을 교체하고, 제2 방향에는 주기적으로 서브비트선(63(2-3) 및 63(3-2))을 배치하여 비트선(66(BL2))과 비트선(66(BL3))을 교체하며, 제2 방향에는 주기적으로 서브비트선(63(3-4) 및 63(4-3))을 배치하여 비트선(66(BL3))과 비트선(66(BL4))을 교체하고, 또한 제2 방향에는 주기적으로 서브비트선(63(4-1) 및 63(1-4))을 배치하여 비트선(66(BL4))과 비트선(66(BL1))을 교체하도록 되어 있다. 즉, 제1 방향으로 인접하는 비트선(66) 사이의 교체를 행하는 서브비트(63)의 형상 변화에 수반하여, 비트선(66) 사이나 비트선(66)과 서브비트선(63) 사이 등에 발생하는 기생 용량에 변화가 생겨, 결과적으로 비트선(66)에 추가되는 기생 용량에 변화를 생기지만, 이러한 기생 용량을 4개의 비트선(66(BL1)~66(BL4))의 각각에서 균일화하는 것이 가능하다. 따라서, 본 발명의 제5 실시예의 변형예에 따른 반도체 장치(1)에서는, 노이즈 내성을 향상시킬 수가 있어, 동작 속도의 고속화를 실현할 수 있기 때문에, 성능의 향상을 도모할 수 있다.

## <제6 실시예>

본 발명의 제6 실시예는, 3치 이상의 다치 데이터의 기입이 가능한 메모리 셀을 갖는 NAND형 EEPROM을 구비한 반도체 장치 및 그 동작 방법을 설명하는 것이다.

### [NAND형 EEPROM의 시스템 구성]

도 14 및 도 15에 도시한 바와 같이, 본 발명의 제6 실시예에 따른 반도체 장치(1)는, 상술한 본 발명의 제1 실시예에 따른 반도체 장치(1)의 NAND형 EEPROM (2)과 거의 마찬가지로의 구성인 NAND형 EEPROM을 구비하고 있다. 그리고, 이 NAND형 EEPROM은, 3치 이상의 양수의 M값의 데이터의 기입이 가능한 메모리 셀 M이 행렬 형상으로 복수 배열된 메모리 셀 어레이(3)와, 메모리 셀 M에 접속되고, 메모리 셀 어레이(3) 위에서 제1 방향으로 연장되고 제2 방향으로 복수개 배열된 워드선 WL과, 메모리 셀 M에 접속되며, 메모리 셀 어레이(3) 위에서 제2 방향으로 연장되고 제1 방향으로 복수개 배열된 비트선 BL과, 복수개의 비트선 BL마다 각각 배치된 복수의 감지 증폭기 회로(4)와, 복수의 감지 증폭기 회로(4)마다 각각 배치된 기입 데이터 래치 회로(4)를 적어도 구비하여 구축되어 있다.

여기서, 감지 증폭기 회로 및 기입 데이터 래치 회로(4)의 일례의 회로 구성을 도 16에 도시한다. 본 발명의 제5 실시예에 따른 NAND형 EEPROM에서는, 각 비트선 BL1, BL2, ..., BLn에 대하여 n개( $2^{n-1} \subset M \subset 2^n$ )의 기입 데이터 래치 회로(4)가 배치되어 있다. 데이터의 기입 동작 시에는, 데이터 입력력 버퍼(도 6에서 부호 7로 도시함)로부터 기입 데이터가 기입 데이터 래치 회로(4)로 전송되고, 다음에 기입 데이터 래치 회로(4)로부터 기입 데이터에 따라서 비트선 BL에 전위가 공급된다.

### [NAND형 EEPROM의 동작]

다음에, NAND형 EEPROM의 기입 동작을, 도 17 및 도 18을 참조하여 설명한다. 여기서는, 메모리 셀 M에 다치 데이터를 기억할 수 있는 NAND형 EEPROM의 기입 동작을 예로서 설명한다.

(1) 여기서, 다치 데이터의 기입 방식을 결정한다. 도 17의 (d)에 도시한 바와 같이, 메모리 셀 M에는, 다치 데이터 예를 들면 4치 데이터를 기억할 수 있다. 여기서는, 초기값의 상태 즉 소거 상태의 임계 전압의 데이터를 "M", 데이터 기입 상태에서 가장 낮은 임계값 전압의 데이터를 "M-1", 2번째로 낮은 임계 전압의 데이터를 "M-2", ...로 하고, 가장 임계값 전압이 높은 데이터를 "0"으로 한다.

(2) 먼저 처음에, 메모리 셀 M에 소거 동작이 행해진다(초기값이 설정된다. ).

(3) 다음에, 선택된 메모리 셀 M에 데이터의 기입 동작을 행한다(80S 및 81S). M치 데이터의 기입은 M-1회로 분할하여 행하고, 임계값 전압이 낮은 상태에서부터 높은 상태로 순서대로 데이터의 기입이 행해진다.

예를 들면, 선택된 메모리 셀 M에 대하여, 소거 동작에 의해서 임계값 전압이 초기 값 "M-1"로 결정된 후, "M-2" 데이터의 기입이 가장 최초로 행해진다. 그 때, 최종적으로 "0" 데이터로부터 "M-2" 데이터를 기입하고자 하는 메모리 셀 M도 동시에 "M-2" 데이터를 기입해 둔다. 이 "M-2" 데이터의 기입 시에, 1개의 워드선 WL에 접속되어 있는 메모리 셀 M의 전체에 동시에 기입을 행한다. 즉 "0" 데이터로부터 "M-2" 데이터를 기입하는 메모리 셀 M에 접속되어 있는 비트선 BL에 0V를 인가하고, "M-1" 데이터가 기입된 메모리 셀 M(소거 상태의 임계값 전압을 보존하고자 하는 메모리 셀 M)은, 비트선 BL에, 선택 워드선 WL에 인가하는 양의 전압보다도 낮은 임의의 양의 전위를 인가하여, 채널 형성 영역으로부터 부유 게이트 전극(전하 축적부)으로의 전자 주입을 금지한다.

(3) 기입이 완료되었는지의 여부를 검사하는 검증 판독 동작이 행해진다(82S 및 83S). 검증 판독 동작은, 1개의 워드선 WL을 짝수, 홀수로 나누어, 짝수, 홀수중 어느 하나에서 검증 판독을 행하고, 다음에 남은 검증 판독을 행하는 방식을 채용한다. 다음에 "M-3" 데이터의 기입을 행한다. 그 때, 최종적으로 "0" 데이터로부터 "M-3"의 데이터를 기입하고자 하는 메모리 셀 M도 동시에 "M-3" 데이터의 기입이 행해진다. 1개의 워드선 WL에 연결되는 메모리 셀 M의 전체에 동시에 기입을 행한다. 즉, "0" 데이터로부터 "M-3" 데이터를 기입하는 메모리 셀 M에 접속된 비트선 BL에 0V를 인가하고, "M-1" 데이터와 "M-2" 데이터가 기입된 메모리 셀 M은, 비트선 BL에, 선택 워드선 WL에 인가되는 양의 전압보다도 낮은, 임의의

양의 전위를 인가한다. 검증 관독은 1개의 워드선 WL을 짝수, 홀수로 나누어, 짝수 홀수 중 어느 하나를 최초로 관독하고, 다음에 나머지를 관독하는 방식으로 행한다. 이하 마찬가지로 데이터의 기입을 진행시키고, 마지막으로 "O" 데이터의 기입을 행한다.

즉, "O" 데이터의 기입은, 먼저 가장 낮은 (소거 상태의) 임계값 전압으로부터 2번째로 임계값 전압이 높은 상태로 기입하고, 다음에 3번째로 임계 전압이 높은 상태에서 순차적으로 임계값 전압을 높은 상태로 기입해 가서, M-1회째의 기입 동작에서 가장 임계값 전압이 높은 상태로 기입하여, 모든 메모리 셀 M에 데이터가 기입된 단계(S83)에서 복수의 선택 메모리 셀 M의 기입 동작을 종료한다.

본 발명의 제6 실시예에 따른 NAND형 EEPROM을 구비한 반도체 장치(1) 및 그 동작 방법에서는, 용량 결합에 의한 외관상의 메모리 셀 M의 임계값 전압의 변동량을 저감할 수 있다. 즉, 예를 들면 홀수 비트선 BL에 접속된 메모리 셀 M에 데이터를 기입한 후, 짝수 비트선 BL에 접속된 메모리 셀 M에 데이터의 기입을 행하면, 원래의 홀수 비트선 BL에 접속된 메모리 셀 M의 임계값 전압이 외관상 변동되게 된다. 특히 다치 데이터를 갖는 메모리 셀 M의 경우, 나중에 데이터가 기입되는 메모리 셀 M(상술한 예에서는 짝수 비트선 BL에 접속된 메모리 셀 M)이, 소거 상태에서부터 가장 높은 임계값 전압의 기입 상태로 기입된 경우에, 이미 기입된 메모리 셀(상술한 예에서는 홀수 비트선에 접속된 메모리 셀 M)의 외관상의 임계값 전압의 변동이 커지게 된다.

본 발명의 제6 실시예에 따른 NAND형 EEPROM에서는, 인접하는 메모리 셀 M을 동시에 기입하고, 또한 다치화한 경우에 임계값이 낮은 레벨로부터 순서대로 기입해 가기 때문에, 임의의 메모리 셀 M에 데이터의 기입이 완료한 후의, 인접 메모리 셀 M의 임계값 전압의 변동을 최소한으로 억제할 수 있다. 결과적으로, 메모리 셀 M의 임계값 전압의 변동을 감소할 수 있다.

또한, 본 발명의 제6 실시예에 따른 NAND형 EEPROM에서는, 이하와 같은 이점이 있다. 1개의 워드선 WL에 연결된 메모리 셀 M을 몇회로 나누어 데이터의 기입(분할 기입)을 행하는 경우, 데이터가 기입되지 않은 메모리 셀 M에는 비트선 BL에 임의의 양의 전위를 인가함으로써, 채널 형성 영역과 전하 축적부 간의 전위차를 완화하여, 채널 형성 영역(웰 영역)으로부터 전하 축적부로의 전자의 주입을 금지하고 있다. 그러나, 분할 기입 횟수가 어느 횟수 이상을 넘으면 채널 형성 영역과 전하 축적부와의 사이가 약한 전위차이어도 전자가 축적되어 가서, 오기입이 이루어진다(기입 디스터브 발생됨). 따라서, 분할 기입 횟수에는 제한이 있다. 종래에는 1회의 기입을 짝수, 홀수의 2회로 나누어 행하기 때문에, N회의 분할 기입을 행하기 위해서는, 2N-1회의 기입 디스터브가 발생한다. 이에 대하여, 본 발명의 제6 실시예에 따른 NAND형 EEPROM의 동작 방법에서는, 1회의 기입을 짝수, 홀수의 동시에 행하기 때문에, N회의 분할 기입을 행하기 위해서는, N-1회의 기입 디스터브밖에 발생하지 않는다. 즉, 분할 기입에 의한 오기입을 방지할 수 있다.

또, 본 발명의 제6 실시예에 따른 반도체 장치(1)에서는, 불휘발성 기억 회로로서 NAND형 EEPROM이 탑재되어 있지만, 본 발명은, 이것에 한정되는 것이 아니라, 본 발명의 제3 실시예에 따른 NAND형 EEPROM, 또는 본 발명의 제4 실시예에 따른 3 트랜지스터형의 NAND형 EEPROM을 탑재하도록 하여도 된다.

#### <그 밖의 실시예>

본 발명은 상기 복수의 실시예에 의해 기재하였지만, 이 개시의 일부를 이루는 논술 및 도면은 본 발명을 한정하는 것이라고 이해해서는 안된다. 이 개시로부터 당업자에게는 다양한 대체 실시 형태, 실시예 및 운용 기술이 명백해질 것이다.

예를 들면, 상술한 실시예에서는, 전기적 기입 소거 가능한 EEPROM에 본 발명을 적용한 예를 설명하였지만, 본 발명은, 자외선 소거 가능한 EPROM에 적용할 수 있다.

이와 같이, 본 발명은 여기서는 기재하지 않은 다양한 실시예 등을 포함하는 것은 물론이다. 따라서, 본 발명의 기술적 범위는 상기한 설명으로부터 타당한 특허청구범위에 따른 발명 특정 사항에 의해서만 정해지는 것이다.

#### 발명의 효과

이상 설명한 바와 같이, 본 발명의 실시예에 따르면, 인접하는 메모리 셀의 전하 축적부 간의 용량 결합에 기인하는, 메모리 셀의 임계값 전압의 외관상의 변동을 감소할 수가 있어, 임계값 전압의 변동을 감소할 수 있는 불휘발성 기억 회로를 구비한 반도체 장치 및 그 동작 방법을 제공할 수 있다.

또한, 본 발명의 실시예에 따르면, 서브비트선의 형상 변화에 수반하여, 비트선에 부가되는 기생 용량의 변동을 감소할 수가 있어, 오동작을 방지할 수 있는, 전기적 신뢰성이 우수한 불휘발성 기억 회로를 구비한 반도체 장치 및 그 동작 방법을 제공할 수 있다.

또한, 본 발명의 실시예에 따르면, 메모리 셀에 분할 기입에 의해 데이터를 기입하는 경우, 기입하고자 하는 메모리 셀과 동일한 워드선에 접속된 비선택 메모리 셀에 대한 기입 디스터브를 저감하여, 오기입을 방지할 수 있는 반도체 장치 및 그 동작 방법을 제공할 수 있다.

## (57) 청구의 범위

### 청구항 1.

불휘발성 기억 회로(nonvolatile memory)를 갖는 반도체 장치에 있어서,

제1 방향으로 배열된 제1, 제2, 제3 및 제4 메모리 셀과,

상기 제1 메모리 셀 위에서 제2 방향으로 연장되고, 상기 제2 메모리 셀에 접속된 제1 비트선과,

상기 제2 메모리 셀 위에서 상기 제2 방향으로 연장되고, 상기 제1 메모리 셀에 접속된 제2 비트선과,

상기 제3 메모리 셀 위에서 상기 제2 방향으로 연장되고, 상기 제3 메모리 셀에 접속된 제3 비트선과,

상기 제4 메모리 셀 위에서 상기 제2 방향으로 연장되고, 상기 제4 메모리 셀에 접속된 제4 비트선

을 포함하는 반도체 장치.

### 청구항 2.

제1항에 있어서,

상기 제1 내지 제4 메모리 셀 및 상기 제1 내지 제4 비트선은, 상기 제1 방향으로 반복하여 배열되는 반도체 장치.

### 청구항 3.

제1항에 있어서,

상기 제1 메모리 셀과 상기 제2 비트선을 접속하는 제2 서브비트선과,

상기 제2 메모리 셀과 상기 제1 비트선을 접속하는 제1 서브비트선과,

상기 제3 메모리 셀과 상기 제3 비트선을 접속하는 제3 서브비트선과,

상기 제4 메모리 셀과 상기 제4 비트선을 접속하는 제4 서브비트선

을 더 포함하는 반도체 장치.

### 청구항 4.

제1항에 있어서,

상기 불휘발성 기억 회로는, 비트선과 소스선 사이에 복수의 메모리 셀을 전기적으로 직렬로 접속한 NAND형 불휘발성 기억 회로인 반도체 장치.

## 청구항 5.

제1항에 있어서,

상기 불휘발성 기억 회로는, 비트선과 소스선 사이에 메모리 셀을 전기적으로 병렬로 접속한 AND형 불휘발성 기억 회로인 반도체 장치.

## 청구항 6.

불휘발성 기억 회로를 갖는 반도체 장치에 있어서,

제1 방향으로 배열되고, 각각 제2 방향으로 연장되는 제1, 제2, 제3 및 제4 비트선과,

상기 제1, 제2, 제3 및 제4 비트선 아래에 각각 배치되며, 제2 방향으로 복수 배열된, 메모리 셀을 갖는 메모리 셀 유닛을 포함하고,

제2 방향을 향하여  $4n$ ( $n$ 은 자연수)번째 및  $4n+1$ 번째에 배열된, 상기 제1 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제2 비트선에 접속됨과 함께, 동일 배열번째의 제2 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제1 비트선에 접속되고,

제2 방향을 향하여  $4n+2$ 번째 및  $4n+3$ 번째에 배열된, 상기 제3 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제4 비트선에 접속됨과 함께, 동일 배열번째의 제4 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제3 비트선에 접속되는 반도체 장치.

## 청구항 7.

제6항에 있어서,

상기 메모리 셀 유닛은, 모두 비트선에 일단이 접속된 제1 셀 선택용 트랜지스터와, 소스선에 일단이 접속된 제2 셀 선택용 트랜지스터 사이에 배치된 적어도 1개 이상의 메모리 셀을 포함하고 있는 반도체 장치.

## 청구항 8.

불휘발성 기억 회로를 갖는 반도체 장치에 있어서,

제1 방향으로 배열되고, 각각 제2 방향으로 연장되는 제 $4m$ ( $m$ 은 자연수)번째, 제 $4m+1$ 번째, 제 $4m+2$ 번째, 제 $4m+3$ 번째 및 제 $4m+4$ 번째 비트선과,

상기 제 $4m$ 번째, 제 $4m+1$ 번째, 제 $4m+2$ 번째, 제 $4m+3$ 번째 및 제 $4m+4$ 번째 비트선 아래에 각각 배치되며, 제2 방향으로 복수 배열된, 메모리 셀을 갖는 메모리 셀 유닛을 포함하고,

제2 방향을 향하여  $8n$ ( $n$ 은 자연수)번째 및  $8n+1$ 번째에 배열된, 상기 제 $4m$ 번째 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제 $4m+1$ 번째 비트선에 접속됨과 함께, 동일 배열번째의 제 $4m+1$ 번째 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제 $4m$ 번째 비트선에 접속되고,

제2 방향을 향하여  $8n+2$ 번째 및  $8n+3$ 번째에 배열된, 상기 제 $4m+1$ 번째 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제 $4m+2$ 번째 비트선에 접속됨과 함께, 동일 배열번호의 제 $4m+2$ 번째 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제 $4m+1$ 번째 비트선에 접속되고,

제2 방향을 향하여  $8n+4$ 번째 및  $8n+5$ 번째에 배열된, 상기 제 $4m+2$ 번째 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제 $4m+3$ 번째 비트선에 접속됨과 함께, 동일 배열번호의 제 $4m+3$ 번째 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제 $4m+2$ 번째 비트선에 접속되고,

제2 방향을 향하여  $8n+6$ 번째 및  $8n+7$ 번째에 배열된, 상기 제 $4m+3$ 번째 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제 $4m+4$ 번째 비트선에 접속됨과 함께, 동일 배열번호의 제 $4m+4$ 번째 비트선 아래의 메모리 셀 유닛의 메모리 셀은 상기 제 $4m+3$ 번째 비트선에 접속되는 반도체 장치.

## 청구항 9.

반도체 장치의 동작 방법에 있어서,

제1 방향으로 배열된 제1, 제2, 제3 및 제4 메모리 셀과,

상기 제1 메모리 셀 위에서 제2 방향으로 연장되고, 상기 제2 메모리 셀에 접속된 제1 비트선과,

상기 제2 메모리 셀 위에서 상기 제2 방향으로 연장되고, 상기 제1 메모리 셀에 접속된 제2 비트선과,

상기 제3 메모리 셀 위에서 상기 제2 방향으로 연장되고, 상기 제3 메모리 셀에 접속된 제3 비트선과,

상기 제4 메모리 셀 위에서 상기 제2 방향으로 연장되며, 상기 제4 메모리 셀에 접속된 제4 비트선을 갖는 불휘발성 기억 회로를 포함하며,

상기 제1 및 제3 비트선에 접속된 제2 및 제3 메모리 셀에 데이터의 기입을 행하는 공정과,

상기 제2 및 제3 메모리 셀에 기입된 데이터의 검증 판독을 행하는 공정과,

상기 제2 및 제4 비트선에 접속된 제1 및 제4 메모리 셀에 데이터의 기입을 행하는 공정과,

상기 제1 및 제4 메모리 셀에 기입된 데이터의 검증 판독을 행하는 공정

을 포함하는 반도체 장치의 동작 방법.

## 청구항 10.

제9항에 있어서,

상기 검증 판독을 행하는 공정 다음에,

상기 제1 및 제3 비트선에 접속된 제2 및 제3 메모리 셀, 또는 제2 및 제4 비트선에 접속된 제1 및 제4 메모리 셀 중 적어도 어느 한쪽에 기입된 데이터의 통상 판독을 행하는 공정을 더 포함하는 반도체 장치의 동작 방법.

## 청구항 11.

제10항에 있어서,

상기 통상 판독을 행하는 공정은,

상기 제1 및 제3 비트선에 접속된 제2 및 제3 메모리 셀의 통상 판독을 행하는 공정과, 그후 또는 그전에 제2 및 제4 비트선에 접속된 제1 및 제4 메모리 셀의 통상 판독을 행하는 공정인 반도체 장치의 동작 방법.

## 청구항 12.

불휘발성 기억 회로를 갖는 반도체 장치에 있어서,

3차 이상의 양수의 M 값의 데이터의 기입이 가능한 메모리 셀이 행렬 형상으로 복수 배열된 메모리 셀 어레이와,

상기 메모리 셀에 접속되고, 상기 메모리 셀 어레이 위에서 제1 방향으로 연장되고, 제2 방향으로 복수개 배열된 워드선과,

상기 메모리 셀에 접속되며, 상기 메모리 셀 어레이 위에서 제2 방향으로 연장되며, 제1 방향으로 복수개 배열된 비트선과,

상기 복수개의 비트선마다 각각 배치된 복수의 감지 증폭기 회로와,

상기 복수의 감지 증폭기 회로마다 각각 배치된 래치 회로를 포함하는 반도체 장치.

## 청구항 13.

제12항에 있어서,

상기 불휘발성 기억 회로는, 비트선과 소스선 사이에 복수의 메모리 셀을 전기적으로 직렬로 접속한 NAND형 불휘발성 기억 회로인 반도체 장치.

## 청구항 14.

제12항에 있어서,

상기 불휘발성 기억 회로는, 비트선과 소스선 사이에 메모리 셀을 전기적으로 병렬로 접속한 AND형 불휘발성 기억 회로인 반도체 장치.

## 청구항 15.

반도체 장치의 동작 방법에 있어서,

비트선 및 워드선에 접속되고, 3차 이상의 양수의 M 값의 데이터의 기입이 가능한 메모리 셀이 행렬 형상으로 복수 배열된 불휘발성 기억 회로를 포함하고,

모든 상기 메모리 셀을 초기값으로 설정하는 공정과,

데이터의 기입 횟수를 M 값-1 회로 분할하여, 예정 값에 도달하는 횟수에서 상기 초기값에 순차적으로 가산하도록, 선택된 메모리 셀에 데이터의 기입을 행하는 공정을 포함하는 반도체 장치의 동작 방법.



## 청구항 16.

제15항에 있어서,

상기 데이터의 기입을 행하는 공정 다음에,

홀수번째에 배열된 상기 비트선에 접속된 상기 메모리 셀, 또는 짝수번째에 배열된 비트선에 접속된 메모리 셀 중 적어도 어느 한쪽의 검증 판독을 행하는 공정을 더 포함하는 반도체 장치의 동작 방법.

## 청구항 17.

제15항에 있어서,

상기 검증 판독을 행하는 공정은,

상기 홀수번째에 배열된 비트선에 접속된 메모리 셀의 검증 판독을 행하는 공정과, 그 후 또는 그 전에 상기 짝수번째에 배열된 비트선에 접속된 메모리 셀의 검증 판독을 행하는 공정인 반도체 장치의 동작 방법.

## 청구항 18.

제17항에 있어서,

상기 검증 판독을 행하는 공정 다음에,

상기 홀수번째에 배열된 비트선에 접속된 메모리 셀, 또는 상기 짝수번째에 배열된 비트선에 접속된 메모리 셀 중 적어도 어느 한쪽에 기입된 데이터의 통상 판독을 행하는 공정을 더 포함하는 반도체 장치의 동작 방법.

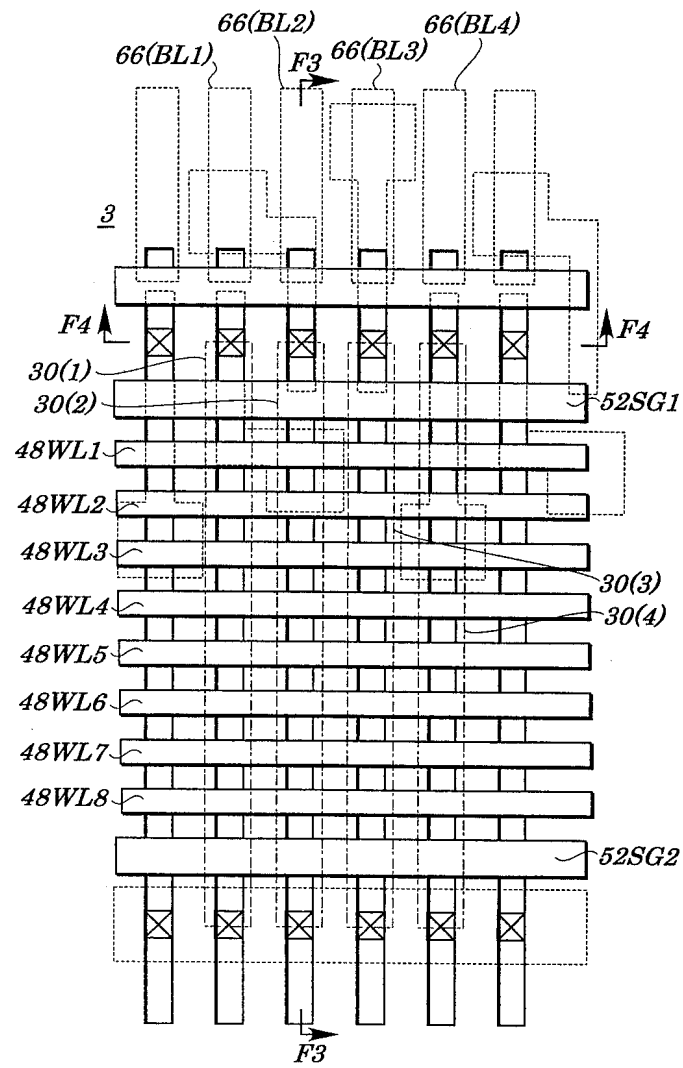
## 청구항 19.

제18항에 있어서,

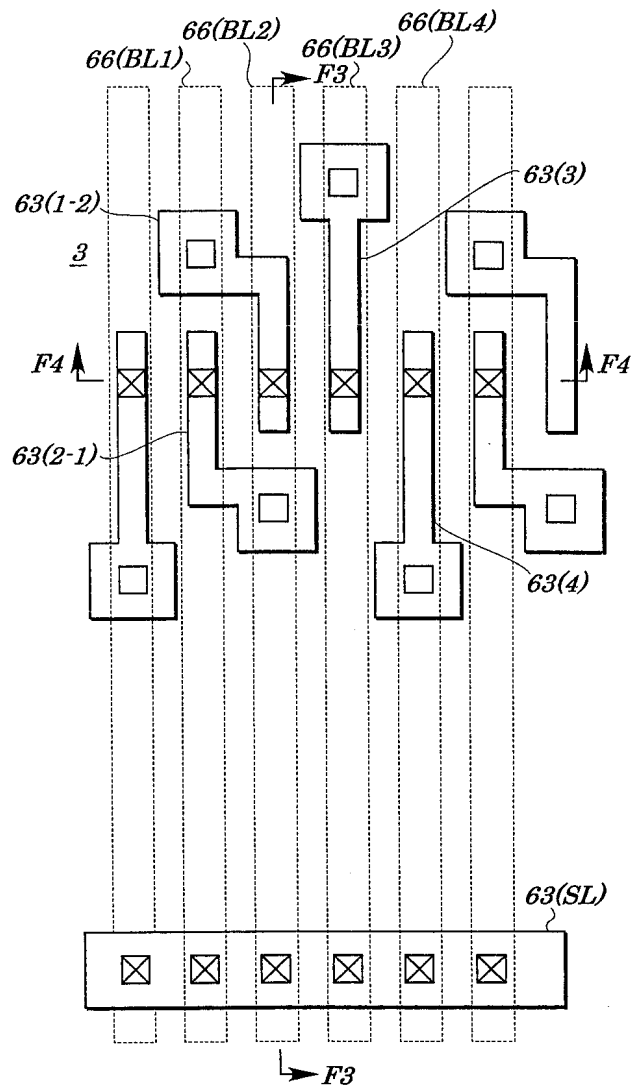
상기 통상 판독을 행하는 공정은, 상기 홀수번째에 배열된 비트선에 접속된 메모리 셀의 통상 판독을 행하는 공정과, 그 후 또는 그 전에 짝수번째에 배열된 비트선에 접속된 메모리 셀의 통상 판독을 행하는 공정인 반도체 장치의 동작 방법.

도면

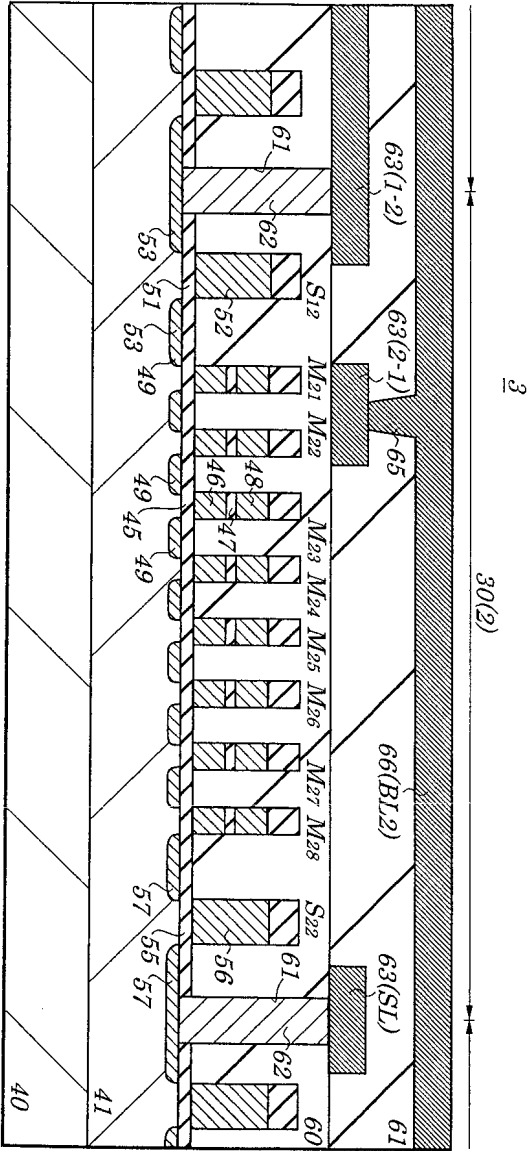
도면1



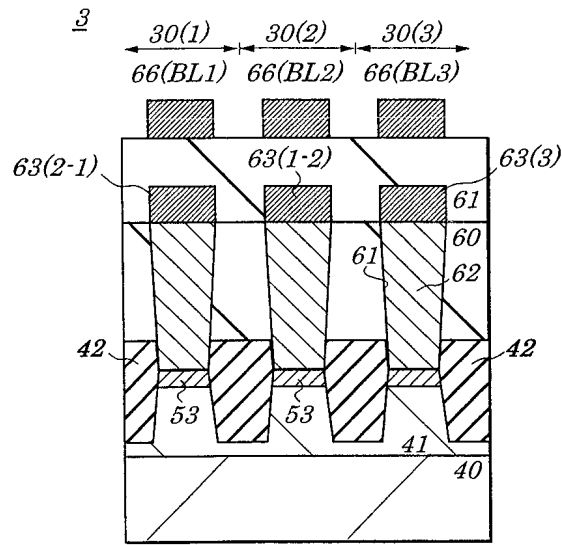
도면2



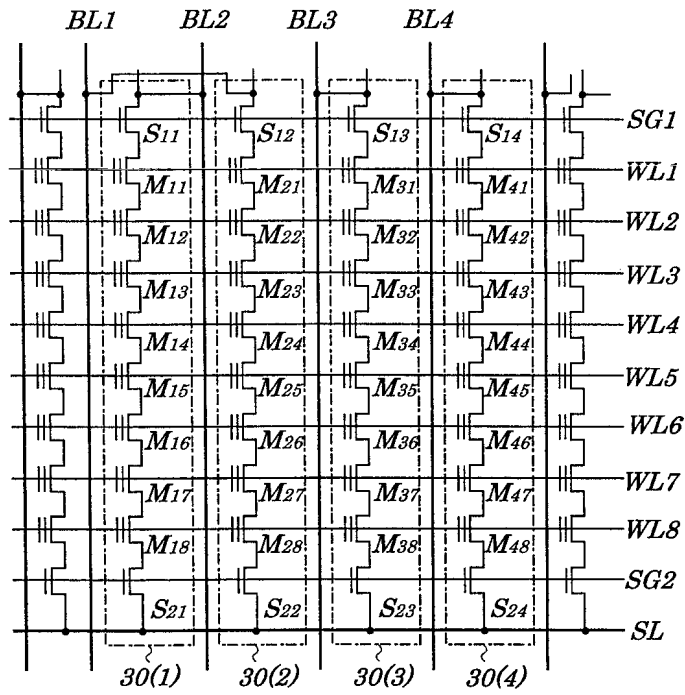
도면3



도면4

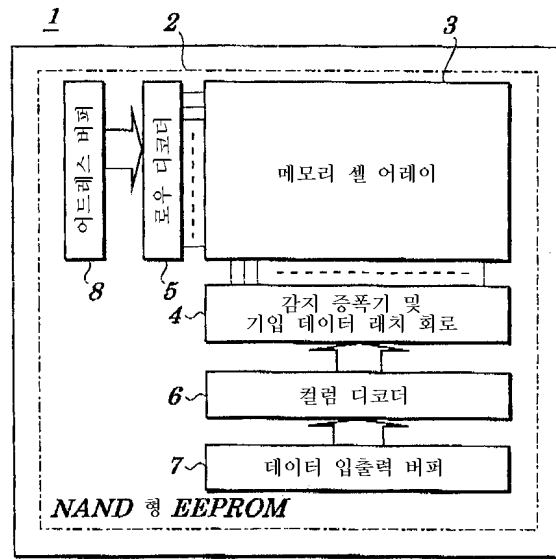


도면5

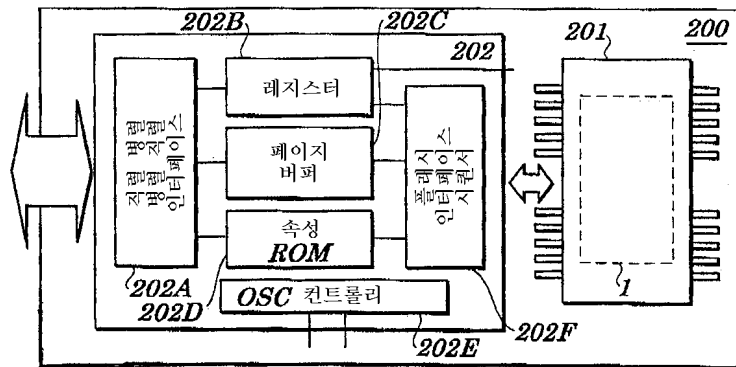


도면6

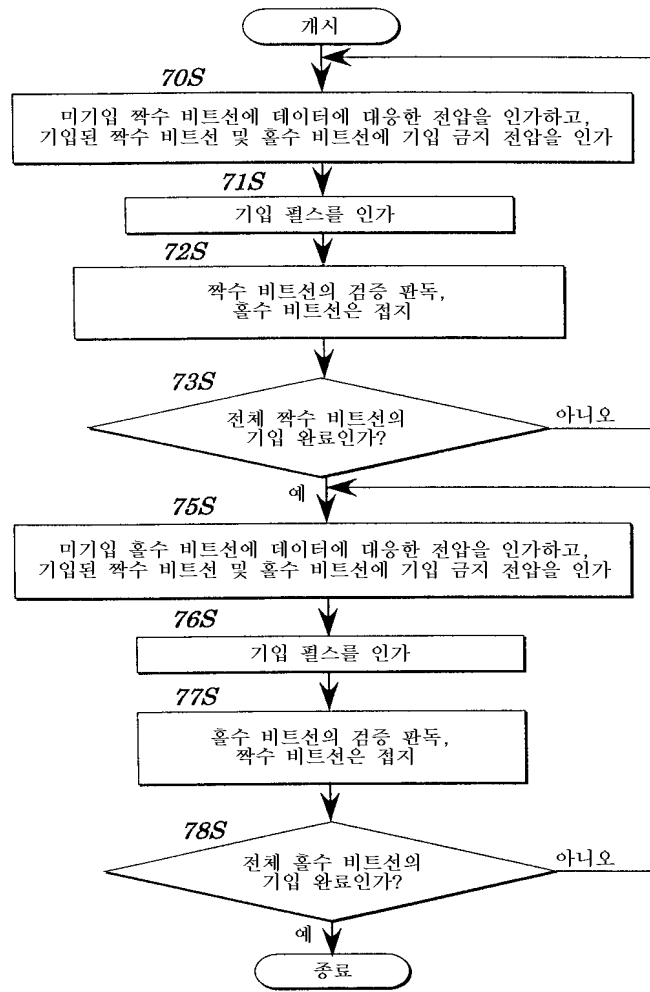
(a)



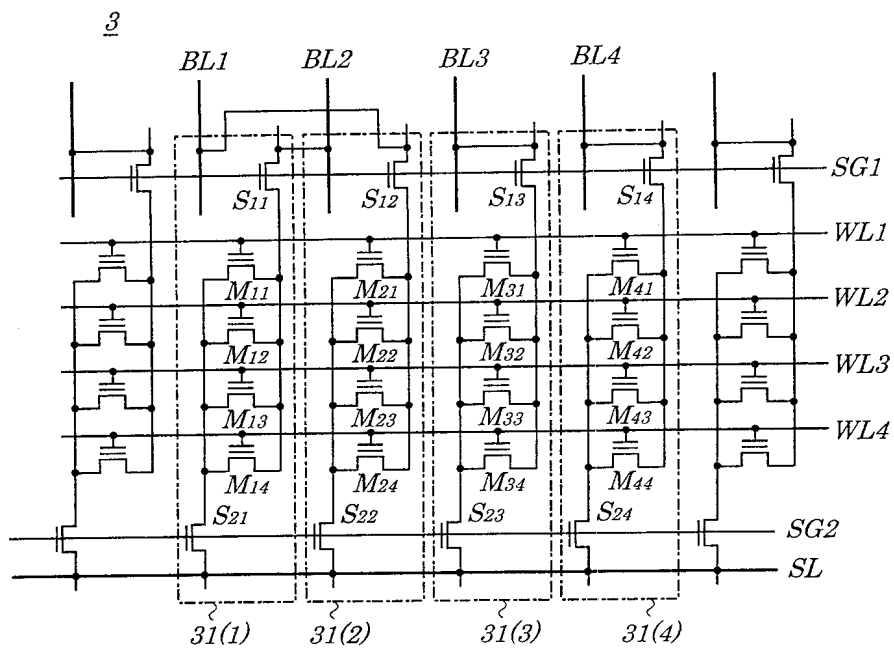
(b)



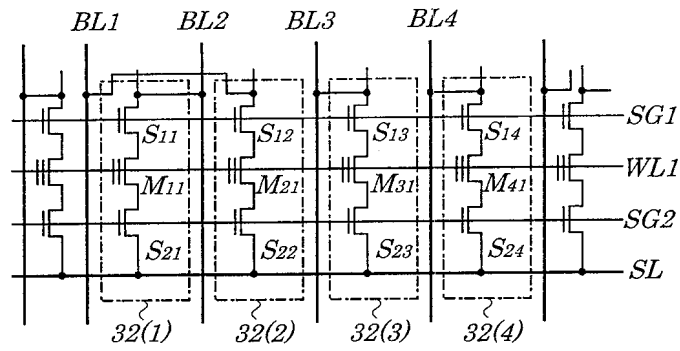
도면7



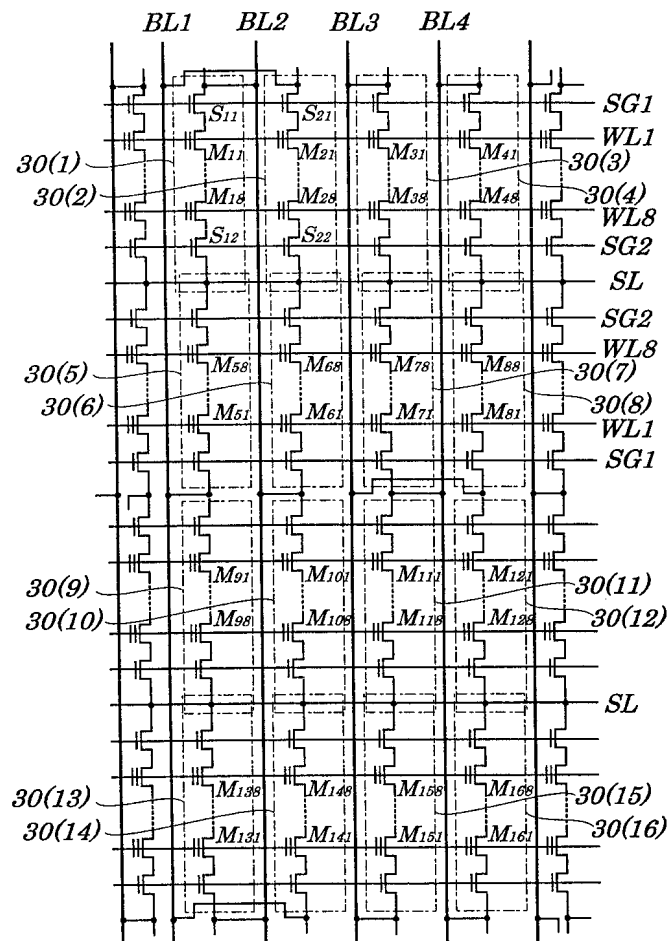
도면8



도면9

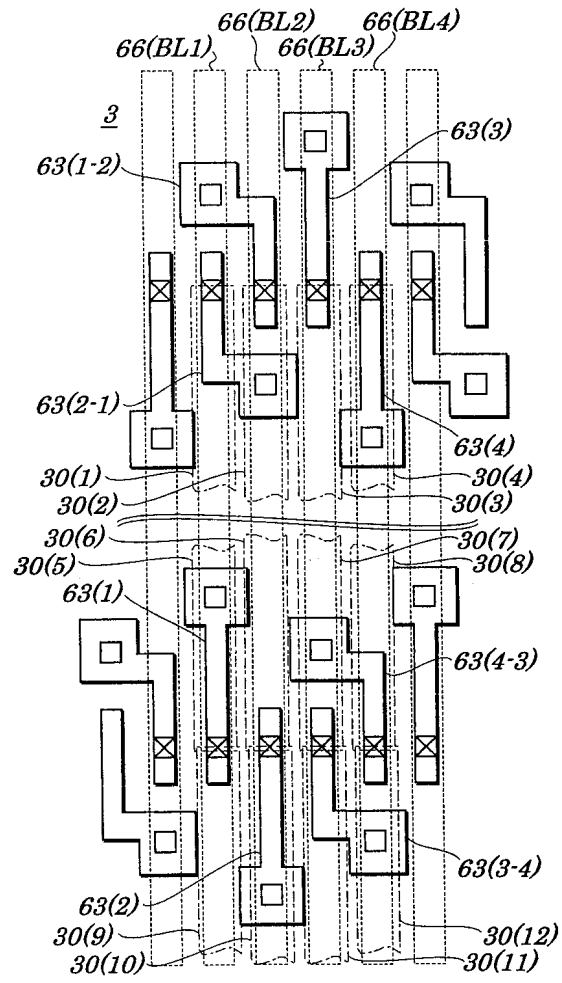


도면10

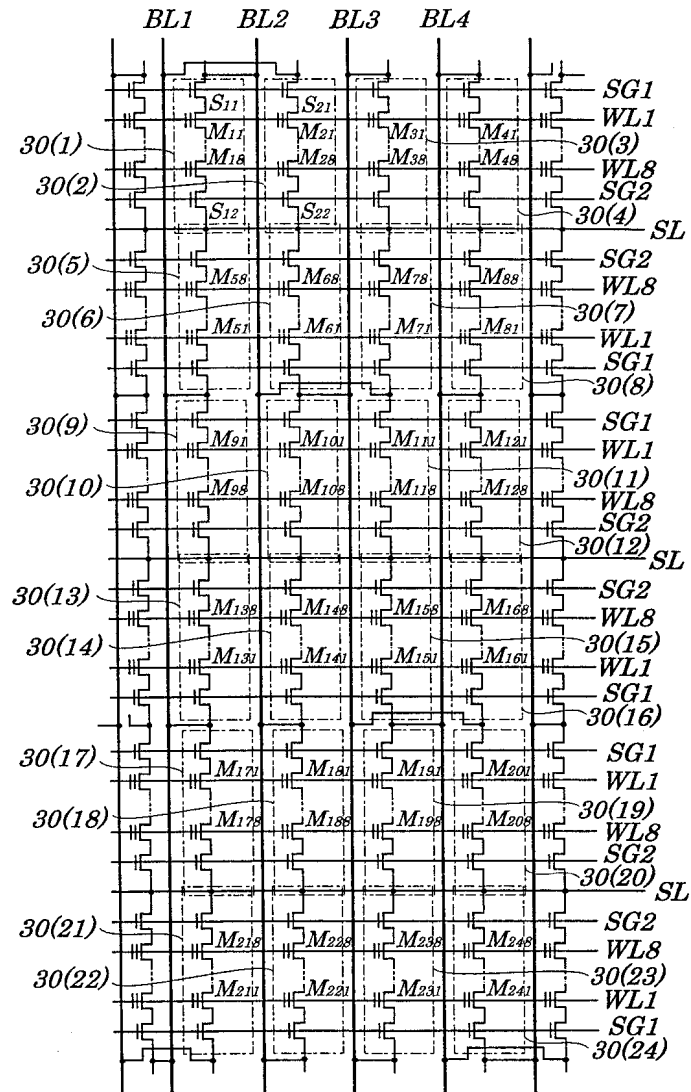




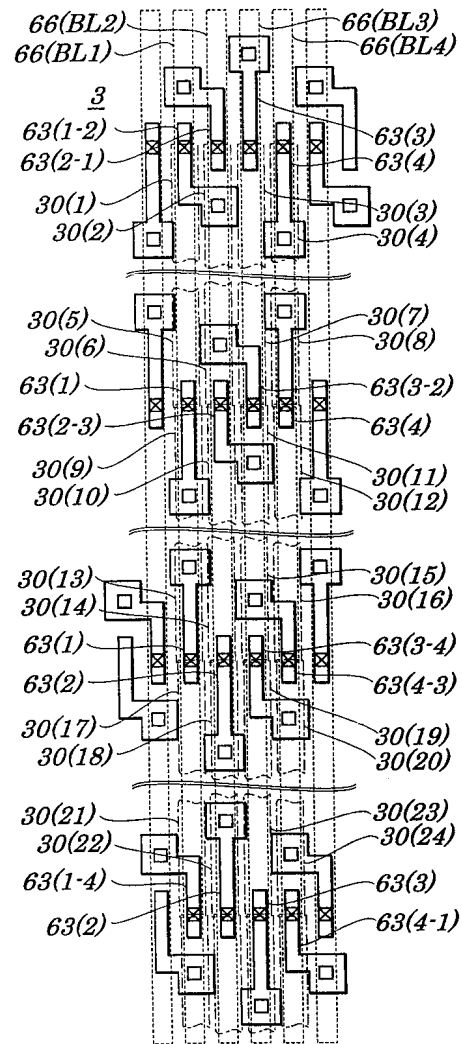
도면11



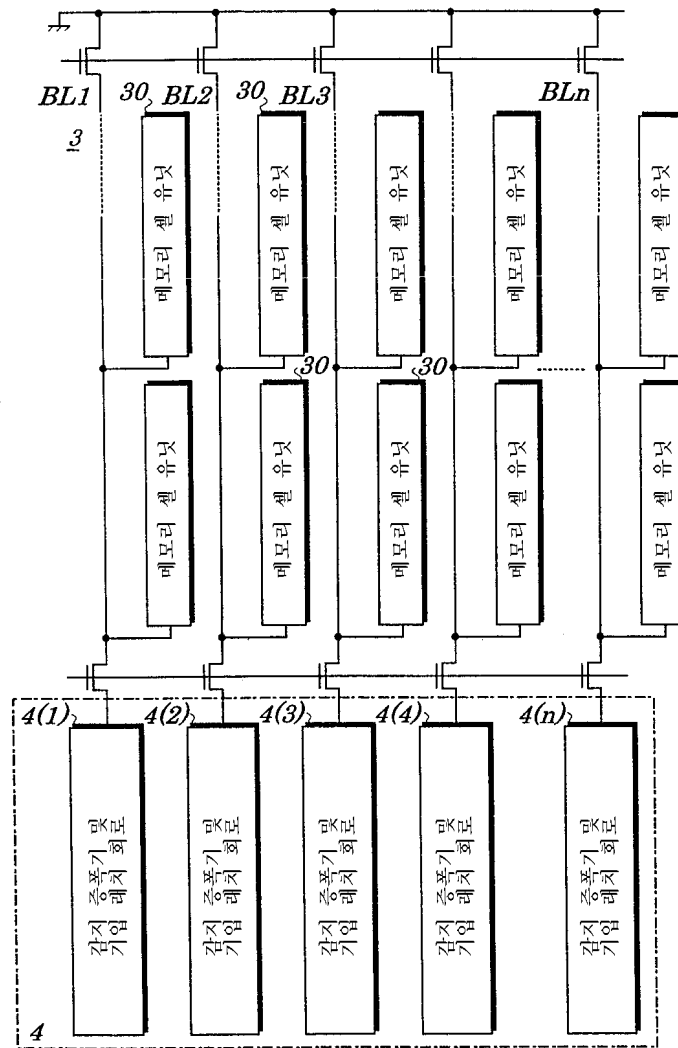
도면12



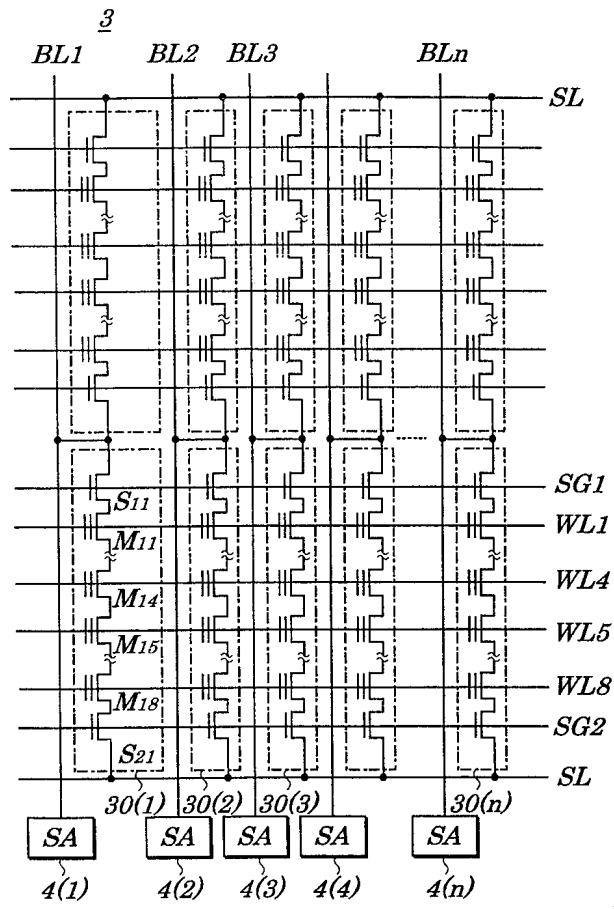
도면13



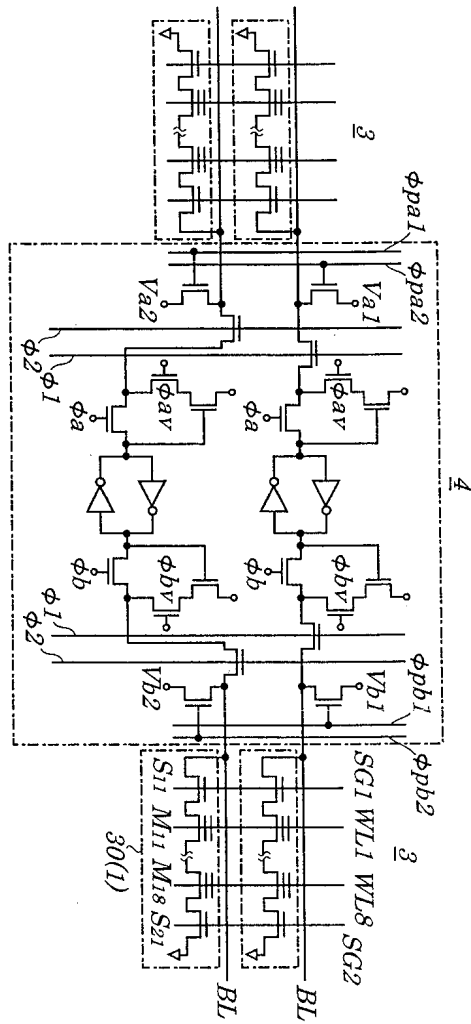
도면14



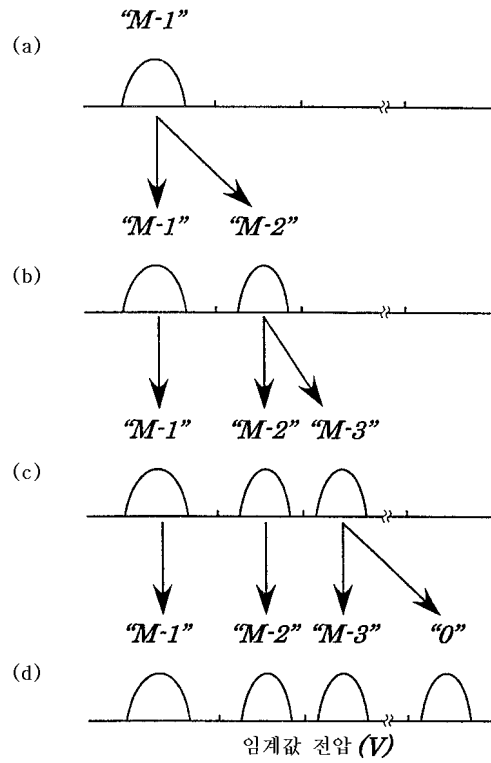
도면15



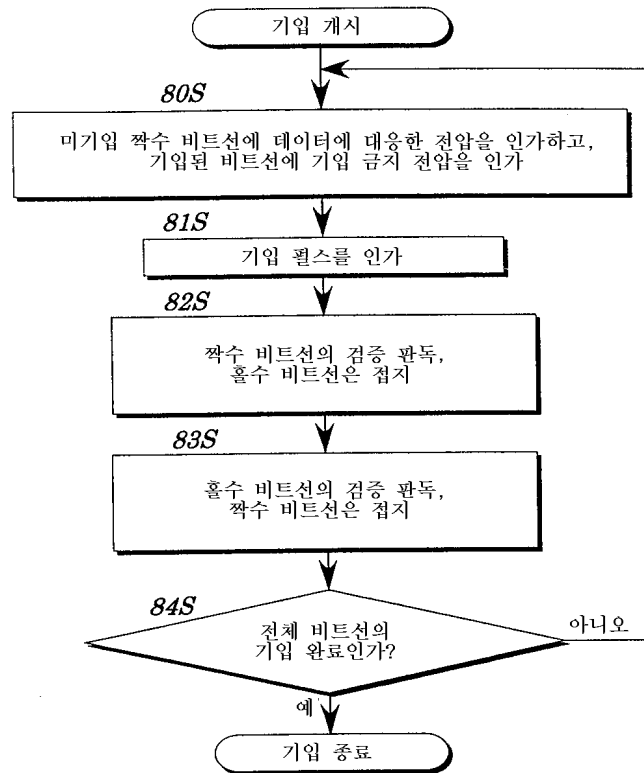
도면16



도면17

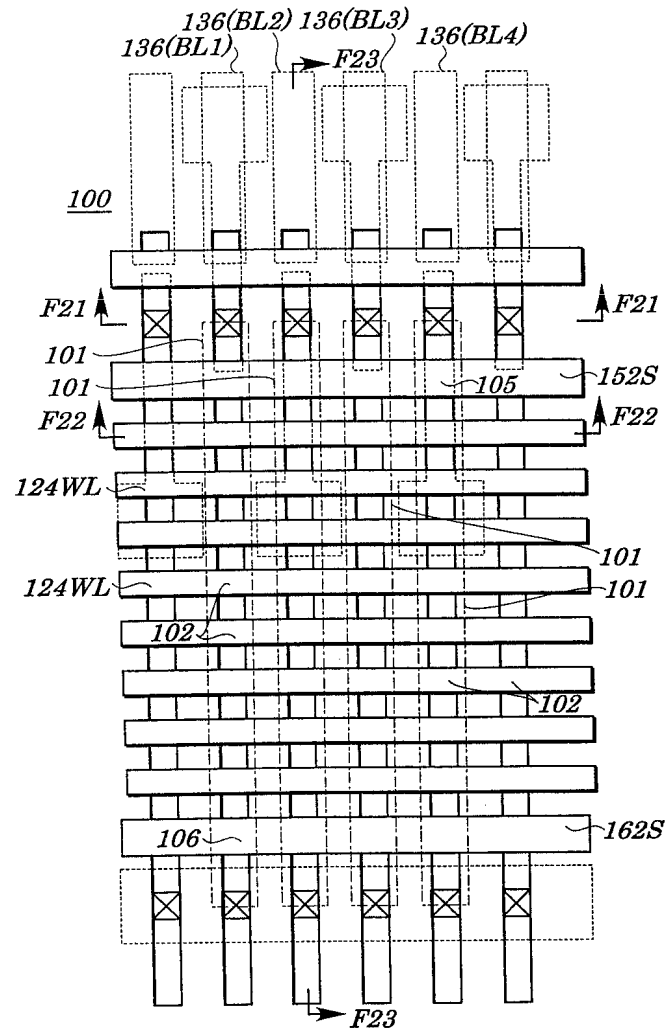


도면18



도면19

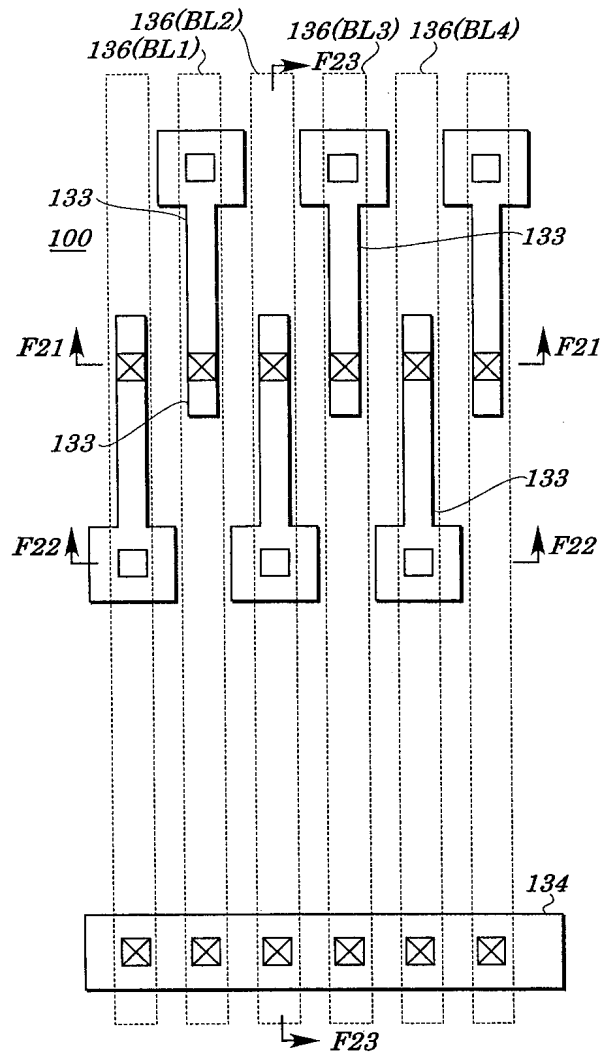
(종래 기술)





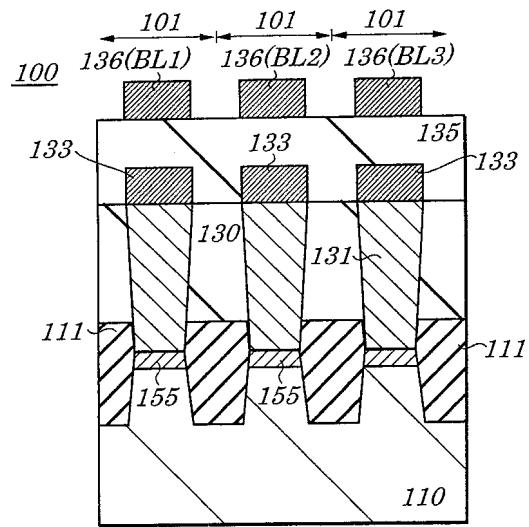
도면20

(종래 기술)



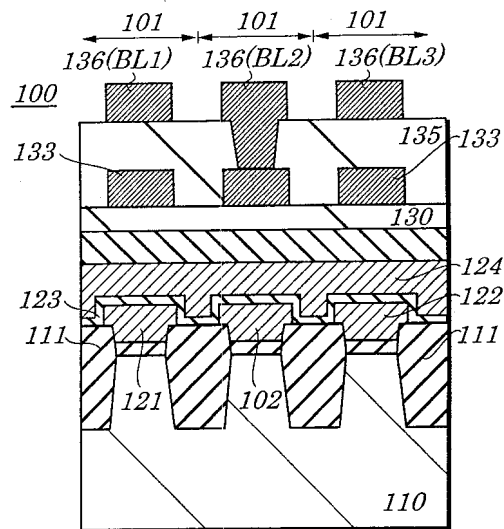
도면21

(종래 기술)



도면22

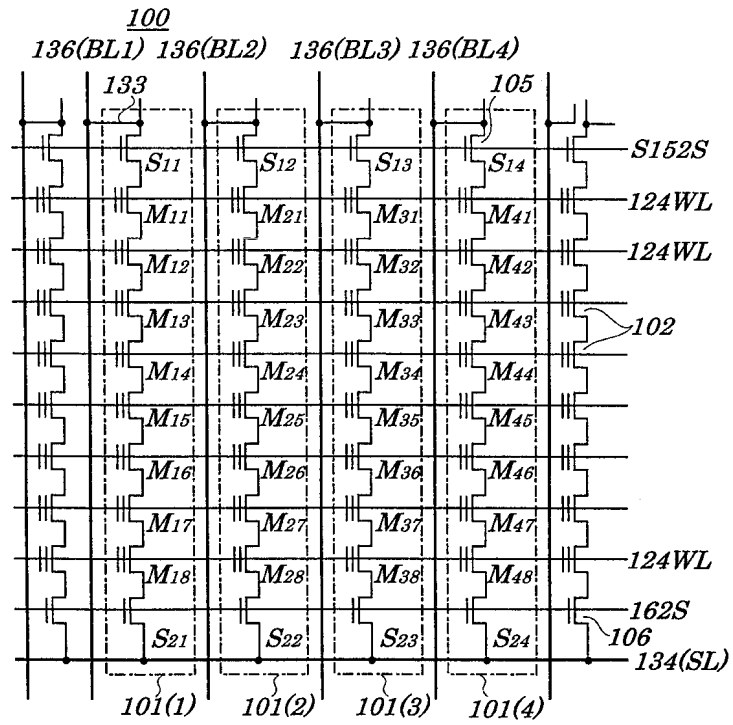
(종래 기술)





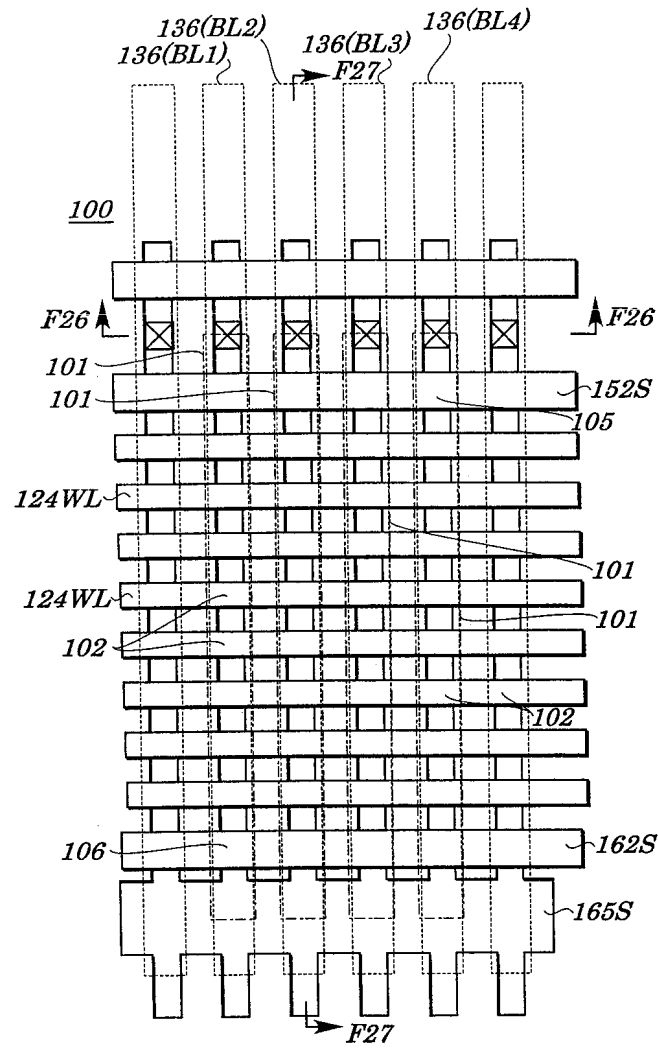
도면24

(종래 기술)



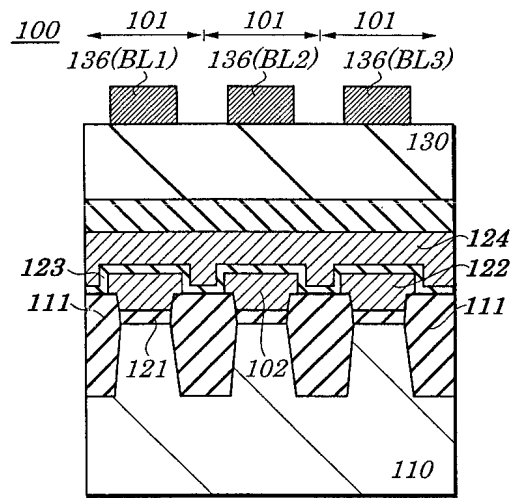
도면25

(종래 기술)



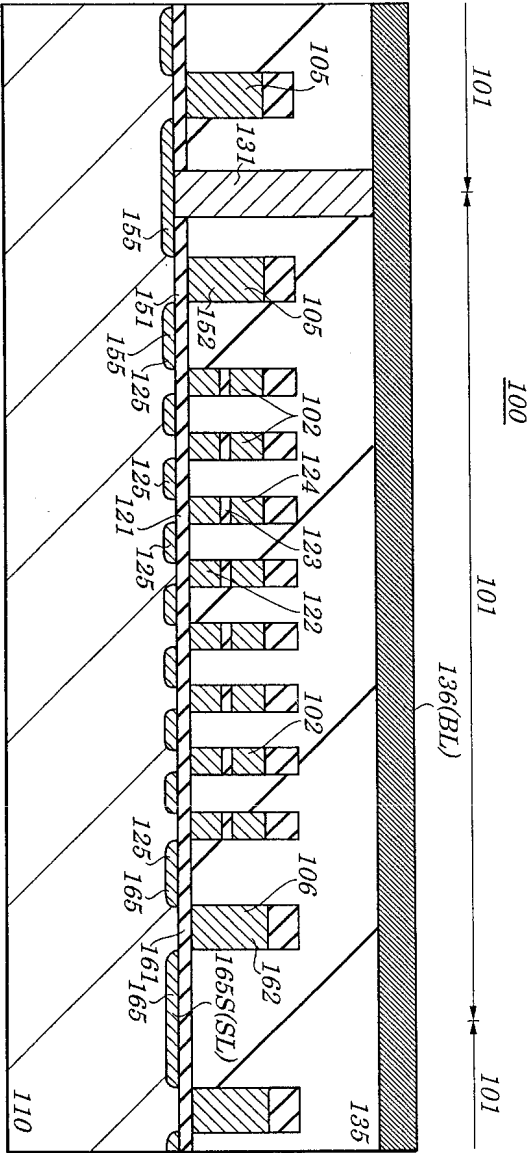
도면26

(종래 기술)



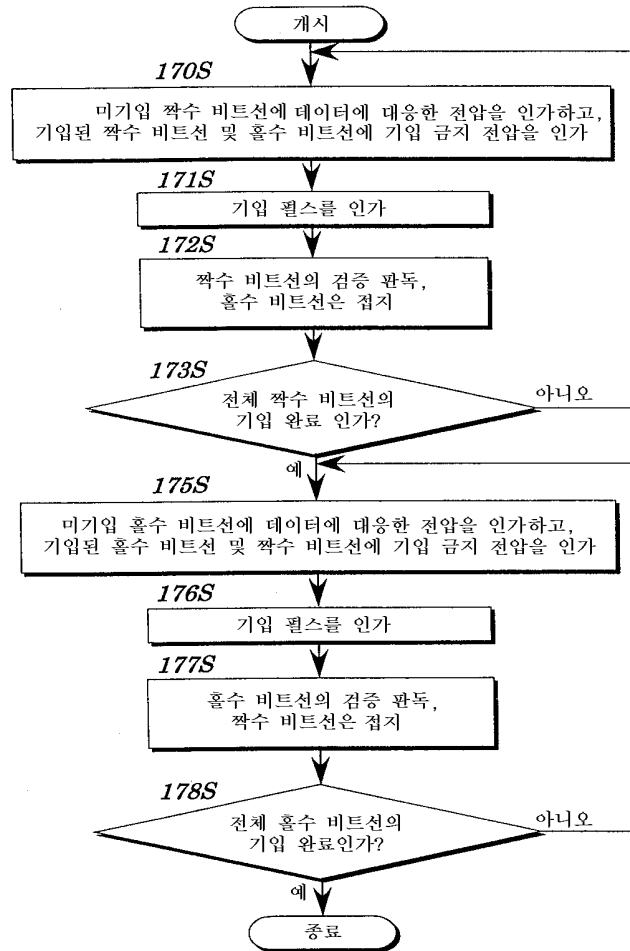
도면27

(종래 기술)



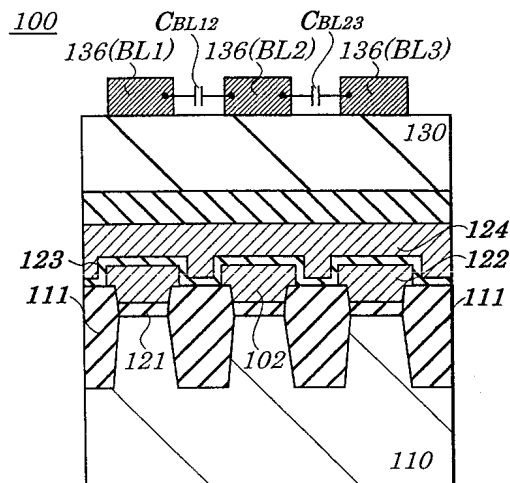
도면28

(종래 기술)



도면29

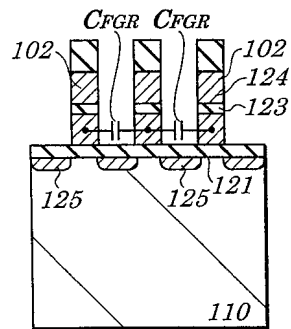
(종래 기술)





도면30

(종래 기술)



도면31

(종래 기술)

