(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3648689号
(P3648689)
(45)発行日　平成17年5月18日(2005.5.18)　(24)登録日　平成17年2月25日(2005.2.25)

(51)Int.Cl.[7]　F I
G02F 1/133　G02F 1/133 545
G09G 3/36　G09G 3/36

請求項の数 2　(全 16 頁)

(21)出願番号　特願平6-238475
(22)出願日　平成6年9月6日(1994.9.6)
(65)公開番号　特開平8-76091
(43)公開日　平成8年3月22日(1996.3.22)
審査請求日　平成13年8月28日(2001.8.28)

(73)特許権者　390020248
日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目２４番１号
(74)代理人　100086564
弁理士　佐々木　聖孝
(72)発明者　田中　信一
茨城県稲敷郡美浦村木原２３５５番地　日本テキサス・インスツルメンツ株式会社内
(72)発明者　野坂　剛
茨城県稲敷郡美浦村木原２３５５番地　日本テキサス・インスツルメンツ株式会社内

審査官　山口　裕之

最終頁に続く

(54)【発明の名称】液晶パネル駆動方法及び装置

(57)【特許請求の範囲】

【請求項１】

液晶を挟むようにして複数本の走査電極と複数本の信号電極とがマトリクス状に交差配列され、前記走査電極および前記信号電極にそれぞれ印加される電圧の差の絶対値に応じて各交差点に位置する画素がオンまたはオフするように構成された液晶パネルを駆動するための液晶パネル駆動方法において、

前記走査電極および前記信号電極にそれぞれ印加される電圧の極性を一定数の連続する前記走査電極毎に反転し、前記電圧の反転する交流一周期の期間内または交流一周期を越える期間内で配列順序とは無関係な任意の順序で前記走査電極に選択走査電圧を印加するとともに前記選択走査電圧を印加される前記走査電極に応じて各々の前記信号電極に選択信号電圧または非選択信号電圧を印加するようにしたことを特徴とする液晶パネル駆動方法。

【請求項２】

液晶を挟むようにして複数本の走査電極と複数本の信号電極とがマトリクス状に交差配列され、前記走査電極および前記信号電極にそれぞれ印加される電圧の差の絶対値に応じて各交差点に位置する画素がオンまたはオフするように構成された液晶パネルを駆動するための液晶パネル駆動装置において、

一時に前記走査電極のいずれか１つに選択走査電圧を印加すると同時に他の全ての前記走査電極に非選択走査電圧を印加するための走査電極駆動手段と、

前記走査電極のいずれか１つに選択電極が印加される度毎にその走査電極上の各画素に対

応した画像データに基づいて選択信号電圧または非選択信号電圧を各々の前記信号電極に印加するための信号電極駆動手段と、
前記走査電極および前記信号電極にそれぞれ印加される電圧の極性を一定数の連続する前記走査電極毎に反転させるライン交流化手段と、
前記電圧の反転する交流一周期の期間内または交流一周期を越える期間内で前記選択走査電圧を印加されるべき前記走査電極の順序を任意に決定する選択順序決定手段と、
前記選択順序決定手段の決定した順序で前記走査電極に前記選択走査電圧が印加されるように前記走査電極駆動手段を制御する選択順序制御手段と、
前記選択順序決定手段の決定した順序にしたがって前記選択走査電圧を印加される前記走査電極上の各画素がそれに対応した画像データに応じてオンまたはオフするように前記信号電極駆動手段を制御する表示制御手段と
を有する液晶パネル駆動装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、液晶パネルを駆動するための駆動方法および装置に関する。
【０００２】
【従来の技術】
コンピュータ等の表示装置として、近年フラットパネルディスプレイが用いられている。フラットパネルディスプレイには種々のものが存在するが、液晶を用いたＬＣＤ(Liquid Crystal Display)が多用されており、その代表的なものとしては単純マトリクス液晶パネルがある。
【０００３】
図１３に、単純マトリクス液晶パネルの構成を模式的に示す。この単純マトリクス液晶パネルは、複数本の走査電極Ｘ１，Ｘ２，・・・，ＸＮ と複数本の信号電極Ｙ１，Ｙ２，・・・，ＹＭ で液晶を挟む構造となっており、走査電極Ｘと信号電極Ｙとの各交点が各画素を構成する。
【０００４】
かかる液晶パネルでは、走査駆動（時分割駆動）によって表示信号を各画素に伝達して画面を構成する。つまり、一時にいずれか１つの走査電極Ｘｉ に選択走査電圧を印加し、その走査電極Ｘｉ 上の各画素（選択された行の画素）に各信号電極Ｙ１，Ｙ２，・・・，ＹＭ より該当する表示信号（選択信号電圧または非選択信号電圧）を各画素に送り込むことによって１行の表示を行う。走査電極は上から順（Ｘ１，Ｘ２，・・・，ＸＮ の順）に選択または走査され、一巡して１つのフレーム（画面）が構成される。
【０００５】
ところで、この種の液晶パネルでは、クロストークによる表示均一性の低下が問題となっている。図１４の白黒画面の表示パターンを例にとってこの現象を説明する。図１４において、Ａ，Ｂ，Ｃ，Ｄの各画素は同一（第７）の走査ライン上の白の画素である点で共通しているが、縦（列）方向においてそれぞれの表示パターンが異なる。すなわち、Ａの列は全部白の表示パターンであり、Ｂの列は大きな（たとえば走査ライン２０本分の）黒のブロック（斜線部分）が存在するブロック状表示パターンであり、Ｃの列は走査ライン７本分の黒のブロックが走査ライン７本分の間隔（白のブロック）を置いて繰り返される点在ブロック状表示パターンであり、Ｄの列は走査ライン１本分の周期で黒と白が繰り返される横縞状表示パターンである。
【０００６】
図１５は、従来のフレーム交流化方式による各画素Ａ，Ｂ，Ｃ，Ｄの印加電圧波形を示す。フレーム交流化方式では、１フレームを単位として走査電極Ｘおよび信号電極Ｙに印加される電圧の極性が反転し、ひいては画素印加電圧も反転するが、各画素の印加電圧波形の波形変化または周波数は各表示パターンにおける画素の変化の度合いにほぼ対応している。したがって、図１４の表示パターンの場合、画素Ａ，Ｂ，Ｃの印加電圧波形の周波数

に対して画素Ｄの印加電圧波形の周波数は相当高くなっている。しかし、液晶の容量と電極の抵抗とにより印加電圧波形の周波数が高くなるほど図１５の点線で示すように波形が鈍るため、非選択期間中に画素Ｄに印加される実効電圧が他の画素よりも低くなり、同じオン（白）画素でも透過率に違いが出てＤがＡ，Ｂ，Ｃよりも暗く映ってしまう。

【０００７】

図１６は、従来のライン交流化方式による各画素Ａ，Ｂ，Ｃ，Ｄの印加電圧波形を示す。このライン交流化方式では、一定数の走査ラインたとえば７本の走査ラインを駆動（選択）する度毎に印加電圧の極性が反転される。したがって、図１４の表示パターンの場合、印加電圧の極性反転に応じて各画素の印加電圧波形が変化するため、極性反転の回数分だけ画素Ａ，Ｂの印加電圧波形の波形変化または周波数が増大するとともに画素Ｄの印加電圧波形の波形変化または周波数は減少し、両者（Ａ，Ｂ），Ｄ間の実効電圧差または透過率差は少なくなる。しかし、一方で、ライン反転の半周期に対応した周期で黒と白が縦（列）方向で入れ替わる表示パターン上の画素Ｃの印加電圧波形にあっては、元々存在していた数少ない波形変化点が極性反転で打ち消され、実効電圧または透過率が不所望に大きくなり、結果として表示不均一性が解消されない。

【０００８】

なお、この種のクロストークの対策として、１フレーム目は全ての走査電極を同じ極性の印加電圧で選択し、２フレーム目では走査電極毎に交互に逆の印加電圧で選択することにより、どのような表示パターンでも連続する２つのフレーム内で非選択期間中の波形変化または周波数を同じにする駆動方法が提案されている。しかし、この駆動方法によると、１フレーム目と２フレーム目との間で波形変化の度合いおよびパターンが著しく異なるため、フリッカが生じやすくなるという不具合がある。

【０００９】

本発明は、かかる従来技術の問題点に鑑みてなされたもので、表示パターンの違いに起因する異なる画素間の印加電圧波形の実効電圧差を効果的に低減して、フリッカ等の不具合を伴うことなくクロストークを抑制するようにした液晶パネル駆動方法および装置を提供することを目的とする。

【００１０】

【課題を解決するための手段】

上記の目的を達成するため、本発明の液晶パネル駆動方法は、液晶を挟むようにして複数本の走査電極と複数本の信号電極とがマトリクス状に交差配列され、前記走査電極および前記信号電極にそれぞれ印加される電圧の差の絶対値に応じて各交差点に位置する画素がオンまたはオフするように構成された液晶パネルを駆動するための液晶パネル駆動方法において、前記走査電極および前記信号電極にそれぞれ印加される電圧の極性を一定数の連続する前記走査電極毎に反転し、前記電圧の反転する交流一周期の期間内または交流一周期を越える期間内で任意の順序で前記走査電極に選択走査電圧を印加するとともに前記選択走査電圧を印加される前記走査電極に応じて各々の前記信号電極に選択信号電圧または非選択信号電圧を印加する方法とした。

【００１１】

また、本発明の液晶パネル駆動装置は、液晶を挟むようにして複数本の走査電極と複数本の信号電極とがマトリクス状に交差配列され、前記走査電極および前記信号電極にそれぞれ印加される電圧の差の絶対値に応じて各交差点に位置する画素がオンまたはオフするように構成された液晶パネルを駆動するための液晶パネル駆動装置において、一時に前記走査電極のいずれか１つに選択走査電圧を印加すると同時に他の全ての前記走査電極に非選択走査電圧を印加する走査電極駆動手段と、前記走査電極のいずれか１つに選択電極が印加される度毎にその走査電極上の各画素に対応した画像データに基づいて選択信号電圧または非選択信号電圧を各々の前記信号電極に印加する信号電極駆動手段と、前記走査電極および前記信号電極にそれぞれ印加される電圧の極性を一定数の連続する前記走査電極毎に反転させるライン交流化手段と、前記電圧の反転する交流一周期の期間内または交流一周期を越える期間内で前記選択走査電圧を印加されるべき前記走査電極の順序を任意に決

定する選択順序決定手段と、前記選択順序決定手段の決定した順序で前記走査電極に前記選択走査電圧が印加されるように前記走査電極駆動手段を制御する選択順序制御手段と、前記選択順序決定手段の決定した順序にしたがって前記選択走査電圧を印加される前記走査電極上の各画素がそれに対応した画像データに応じてオンまたはオフするように前記信号電極駆動手段を制御する表示制御手段とを有する構成とした。

【００１２】

【作用】

本発明では、ライン交流化方式にしたがって走査電極および信号電極にそれぞれ印加される電圧の極性を一定数の連続する走査電極毎に反転しつつ、該電圧の反転する交流一周期の期間内または交流一周期を越える期間内では配列順序とは無関係に任意の順序で（好ましくは乱数列で）走査電極に選択走査電圧を印加するとともに選択走査電圧を印加される走査電極に応じて各々の信号電極に選択信号電圧または非選択信号電圧を印加する。このように交流一周期の期間内または交流一周期を越える期間内で走査ラインの選択順序をランダムにすることで、任意の表示パターンにおいて非選択期間中の画素印加電圧波形の波形変化がランダムになり、非選択期間における異なる画素間の実効電圧差ないし透過率差を効果的に低減することができる。

【００１３】

【実施例】

以下、図１～図１２を参照して本発明の実施例を説明する。

【００１４】

図１は、本発明の一実施例による液晶パネル駆動方法および装置を適用した液晶表示装置の構成を示す。この液晶表示装置は、図１３に示したものと同じ構成の単純マトリクス液晶パネル１０と、この液晶パネル１０の走査電極Ｘ１ ～ＸＮ および信号電極Ｙ１ ～ＹＭ をそれぞれ駆動するための走査電極駆動回路１２および信号電極駆動回路１４と、両駆動回路１２，１４を制御するためのコントローラ１６と、走査電極駆動回路１２に対するコントローラ１６からの信号をレベルシフトするレベルシフタ１７と、コントローラ１６に画像データＶＤおよびタイミング信号ＴＳを供給するホストコンピュータ１８とから構成される。

【００１５】

コントローラ１６は、走査選択制御部２０と表示制御部２２とで構成される。走査選択制御部２０は選択順序決定部２６と選択順序制御部２８とを有し、表示制御部２２は一対のラインメモリ３０，３２とラインメモリ制御部３４とを有している。コントローラ１６内の各部の機能については後述する。

【００１６】

ここで、図２および図３につき本実施例の液晶表示装置で用いる５レベル駆動法について説明する。なお、説明を簡略するために、液晶パネル１０の表示はオン／オフ（白／黒）の２値表示であるとする。

【００１７】

図２において、走査電極駆動回路１２は液晶パネル１０の走査電極Ｘ１ ～ＸＮ に並列接続された複数個の走査電極ドライバＣ１ ～Ｃｎ からなり、信号電極駆動回路１４は液晶パネル１０の信号電極Ｙ１ ～ＹＭ に並列接続された複数個の信号電極ドライバＳ１ ～Ｓｍ からなる。たとえば、液晶パネル１０の画素数が４８０×１９２０の場合、走査電極駆動回路１２は各々が１６０チャンネル出力を有する３個の走査電極ドライバＣ１ ～Ｃ3 からなり、信号電極駆動回路１４は各々が１６０チャンネル出力を有する１２個の信号電極ドライバＳ１ ～Ｓ12からなる。

【００１８】

コントローラ１６からレベルシフタ１７および信号電極ドライバＳｉ に出力されるデータは－２．５Ｖ～２．５Ｖの論理振幅の信号であり、レベルシフタ１７から走査電極ドライバＣｉ に出力されるデータは－３０Ｖ～－２５Ｖの論理振幅の信号である。すなわち、レベルシフタ１７は－２．５Ｖ～２．５Ｖの論理振幅の信号を－３０Ｖ～－２５Ｖの論理振

幅の信号に変換する。電源回路１９は、走査電極ドライバＣｉ に３０Ｖ、０Ｖ、－２５Ｖおよび－３０Ｖの電圧を供給し、信号電極ドライバＳｉ に－２．５Ｖおよび２．５Ｖの電圧を供給する。

【００１９】

液晶材料は直流駆動するとイオンが片側にたまってすぐに劣化するので、これを防ぐために交流駆動する必要がある。本実施例の５レベル駆動法では、図３の（ａ）に示すように、走査電極Ｘの選択走査電圧は３０Ｖと－３０Ｖの２つがある。一方、走査電極Ｘの非選択走査電圧は０Ｖの１つだけである。信号電極Ｙに印加される電圧は、図３（ｂ）に示すように、－２．５Ｖと２．５Ｖの２つであるが、これらは走査電極Ｘに印加される電圧に依存して選択電圧（画素オン）または非選択電圧（画素オフ）となる。

【００２０】

走査電極Ｘの選択走査電圧が３０Ｖであるときの信号電極Ｙの選択信号電圧は－２．５Ｖであり、走査電極Ｘの選択走査電圧が－３０Ｖであるときの信号電極Ｙの選択信号電圧は２．５Ｖであるので、その走査電極Ｘと信号電極Ｙとの交点に位置する画素には図３（ｃ）に示すように３２．５Ｖの電圧が印加されて、当該画素はオンとなる。一方、走査電極Ｘの選択走査電圧が３０Ｖであるときの信号電極Ｙの非選択信号電圧は２．５Ｖであり、走査電極Ｘの選択走査電圧が－３０Ｖであるときの信号電極Ｙの非選択信号電圧は－２．５Ｖであるので、その対応する画素には図３（ｃ）に示すように２７．５Ｖの電圧が印加されて、当該画素はオフとなる。また、各走査電極Ｘに非選択走査電圧０Ｖが印加されているときには各信号電極Ｙには２．５Ｖまたは－２．５Ｖが印加されるので、選択されていない各走査電極Ｘの各画素には２．５Ｖの電圧が印加されて当該画素はオフ状態を保つこととなる。

【００２１】

このように、５レベル駆動法によれば、液晶パネル１０の走査電極Ｘに印加する電圧が３種類でよく、信号電極Ｙに印加する電圧も２種類でよいので、走査電極用ドライバＣｉ および信号電極用ドライバＳｉ の構成、制御などが簡略化される。特に、信号電極用ドライバＳｉ においては、その回路を５Ｖ系の回路のみで構成できるので、そのＩＣチップの面積が小さくなり、ドライバのコストを低減できるという利点がある。

【００２２】

再び図１において、走査選択制御部２０の選択順序制御部２８は、従来と同様のライン交流化たとえば7ライン交流化を行うためのライン交流化信号Ｍを生成し、この信号Ｍを走査電極駆動回路１２に与える。選択順序決定部２６は、ライン交流化信号Ｍによって規定される、たとえば交流の一周期の期間内で選択走査電圧（３０Ｖまたは－３０Ｖ）を印加されるべき走査電極Ｘの順序を乱数で決定する。たとえば、７ライン交流化を行う場合、交流一周期の期間内に１４本の走査ラインが含まれるので、一連の１４個の整数からなる乱数列を発生するような乱数発生器を用いればよい。

【００２３】

一般的な乱数発生方法は混合型合同法である。この混合型合同法は、次式を演算して０～2^{P}－１（Ｐ：自然数）までの乱数を発生させる方法である。

$$Xn+1 \equiv aXn + b \quad (\text{modulo}\ \ 2^{P}), \quad X0 \equiv c \qquad \cdots\cdots(1)$$

ただし、ａ，ｂ，ｃ＝１～2^{P}－１（整数）であり、ａ≡１（modulo　４），ｂ≡１（modulo　２）である。

【００２４】

たとえば、Ｐ＝４とすると、ａ，ｂ，ｃはそれぞれ次の値をとる。

ａ＝１，５，９，１３　　（４通り）

ｂ＝１，３，５，７，９，１１，１３，１５　　（８通り）

ｃ＝０，１，２，……，１５　　（１６通り）

【００２５】

ａ，ｂ，ｃの組合わせは全部で４×８×１６＝５１２通りあるから、０から１５までの整数からなる乱数列｛Ｘ0,Ｘ1,……，Ｘ15｝を５１２通り生成することができる。

【００２６】
Ａを初期値とする一連の１４個の整数からなる乱数列を生成するには、先ず上記のような０から１５までの整数からなる乱数列｛Ｘ0,Ｘ1,……，Ｘ15｝を生成し、次にこの乱数列｛Ｘ0,Ｘ1,……，Ｘ15｝から所定の２つの整数（たとえば１４と１５）を除去し、残った１３個の整数からなる乱数列に初期値（基底値）Ａを加算すればよい。
【００２７】
選択順序決定部２６は、上記のような演算を実行することによって、７ライン交流化による交流一周期内の１４本の走査ラインの選択順序を乱数列で決定することができる。
【００２８】
選択順序決定部２６で決定された走査選択順序のデータＸＤは、走査選択制御部２０内の選択順序制御部２８に与えられるとともに、表示制御部２２のラインメモリ制御部３４にも与えられる。
【００２９】
選択順序制御部２８は、選択順序決定部２６の決定した順序で走査電極Ｘに選択走査電圧を印加させるための制御またはタイミング信号ＴＥＳＴ，ＳＣＫＣＯＭ，ＳＩＯ，Ｌ／Ｒ‾を走査電極駆動回路１２に与えるとともに、信号電極駆動回路１４にもタイミング信号ＴＥＳＴ（ＤＳＴ）を与える。
【００３０】
表示制御部２２のラインメモリ制御部３４は、両ラインメモリ３０，３２の書き込み動作および読み出し動作が交互に行われるような制御を行う。つまり、ラインメモリ制御部３４は、一方のラインメモリ（たとえばラインメモリ３０）より画像データが読み出される間に、ホストコンピュータ１８からの画像データが他方のラインメモリ（たとえばラインメモリ３２）に書き込まれるように両ラインメモリ３０，３２の動作を制御する。
【００３１】
本実施例で７ライン交流化を行う場合は、交流一周期内の１４本の走査ライン分の画像データを１ブロックとして各ラインメモリ３０，３２に書き込む。各ラインメモリ３０，３２から１ブロック分の画像データを読み出すに当たっては、選択順序決定部２６の決定した順序で各走査ライン分の画像データＤＡＴＡを８ビット（Ｄ0 ～Ｄ7 ）ずつ読み出して制御またはタイミング信号ＳＣＫ，ＲＥＶと一緒に信号電極駆動回路１４に与える。
【００３２】
図４は、走査電極駆動回路１２内の各走査電極ドライバＣｉ の構成例を示す。この走査電極ドライバＣｉ は、内部ロジック回路４０，双方向シフトレジスタ４２，ラッチ回路４４，セレクタ４６，レベルシフタ４８およびドライブ回路５０を内蔵したＩＣである。ＩＣ端子のうち、シリアルデータ入出力端子ＳＩＯ1，ＳＩＯ2、シフトクロック端子ＳＣＫＣＯＭ、シフト方向制御端子Ｌ／Ｒ‾、交流化信号入力端子Ｍ、液晶駆動出力制御端子ＥＮ、テスト入力端子ＴＥＳＴは、それぞれレベルシフタ１７を介してコントローラ１６の走査選択制御部２０に接続されている。液晶駆動用電源端子ＶＨ,ＶＭ,ＶＬ は電源回路１９（図２）に接続されている。
【００３３】
本実施例において、ＶＨ,ＶＭ,ＶＬ はそれぞれ３０Ｖ，０Ｖ，－３０Ｖである。高耐圧系の電源端子ＶＥＥ1,2 、ＶＳＳ1,2 および内部ロジック系の電源端子ＶＤＤ，ＶＳＳ3 も電源回路１９（図２）に接続されている。液晶駆動出力端子ＣＯＭ1,ＣＯＭ2,……ＣＯＭＫ は、１個の走査電極ドライバＣｉ で賄う（駆動する）分の走査電極ＸＨ,ＸＨ+1,……ＸＨ+Ｋ にそれぞれ接続されている。内部ロジック回路４０は走査選択制御部２０からの制御またはタイミング信号ＳＩＯ、ＳＣＫＣＯＭ、Ｌ／Ｒ‾、Ｍ、ＥＮ、ＴＥＳＴに応動して各部の動作を制御する。
【００３４】
図５は、双方向シフトレジスタ４２およびラッチ回路４４の構成例を示す。双方向シフトレジスタ４２は、液晶駆動出力端子ＣＯＭ1,ＣＯＭ2,……ＣＯＭＫ と対応する個数のレジスタＲ1,Ｒ2,……，ＲＫ を直列に接続してなり、シリアルデータ入出力端子ＳＩＯ1 また

はＳＩＯ2 より１パルスのＨレベルのデータＳＩＯを入力し、シフトクロックＳＣＫＣＯＭの立ち下がりエッジ毎にシフト方向制御信号Ｌ／Ｒ‾ の状態にしたがってシフトレジスタデータＳＩＯをシフトレジスタ内の左側もしくは右側へ１ビット（レジスタ）だけシフトさせるように構成されている。

【００３５】

ラッチ回路４４は、シフトレジスタ４２のレジスタR1,R2,……, RK にそれぞれ接続された複数（Ｋ）個のラッチL1,L2,……, LK からなり、テスト信号ＴＥＳＴがＬレベルの間にラッチL1,L2,……, LK がそれぞれ対応するレジスタR1,R2,……, RK のデータを取り込み、テスト信号ＴＥＳＴがＨレベルの間はラッチL1,L2,……, LK はそれぞれ取り込んでいるデータをラッチ（保持）するように構成されている。

【００３６】

図５において、各ラッチＬi は２つのトランスファ・ゲート５４，５６と２つの反転回路５８，６０とから構成され、ＴＥＳＴがＬレベルのときは第１のトランスファ・ゲート５４がオン、第２のトランスファ・ゲート５６がオフでデータ・スルー状態となり、ＴＥＳＴがＨレベルのときは第１のトランスファ・ゲート５４がオフ、第２のトランスファ・ゲート５６がオンでデータ・ラッチ状態となるように構成されている。

【００３７】

図６は、双方向シフトレジスタ４２およびラッチ回路４４の動作のタイミングを示す。本実施例では、上記したように交流一周期内の１４本の走査ラインが配列順序とは無関係に乱数で決定される順序で選択（駆動）される。図６は一例として１４本の走査ライン｛X1,X2,……, X14｝がX1,X2,X6,X3,X5,X4,……の順序で選択される場合の動作を示している。

【００３８】

先ず、シフト方向制御信号Ｌ／Ｒ‾ がＬレベルで右シフト（Ｒ）を指示しているときに、１パルスのシフトレジスタ・データＳＩＯが左側のシフトレジスタ・データ入力端子ＳＩＯ1 から与えられると同時に、シフトクロックＳＣＫＣＯＭおよびテスト信号ＴＥＳＴがＨレベルからＬレベルに立ち下がる。これにより、シフトレジスタ・データＳＩＯが第１のレジスタR1 にロードされると同時に第１のラッチL1 に転送される。この直後に、ＴＥＳＴがＨレベルに戻り、第１のラッチL1 内でシフトレジスタ・データＳＩＯがラッチされる。

【００３９】

次にＴＥＳＴがＬレベルに立ち下がるまでの間に、シフトクロックＳＣＫＣＯＭが１回立ち下がる。この時、シフト方向制御信号Ｌ／Ｒ‾ はまだＬレベル（右シフトを指示）であるから、ＳＣＫＣＯＭの立ち下がりエッジに応動してシフトレジスタ４２内でデータＳＩＯが第１のレジスタR1 から第２のレジスタR2 へシフトする。この状態でＴＥＳＴがＬレベルに立ち下がると、第２のレジスタR2 に格納されているシフトレジスタ・データＳＩＯが第２のラッチL2 に取り込まれる。この直後にＴＥＳＴがＨレベルに戻ると、第２のラッチL2 内でシフトレジスタ・データＳＩＯがラッチされる。

【００４０】

その次にＴＥＳＴがＬレベルに立ち下がるまでの間に、シフト方向制御信号Ｌ／Ｒ‾ がＬレベル（右シフトを指示）のままで、シフトクロックＳＣＫＣＯＭが４回立ち下がり、これによってシフトレジスタ４２内でデータＳＩＯが右へ４ビットだけシフトして第６のレジスタR6 へ来る。したがって、ＴＥＳＴがレベルに立ち下がると、第６のレジスタR6 に格納されているシフトレジスタ・データＳＩＯが第６のラッチL6 に取り込まれ、この直後にＴＥＳＴがＨレベルに戻って第６のラッチL6 にシフトレジスタ・データＳＩＯがラッチされる。

【００４１】

その次にＴＥＳＴがＬレベルに立ち下がるまでの間に、シフト方向制御信号Ｌ／Ｒ‾ がＨレベル（左シフトを指示）に切り替わり、シフトクロックＳＣＫＣＯＭが３回立ち下がる。これによって、シフトレジスタ４２内でデータＳＩＯが左へ３ビットだけシフトして第

３のレジスタR3 へ来る。したがって、ＴＥＳＴがＬレベルに立ち下がると、第３のレジスタR3 からシフトレジスタ・データＳＩＯが第３のラッチＬ3 に取り込まれ、この直後にＴＥＳＴがＨレベルに戻って第３のラッチＬ3 にシフトレジスタ・データＳＩＯがラッチされる。

【００４２】

このように、ＴＥＳＴの一周期の間にシフト方向制御信号Ｌ／Ｒ‾ によるシフト方向の指示を受けながらシフトクロックＳＣＫＣＯＭが所定回数だけ立ち下がることで、ＴＥＳＴの各周期毎に所望（所定の順）のラッチＬi にシフトレジスタ・データＳＩＯがラッチされ、そのラッチＬi に対応した所望（所定の順）の走査電極Ｘi が選択（駆動）されるようになっている。

【００４３】

なお、ＴＥＳＴの一周期をたとえば５０μｓｅｃにした場合は、ＳＣＫＣＯＭの周期を０．１μｓｅｃ程度に選ぶことで、ＴＥＳＴの一周期の間にシフトレジスタ・データＳＩＯをシフトレジスタ４２内の任意のレジスタ位置に移動させることが可能である。

【００４４】

再び図４において、セレクタ４６は、ラッチ回路４４からの各ラッチ出力と内部ロジック回路４０からのライン交流化信号Mの論理状態とにしたがってドライブ回路５０内の各ドライバＤＲＶ1,ＤＲＶ2,……, ＤＲＶK を制御するための後述する制御信号ＶGH, ＶGM, ＶGLを出力する。レベルシフタ４８は、セレクタ４６からの制御信号ＶGH, ＶGM, ＶGLの振幅電圧レベルをたとえば（－３０Ｖ～－２５Ｖ）からたとえば（－３０Ｖ～３０Ｖ）に変換する。

【００４５】

図７は、ドライブ回路５０内の各ドライバＤＲＶi の回路構成の一例を示す。このドライバＤＲＶi は、ＰチャネルＭＯＳトランジスタＰ1 , Ｐ2 とＮチャネルＭＯＳトランジスタＮ1 , Ｎ2 とインバータＩＮＶ1 , ＩＮＶ2 とから構成され、制御信号ＶGH, ＶGM, ＶGLにより各トランスジタの導通を制御してＩＣチップ（走査電極ドライバＣi ）の出力パッドＣＯＭi に３レベルの電圧ＶH , ＶM,ＶL の中の１つを出力するように構成されている。各トランジスタは高耐圧のトランジスタである。ここで、電圧ＶH , ＶM , ＶL はそれぞれ３０Ｖ, ０Ｖ, －３０Ｖであるが、これ以外の電圧にも適用できることはいうまでもない。また、レベルシフタ４８からの各制御信号ＶGH , ＶGM , ＶGL は、３０Ｖ（論理値Ｈ）または－３０Ｖ（論理値Ｌ）の２値の電圧により各トランジスタの導通を制御する。

【００４６】

このドライバＤＲＶi において、制御信号ＶGHが論理値Ｈで、制御信号ＶGM, ＶGLが論理値Ｌのときは、トランジスタＰ1 のみが導通してトランジスタＰ1 および出力パッドＣＯＭi を介して走査電極Ｘi に電圧ＶH が出力される。制御信号ＶGMが論理値Ｈで、制御信号ＶGH, ＶGLが論理値Ｌのときには、トランジスタＰ2 , Ｎ2 だけが導通してトランジスタＰ2 , Ｎ2 および出力パッドＣＯＭi を介して走査電極Ｘi に電圧ＶM が出力される。制御信号ＶGLが論理値Ｈであり、制御信号ＶGH, ＶGMが論理値Ｌのときには、トランジスタＮ2 のみが導通してトランジスタＮ2 および出力パッドＣＯＭi を介して走査電極Ｘi に電圧ＶL が出力される。

【００４７】

図８は、信号電極駆動回路１４内の各信号電極ドライバＳi の構成例を示す。この信号電極ドライバＳi は、コントロール回路６２, データマルチプレクサ６４、ラッチセレクタ６６、データラッチ回路６８、７０およびドライブ回路７２を内蔵したＩＣである。このＩＣの端子のうち、パラレルデータ入出力端子Ｄ0 ～Ｄ7 、データ反転制御端子ＲＥＶおよびクロック端子ＳＣＫはコントローラ１６の表示制御部２２に接続され、データラッチ端子ＤＳＴ（ＴＥＳＴ）はコントローラ１６の走査選択制御部２０に接続されている。液晶駆動用電源端子Ｖ0 , Ｖ1 および内部ロジック用電源端子ＶDD, ＶSSは、電源回路１９（図２）に接続されている。

【００４８】
本実施例においてＶ０，Ｖ１はそれぞれ２．５Ｖ，－２．５Ｖである。また、ＶDD，ＶSSもそれぞれ２．５Ｖ，－２．５Ｖとなる。液晶駆動出力端子ＯＵＴ1,ＯＵＴ2,……ＯＵＴQは、１個の信号電極ドライバＳｉで賄う（駆動する）分の信号電極ＹＪ,ＹＪ+1,……ＹＪ+Qにそれぞれ接続されている。
【００４９】
この信号電極ドライバＳｉにおいて、コントローラ１６の表示制御部２２より送られて来た８ビット単位の画像データＤ０～Ｄ7は、データマルチプレクサ６４に入力されてから、データラッチ回路６８に格納される。データマルチプレクサ６４では、ライン交流化信号Ｍの論理値に対応するデータ反転制御信号ＲＥＶの論理値にしたがって各入力データＤｉの論理値を条件的に反転する。
【００５０】
図９に、このフォーマットを示す。つまり、ＲＥＶの論理値が０のときは、各入力データＤｉの論理値は反転せず、各液晶駆動出力端子ＯＵＴｉには選択信号電圧としてＶ１（２．５Ｖ）が現れ、非選択信号電圧としてＶ０（－２．５Ｖ）が現れるようになっている。ＲＥＶの論理値が１のときは、各入力データＤｉの論理値が反転し、各液晶駆動出力端子ＯＵＴｉには選択信号電圧としてＶ０（－２．５Ｖ）が現れ、非選択信号電圧としてＶ１（２．５Ｖ）が現れるようになっている。
【００５１】
第１のデータラッチ回路６８には、ラッチセレクタ６６の制御で８ビット単位のデータＤ０～Ｄ7がＮ組（ここで、Ｑ＝８×Ｎ）単位でラッチされる。第２のデータラッチ回路７０にはＱ個のデータＪｉが個々にパラレルにラッチされ、データラッチ信号ＤＳＴ（ＴＥＳＴ）の立ち下がりで各データＪｉが制御信号としてドライブ回路７２内の各ドライバＷｉに与えられるようになっている。
【００５２】
図１０は、ドライブ回路７２内の各ドライバＷｉの回路構成の一例を示す。このドライバＷｉは、ＮチャネルＭＯＳトランジスタＮとＰチャネルＭＯＳトランジスタＰとで構成され、データラッチ回路７０からの制御信号（表示信号Ｊｉ）により各トランスジタの導通を制御してＩＣチップ（信号電極ドライバＳｉ）の出力パッドＯＵＴｉに２レベルの電圧Ｖ１，Ｖ０のうちの１つを出力するように構成されている。各トランジスタは５Ｖ系のトランジスタである。ここで、電圧Ｖ１，Ｖ０はそれぞれ２．５Ｖ，－２．５Ｖであるが、これ以外の電圧にも適用できることはいうまでもない。また、データラッチ回路７０からの制御信号Ｊｉは、２．５Ｖ（論理値Ｈ）または－２．５Ｖ（論理値Ｌ）の２値の電圧により各トランジスタの導通を制御する。
【００５３】
かかるドライバＷｉにおいて、制御信号Ｊｉが論理値Ｈのときは、トランジスタＮのみが導通し、このトランジスタＮおよび出力パッドＯＵＴｉを介して信号電極Ｙｉに電圧Ｖ０が出力される。制御信号Ｊｉが論理値Ｌのときは、トランジスタＰだけが導通し、このトランジスタＰおよび出力パッドＯＵＴｉを介して信号電極Ｙｉに電圧Ｖ１が出力される。上記したように、本実施例ではライン交流化方式を用いるため、出力電圧Ｖ１，Ｖ０の論理（選択信号電圧もしくは非選択信号電圧）はライン交流化信号Ｍの論理値つまりデータ反転制御信号の論理値に依存する。
【００５４】
図１１は、信号電極ドライバＳｉ内の動作のタイミングを示す。ＤＳＴの一周期の期間内に画像データＤ0,Ｄ1,…が８ビット単位でＮ回（全部でＱ個分）取り込まれ、次のＤＳＴの一周期の期間でそれら各画像データＤ0,Ｄ1,…の論理値とデータ反転制御信号ＲＥＶの論理値とに対応した出力電圧（Ｖ１もしくは Ｖ０）が各液晶駆動出力端子ＯＵＴｉに出力される。
【００５５】
上記したように、本実施例の液晶パネル駆動装置では、ライン交流化方式にしたがって走

査電極Ｘおよび信号電極Ｙにそれぞれ印加される電圧の極性を一定数（たとえば７本）の連続する走査電極毎に反転しつつ、該電圧の反転する交流一周期の期間内では配列順序とは無関係に乱数で定まる任意の順序で走査電極Ｘに選択走査電圧を印加するとともに選択走査電圧を印加される走査電極Ｘｉ に応じて各々の信号電極Ｙ１ ～ＹＭ に選択信号電圧または非選択信号電圧を印加するようにしている。

【００５６】

このように、たとえば交流一周期の期間内で走査ラインの選択順序をランダムにすることで、任意の表示パターンにおいて非選択期間中の画素印加電圧波形の波形変化がランダムになり、実効電圧差ないし透過率差を効果的に低減することができる。

【００５７】

たとえば、図１４に示す表示パターン例の場合、本実施例の液晶パネル駆動装置では、第７の走査ライン上の各画素Ａ，Ｂ，Ｃ，Ｄの非選択期間における走査ラインの選択順序をＸ8 →Ｘ9 →Ｘ10→Ｘ18→Ｘ12→Ｘ13→Ｘ14→Ｘ15→Ｘ16→Ｘ17→Ｘ11→Ｘ19…というようにＸ11とＸ18を互いに入れ替えることによって、図１２に示すような画素印加電圧波形を得ることが可能であり、全ての画素Ａ，Ｂ，Ｃ，Ｄの間で画素印加電圧波形の波形変化点または周波数の差が減少する方向に作用し、実効電圧ないし透過率が均一化され、表示むらが改善される。

【００５８】

上記した実施例では、７ライン交流化方式について説明したが、任意の走査ライン数を周期とする交流化が可能であり、交流の一周期または交流の一周期を越える期間が連続するフレーム間にまたがっていても構わない。走査選択制御部２０の選択順序決定部２６は、その都度乱数を生成する乱数発生器に限らず、複数種類の乱数列を格納してその都度読み出すメモリで構成することも可能である。

【００５９】

乱数の発生方法も、上記した混合型合同法に限らず、他の方法を用いることも可能である。乱数を利用した選択順序によれば、あらゆる表示パターンに有効なライン入れ替えが行える。しかし、一定の規則にしたがって配列順序とは無関係に走査ラインの選択順序を決定することも可能である。

【００６０】

また、上記した実施例では５レベル駆動法について説明したが、他の液晶駆動法を用いるのも可能であり、たとえば走査電極Ｘに４値の電圧を印加し信号電極Ｙに４値の電圧を印加する６レベル駆動法でも本発明は実施可能である。また、本発明の駆動方法および装置は、ＳＴＮパネルに限らず、ＭＩＭパネルやＴＦＤパネル等にも適用可能である。

【００６１】

【発明の効果】

以上説明したように、本発明によれば、ライン交流化における交流一周期の期間内または交流一周期を越える期間内で走査ラインの選択順序をランダムにすることにより、任意の表示パターンにおける非選択期間中の画素印加電圧波形の波形変化をランダムにして、非選択期間における異なる画素間の実効電圧差ないし透過率差を効果的に低減することが可能であり、フリッカ等の不具合を伴うことなくクロストークを抑制することができる。

【図面の簡単な説明】

【図１】本発明の一実施例による液晶パネル駆動方法および装置を適用した液晶表示装置の構成を示すブロック図である。

【図２】実施例における５レベル駆動法を説明するための要部の構成を示すブロック図である。

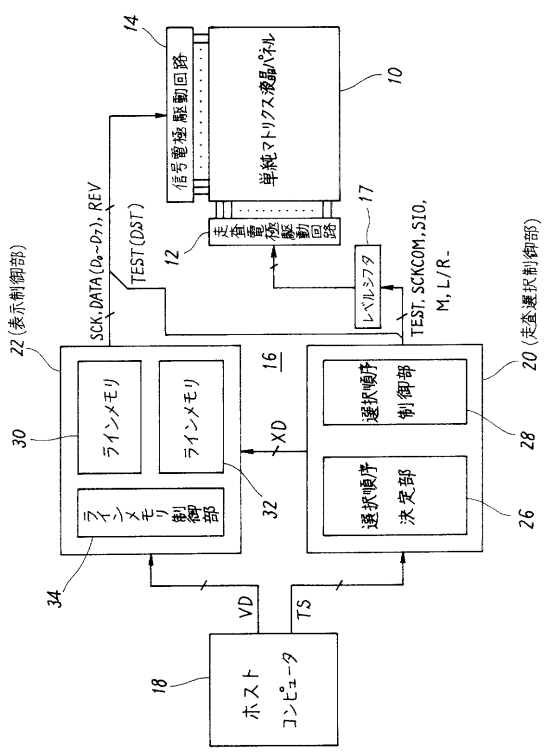
【図３】実施例における５レベル駆動法を説明するための走査電極Ｘおよび信号電極Ｙに印加される電圧のレベルを示す図である。

【図４】実施例における走査電極駆動回路１２内の各走査電極ドライバＣｉ の構成例を示すブロック図である。

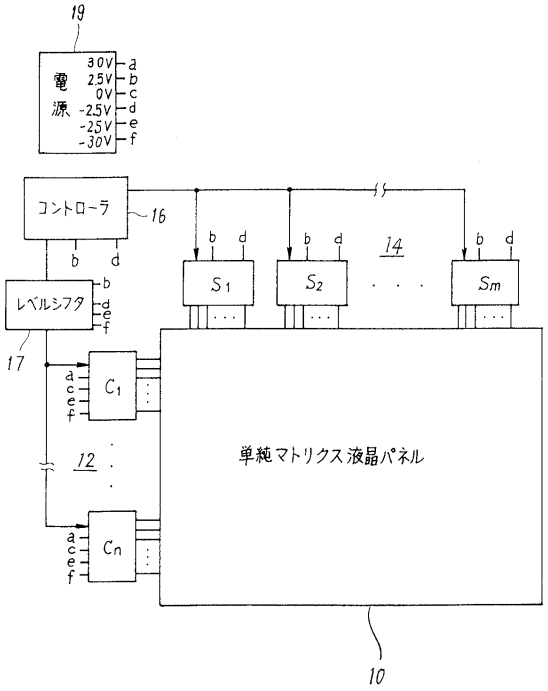
【図５】実施例における双方向シフトレジスタ４２およびラッチ回路４４の構成例を示す

ブロック図である。
【図６】実施例における双方向シフトレジスタ４２およびラッチ回路４４の動作を示すタイミング図である。
【図７】実施例における各走査電極ドライバＣｉ のドライブ回路５０内の１ライン分のドライバＤＲＶｉ の構成例を示す回路図である。
【図８】実施例における信号電極駆動回路１４内の各信号電極ドライバＳｉ の構成例を示すブロック図である。
【図９】実施例における信号電極ドライバＳｉ 内部のデータ反転フォーマットを示す図である。
【図１０】実施例における各信号電極ドライバＳｉのドライブ回路７２内の１ライン分のドライバＷｉ の構成例を示す回路図である。
【図１１】実施例における信号電極ドライバＳｉ 内の動作を示すタイミング図である。
【図１２】図１４の各画素Ａ，Ｂ，Ｃ，Ｄに対する実施例による印加電圧波形の一例を示す図である。
【図１３】単純マトリクス液晶パネルの構成を模式的に示す平面図である。
【図１４】単純マトリクス液晶パネルにおけるクロストーク現象を説明するための表示パターンを示す図である。
【図１５】図１４の各画素Ａ，Ｂ，Ｃ，Ｄに対する従来のフレーム交流化方式による印加電圧波形の一例を示す図である。
【図１６】図１４の各画素Ａ，Ｂ，Ｃ，Ｄに対する従来のライン交流化方式による印加電圧波形の一例を示す図である。
【符号の説明】
１０　　単純マトリクス液晶パネル
１２　　走査電極駆動回路
１４　　信号電極駆動回路
１６　　コントローラ
２０　　走査選択制御部
２２　　表示制御部
２６　　選択順序決定部
２８　　選択順序制御部
３０，３２　　ラインメモリ
３４　　ラインメモリ制御部
Ｃｉ　　走査電極ドライバ
Ｓｉ　　信号電極ドライバ
Ｘ1,Ｘ2,…，ＸＮ　　走査電極
Ｙ1,Ｙ2,…，ＹＭ　　信号電極

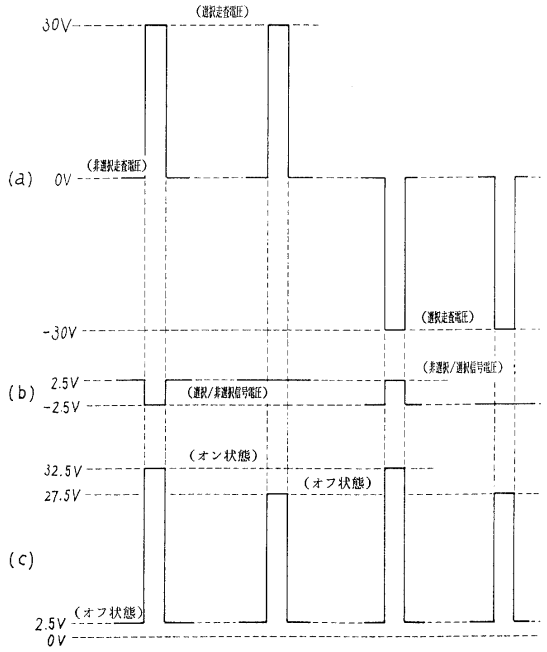
【図１】


単純マトリクス液晶パネル
信号電極駆動回路
走査電極駆動回路
レベルシフタ
ラインメモリ
ラインメモリ
ライン メモリ 制御部
選択順序 制御部
選択順序 決定部
ホスト コンピュータ
(表示制御部)
(走査選択制御部)
SCK, DATA(D0~D7), REV
TEST(DST)
TEST, SCKCOM, SIO, M, L/R
XD
VD
TS

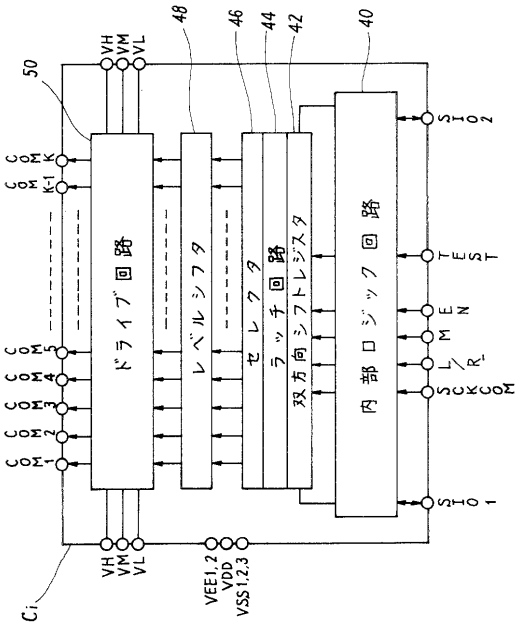
【図２】


電源
30V
2.5V
0V
-2.5V
-25V
-30V
コントローラ
レベルシフタ
S1
S2
Sm
C1
Cn
単純マトリクス液晶パネル

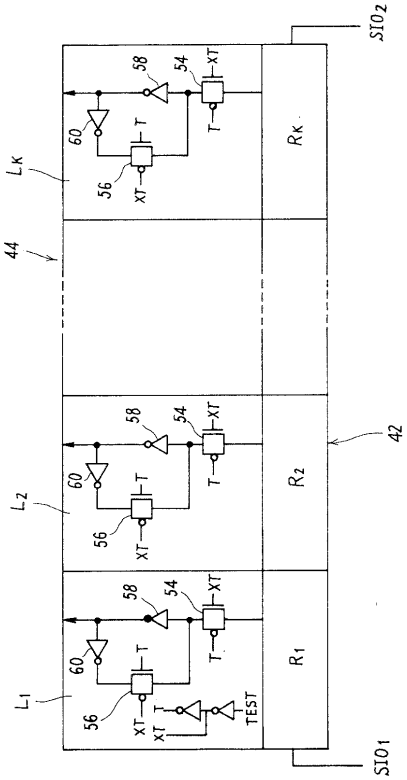
【図３】


30V
(選択走査電圧)
(a) 0V
(非選択走査電圧)
-30V
(b) 2.5V
-2.5V
(選択/非選択信号電圧)
32.5V
27.5V
(オン状態)
(オフ状態)
(c)
2.5V
0V

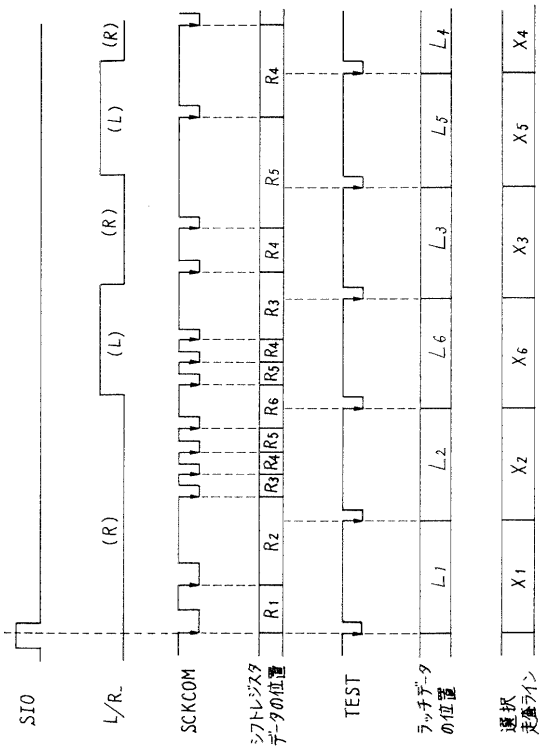
【図４】


ドライブ回路
レベルシフタ
セレクタ
ラッチ回路
双方向シフトレジスタ
内部ロジック回路
COMK
COMK-1
COM5
COM4
COM3
COM2
COM1
Ci
VH
VM
VL
VEE1,2
VDD
VSS1,2,3
SIO2
TEST
SCKCOM
L/R
SIO1

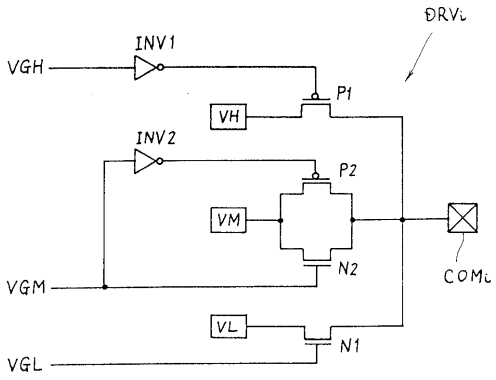
【図５】


SIO2
SIO1
LK
L2
L1
44
42
RK
R2
R1
58
54
XT
60
T
56
TEST

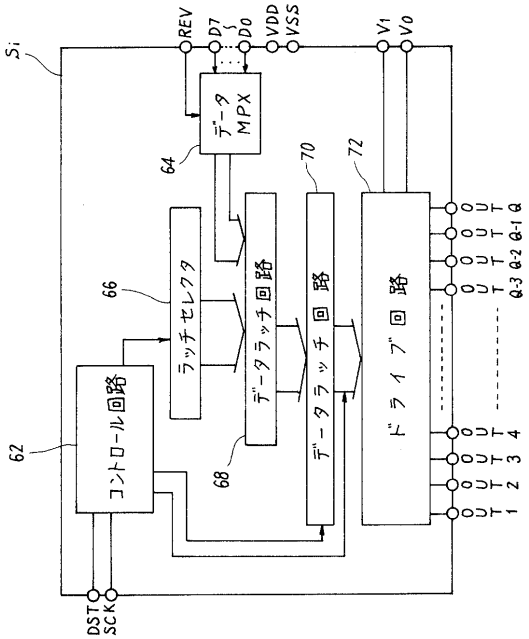
【図６】


SIO
L/R
SCKCOM
シフトレジスタ データの位置
TEST
ラッチデータ の位置
選択 走査ライン
(R)
(L)
R1
R2
R3
R4
R5
R6
L1
L2
L3
L4
L5
L6
X1
X2
X3
X4
X5
X6

【図７】


DRVi
INV1
INV2
VGH
VGM
VGL
VH
VM
VL
P1
P2
N1
N2
COMi

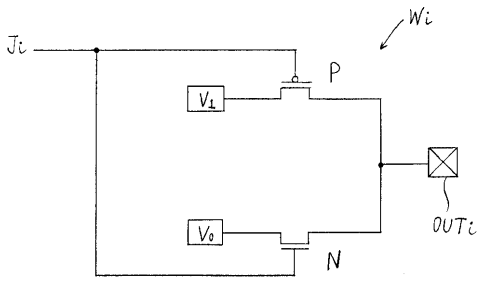
【図８】


Si
REV
D7
D0
VDD
VSS
V1
V0
データ MPX
64
70
72
66
62
68
ラッチセレクタ
データラッチ回路
データラッチ回路
ドライブ回路
コントロール回路
DST
SCK
OUT1
OUT2
OUT3
OUT4
OUTQ-3
OUTQ-2
OUTQ-1
OUTQ

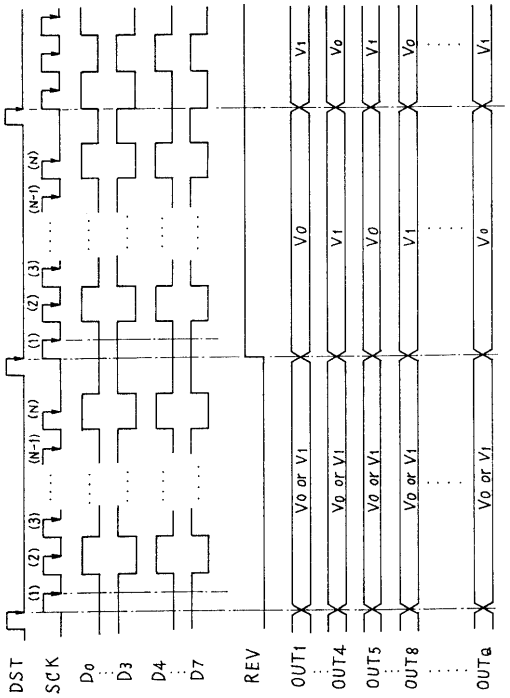
【図９】

R E V	0		1	
入力データDi	0	1	0	1
内部データ・ラッチJi	0	1	1	0
OUTi	V0	V1	V1	V0

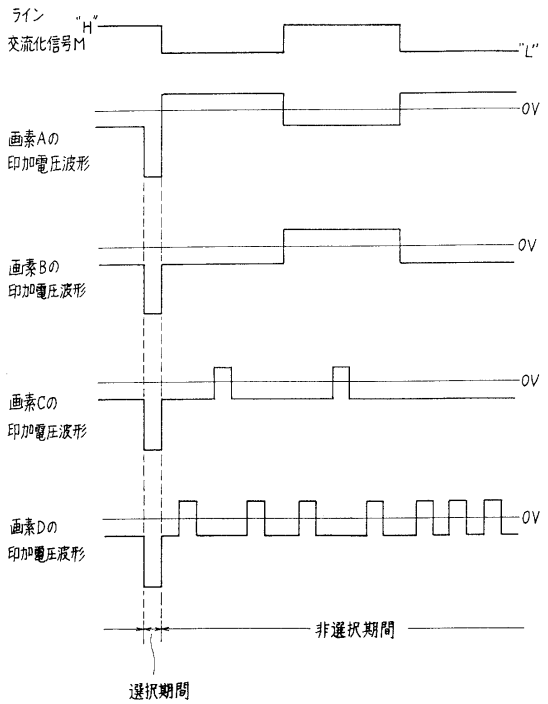
【図１０】



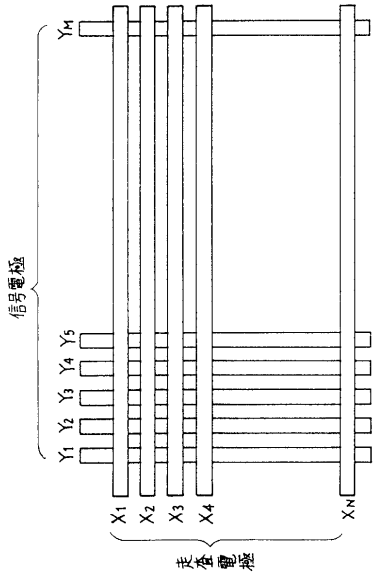
【図１１】



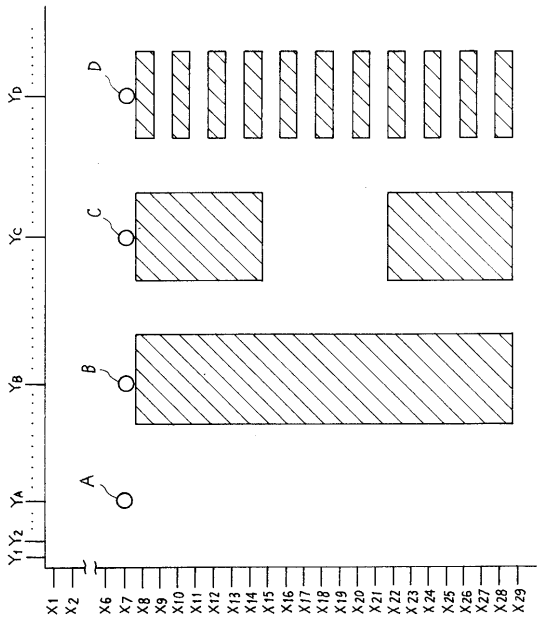
【図１２】



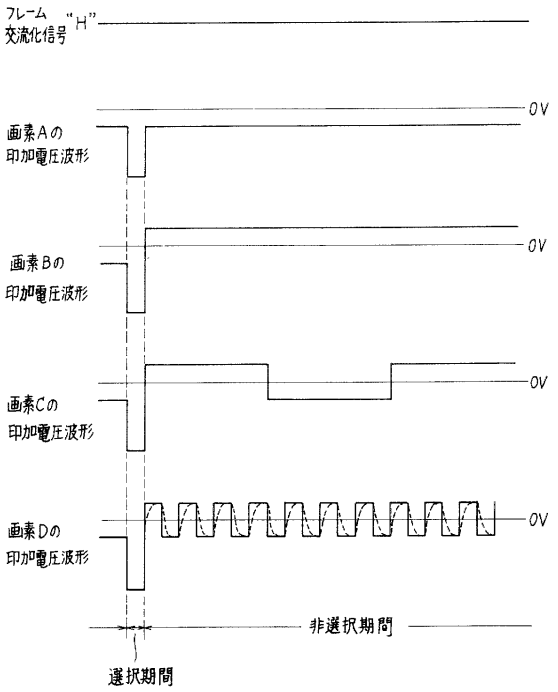
【図１３】



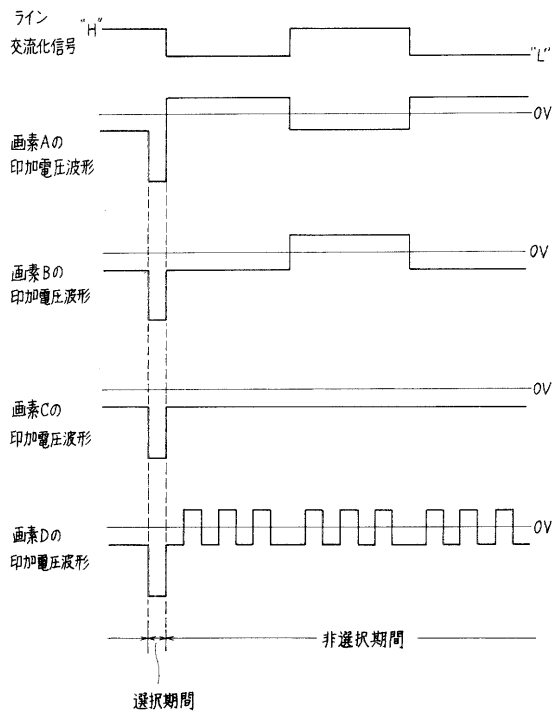
【図１４】


D
C
B
A
YD
YC
YB
YA
Y1 Y2
X1 X2 X6 X7 X8 X9 X10 X11 X12 X13 X14 X15 X16 X17 X18 X19 X20 X21 X22 X23 X24 X25 X26 X27 X28 X29

【図１５】


フレーム 交流化信号 "H"
0V
画素Aの 印加電圧波形
画素Bの 印加電圧波形
画素Cの 印加電圧波形
画素Dの 印加電圧波形
非選択期間
選択期間

【図１６】


ライン 交流化信号 "H"
"L"
0V
画素Aの 印加電圧波形
画素Bの 印加電圧波形
画素Cの 印加電圧波形
画素Dの 印加電圧波形
非選択期間
選択期間

フロントページの続き

(56)参考文献 特開昭６４－０５９３３１（ＪＰ，Ａ）
特開昭６４－０５９３３５（ＪＰ，Ａ）
特開昭５８－１６９１９０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G02F 1/133
G09G 3/36