

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/00

B82B 3/00



[12] 发明专利申请公开说明书

[21] 申请号 02122444.7

[43] 公开日 2003 年 1 月 8 日

[11] 公开号 CN 1389901A

[22] 申请日 2002.6.5 [21] 申请号 02122444.7

[30] 优先权

[32]2001.6.5 [33]US [31]09/873189

[71] 申请人 惠普公司

地址 美国加利福尼亚州

[72] 发明人 H·李

R·比克内尔-塔休施

[74] 专利代理机构 中国专利代理(香港)有限公司

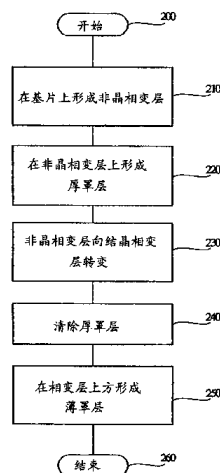
代理人 吴立明 张志醒

权利要求书 1 页 说明书 6 页 附图 4 页

[54] 发明名称 制造原子分辨存储器件的光滑表面的
结晶相变层的方法

[57] 摘要

一种形成结晶的、表面保持原子级光滑的相变层(100)的方法;以及,按此方法制造的一种原子级光滑的、结晶的相变层(100)。该方法包括:在基片(60)上形成相变层(80),在相变层(80)上形成厚罩层(90),将相变层(80)从非晶相改变为结晶相,去除厚罩层(90),和在相变层(100)上形成薄罩层(110)。



ISSN 1008-4274

1. 一种制备数据存储介质 (20) 的方法, 该方法包括:
在基片 (60) 上形成相变层 (80);
在相变层 (80) 上形成厚罩层 (90);
5 相变层 (80) 从第一相变为第二相;
去除厚罩层 (90); 以及
在相变层 (100) 上形成薄罩层 (110)。
2. 权利要求 1 所述的方法, 其中形成相变层 (80) 的步骤包
括至少实行热蒸发、电子束蒸发、元素的共蒸发和射频 (RF) 溅射
10 中的一种。
3. 权利要求 1 所述的方法, 其中形成厚罩层 (90) 的步骤包
括至少实施射频 (RF) 溅射和电子束蒸发中的一种。
4. 权利要求 1 所述的方法, 其中去除步骤包括选择性地蚀刻
厚罩层 (90)。
- 15 5. 权利要求 1 所述的方法, 其中形成薄罩层 (110) 的步骤包
括至少实施射频 (RF) 溅射和原子层沉积 (ALD) 之一。
6. 一种数据存储介质 (20), 该介质包括:
基片 (60);
位于基片 (60) 之上的相变层 (100); 和
20 位于相变层 (100) 之上的薄罩层 (110),
其中相变层 (100) 的第一表面位于最接近薄罩层 (110) 的位
置并且其中相变层 (100) 的第一表面具有小于 2 纳米的均方根 (RMS)
表面粗糙度。
7. 权利要求 6 所述的数据存储介质 (20), 其中相变层 (100)
25 包括结晶区。
8. 权利要求 7 所述的数据存储介质 (20), 其中相变层包括纳
米尺度数据位 (40)。
9. 权利要求 7 所述的数据存储介质 (20), 其中薄罩层 (110)
包括低原子密度的、耐用的材料。
- 30 10. 权利要求 7 所述的数据存储介质 (20), 其中第一表面具有
小于 0.4 纳米的均方根表面粗糙度。

制造原子分辨存储器件的光滑表面 的结晶相变层的方法

5 技术领域

本发明一般涉及数据存储介质和制造数据存储介质的方法。

背景技术

图 1 示出了一种按照相关技术的超高密度的数据存储器件 10。该数据存储器件 10 是由存储介质 20 和位置接近于存储介质 20 的一个表面的触点片 30 所组成。存储介质 20 含有纳米尺度的数据位 40，它们通过装在最接近于存储介质 20 的触点片 30 的表面上的发射极 50 写入存储介质 20 和从其中读出。写入和读出操作将在下面讨论。

发射极 50 用聚焦到纳米尺度斑点的电子束轰击数据位 40。如果该束流有足够高的能量，被轰击的数据位 40 经受相变（例如，在 15 结晶和非晶态之间）。影响这种相变的因素包括对存储介质 20 写入。

在图 1 里示出的数据存储器件 10 中，若干纳米尺度的数据位 40 包含在存储介质 20 之中。如果这些数据位 40 已被如上所讨论的任何发射极 50 写入，它们能够被看作代表数字“1”的数据位 40。另一方面，没有写入的数据位 40 能够被看作是代表数字“0”的数据 20 位 40。

采用比在写入操作中使用的较低能量的束流轰击所讨论的数据位 40 和监测束流同数据位 40 的相互作用，可以确定数据位 40 代表“1”或是“0”。实施这样的步骤称作从存储介质 20 中“读出”。

读出操作的一个实例包括用低能电子束轰击存储介质 20 的数据 25 位 40，被轰击的数据位 40 不会实现相变。这种示范性的读出操作也包括监测低能轰击电子同数据位 40 如何相互作用。与低能电子束轰击非晶数据位 40 所产生的电子-空穴对相比，结晶数据位 40 受到轰击能产生的电子-空穴对数目不同。因此，通过监测产生的电子-空穴对的数目，确定数据位 40 是代表“1”或是“0”是可能的。

30 图 2 示出了图 1 所示的数据存储器件 10 中使用的相关技术存储介质 20 的特写图。按照图 2，存储介质 20 是由基片 60 和在基片 60 的一个表面形成的结晶相变层 70 制成。尽管没有说明，上面讨论的

之间形成结晶相变层；

图 3D 示出本发明的制造方法的一个步骤，其中只有结晶相变层存在于基片之上；

图 3E 示出本发明的制造方法的一个步骤，其中薄罩层形成在结晶相变层之上；以及

图 4 是说明根据本发明制造方法的各个步骤的流程图。

具体实施方式

图 3A 到 3E 示出按本发明的一个实施方案形成光滑表面的存储介质 20 的方法。图 3E 所示的存储介质 20 包括原子级的光滑表面和它对挥发 VI 族元素遭受损失并不灵敏，而这些元素通常是用在相变材料中的。

按照图 3A，在室温下非晶相变层 80 沉积在基片 60 上。该非晶相变层 80 能用热蒸发、电子束蒸发、元素的共蒸发和(或)射频(RF)溅射来沉积。该非晶相变层 80 也能用任何其他的能形成原子级光滑表面的方法来沉积。

非晶相变层 80 可以包括上面讨论过的任何能含有纳米尺度数据位 40 的材料。这些数据位 40 通过如前面讨论过的由发射极 50 来的电子束写入存储介质 20 和从其中读出。

基片 60 几乎能用任何材料制造。然而，按照本发明的一个特定的实施方案，优选的材料包括那些能够沉积为原子级光滑表面的和(或)那些经得起半导体微加工的材料。按照一个特定的实施方案，基片 60 也选取将在下面讨论的能抗化学蚀刻的材料。

典型地，非晶相变层 80 被沉积为厚约在 1000 埃和 3000 埃之间的一层。最好是，非晶相变层 80 厚约在 1000 埃和 1500 埃之间。(关于本发明实施方案所讨论的层厚是近似的，并且在所讨论的厚度的百分之 10 之内，或其他适宜的厚度，也在本发明的范围内。)对非晶相变层 80 的唯一的厚度限制是该层必须厚到足以能在其中形成可读的数据位 40 以及该非晶相变层 80 一定不能那样厚以致内应力将使它在沉积期间或沉积后爆裂。

图 3B 示出按照本发明的一个实施方案的制造方法的另一个步骤，其中在非晶相变层 80 距离基片 60 最远的表面形成厚罩层 90。厚罩层 90 的厚度典型地在 1000 埃和 2000 埃之间，尽管不存在该厚

数据位 40 写入该结晶的、相变层 70 并且从其中读出。

图 2 表示距离基片 60 最远的结晶相变层 70 的表面含有高的表面粗糙度。典型地，该表面粗糙度超过 4.0 纳米均方根 (RMS)。连同其他缺点，这样大小的表面粗糙度使之难于形成尺度一致的数据位 40 并因此限制了数据存储器件 10 的分辨。

按照图 2 中示出的形成结晶相变层 70 的相关技术方法，使用高温沉积法。然而，在高温条件下 (例如，大约 300°C)，形成在基片 60 上的结晶相变层 70 发育图 2 所示的相当粗糙的表面形态并可能有对超高密度存储器件 10 不利的粒状的表面结构。

表面粗糙的不利至少是因为它引起数据位 40 的几何形状变化并当从存储介质 20 读出时能导致额外的信号噪音。而且，按照相关技术的结晶相变层 70 的高温沉积能导致挥发的 VI 族元素如典型地用于存储介质 20 的硒和碲 (Se, Te) 的损失。

发明内容

按照一个实施方案，一种制备数据存储介质的方法包括在基片上形成相变层、在相变层上形成厚罩层、相变层从第一相变为第二相、去除厚罩层以及在相变层上形成薄罩层。

按照另一个实施方案，数据存储介质包括基片、位于基片上的相变层，和位于相变层上的薄罩层，其中相变层的第一表面位于最接近于薄罩层的位置并且其中相变层的第一表面具有小于 2 纳米的均方根 (RMS) 的表面粗糙度。

附图说明

本发明将通过实例描述，在示范性实施方案的描述中，特别参考附图，其中：

图 1 示出按照相关技术的超高密度的数据存储器件的截面图；

图 2 示出按照相关技术的超高密度的数据存储器件的存储介质的特写图；

图 3A 示出本发明的制造方法的一个步骤，其中非晶相变层形成在基片上；

图 3B 示出本发明的制造方法的一个步骤，其中在非晶相变层上形成厚罩层；

图 3C 示出本发明的制造方法的一个步骤，其中在基片和厚罩层

度的特定的上限，但要求在制造过程中厚罩层 90 和非晶相变层 80 都不爆裂。厚罩层 90 的厚度也不存在下限，但只要厚罩层 90 厚到足以防止非晶相变层 80 的最接近罩层 90 的表层在制造方法的剩余步骤期间改变其表面结构。

5 厚罩层 90 可以是相对于结晶相变层 100（像在下面讨论的，非晶相变层 80 最终转变成它）和基片 60 选择性蚀刻的任何材料。组成厚罩层 90 的典型材料包括，但不限于，二氧化硅（ SiO_2 ）、硼硅酸盐玻璃（BSG）、磷硅酸盐玻璃（PSG）和硼磷硅酸盐玻璃（BPSG）。厚罩层 90 典型地是由射频溅射或是由电子束蒸发来沉积的。然而，
10 本发明所用的不限于这些方法，并且任何基本上不干扰非晶相变层 80 原子级光滑表面的形成罩层 90 的方法也在本发明的范围内。

图 3C 示出按照本发明的一个实施方案的制造方法的另一个步骤，其中非晶相变层 80 已经转变成结晶相变层 100。虽然任何能够影响从非晶相变层 80 变成结晶相变层 100 的工艺均在本发明的范围内，
15 但在一个优选的实施方案中，使用退火来实现此变化。典型的退火次数和温度依赖于所用的相变材料。然而，典型的退火温度相对于被退火的材料的结晶温度进行优选。按照本发明的一个特定的实施方案，结晶温度约在 200°C 和 300°C 之间，因此退火温度可以选在该温区。

20 图 3D 示出按照本发明的一个实施方案的另一个制造步骤，按照图 3D，厚罩层 90 已经从它先前沉积在其上的结晶相变层 100 的表面上去除掉。

按照本发明的一个特定的实施方案，厚罩层 90 被氟化氢溶液或蒸气和（或）含氟化合物的干法蚀刻选择性地蚀刻掉。换句话说，
25 可以使用湿法蚀刻或使用蒸气蚀刻，尽管去除厚罩层 90 并不限于湿法和蒸气蚀刻。任何基本上不改变结晶相变层 100 的表面结构的从结晶相变层 100 的表面上去除厚罩层 90 的方法也都在本发明的范围内。典型地，氟化氢蚀刻具有氟化氢对水的比率在 1:10 和 1:100 之间，尽管这些比率只是示范性的并且可以使用其他比率。同样，
30 其他含有缓冲剂氧化物的蚀刻（BOE）也能使用。

图 3E 还示出按照本发明的制造方法的另一个步骤，其中薄罩层 110 形成在距离基片 60 最远的结晶相变层 100 的那一表面。该薄罩

层 110 的厚度典型地在三和七纳米之间，尽管其他厚度也是在本发明的范围内。该薄罩层 110 的最大厚度是当对存储介质 20 导通读出和写入操作时由能量发射极 50 发射的能量决定的。更具体而言，因为薄罩层 110 在较厚时吸收更多的能量，而由能量发射极 50 发射的能量将只能穿行一定厚度的薄罩层 110，所以要求薄罩层 110 保持薄。

在本发明的一种替代实施方案中，其中能量发射极 50 发射能贯穿清晰薄罩层 110 的很大厚度的一种类型的能量（例如，光），薄罩层 110 的厚度能大大地增加。

薄罩层 110 典型地是由低原子密度、耐用的材料制成的。这意味着低原子密度原子，如可以使用铝和硼。这样低原子密度的材料容许由发射极 50 来的电子穿行薄罩层 110 更大的厚度。关于在薄罩层 110 中使用的材料的耐用性方面，主要指材料的抗磨损和抗物理损伤的能力。

构成薄罩层 110 的典型材料包括，但不限于，氧化铝 (Al_2O_3) 和氮化硼。典型地，薄罩层 110 是通过射频溅射或原子层沉积 (ALD) 来沉积的。然而，形成薄罩层 110 的方法只以下限制：能够保持薄罩层 110 同产生光滑表面相容的低的表面粗糙度，以及它们基本上不影响薄罩层 110 沉积于其上的结晶相变层 100 的表面特性。

薄罩层 110 的典型表面粗糙度小于 2.0 纳米均方根。然而，按照本发明的一种优选实施方案，薄罩层 110 的表面粗糙度小于 0.4 纳米均方根。

图 3E 中示出的存储介质 20 的结构含有结晶相变层 100 和薄罩层 110，它们是原子级光滑的并可以被安放在上面讨论过的发射极 50 的附近。薄罩层 110 保护结晶相变层 100 的表面结构和容许在较高的温度或较高的发射极 50 能量下实施数据位 40 的读和写。而且，按照图 3E 示出的本发明的实施方案，VI 族元素从结晶相变层 100 中的挥发被大大减少或被完全消除。

图 4 是以上所述制造步骤的流程图。如图 4 所示，制造过程始于开始步骤 200。然后，可以实施图 3A 所示的步骤 210，它要求在基片上形成非晶相变层。然后接着是要求在非晶相变层上形成厚罩层的步骤 220，如图 3B 所示。在步骤 230，非晶相变层转变为结晶

相变层，如图 3C 所示。步骤 230 接着步骤 240，此步骤要求除去厚罩层，如图 3D 所示。然后可以包括在结晶相变层上形成薄罩层的步骤 250，如图 3E 所示。最后以步骤 260 结束此制造过程。

5 前面的详细描述仅提供对本发明的示范性实施过程的了解，而非必要的限制，因为对本领域技术人员来说在没有超出附加的权利要求及其等同要求的范围进行一些修改应当是显而易见的。

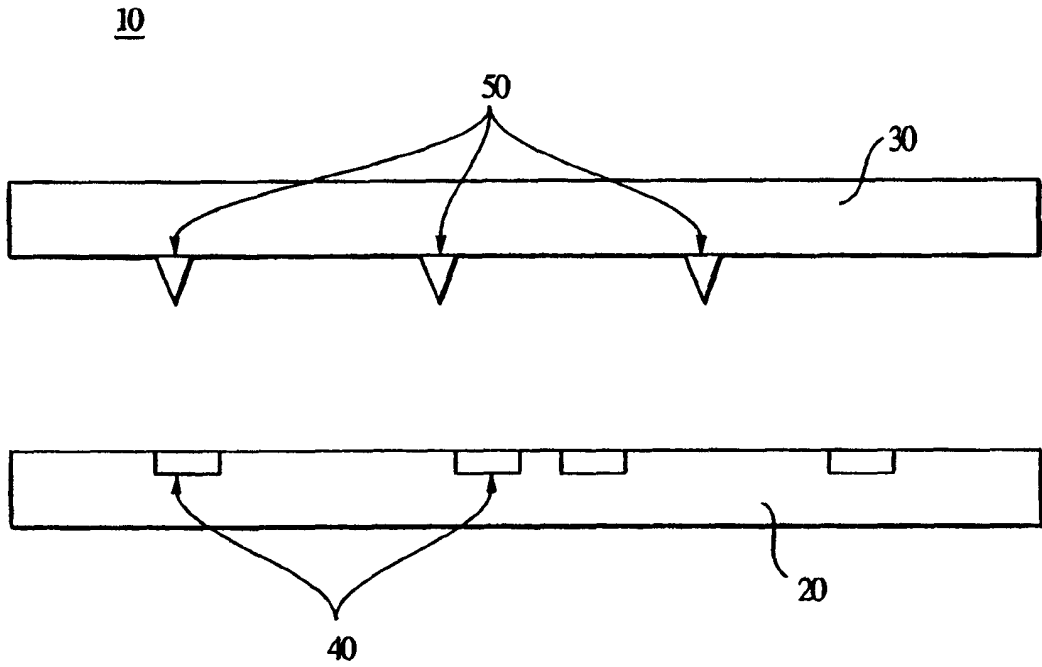


图 1
相关技术

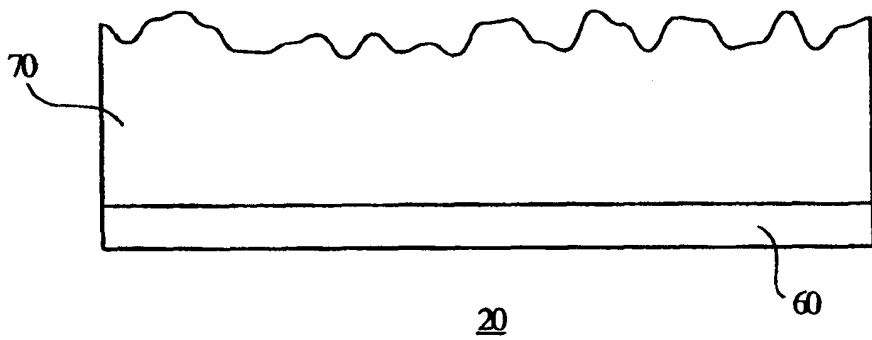


图 2
相关技术

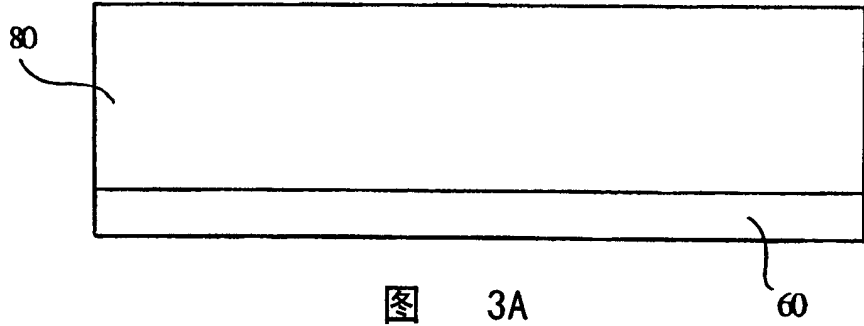


图 3A

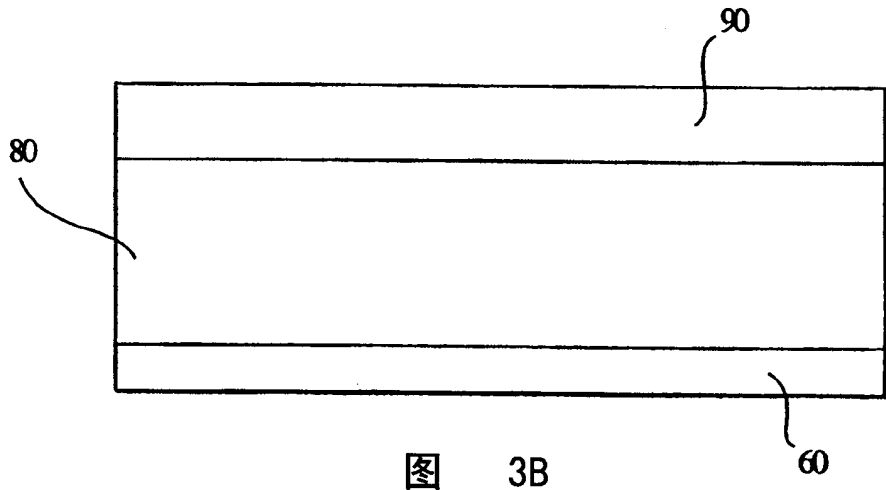


图 3B

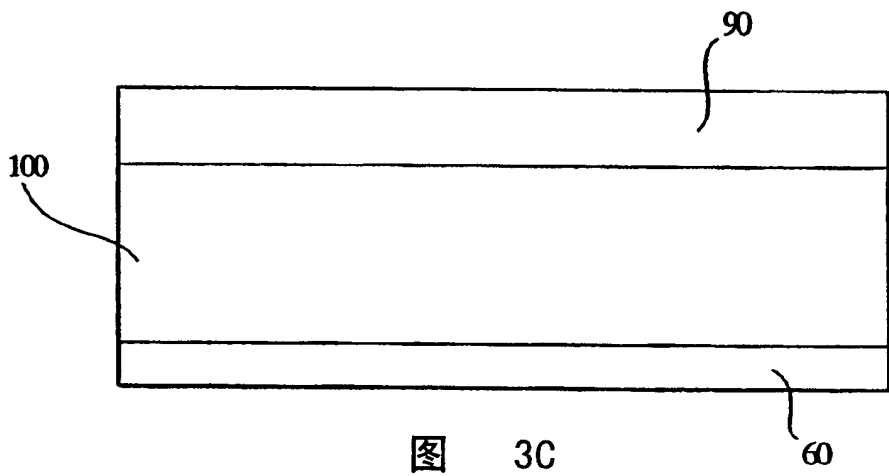


图 3C

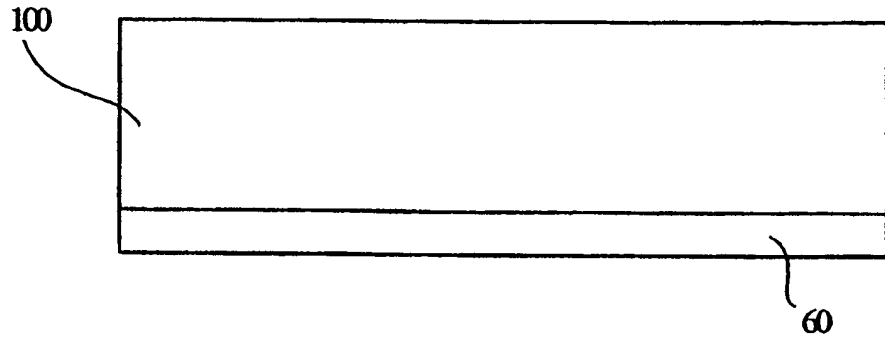


图 3D

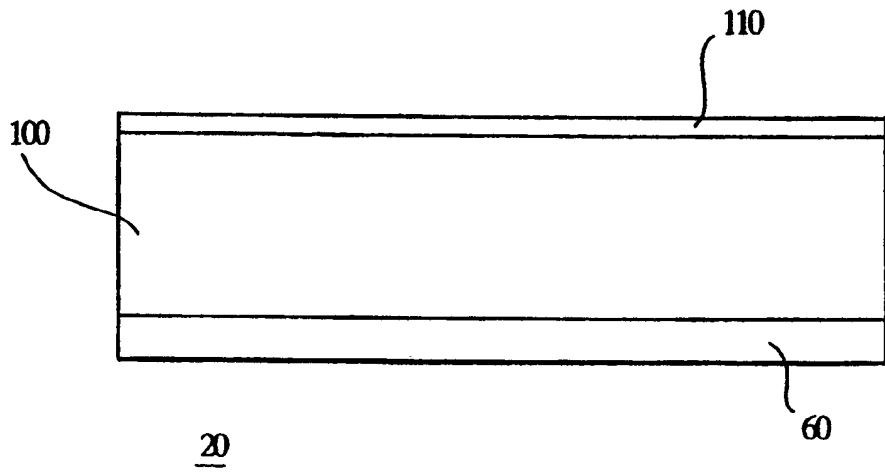


图 3E

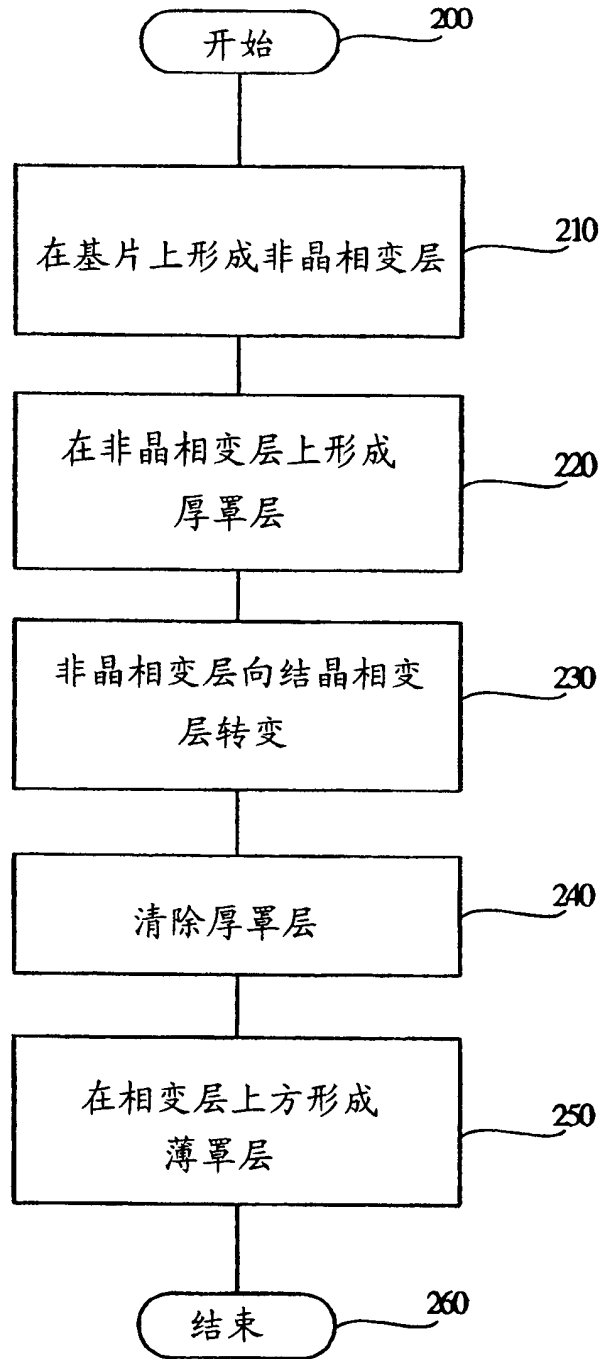


图 4