(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4593788号
(P4593788)

(45)発行日　平成22年12月8日(2010.12.8)　(24)登録日　平成22年9月24日(2010.9.24)

(51)Int.Cl.		F I		
H03H 17/04	(2006.01)	H03H	17/04	641E
H03H 17/02	(2006.01)	H03H	17/04	633A
H03H 17/06	(2006.01)	H03H	17/02	633B
H04B 3/06	(2006.01)	H03H	17/06	633A
H04B 7/005	(2006.01)	H03H	17/06	641E

請求項の数 36　(全 20 頁)　最終頁に続く

(21)出願番号　特願2000-588892 (P2000-588892)
(86)(22)出願日　平成11年12月14日 (1999.12.14)
(65)公表番号　特表2002-533004 (P2002-533004A)
(43)公表日　平成14年10月2日 (2002.10.2)
(86)国際出願番号　PCT/US1999/029656
(87)国際公開番号　WO2000/036744
(87)国際公開日　平成12年6月22日 (2000.6.22)
審査請求日　平成18年12月14日 (2006.12.14)
(31)優先権主張番号　09/211,990
(32)優先日　平成10年12月14日 (1998.12.14)
(33)優先権主張国　米国(US)

(73)特許権者　595020643
クゥアルコム・インコーポレイテッド
ＱＵＡＬＣＯＭＭ　ＩＮＣＯＲＰＯＲＡＴＥＤ
アメリカ合衆国、カリフォルニア州　９２１２１－１７１４、サン・ディエゴ、モアハウス・ドライブ　５７７５
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100095441
弁理士　白根　俊郎

最終頁に続く

(54)【発明の名称】低電力のプログラム可能なデジタルフィルタ

(57)【特許請求の範囲】

【請求項１】

入力信号を受信し、第１の伝達関数を有する第１の有限インパルス応答フィルタセクションと、

前記第１の有限インパルス応答フィルタセクションに接続され、第２の伝達関数を有している無限インパルス応答フィルタセクションと、

前記無限インパルス応答フィルタセクションに接続され、プログラム可能なデジタルフィルタによる前記入力信号の受信に応答して濾波された出力信号を出力し、第３の伝達関数を有する第２の有限インパルス応答フィルタセクションと、

前記第１、第２または第３の伝達関数におけるプログラム可能な係数を供給する手段とを具備しており、

前記第１、第２および第３の伝達関数は単位円上におけるゼロの位置決めを容易にし、前記ゼロはストップバンド周波数上にひろがり、前記単位円の実数軸上の付加的なゼロはパスバンドのドループを補償し、パスバンドエッジ付近の極はパスバンドドループを補償してフィルタ位相応答特性を等化する、プログラム可能なデジタルフィルタ。

【請求項２】

前記第１、第２および第３の伝達関数の係数は２の累乗である請求項１記載のプログラム可能なデジタルフィルタ。

【請求項３】

前記第１の伝達関数は、第１のプログラム可能な係数を有している請求項１記載のプロ

グラム可能なデジタルフィルタ。
【請求項４】
前記第２の伝達関数は、第２のプログラム可能な係数を有している請求項３記載のプログラム可能なデジタルフィルタ。
【請求項５】
前記第３の伝達関数は、第３のプログラム可能な係数を有している請求項４記載のプログラム可能なデジタルフィルタ。
【請求項６】
前記プログラム可能な係数を供給する手段は、制御信号を供給する制御手段を含んでいる請求項５記載のプログラム可能なデジタルフィルタ。
【請求項７】
前記プログラム可能な係数を供給する手段は、前記制御信号に応答して前記第１、第２および第３のプログラム可能な係数の少なくとも1つを供給するレジスタ手段を含んでいる請求項６記載のプログラム可能なデジタルフィルタ。
【請求項８】
前記第１の有限インパルス応答フィルタセクションに入力を供給するハイパスフィルタセクションをさらに含んでいる請求項６記載のプログラム可能なデジタルフィルタ。
【請求項９】
前記制御手段からのバイパス制御信号に応答して前記ハイパスフィルタを選択的にバイパスするマルチプレクサをさらに含んでいる請求項８記載のプログラム可能なデジタルフィルタ。
【請求項１０】
前記制御手段は、前記入力信号中に生じたバイアスに応答して前記バイパス制御信号を発生するプロセッサを含んでいる請求項９記載のプログラム可能なデジタルフィルタ。
【請求項１１】
前記第１の有限インパルス応答フィルタセクションは、前記入力信号中の通信ジャマー信号を除去する第１のジャマーフィルタ、第２のジャマーフィルタおよび第３のジャマーフィルタを含んでいる請求項６記載のプログラム可能なデジタルフィルタ。
【請求項１２】
前記第１、第２または第３のジャマーフィルタは、前記第１のプログラム可能な係数を含む伝達関数を有している請求項１１記載のプログラム可能なデジタルフィルタ。
【請求項１３】
前記第１、第２および第３のジャマーフィルタは、前記第１のプログラム可能な係数、第４のプログラム可能な係数および第５のプログラム可能な係数をそれぞれ有する第１、第２および第３のジャマーフィルタ伝達関数を有している請求項１１記載のプログラム可能なデジタルフィルタ。
【請求項１４】
前記有限インパルス応答フィルタセクションはさらに、前記第１、第２および第３のジャマーフィルタの各出力において第１のビット切取り回路、第２のビット切取り回路および第３のビット切取り回路をそれぞれ含んでいる請求項１１記載のプログラム可能なデジタルフィルタ。
【請求項１５】
前記第１、第２および第３のビット切取り回路は、３つの最上位ビットと３つの最下位ビットとを入力コードワードから除去する手段を含んでいる請求項１４記載のプログラム可能なデジタルフィルタ。
【請求項１６】
前記第１のビット切取り回路は、前記第１のジャマーフィルタの出力に直列に接続されている請求項１５記載のプログラム可能なデジタルフィルタ。
【請求項１７】
前記第２のビット切取り回路は、前記第１のジャマーフィルタと前記第２のジャマーフ

ィルタとの間に直列に接続されている請求項１５記載のプログラム可能なデジタルフィルタ。

【請求項１８】

前記第３のビット切取り回路は、前記第２のジャマーフィルタと前記第３のジャマーフィルタとの間に直列に接続されている請求項１５記載のプログラム可能なデジタルフィルタ。

【請求項１９】

前記第１のインパルス応答フィルタセクションは、前記第３のジャマーフィルタに接続された出力を有する選択的に付勢されるハイパスフィルタを含んでいる請求項１５記載のプログラム可能なデジタルフィルタ。

【請求項２０】

前記第１のジャマーフィルタは伝達関数：

$$16+b_1 z^{-1}+16z^{-2}$$

によって特徴付けられ、ここでｚはｚドメインにおける複素変数であり、b_1 は前記第１の係数である請求項１５記載のプログラム可能なデジタルフィルタ。

【請求項２１】

前記第２のジャマーフィルタは伝達関数：

$$8+b_2 z^{-1}+8z^{-2}$$

によって特徴付けられ、ここでｚはｚドメインにおける複素変数であり、b_2 は前記第４の係数である請求項１５記載のプログラム可能なデジタルフィルタ。

【請求項２２】

前記第３のジャマーフィルタは伝達関数：

$$4+b_3 z^{-1}+4z^{-2}$$

によって特徴付けられ、ここでｚはｚドメインにおける複素変数であり、b_3 は前記第５の係数である請求項１５記載のプログラム可能なデジタルフィルタ。

【請求項２３】

前記無限インパルス応答フィルタセクションは、第１の等化フィルタおよび第２の等化フィルタを含んでいる請求項５記載のプログラム可能なデジタルフィルタ。

【請求項２４】

前記第１の等化フィルタの入力は、前記第１の有限インパルス応答フィルタセクションの出力に接続されている請求項２３記載のプログラム可能なデジタルフィルタ。

【請求項２５】

前記第１または第２の等化フィルタは、前記第２のプログラム可能な係数を含む伝達関数を有している請求項２３記載のプログラム可能なデジタルフィルタ。

【請求項２６】

前記第１の等化フィルタは伝達関数：

$$64/(64+a_{11}z^{-1}+a_{12}z^{-2})$$

によって特徴付けられ、ここでｚはｚドメインにおける複素変数であり、a_{11}は前記第２のプログラム可能な係数であり、a_{12}は第６のプログラム可能な係数である請求項２３記載のプログラム可能なデジタルフィルタ。

【請求項２７】

前記第２の等化フィルタは前記第１の等化フィルタの出力に接続された入力を有し、伝達関数：

$$32/(32+a_{21}z^{-1}+16z^{-2})$$

によって特徴付けられ、ここでｚはｚドメインにおける複素変数であり、a_{21}は第７のプログラム可能な係数であり、a_{12}は第７のプログラム可能な係数である請求項２３記載のプログラム可能なデジタルフィルタ。

【請求項２８】

前記第２の有限インパルス応答フィルタセクションは伝達関数：

$$-8+b_4 z^{-1}-8z^{-2}$$

によって特徴付けられ、ここでｚはｚドメインにおける複素変数であり、b_4 は前記第３のプログラム可能な係数である請求項５記載のプログラム可能なデジタルフィルタ。

【請求項２９】

前記出力信号中のバイアスを除去し、前記出力信号の利得を調節するバイアスおよび利得補正回路を含んでいる請求項５記載のプログラム可能なデジタルフィルタ。

【請求項３０】

前記バイアスおよび利得補正回路は、バイアスを前記出力信号から減算し、それに応答してオフセット補償信号を供給する減算器を含んでいる請求項２９記載のプログラム可能なデジタルフィルタ。

【請求項３１】

前記バイアスおよび利得補正回路はさらに、予め定められた数の最下位ビットを前記オフセット補償信号中のコードワードから除去し、それに応答してビット補正信号を供給する手段を含んでいる請求項３０記載のプログラム可能なデジタルフィルタ。

【請求項３２】

前記予め定められた数は６である請求項３１記載のプログラム可能なデジタルフィルタ。

【請求項３３】

前記バイアスおよび利得補正回路はさらに、前記ビット補正信号をプログラム可能な係数により乗算し、それに応答して利得調節された信号を供給する乗算器を含んでいる請求項３１記載のプログラム可能なデジタルフィルタ。

【請求項３４】

前記バイアスおよび利得補正回路はさらに、第１の予め定められた数の最下位ビットおよび第２の予め定められた数の最上位ビットを前記利得調節された信号の中のコードワードから除去し、それに応答してプログラム可能なデジタル出力フィルタ出力信号を供給する手段を含んでいる請求項３３記載のプログラム可能なデジタルフィルタ。

【請求項３５】

前記第１の予め定められた数は３であり、前記第２の予め定められた数は４である請求項３４記載のプログラム可能なデジタルフィルタ。

【請求項３６】

第１の伝達関数を有し、それに応答して第１の信号を供給する第１の有限インパルス応答フィルタセクションによってデジタル信号において動作し、

無限インパルス応答フィルタセクションによって前記第１の出力を濾波し、前記第１の有限インパルス応答フィルタセクションが第２の伝達関数を有し、それに応答して第２の信号を供給し、

第３の伝達関数を有する第２の有限インパルス応答フィルタセクションによる前記第２の信号の受信に応答して濾波された出力信号を出力し、

前記第１、第２または第３の伝達関数におけるプログラム可能な係数を供給するステップを含んでおり、

前記第１、第２および第３の伝達関数は単位円上におけるゼロの位置決めを容易にし、前記ゼロはストップバンド周波数上にひろがり、前記単位円の実数軸上の付加的なゼロはパスバンドのドループを補償し、パスバンドエッジ付近の極はパスバンドドループを補償してフィルタ位相応答特性を等化する、デジタル信号濾波方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明はデジタル回路に関する。とくに本発明は、通信システムにおいて使用するためのプログラム可能なデジタルフィルタに関する。

【０００２】

【従来の技術】

デジタルフィルタは、電子制御システムからセルラー通信システムまで広い範囲にわたる

種々の要求適用において使用されている。このような適用では、消費される電力が最小のプログラム可能なデジタルフィルタが要求されることが多い。

【０００３】

デジタルフィルタのプログラム可能性および低い電力消費量は、符号分割多重アクセス（ＣＤＭＡ）システムのようなデジタルセルラー通信システムにおいてとくに重要である。典型的なＣＤＭＡセルラー通信システムは、１以上の基地局と通信している複数の移動トランシーバによって特徴付けられる。移動トランシーバによって送信された信号は基地局により受信され、しばしば移動交換局（ＭＳＣ）に中継される。次に、ＭＳＣはその信号を別の基地局、公衆交換電話網（ＰＳＴＮ）または別の移動トランシーバに経路設定する。同様に、公衆交換電話網は基地局および移動交換局を介して信号を移動装置に送信することができる。

【０００４】

異なったサンプリングレートを移動トランシーバ、基地局および、またはＭＳＣ内で使用することがしばしば有効である。異なったサンプリングレートを適合させるために、移動トランシーバ、基地局および、またはＭＳＣ内に配置されたデジタルフィルタはしばしばプログラム可能に構成される。フィルタがプログラム可能であることにより、移動トランシーバ仕様が変更されたときに、高価なハードウェアを取替える必要性もまた減少する。

【０００５】

【発明が解決しようとする課題】

一般的なプログラム可能なデジタルフィルタでは、いくつかのレジスタまたは遅延回路が直列に接続されている。レジスタの出力は、フィルタの伝達関数の係数に関連付けられた利得を有する並列のプログラム可能な利得回路に接続されている。利得回路の出力は直列に接続された乗算器に入力される。フィルタ設計において、過度に電力を消費し、貴重な回路板スペースを占める高価なデジタル乗算器が必要とされることが多い。結果的にそのデジタル乗算器のために、フィルタの電力消費量は増加し、移動トランシーバの電池の寿命が短くなる。

【０００６】

したがって、入力周波数の範囲またはサンプルレートを適合させることのできるスペース効率のよい低電力のプログラム可能なデジタルフィルタが技術的に必要とされている。さらに、低電力のプログラム可能なデジタルフィルタを含む電力効率のよいトランシーバが必要とされている。

【０００７】

【課題を解決するための手段】

この技術的なニーズは本発明のプログラム可能なデジタルフィルタによって満たされる。示されている実施形態において、本発明のフィルタはトランシーバにより使用されるように構成され、入力信号を受信する第１の有限インパルス応答フィルタセクションを含んでいる。この第１の有限インパルス応答フィルタセクションは第１の伝達関数を有している。その第１の有限インパルス応答フィルタセクションには、第２の伝達関数を有する無限インパルス応答フィルタセクションが接続されている。この無限インパルス応答フィルタセクションには、プログラム可能なデジタルフィルタによる入力信号の受信に応答して濾波された出力信号を出力する第２の有限インパルス応答フィルタセクションが接続されている。第２の有限インパルス応答フィルタセクションは、第３の伝達関数を有している。プログラム可能な係数は第１、第２および、または第３の伝達関数において与えられる。

【０００８】

特定の実施形態では、第１の伝達関数は第１のプログラム可能な係数を有している。第２の伝達関数は第２のプログラム可能な係数を有し、第３の伝達関数は第３のプログラム可能な係数を有する。プログラム可能なデジタルフィルタはさらに、制御信号を供給するプロセッサを含んでいる。この制御信号に応答して、メモリが第１、第２および、または第３のプログラム可能な係数を供給する。ハイパスフィルタセクションは、第１の有限インパルス応答フィルタセクションに入力する。マルチプレクサはプロセッサからのバイパス

制御信号に応答して、ハイパスフィルタを選択的にバイパスする。そのプロセッサは直流オフセット、すなわち入力信号中で生じたバイアスに応答して、バイパス制御信号を生成する。

【０００９】

示されている実施形態において、第１の有限インパルス応答フィルタセクションは、入力信号中の通信ジャマー信号を除去するために第１のジャマーフィルタ、第２のジャマーフィルタおよび第３のジャマーフィルタとを含んでいる。第１、第２および第３のジャマーフィルタは、第１のプログラム可能な係数、第４のプログラム可能な係数および第５のプログラム可能な係数をそれぞれ有する第１、第２および第３のジャマーフィルタ伝達関数を有している。有限インパルス応答フィルタセクションはさらに、第１、第２および第３のジャマーフィルタの出力においてそれぞれ第１のビット切取り回路、第２のビット切取り回路および第３のビット切取り回路を含んでいる。本発明の１例の実施形態において、第１、第２および第３のビット切取り回路は、入力コードワードから３つの最上位ビットと３つの最下位ビットを除去する。第１のビット切取り回路は第１のジャマーフィルタの出力において直列に接続されている。第２のビット切取り回路は第１のジャマーフィルタと第２のジャマーフィルタとの間に直列に接続されている。第３のビット切取り回路は第２のジャマーフィルタと第３のジャマーフィルタとの間に直列に接続されている。

【００１０】

無限インパルス応答フィルタセクションは、第１の等化フィルタと第２の等化フィルタとを含んでいる。第１の等化フィルタの入力は、第１の有限インパルス応答フィルタセクションの出力に接続されている。第１の等化フィルタは２つのプログラム可能な係数を有し、第２の等化フィルタは１つのプログラム可能な係数を有している。バイアスおよび利得補正回路は出力信号中のバイアスを除去して出力信号の利得を調節する。

【００１１】

バイアスおよび利得補正回路は、出力信号からバイアスを減算し、これに応答してオフセット補償信号を供給する減算器を含んでいる。バイアスおよび利得補正回路は、予め定められた数の最下位ビットをオフセット補償信号中のコードワードから除去し、それに応答してビット補正信号を供給する。バイアスおよび利得補正回路はさらに、ビット補正信号を予め定められた係数により乗算し、それに応答して利得調節信号を供給する乗算器を含んでいる。バイアスおよび利得補正回路は第１の予め定められた数の最下位ビットと第２の予め定められた数の最上位ビットとを利得調節信号中のコードワードから除去し、それに応答してプログラム可能なデジタル出力フィルタ出力信号を供給する。

【００１２】

示されている実施形態では、プログラム可能なデジタルフィルタは、第１の周波数を有する無線信号を受取るためのアンテナを含む通信システム受信機において構成されている。ミキサは無線信号を混合して中間周波数信号を生成する。デルタシグマアナログデジタル変換器は、この中間周波数信号をデジタル中間周波数信号に変換する。デジタルフィルタはプログラム可能なデジタルフィルタを含み、このデジタル中間周波数信号を、(チップレート)*８サンプルレートによって特徴付けられるデジタルベースバンド信号に変換する。ベースバンドプロセッサは、そのチップレートでデジタルベースバンド信号を処理する。

【００１３】

本発明の新しい設計は、プログラム可能なデジタルフィルタの機能性を、無限インパルス応答フィルタセクションおよび有限インパルス応答フィルタセクションのような種々のセクションに分離することによって容易にされる。フィルタの機能性をいくつかのブロックに分離して各ブロックに戦略的プログラム可能係数を与えることにより、プログラム可能なデジタルフィルタの電力消費量を最小にしながら、プログラム可能なデジタルフィルタの合成伝達関数に対する制御は最大にされる。

【００１４】

【発明の実施の形態】

ここにおいて本発明は特定の適用に対して示された実施形態を参照して説明されているが、本発明はそれに限定されるものではないことを理解すべきである。当業者およびここに記載されている教示を利用する者は、本発明の技術的範囲内における付加的な修正、適用および実施形態ならびに本発明が非常に有用なものとなる付加的分野を認識するであろう。

図１は、本発明の教示にしたがって構成されたプログラム可能なデジタルフィルタ10のブロック図である。プログラム可能なデジタルフィルタ10は、入力マルチプレクサ12と、ハイパスフィルタ14と、有限インパルス応答（ＦＩＲ）ジャマーフィルタセクション16と、無限インパルス応答（ＩＩＲ）等化フィルタセクション18と、ＦＩＲ等化フィルタ20と、および直流（ＤＣ）オフセット減算および利得補正回路22とを含んでいる。マイクロプロセッサ24および関連したメモリ26によってデジタルフィルタ10の種々の演算パラメータが制御される。パラメータはメモリ26に記憶され、このメモリ26は入力マルチプレクサ12、ＦＩＲジャマーフィルタセクション16、ＩＩＲ等化フィルタセクション18、ＦＩＲ等化フィルタ20およびＤＣオフセット減算および利得補正回路22に接続されている。

【００１５】

入力マルチプレクサ12は、同位相（Ｉ）および、または直角位相（Ｑ）データを含む入力信号28を先行する利得ステップ回路およびデシメーションフィルタ（以下さらに詳細に説明する）から受取る。当業者は、プログラム可能なデジタルフィルタ10が本発明の技術的範囲を逸脱することなく利得ステップ回路以外の別のタイプの回路によって先行されてもよいことを認識するであろう。

【００１６】

入力マルチプレクサ12は、マイクロプロセッサ24および関連したメモリ26からの制御信号に応答してハイパスフィルタ14を選択的にバイパスする。マイクロプロセッサメモリ26は、マルチプレクサに入力されたデータにはハイパスフィルタ14によって減衰されなければならないＤＣオフセットおよび、または他の信号成分が含まれているか否かについての先在情報を記憶している。

【００１７】

本発明の特定の実施形態において、ハイパスフィルタ14の伝達関数は：

$$(1-z^{-1})/(1-(1023/1024)z^{-1}) \qquad [1]$$

であり、ここでｚはｚドメイン中の複素変数である。伝達関数［１］は、ＤＣオフセットを除去するように設計されている。ＤＣオフセットは、プログラム可能なデジタルフィルタ10が使用される受信機の無線周波数（ＲＦ）フロントエンドにおいて先行するデルタシグマ（ΔΣ）変調器または他のコンポーネントから生じる可能性がある（以下さらに詳細に説明するように）。入力信号28中にＤＣオフセットが存在しない場合に電力を節約するために、ハイパスフィルタ14がマルチプレクサ12を介してバイパスされている。

【００１８】

ハイパスフィルタ14の出力は、ＦＩＲジャマーフィルタセクション16の入力に接続されている。ＦＩＲジャマーフィルタセクション16は、左から右に向かって第３のジャマーフィルタ30、第１のビット切取り回路32、第２のジャマーフィルタ34、第２のビット切取り回路36、第２のジャマーフィルタ38および第３のビット切取り回路40を含んでいる。

【００１９】

動作時に、ハイパスフィルタ14の出力は第３のジャマーフィルタ30に入力される。第３のジャマーフィルタ30はその入力により以下の伝達関数にしたがって動作する：

$$4+b_3 z^{-1}+4z^{-2} \qquad [2]$$

ここでb_3は、マイクロプロセッサ24およびマイクロプロセッサメモリ26によって与えられたプログラム可能な係数である。この実施形態において、b_3はＣＤＭＡ信号に対して１２乃至４の範囲内であり、また、周波数変調（ＦＭ）信号に対して６である。最初および最後の係数、すなわち４および４は２の累乗であり、それによってジャマーフィルタ30は当業者により廉価で簡単に構成されることができる。

【００２０】

この特定の実施形態では、第３のジャマーフィルタ30からの出力信号は第１のビット切取り回路32に入力され、その回路において３つの最上位ビット（ＭＳＢ）と３つの最下位ビット（ＬＳＢ）が信号から切取られ、飽和される。飽和されたビットの数は適用によって特定され、当業者は所定の適用に対するニーズを満たすために切取られるビットの数を容易に調節することができる。ビット切取り回路の設計および構成は、技術的によく知られている。

【００２１】

結果的に得られた切取られた信号は第２のジャマーフィルタ34に入力される。この第２のジャマーフィルタ34は、切取られた信号により以下の伝達関数にしたがって動作する：

$$8+b_2 z^{-1}+8z^{-2} \quad [3]$$

ここでb_2は、マイクロプロセッサ24およびマイクロプロセッサメモリ26によって与えられたプログラム可能な係数である。この実施形態において、b_2はＣＤＭＡ信号に対して１６乃至２４の範囲の値であり、またＦＭ信号に対して７である。最初および最後の係数、すなわち８および８は２の累乗であり、それによってジャマーフィルタ34は当業者により廉価で簡単に構成されることができる。

【００２２】

第２のジャマーフィルタ34からの出力信号は、第２のビット切取り回路36に入力され、この回路において３つのＭＳＢと４つのＬＳＢが信号から切取られる。その結果得られた切取られた信号は第１のジャマーフィルタ38に入力される。第１のジャマーフィルタ38は、切取られた信号により以下の伝達関数にしたがって動作する：

$$16+b_1 z^{-1}+16z^{-2} \quad [4]$$

ここでb_1は、マイクロプロセッサ24およびマイクロプロセッサメモリ26によって与えられたプログラム可能な係数である。この実施形態において、b_1はＣＤＭＡ信号に対して２２乃至２の範囲の値であり、またＦＭ信号に対して５である。最初および最後の係数、すなわち１６および１６は２の累乗であり、それによってジャマーフィルタ38は当業者により廉価で簡単に構成されることができる。

【００２３】

第１のジャマーフィルタ38からの出力信号は、第３のビット切取り回路40に入力され、この回路において２つのＭＳＢと５つのＬＳＢが信号から切取られる。その結果得られた切取られた信号はＦＩＲジャマーフィルタセクション16からＩＩＲ等化フィルタセクション18に出力される。ＩＩＲ等化フィルタセクション18は、左から右に向かって、第１のＩＩＲ等化フィルタ42および第２のＩＩＲ等化フィルタ44を含んでいる。

【００２４】

ハイパスフィルタ14およびＦＩＲジャマーフィルタセクション16によって入力信号が処理された後、パスバンドはドループされ、すなわち、パスバンドの高い方の周波数端部を減衰（ｄｒｏｐ　ｏｆｆ）、あるいは下落（ｓａｇ）される。後続するＩＩＲ等化フィルタセクション18およびＦＩＲ等化フィルタ20はパスバンドドループを除去し、位相応答特性を等化する。

【００２５】

第１のＩＩＲ等化フィルタ42は、以下の伝達関数にしたがってＦＩＲジャマーフィルタセクション16の出力により動作する：

$$64/(64+a_{11}z^{-1}+a_{12}z^{-2}) \quad [5]$$

ここでa_{11}およびa_{12}は、マイクロプロセッサ24およびマイクロプロセッサメモリ26によって与えられたプログラム可能な係数である。この実施形態において、a_{11}はＣＤＭＡ信号に対して１５乃至－４２の範囲の値であり、またＦＭ信号に対して０であり、一方a_{12}はＣＤＭＡ信号に対して４０乃至５４の範囲の値であり、またＦＭ信号に対して０である。プログラム可能でない係数、すなわち６４は２の累乗であり、それによって第１のＩＩＲ等化フィルタ42の構成が廉価になる。

【００２６】

第１のＩＩＲ等化フィルタ42の出力は、第２の等化フィルタ44に入力される。第１のＩＩ

Ｒ等化フィルタ42は以下の伝達関数にしたがってＦＩＲジャマーフィルタセクション16の出力により動作する：

$$32/(32+a_{21}z^{-1}+16z^{-2}) \quad [6]$$

ここでa_{21}は、マイクロプロセッサ24およびマイクロプロセッサメモリ26によって与えられたプログラム可能な係数である。この実施形態において、a_{21}はＣＤＭＡ信号に対して２乃至－２２の範囲の値であり、またＦＭ信号に対して－２７である。プログラム可能でない係数、すなわち１６および３２は２の累乗であり、それによって第１のＩＩＲ等化フィルタ42の構成が廉価になる。

【００２７】

第２のＩＩＲ等化フィルタ44の出力は、ＩＩＲ等化セクション18の出力からＦＩＲ等化フィルタ20に入力される。ＦＩＲ等化フィルタ20は以下の伝達関数にしたがってＩＩＲ等化セクション18の出力により動作する：

$$-8+b_4 z^{-1}-8z^{-2} \quad [7]$$

ここでb_4は、マイクロプロセッサ24およびマイクロプロセッサメモリ26によって与えられたプログラム可能な係数である。この実施形態において、b_4はＣＤＭＡ信号に対して３２乃至４４の範囲の値であり、またＦＭ信号に対して２９である。プログラム可能でない係数、すなわち－８は２の累乗であり、それによってＦＩＲ等化フィルタ20の構成が廉価になる。

【００２８】

ＦＩＲ等化フィルタ20の出力は、ＤＣオフセット減算および利得補正回路22に入力される。ＤＣオフセット減算および利得補正回路22は、左から右に向かってＤＣオフセット減算器46、第４のビット切取り回路48、利得補正乗算器50および第５のビット切取り回路52を含んでいる。

【００２９】

動作時に、ＤＣオフセット減算器46はＦＩＲ等化フィルタ20の出力を受取り、マイクロプロセッサ24および関連したメモリ26によって与えられたＤＣオフセット値を減算する。マイクロプロセッサ24は、ＦＩＲ等化フィルタ20の出力中で生じたＤＣオフセットに関する先在情報をメモリ26によって維持する。

【００３０】

任意のＤＣオフセットがＤＣオフセット減算器46によって信号から減算されると、６つのＬＳＢが第４のビット切取り回路48によって信号から切取られる。結果的に得られた切取られた信号は利得補正乗算器50に入力される。利得補正乗算器50はメモリ26に記憶されている利得係数によって切取られた信号を乗算する。この実施形態では、利得係数は１乃至８の範囲内である。

【００３１】

結果的に得られた利得調節された信号は、第５のビット切取り回路52に入力され、３つのＭＳＢおよび３つのＬＳＢは信号から切取られる。結果的に得られた切取られた信号は、ＤＣオフセット減算および利得補正回路22から出力され、プログラム可能なデジタルフィルタ10の出力を表す。プログラム可能なデジタルフィルタ10の出力は、サンプルレート変換器（以下さらに詳細に説明するように）に転送される。

【００３２】

ＤＣオフセット減算および利得補正回路22は、プログラム可能なデジタルフィルタ10およびこれが使用される回路中でのビット切取りによって導入されたＤＣオフセットを減算するものである。異なった回路セクションによって導入されたＤＣオフセットは種々の段のＤＣ利得に応じて異なった特性を有するため、ＤＣオフセット減算器46によって行われるＤＣオフセット減算はプログラム可能であり、マイクロプロセッサ24によって制御される。

【００３３】

利得補正は、第４のビット切取り回路48から出力されたジャマーフィルタ処理された信号を１乃至８の範囲の定数と乗算する利得補正乗算器50によって行われる。第５のビット切

取り回路52によって行われたビット切取りの後、利得補正乗算器50によって与えられる実効利得は１／８乃至１の範囲内である。利得調節は、入力信号28のサンプリング周波数とは無関係にプログラム可能なデジタルフィルタ10の利得をほぼ一定にする。さらに、プログラム可能な利得はプログラム可能な段30、34、38、42、44および20内の信号レベルの最適化を容易にし、各段によって要求されるビットの数を最小にする。さらに、要求されるビットの数を最小にすることにより、プログラム可能なデジタルフィルタ10の電力効率が改善される。

【００３４】

本発明の新しい設計は、プログラム可能な係数を持つ伝達関数をそれぞれ有する３つのジャマーフィルタ30、34および38にジャマー排除を分割することによって容易にされる。これによって、要求される電力が最小でありながら、プログラム可能なデジタルフィルタ10の濾波特性に対する制御が行われる。

【００３５】

プログラム可能なデジタルフィルタ10は、移動トランシーバシステム（以下さらに詳細に説明する）により使用されるように構成されている。式［２］乃至［７］に対応した伝達関数は、ジャマーおよびその他の妨害を減衰するように設計される。ほぼ９００ｋＨｚより大きい周波数に対して、伝達関数は６０ｄｂを越える減衰を行う。さらに、伝達関数は、基地局の位相プレワーピングと組合せられたときの総自乗平均エラーが予め定められた値を越えないように入力信号28の位相を等化する。パスバンドは、プログラム可能なフィルタ10の総周波数応答特性がパスバンドにおいてほぼ平坦であるように等化される。

【００３６】

入力信号28はＦΔΣ／２４のサンプルレートを有し、ここでＦΔΣは先行するΔΣ変調器（以下さらに詳細に説明する）のサンプルレートである。ＦΔΣ／２４は２．５乃至３．３ＭＨｚの範囲内である。信号28の所望のパスバンドは、０乃至６３０ｋＨｚに固定される。ストップバンドには、ほぼ９００ｋＨｚより大きい全ての周波数が含まれる。入力信号28のサンプルレートは、パスバンドおよびストップバンドのエッジの位置により変化する。プログラム可能なフィルタ10がプログラム可能であることにより、変化するサンプルレートの適合が容易になる。プログラム可能なフィルタ10は、厳しい電力消費要求が与えられた場合にフィルタ周波数応答特性に対する制御を最大にする。プログラム可能なフィルタ10において付加的なプログラム可能な係数を実施するには、付加的な乗算器が必要であり、それらが追加の電力を消費する。

【００３７】

図２は、図１のパスバンドフィルタ14のさらに詳細なブロック図である。ハイパスフィルタ14は第１の減算器60を含み、その出力は第１のｋビット切取り回路62に接続されている。第１のｋビット切取り回路62の出力は（Ｎ＋ｋ）ビットレジスタ64に接続されている。（Ｎ＋ｋ）ビットレジスタの出力は、第２のｋビット切取り回路66の入力、2^k 乗算器68、および第１の減算器60の負の入力に接続されている。2^k 乗算器68の出力は第１の減算器60の正の入力に入力される。第１の減算器60の別の正の入力は、Ｎビット入力28を入力として受取る第２の2^k 乗算器70の出力に接続される。

【００３８】

第２のｋビット切取り回路66の出力は、第２の減算器72の負の入力に接続される。第２の減算器72の第１の正の入力はまたＮビット入力70に接続される。第２の減算器72の第２の正の入力は、第２の減算器72に－１を供給してｋビット切取り回路62および66によって導入された切取りバイアスを減算する－１レジスタ74に接続される。

【００３９】

第１および第２の減算器60および72は、正の入力における値の和から負の入力における値をそれぞれ減算する。第１のｋビット切取り回路62および第２のｋビット切取り回路はｋのＬＳＢを対応した入力信号から切取り、ここでｋは設計定数である。第１の2^k 乗算器68および第２の2^k 乗算器70はそれらの各入力信号を2^k によって乗算し、それに応答して対応した出力を供給する。2^k 乗算器68および70は、簡単な左シフト回路により構成さ

れることができる。

【００４０】

ハイパスフィルタ14は、以下の式で表される位置ｐの極によって入力信号28中の任意のＤＣ成分を除去する：

$$p = (2^{k-1} - 1) / (2^{k-1}) \quad [8]$$

入力信号28のサンプリング速度がＦΔΣ／２４に等しい１ｋＨｚの１ｄＢ周波数に対して、ｋ＝１０およびｐ＝１０２３／１０２４である。

【００４１】

図３は、図１のＦＩＲジャマーフィルタ38の詳細なブロック図である。ＦＩＲジャマーフィルタ38のアーキテクチャは、図１のＦＩＲジャマーフィルタセクション16のＦＩＲジャマーフィルタ30，34およびＦＩＲ等化フィルタ20のアーキテクチャに類似している。ＦＩＲジャマーフィルタ38は、Ｎビット入力信号84を受信する第１のＮビットレジスタ82を含んでいる。この実施形態において、Ｎは１１である。第２のＮビットレジスタ86は、第１のＮビットレジスタ82の出力に接続されている。第３のＮビットレジスタ88は、第２のＮビットレジスタ86の出力に接続されている。第１の加算器90の入力は、第３のＮビットレジスタ88の出力に接続されている。第１の加算器90の第２の入力は、第２のＮビットレジスタ86の入力でもある第１のＮビットレジスタ82の出力に接続されている。第１の加算器90の出力は、入力信号を４ビットだけシフトする左シフト回路92に接続されている。左シフト回路92の出力は第２の加算器94の入力に接続されている。第２の加算器94の第２の入力は係数乗算器96の出力に接続されている。係数乗算器96の第１の入力は、プログラム可能なタップ値をマイクロプロセッサ24からレジスタ（図１参照）のようなメモリ装置を介して受取る。係数乗算器の第２の入力は、第３のＮビットレジスタ88の入力でもある第２のＮビットレジスタ86の出力に接続されている。

【００４２】

ＦＩＲジャマーフィルタ38は、式［４］の伝達関数を実行する。当業者は、ＦＩＲジャマーフィルタ38を修正して別のＦＩＲフィルタ30、34および20を容易に構成することが可能である。

【００４３】

ＦＩＲジャマーフィルタ38の低周波数利得はプログラム可能な係数b_1に依存している。この実施形態において、利得は３２乃至６４の範囲の値である。ビットの数はＦＩＲジャマーフィルタ38内で増加することを認識すべきである。

【００４４】

図４は、図１の第１のＩＩＲ等化フィルタ42のさらに詳細なブロック図である。ＩＩＲ等化フィルタ42のアーキテクチャは、図１の第２のＩＩＲ等化フィルタ44のアーキテクチャに類似している。第１のＩＩＲ等化フィルタ42はＫ－ＬＳＢ加算回路100 に対するＮビット入力102 を受取る。Ｋ－ＬＳＢ加算回路100 の出力は、（Ｎ＋Ｋ）ビット加算器104 に入力される。６－ＬＳＢ切取り回路106 の出力はまた（Ｎ＋Ｋ）ビット加算器104 に入力される。（Ｎ＋Ｋ）ビット加算器104 の出力は、Ｋ－ＬＳＢ切取り回路108 の入力と第１の（Ｎ＋Ｋ）ビットレジスタ110 とに接続されている。Ｋ－ＬＳＢ切取り回路108 の出力は、ＩＩＲ等化フィルタ42の出力を与える。第１の（Ｎ＋Ｋ）ビットレジスタ110 の出力は、第２の（Ｎ＋Ｋ）ビットレジスタ112 の入力と、a_{11}係数乗算器114 の入力とに接続される。a_{11}係数乗算器114 の別の入力は、a_{11}係数を図１のマイクロプロセッサメモリ26から受取る。第２の（Ｎ＋Ｋ）ビットレジスタ112 の出力は、a_{12}係数乗算器116 の第１の入力に接続されている。a_{12}係数乗算器116 の第２の入力はa_{12}係数を図１のマイクロプロセッサメモリ26から受取る。a_{11}係数乗算器114 とa_{12}係数乗算器116 の出力は、（Ｎ＋Ｋ＋１６）ビット加算器118 の入力に供給される。（Ｎ＋Ｋ＋１６）ビット加算器118 の出力は、６－ＬＳＢ切取り回路106 の入力に接続される。

【００４５】

Ｋ－ＬＳＢ加算回路100 は、Ｎビット入力102 中で生じた入力コードワードをＫ－ＬＳＢだけ拡張する。付加的なＫ－ＬＳＢはゼロに設定され、ＩＩＲ等化フィルタ42の出力にお

いてＫ－ＬＳＢ切取り回路108 によって切取られる。Ｋの値は所定の適用の要求にしたがって変化し、回路シミュレーションによって決定される。この特定の実施形態において、Ｋ＝０である。

【００４６】

（Ｎ＋Ｋ）ビット加算器104 および（Ｎ＋Ｋ＋１６）ビット加算器118 は、加算器を飽和させている。ビットオーバーフローが発生した場合、加算器はそれらの出力を、その加算器が処理することのできる正の最大値または負の最小値のいずれかに設定する。

【００４７】

a_{11}係数乗算器114 およびa_{12}係数乗算器116 にそれぞれ入力される係数a_{11}およびa_{12}の範囲はそれぞれ－４５乃至１５および４０乃至５４である。ＩＩＲ等化フィルタ42の利得は、係数a_{11}およびa_{12}に依存している。a_{11}が利得に与える影響は大きく、一方a_{12}の影響は小さい。最悪のシナリオにおいてa_{12}＜５４の場合、結果的に得られる利得は８の因数より小さいものとなる。この場合、Ｎビット入力信号102 は、ＩＩＲ等化フィルタ42においてオーバーフローが確実に発生しないようにする、すなわち結果的に得られたフィルタ出力がＮ個の供給されたビットで適切に表されることを確実にするために、余分な３ビットを有していなければならない。

【００４８】

図５は、図１のハイパスフィルタ14を含まない図１のプログラム可能なデジタルフィルタの伝達関数の極のゼロをプロットした図130 である。この極のゼロのプロット図130 は単位円132 の上半分を示し、虚数軸134 と実数軸136 を含んでいる。単位円132 上の３つのゼロ138 は、９００ｋＨｚ乃至１．６７ＭＨｚのストップバンド周波数上にひろがっている。３つのゼロ138 は、第１、第２、第３のジャマーフィルタ38、34および30から発生され、最大ジャマー減衰のために単位円132 上に配置される。６３０ｋＨｚにおけるパスバンドのエッジ付近に配置された２つの極140 はパスバンドドループを補償し、フィルタ位相応答特性を等化するのを助ける。２つの極140 はＩＩＲ等化フィルタセクション18から発生される。実数軸136 上の２つのゼロ142 はさらにパスバンドドループを補償するのを助け、それらはＦＩＲ等化フィルタ20から発生される。

【００４９】

図６は、図１のプログラム可能なデジタルフィルタ10を使用し、本発明の教示にしたがって構成された移動トランシーバ170 の概略図である。トランシーバ170 は、左から右に向かって、アンテナ150 、デュプレクサ152 、ＲＦ－ＩＦ混合回路174 、デルタシグマアナログデジタル変換器（ΔΣ　ＡＤＣ）176 、デジタルフィルタ172 およびベースバンドプロセッサ／復調器24' を含んでいる。ベースバンドプロセッサ／復調器24' の出力は送信セクション180 に供給され、それの出力はデュプレクサ152 に接続される。基準周波数発生回路154 はＲＦ－ＩＦ混合回路174 、ΔΣ　ＡＤＣ176 、デジタルフィルタ172 およびベースバンドプロセッサ／復調器24' に接続され、必要な基準周波数をそれに供給する。

【００５０】

デジタルフィルタ172 は、左から右に向かって、デジタル下方変換器およびサンプルレート減少回路184 、利得ステップ回路186 、プログラム可能なデジタルフィルタ10およびサンプルレート変換回路182 を含んでいる。

【００５１】

動作時に、アンテナ150 は無線送受信のために使用される。デュプレクサ152 は送受信のためにアンテナ150 の二重使用を容易にする。アンテナ150 による無線周波数（ＲＦ）信号の受信時、デュプレクサ152 は受信された信号をＲＦ－ＩＦ混合回路174 に導き、ここにおいてＲＦ信号がＩＦ信号に変換される。ＲＦ－ＩＦ混合回路174 の構成は技術的に知られている。

【００５２】

結果的に得られたＩＦ信号は、ΔΣ　ＡＤＣ176 に入力され、ここにおいてそれはデジタル信号に変換される。ΔΣ　ＡＤＣ176 は１ビットデジタルアナログ変換器（示されていない）と直列のデルタシグマ変調器を含み、その構成は技術的によく知られている。ΔΣ

ＡＤＣ176 は、望ましくない歪みが比較的高い周波数のＩＦ信号をデジタル信号に変換した結果生じないようにするために高いダイナミックレンジを有するように選択される。ΔΣ　ＡＤＣ176 は、デジタルＩＦ周波数信号をデジタルフィルタ172 に出力する。

【００５３】

デジタルフィルタ172 において、デジタルＩＦ周波数信号は、下方変換およびサンプルレート減少回路184 によってベースバンド周波数に下方変換される。この下方変換およびサンプルレート減少回路184 はまたデジタルＩＦ周波数信号をデジタル同位相（Ｉ）および直角位相（Ｑ）信号に分離する。結果的に得られたデジタルＩおよびＱベースバンド信号の利得は、利得ステップ回路186 において調節される。利得ステップ回路はベースバンドプロセッサ／復調器78に接続される。

【００５４】

続いて、プログラム可能なデジタルフィルタ10は、利得調節されたＩおよびＱデジタルベースバンド信号中のジャマー信号およびその他の望ましくない信号を減衰させる。このプログラム可能なデジタルフィルタ188はまた、デジタルフィルタの複合位相応答特性を等化し、パスバンドドループを補償し、利得調節されたＩおよびＱデジタルベースバンド信号中に存在する任意のＤＣオフセットを除去するように設計されている。プログラム可能なデジタルフィルタの電力効率的な設計はトランシーバ170 に対する設計制約を緩和するのを助け、その実施を容易にする。

【００５５】

濾波されたＩおよびＱ信号は、プログラム可能なデジタルフィルタ188からサンプルレート変換回路182 に出力される。このサンプルレート変換回路182 では、ＩおよびＱ信号のサンプルレートがチップレート、すなわちＣＨＩＰ×８に変換され、ベースバンドプロセッサ／復調器24'においてデスプレッドし、さらに処理するための準備を整えられる。サンプルレート変換回路182 はデジタルフィルタ172 の出力をベースバンドプロセッサ／復調器24'でのチップレートにレート整合する。

【００５６】

ベースバンドプロセッサ／復調器24'はまた、ベースバンドプロセッサ／復調器24'中の、レジスタのようなメモリ（図１の26参照）からプログラム可能な係数をプログラム可能なデジタルフィルタ10に供給する。さらに、ベースバンドプロセッサ／復調器24'は、音声または他の情報のようなデータを送信セクション180 に出力する。

【００５７】

送信セクション180 はミキサ、上方変換器、フィルタ等（示されていない）を含み、当業者によく知られている技術により構成されてもよい。送信セクション180 は、ベースバンドプロセッサ／復調器24'から出力された信号を無線送信のために処理する。処理された信号は、デュプレクサ152 によってアンテナ150 を介して送信される。

【００５８】

ＲＦ－ＩＦミキサ174 には、基準周波数発生回路154 により供給されるＩＦクロック信号190 が必要である。ΔΣ　ＡＤＣ176 には、このΔΣ　ＡＤＣ176 から出力された信号のサンプルレートに対応するＦΔΣの周波数を有するＦΔΣクロック信号192 が必要である。この実施形態では、ＦΔΣはＣＤＭＡ（符号分割多重アクセス）信号に対して６０乃至８０ＭＨｚの範囲の値である。

【００５９】

ＦΔΣクロック信号192 はまた基準周波数発生回路154 により供給される。同様に、基準周波数発生回路154 はＦΔΣ／６クロック信号156 、ＦΔΣ／２クロック信号158 およびＣＨＩＰ×８（チップレート）クロック信号160 をサンプルレート変換回路182 に供給する。ＣＨＩＰ×８クロック信号160 はまたベースバンドプロセッサ／復調器24'に供給される。

【００６０】

基準周波数発生回路154 は当業者によって１以上の直接デジタルシンセサイザおよび、または電圧温度補償結晶発振器（ＶＣ－ＴＣＸＯ）のような位相ロックループおよび周波数

基準装置により構成されてもよい。

【００６１】

トランシーバ170 は、デジタルドメインにおいて電力効率的なデジタルフィルタ172 を介して利得調節、混合および濾波機能を行い、その結果寸法およびエネルギ消費において大きな利点が得られる。さらに、通常のアナログ形態に固有の利得および位相不整合問題がトランシーバ170 において実効的に除去される。

【００６２】

サンプルレート変換回路182 として使用されることのできるサンプルレート変換回路の構成は技術的に知られている。しかしながら、好ましい実施形態では、サンプルレート変換回路182 は、本出願人にその権利が譲渡され、ここにおいて参考文献とされている米国特許出願第09/119,073号明細書（“LOW-POWER SAMPLE RATE CONVERTER ” Mathe氏らにより1998年 7月10日出願）の教示にしたがって構成されている。

【００６３】

以上、ここにおいて特定の適用の特定の実施形態を参照して本発明を説明してきた。当業者は、本発明の技術的範囲内における付加的な修正、適用および実施形態を認識するであろう。

【００６４】

したがって、添付された特許請求の範囲は、本発明の技術的範囲内のこのような適用、修正および実施形態の任意または全てのものをカバーするものである。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[１]入力信号を受信し、第１の伝達関数を有する第１の有限インパルス応答フィルタセクションと、

第２の伝達関数を有する前記第１の有限インパルス応答フィルタセクションに接続された無限インパルス応答フィルタセクションと、

前記無限インパルス応答フィルタセクションに接続され、プログラム可能なデジタルフィルタによる前記入力信号の受信に応答して濾波された出力信号を出力し、第３の伝達関数を有する第２の有限インパルス応答フィルタセクションと、

前記第１、第２または第３の伝達関数におけるプログラム可能な係数を供給する手段とを具備しているプログラム可能なデジタルフィルタ。

[２]前記第１、第２および第３の伝達関数の係数は２の累乗である請求項１記載のプログラム可能なデジタルフィルタ。

[３]前記第１、第２および第３の伝達関数は単位円上におけるゼロの位置決めを容易にし、前記ゼロはストップバンド周波数上にひろがり、前記単位円の実数軸上の付加的なゼロはパスバンドのドループを補償し、パスバンドエッジ付近の極はパスバンドドループを補償してフィルタ位相応答特性を等化する請求項１記載のプログラム可能なデジタルフィルタ。

[４]前記第１の伝達関数は、第１のプログラム可能な係数を有している請求項１記載のプログラム可能なデジタルフィルタ。

[５]前記第２の伝達関数は、第２のプログラム可能な係数を有している請求項４記載のプログラム可能なデジタルフィルタ。

[６]前記第３の伝達関数は、第３のプログラム可能な係数を有している請求項５記載のプログラム可能なデジタルフィルタ。

[７]前記プログラム可能な係数を供給する手段は、制御信号を供給する制御手段を含んでいる請求項６記載のプログラム可能なデジタルフィルタ。

[８]前記プログラム可能な係数を供給する手段は、前記制御信号に応答して前記第１、第２および第３のプログラム可能な係数の少なくとも1つを供給するレジスタ手段を含んでいる請求項７記載のプログラム可能なデジタルフィルタ。

[９]前記第１の有限インパルス応答フィルタセクションに入力を供給するハイパスフィルタセクションをさらに含んでいる請求項７記載のプログラム可能なデジタルフィルタ。

[１０]前記制御手段からのバイパス制御信号に応答して前記ハイパスフィルタを選択的に

バイパスするマルチプレクサをさらに含んでいる請求項９記載のプログラム可能なデジタルフィルタ。
[１１]前記制御手段は、前記入力信号中に生じたバイアスに応答して前記バイパス制御信号を発生するプロセッサを含んでいる請求項１０記載のプログラム可能なデジタルフィルタ。
[１２]前記第１の有限インパルス応答フィルタセクションは、前記入力信号中の通信ジャマー信号を除去する第１のジャマーフィルタ、第２のジャマーフィルタおよび第３のジャマーフィルタを含んでいる請求項７記載のプログラム可能なデジタルフィルタ。
[１３]前記第１、第２または第３のジャマーフィルタは、前記第１のプログラム可能な係数を含む伝達関数を有している請求項１２記載のプログラム可能なデジタルフィルタ。
[１４]前記第１、第２および第３のジャマーフィルタは、前記第１のプログラム可能な係数、第４のプログラム可能な係数および第５のプログラム可能な係数をそれぞれ有する第１、第２および第３のジャマーフィルタ伝達関数を有している請求項１２記載のプログラム可能なデジタルフィルタ。
[１５]前記有限インパルス応答フィルタセクションはさらに、前記第１、第２および第３のジャマーフィルタの各出力において第１のビット切取り回路、第２のビット切取り回路および第３のビット切取り回路をそれぞれ含んでいる請求項１２記載のプログラム可能なデジタルフィルタ。
[１６]前記第１、第２および第３のビット切取り回路は、３つの最上位ビットと３つの最下位ビットとを入力コードワードから除去する手段を含んでいる請求項１５記載のプログラム可能なデジタルフィルタ。
[１７]前記第１のビット切取り回路は、前記第１のジャマーフィルタの出力に直列に接続されている請求項１６記載のプログラム可能なデジタルフィルタ。
[１８]前記第２のビット切取り回路は、前記第１のジャマーフィルタと前記第２のジャマーフィルタとの間に直列に接続されている請求項１６記載のプログラム可能なデジタルフィルタ。
[１９]前記第３のビット切取り回路は、前記第２のジャマーフィルタと前記第３のジャマーフィルタとの間に直列に接続されている請求項１６記載のプログラム可能なデジタルフィルタ。
[２０]前記第１のインパルス応答フィルタセクションは、前記第３のジャマーフィルタに接続された出力を有する選択的に付勢されるハイパスフィルタを含んでいる請求項１６記載のプログラム可能なデジタルフィルタ。
[２１]前記第１のジャマーフィルタは伝達関数：

$$１６+b_{1}\ z^{-1}+１６z^{-2}$$

によって特徴付けられ、ここでｚはｚドメインにおける複素変数であり、b_{1} は前記第１の係数である請求項１６記載のプログラム可能なデジタルフィルタ。
[２２]前記第２のジャマーフィルタは伝達関数：

$$８+b_{2}\ z^{-1}+８z^{-2}$$

によって特徴付けられ、ここでｚはｚドメインにおける複素変数であり、b_{2} は前記第４の係数である請求項１６記載のプログラム可能なデジタルフィルタ。
[２３]前記第３のジャマーフィルタは伝達関数：

$$４+b_{3}\ z^{-1}+４z^{-2}$$

によって特徴付けられ、ここでｚはｚドメインにおける複素変数であり、b_{3} は前記第５の係数である請求項１６記載のプログラム可能なデジタルフィルタ。
[２４]前記無限インパルス応答フィルタセクションは、第１の等化フィルタおよび第２の等化フィルタを含んでいる請求項６記載のプログラム可能なデジタルフィルタ。
[２５]前記第１の等化フィルタの入力は、前記第１の有限インパルス応答フィルタセクションの出力に接続されている請求項２４記載のプログラム可能なデジタルフィルタ。
[２６]前記第１または第２の等化フィルタは、前記第２のプログラム可能な係数を含む伝達関数を有している請求項２４記載のプログラム可能なデジタルフィルタ。

[２７]前記第１の等化フィルタは伝達関数：

$$６４／（６４＋a_{11}z^{-1}＋a_{12}z^{-2}）$$

によって特徴付けられ、ここでｚはｚドメインにおける複素変数であり、a_{11}は前記第２のプログラム可能な係数であり、a_{12}は第６のプログラム可能な係数である請求項２４記載のプログラム可能なデジタルフィルタ。

[２８]前記第２の等化フィルタは前記第１の等化フィルタの出力に接続された入力を有し、伝達関数：

$$３２／（３２＋a_{21}z^{-1}＋１６z^{-2}）$$

によって特徴付けられ、ここでｚはｚドメインにおける複素変数であり、a_{21}は第７のプログラム可能な係数であり、a_{12}は第７のプログラム可能な係数である請求項２４記載のプログラム可能なデジタルフィルタ。

[２９]前記第２の有限インパルス応答フィルタセクションは伝達関数：

$$－８＋b_4\ z^{-1}－８z^{-2}$$

によって特徴付けられ、ここでｚはｚドメインにおける複素変数であり、b_4は前記第３のプログラム可能な係数である請求項６記載のプログラム可能なデジタルフィルタ。

[３０]前記出力信号中のバイアスを除去し、前記出力信号の利得を調節するバイアスおよび利得補正回路を含んでいる請求項６記載のプログラム可能なデジタルフィルタ。

[３１]前記バイアスおよび利得補正回路は、バイアスを前記出力信号から減算し、それに応答してオフセット補償信号を供給する減算器を含んでいる請求項３０記載のプログラム可能なデジタルフィルタ。

[３２]前記バイアスおよび利得補正回路はさらに、予め定められた数の最下位ビットを前記オフセット補償信号中のコードワードから除去し、それに応答してビット補正信号を供給する手段を含んでいる請求項３１記載のプログラム可能なデジタルフィルタ。

[３３]前記予め定められた数は６である請求項３２記載のプログラム可能なデジタルフィルタ。

[３４]前記バイアスおよび利得補正回路はさらに、前記ビット補正信号をプログラム可能な係数により乗算し、それに応答して利得調節された信号を供給する乗算器を含んでいる請求項３２記載のプログラム可能なデジタルフィルタ。

[３５]前記バイアスおよび利得補正回路はさらに、第１の予め定められた数の最下位ビットおよび第２の予め定められた数の最上位ビットを前記利得調節された信号の中のコードワードから除去し、それに応答してプログラム可能なデジタル出力フィルタ出力信号を供給する手段を含んでいる請求項３４記載のプログラム可能なデジタルフィルタ。

[３６]前記第１の予め定められた数は３であり、前記第２の予め定められた数は４である請求項３５記載のプログラム可能なデジタルフィルタ。

[３７]第１の周波数を有する無線信号を受信するアンテナと、

前記無線信号を混合して中間周波数信号を生成するミキサと、

前記中間周波数信号をデジタル中間周波数信号に変換するデルタシグマアナログデジタル変換器と、

前記デジタル中間周波数信号をデジタルベースバンド信号に変換するデジタルフィルタと、

前記デジタルベースバンド信号を処理するベースバンドプロセッサとを具備している通信システム受信機。

[３８]前記デジタルフィルタは、入力信号を受信し、第１のプログラム可能な係数を有する第１の伝達関数を有する第１の有限インパルス応答フィルタセクションを含んでいる請求項３７記載の通信システム受信機。

[３９]前記デジタルフィルタはさらに、第２のプログラム可能な係数を有する第２の伝達関数を有する前記第１の有限インパルス応答フィルタセクションに接続された無限インパルス応答フィルタセクションを含んでいる請求項３８記載の通信システム受信機。

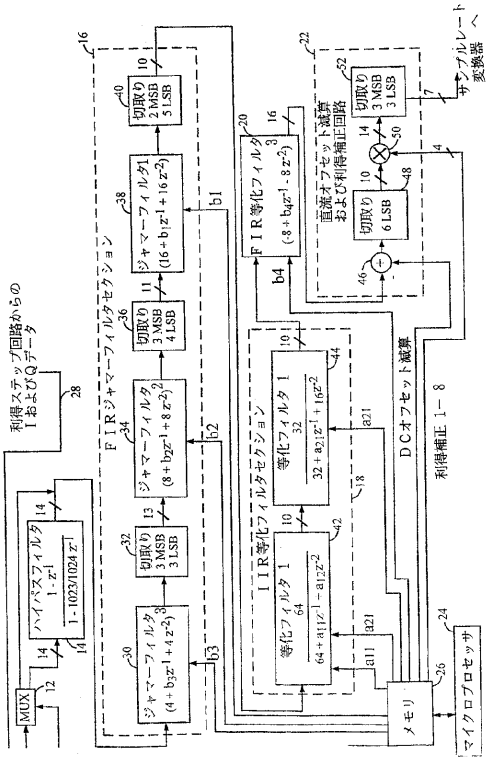
[４０]前記デジタルフィルタはさらに、前記無限インパルス応答フィルタセクションに接続され、プログラム可能なデジタルフィルタによる前記入力信号の受信に応答して濾波さ

れた出力信号を出力し、第３のプログラム可能な係数を有する第３の伝達関数を有する第２の有限インパルス応答フィルタセクションを含んでいる請求項３９記載の通信システム受信機。
[４１]前記ベースバンドプロセッサは、前記デジタルベースバンド信号を復調および、またはデスプレッドする手段を含んでいる請求項３７記載の通信システム受信機。
[４２]前記デジタルフィルタは、前記デジタルベースバンド信号中のジャマー信号を排除する手段を含んでいる請求項３７記載の通信システム受信機。
[４３]前記デジタルフィルタは、サンプルレート変換器を含んでいる請求項３７記載の通信システム受信機。
[４４]前記デジタルフィルタは、前記デジタルベースバンド信号中のバイアスを除去する手段を含んでいる請求項３７記載の通信システム受信機。
[４５]前記デジタルフィルタは、前記デジタルベースバンド信号中の利得を調節する手段を含んでいる請求項３７記載の通信システム受信機。
[４６]無線信号を受信するアンテナと、
前記無線信号を混合して中間周波数信号を生成するミキサと、
前記中間周波数信号をデジタル中間周波数信号に変換するデルタシグマアナログデジタル変換器と、
前記デジタル中間周波数信号をデジタルベースバンド信号に変換するデジタルフィルタと、
前記デジタルベースバンド信号を処理し、信号を出力するベースバンドプロセッサと、
前記信号を送信する送信機とを具備しているトランシーバ。
[４７]第１の伝達関数を有し、それに応答して第１の信号を供給する第１の有限インパルス応答フィルタセクションによってデジタル信号において動作し、
無限インパルス応答フィルタセクションによって前記第１の出力を濾波し、前記第１の有限インパルス応答フィルタセクションが第２の伝達関数を有し、それに応答して第２の信号を供給し、
第３の伝達関数を有する第２の有限インパルス応答フィルタセクションによる前記第２の信号の受信に応答して濾波された出力信号を出力し、
前記第１、第２または第３の伝達関数におけるプログラム可能な係数を供給するステップを含んでいるデジタル信号濾波方法。

【図面の簡単な説明】

【図１】　本発明の教示にしたがって構成されたプログラム可能なデジタルフィルタのブロック図。
【図２】　図１のハイパスフィルタのさらに詳細なブロック図。
【図３】　図１のＦＩＲジャマーフィルタセクションのＦＩＲジャマーフィルタとＦＩＲ等化フィルタのアーキテクチャを示すブロック図。
【図４】　図１のＩＩＲ等化フィルタセクションのＩＩＲ等化フィルタのアーキテクチャを示すブロック図。
【図５】　ハイパスフィルタを含まない図１のプログラム可能なデジタルフィルタの伝達関数の極のゼロをプロットした図。
【図６】　図１のプログラム可能なデジタルフィルタを使用する、本発明の教示にしたがって構成された移動トランシーバの概略図。

【図１】


利得ステップ回路からのIおよびQデータ
MUX
ハイパスフィルタ
1 - z⁻¹
1 - 1023/1024 z⁻¹
FIRジャマーフィルタセクション
ジャマーフィルタ
IIR等化フィルタセクション
等化フィルタ 1
FIR等化フィルタ
直流オフセット減算および利得補正回路
切取り
3 MSB
3 LSB
2 MSB
5 LSB
4 LSB
6 LSB
メモリ
マイクロプロセッサ
DCオフセット減算
利得補正 1－8
サンプルレート変換器へ

【図２】

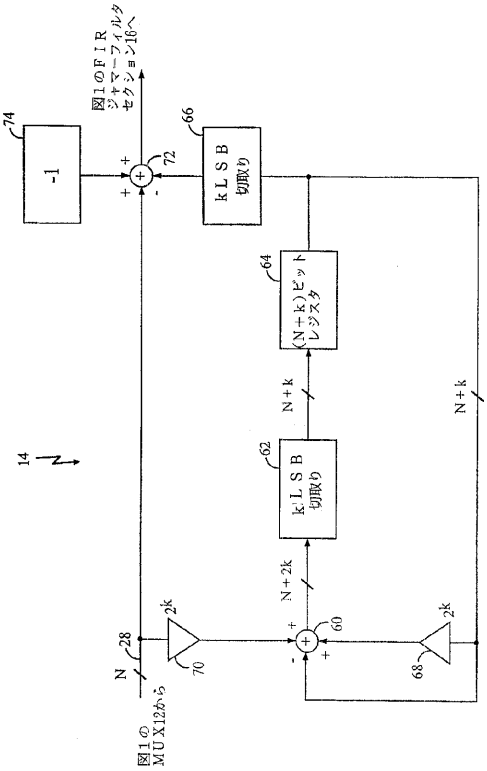
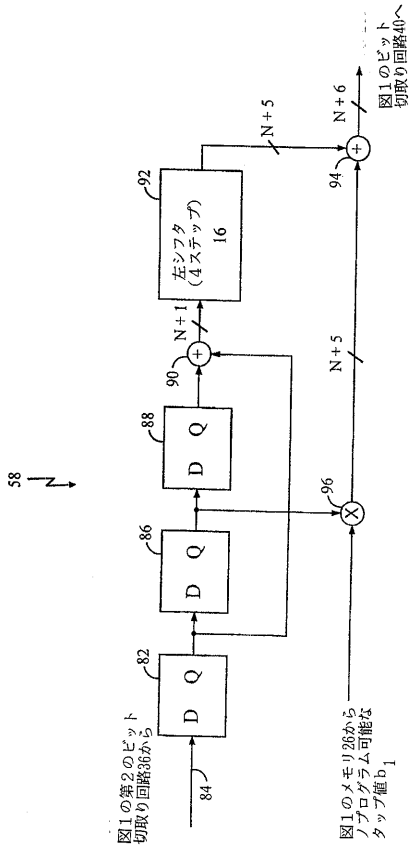


図1のFIRジャマーフィルタセクション16へ
-1
kLSB切取り
(N+k)ビットレジスタ
N+k
N+2k
2k
N
図1のMUX12から

【図３】


D Q
左シフタ（4ステップ）16
N+1
N+5
N+6
図1の第2のビット切取り回路36から
図1のメモリ26からプログラム可能なタップ値 b1
図1のビット切取り回路40へ

【図４】

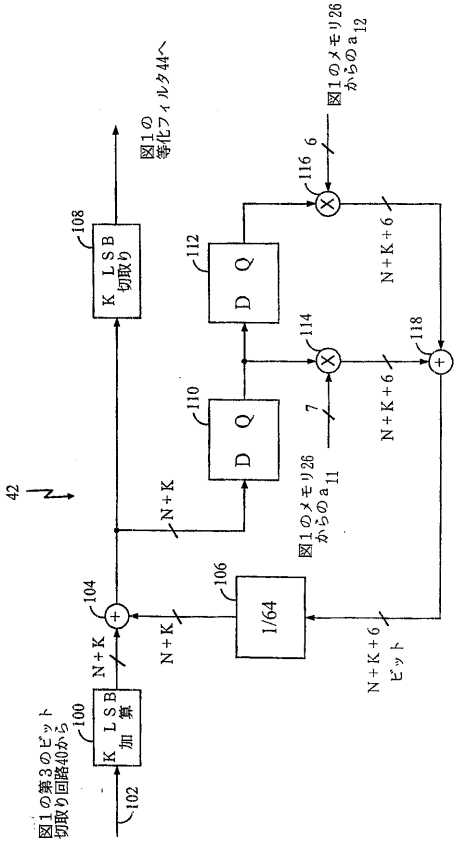
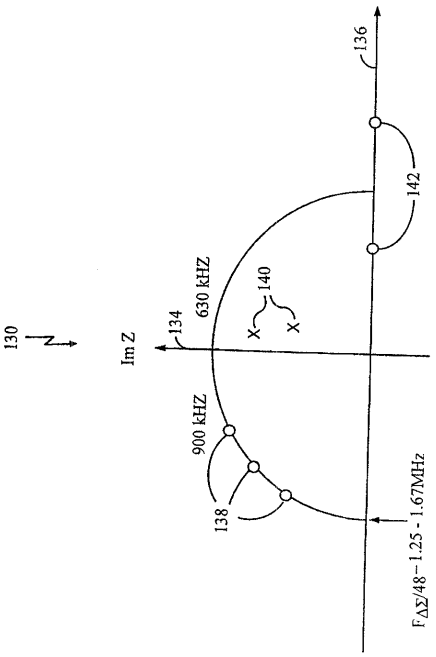
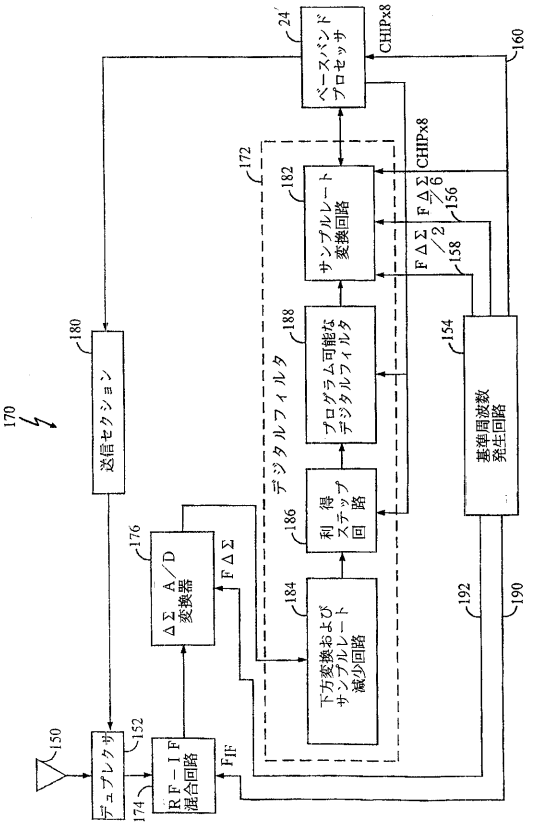


図1の等化フィルタ44へ
KLSB切取り
KLSB加算
D Q
1/64
N+K
N+K+6
図1のメモリ26からのa12
図1のメモリ26からのa11
図1の第3のビット切取り回路40から

【図５】


130
Im Z
134
630 kHZ
140
142
136
900 kHZ
138
FΔΣ/48−1.25 - 1.67MHz

【図６】


170
150
デュプレクサ
152
174
RF−IF
混合回路
FIF
ΔΣ A/D
変換器
176
FΔΣ
180
送信セクション
172
デジタルフィルタ
184
下方変換および
サンプルレート
減少回路
186
利得
ステップ
回路
188
プログラム可能な
デジタルフィルタ
182
サンプルレート
変換回路
24
ベースバンド
プロセッサ
CHIPx8
CHIPx8
FΔΣ/2
FΔΣ/6
156
158
154
基準周波数
発生回路
192
190
160

フロントページの続き

(51)Int.Cl. FI
H04B 3/06 C
H04B 7/005

(72)発明者 マース、レナート
アメリカ合衆国 カリフォルニア州 ９２１２９ サン・ディエゴ、バボータ・ロード・ナンバー９、９３２５

審査官 関 知子

(56)参考文献 特開昭５７－１４２０２０（ＪＰ，Ａ）
特開平０５－２６８１１９（ＪＰ，Ａ）
特開平０８－０６５１０７（ＪＰ，Ａ）
特開平０９－０７４３７４（ＪＰ，Ａ）
特開平０６－２６９０８４（ＪＰ，Ａ）
特開平０６－２９６１５２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H03H 17/00 - 17/08
H04B 3/06
H04B 7/005